



# (12)发明专利申请

(10)申请公布号 CN 107017244 A

(43)申请公布日 2017.08.04

(21)申请号 201610664839.4

(22)申请日 2016.08.12

(30)优先权数据

15/009,500 2016.01.28 US

(71)申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72)发明人 胡嘉欣 谢仲朋 杨忠杰 陈柏年

锺怡萱 林峪群

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 冯志云 王芝艳

(51)Int.Cl.

H01L 27/02(2006.01)

H01L 23/522(2006.01)

H01L 21/768(2006.01)

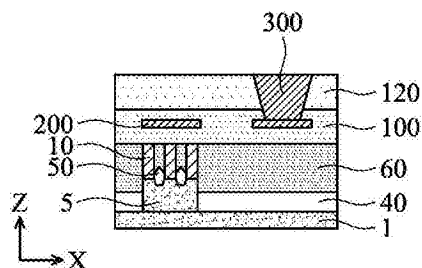
权利要求书2页 说明书10页 附图16页

(54)发明名称

半导体装置及其制造方法

(57)摘要

本公开提供半导体装置及其制造方法。半导体装置包含设置于基底上的虚设鳍状结构,设置于一部分虚设鳍状结构上的虚设栅极结构,虚设栅极结构嵌入于其中的第一层间介电层,设置于第一层间介电层上的第二层间介电层,以及由导电材料形成且嵌入于第二层间介电层的电阻导线。在平面图中,电阻导线与虚设栅极结构重叠。



1. 一种半导体装置,包括:

- 一虚设鳍状结构,设置于一基底上;
- 一虚设栅极结构,设置于一部分的该虚设鳍状结构上;
- 一第一层间介电层,该虚设栅极结构嵌入于其中;
- 一第二层间介电层,设置于该第一层间介电层上;以及
- 一电阻导线,由导电材料形成,且嵌入于该第二层间介电层,其中在平面图中,该电阻导线与该虚设栅极结构重叠。

2. 如权利要求1所述的半导体装置,其中一或多个附加的层间介电层设置于该第一层间介电层和该第二层间介电层之间。

3. 如权利要求1所述的半导体装置,其中该电阻导线的导电材料包含一过渡金属的氮化物。

4. 如权利要求1所述的半导体装置,其中该电阻导线的导电材料包含氮化钛(TiN)及氮化钽(TaN)的其中至少一者。

5. 如权利要求1所述的半导体装置,其中该虚设栅极结构包含设置于该虚设鳍状结构上的二或多个虚设栅极电极,这些虚设栅极电极沿着一第一方向延伸,且沿着垂直于该第一方向的一第二方向排列,以及该电阻导线沿着该第一方向延伸,且该电阻导线在沿着该第一方向上较该虚设栅极电极长。

6. 如权利要求1所述的半导体装置,其中接触于该电阻导线的只有四个接触,且在平面图中,该虚设栅极结构设置于该四个接触中的两个接触和该四个接触中剩余的两个接触之间,该四个接触与该虚设栅极结构不重叠。

7. 一种半导体装置,包括:

- 一第一虚设鳍状结构,设置于一基底上;
- 一第一虚设栅极结构,设置于一部分的该第一虚设鳍状结构上;
- 一第一层间介电层,该第一虚设栅极结构嵌入于其中;
- 一第二层间介电层,设置于该第一层间介电层上;
- 一第三层间介电层,设置于该第二层间介电层上;以及
- 一电阻导线,由导电材料形成,且嵌入于该第三层间介电层,其中在平面图中,该电阻导线与该第一虚设鳍状结构部分或完全重叠。

8. 如权利要求7所述的半导体装置,还包括下列至少一者:

一第一绝缘层,设置于该第一层间介电层和该第二层间介电层之间,该第一绝缘层由与该第一层间介电层和该第二层间介电层不同的材料制成,且该第一绝缘层较该第一层间介电层和该第二层间介电层薄;以及

一第二绝缘层,设置于该第二层间介电层和该第三层间介电层之间,该第二绝缘层由与该第二层间介电层和该第三层间介电层不同的材料制成,且该第二绝缘层较该第二层间介电层和该第三层间介电层薄。

9. 如权利要求7所述的半导体装置,其中该第一虚设栅极结构包含设置于该第一虚设鳍状结构上的二或多个第一虚设栅极电极,这些第一虚设栅极电极沿着一第一方向延伸,且沿着垂直于该第一方向的一第二方向排列,以及该电阻导线沿着该第一方向延伸,且该第一虚设鳍状结构沿着该第二方向延伸。

10. 一种半导体装置的制造方法,包括:

在一基底上形成一第一虚设鳍状结构;

在一部分的该第一虚设鳍状结构上形成一第一虚设栅极结构;

形成一第一层间介电层,使得该第一虚设栅极结构嵌入于该第一层间介电层;

在该第一层间介电层上形成一第二层间介电层;以及

在该第二层间介电层上形成一第三层间介电层,

其中形成由一导电材料制成的一电阻导线使得该电阻导线嵌入于该第三层间介电层,且在平面图中,该电阻导线与该第一虚设鳍状结构至少部分重叠。

## 半导体装置及其制造方法

### 技术领域

[0001] 本公开涉及半导体装置的制造方法,特别涉及装置上部包含电阻导线的结构及其制造方法。

### 背景技术

[0002] 在半导体装置,例如集成电路(integrated circuit,IC)或大型集成电路(large scale integration,LSI)中,使用了许多电阻。一些电阻由形成于基底中的扩散区制成,一些电阻由形成于结构上层的导电层制成。随着半导体装置尺寸的缩小,需要更有效率的电阻布局。

### 发明内容

[0003] 根据本公开的一个观点,半导体装置包含设置于基底上的虚设鳍状结构,设置于一部分虚设鳍状结构上的虚设栅极结构,设置于第一层间介电层上的第二层间介电层,以及由导电材料形成且嵌入于第二层间介电层的电阻导线。在平面图中,电阻导线与虚设栅极结构重叠。

[0004] 在本公开的半导体装置的一个实施方式中,一或多个附加的层间介电层设置于该第一层间介电层和该第二层间介电层之间。

[0005] 在本公开的半导体装置的另一个实施方式中,该电阻导线的导电材料包含一过渡金属的氮化物。

[0006] 在本公开的半导体装置的另一个实施方式中,该电阻导线的导电材料包含氮化钛(TiN)及氮化钽(TaN)的其中至少一者。

[0007] 在本公开的半导体装置的另一个实施方式中,该虚设栅极结构包含设置于该虚设鳍状结构上的二或多个虚设栅极电极,这些虚设栅极电极沿着一第一方向延伸,且沿着垂直于该第一方向的一第二方向排列,以及该电阻导线沿着该第一方向延伸。

[0008] 在本公开的半导体装置的另一个实施方式中,该电阻导线在沿着该第一方向上较该虚设栅极电极长。

[0009] 在本公开的半导体装置的另一个实施方式中,接触于该电阻导线的只有四个接触,且在平面图中,该虚设栅极结构设置于该四个接触中的两个接触和该四个接触中剩余的两个接触之间。

[0010] 在本公开的半导体装置的另一个实施方式中,该四个接触与该虚设栅极结构不重叠。

[0011] 根据本公开的另一观点,半导体装置包含设置于基底上的第一虚设鳍状结构,设置于一部分第一虚设鳍状结构上的第一虚设栅极结构,第一虚设栅极结构嵌入于其中的第一层间介电层,设置于第一层间介电层上的第二层间介电层,设置于第二层间介电层上的第三层间介电层,以及由导电材料形成且嵌入于第三层间介电层的电阻导线。在平面图中,电阻导线与第一虚设鳍状结构部分或完全重叠。

[0012] 在本公开的半导体装置的一个实施方式中,还包括下列至少一者:

[0013] 一第一绝缘层,设置于该第一层间介电层和该第二层间介电层之间,该第一绝缘层由与该第一层间介电层和该第二层间介电层不同的材料制成,且该第一绝缘层较该第一层间介电层和该第二层间介电层薄;以及

[0014] 一第二绝缘层,设置于该第二层间介电层和该第三层间介电层之间,该第二绝缘层由与该第二层间介电层和该第三层间介电层不同的材料制成,且该第二绝缘层较该第二层间介电层和该第三层间介电层薄。

[0015] 在本公开的半导体装置的另一个实施方式中,该电阻导线的导电材料包含氮化钛(TiN)及氮化钽(TaN)的其中至少一者。

[0016] 在本公开的半导体装置的另一个实施方式中,该第一虚设栅极结构包含设置于该第一虚设鳍状结构上的二或多个第一虚设栅极电极,该些第一虚设栅极电极沿着一第一方向延伸,且沿着垂直于该第一方向的一第二方向排列,以及该电阻导线沿着该第一方向延伸,且该第一虚设鳍状结构沿着该第二方向延伸。

[0017] 在本公开的半导体装置的另一个实施方式中,在平面图中,该些第一虚设栅极电极的其中至少一个与该电阻导线重叠。

[0018] 在本公开的半导体装置的另一个实施方式中,在平面图中,该些第一虚设栅极电极的其中至少一个与该电阻导线不重叠。

[0019] 在本公开的半导体装置的另一个实施方式中,还包括:一第二虚设鳍状结构,设置于该基底上;以及一第二虚设栅极结构,设置于一部分的该第二虚设鳍状结构上,其中该第一虚设鳍状结构和该第二虚设鳍状结构沿着该第一方向对齐,且在平面图中,该电阻导线与该第二虚设鳍状结构部分或完全重叠。

[0020] 在本公开的半导体装置的另一个实施方式中,接触于该电阻导线的只有四个接触,且在平面图中,该第一虚设栅极结构设置于该四个接触中的两个接触和该四个接触中剩余的两个接触之间。

[0021] 在本公开的半导体装置的另一个实施方式中,该四个接触与该第一虚设栅极结构不重叠。

[0022] 根据本公开的另一观点,在半导体装置的制造方法中,在基底上形成第一虚设鳍状结构,在一部分第一虚设鳍状结构上形成第一虚设栅极结构,形成第一层间介电层,使得第一虚设栅极结构嵌入于第一层间介电层,在第一层间介电层上形成第二层间介电层,在第二层间介电层上形成第三层间介电层,由导电材料形成电阻导线,使得电阻导线嵌入于第三层间介电层。在平面图中,电阻导线与第一虚设鳍状结构至少部分重叠。

[0023] 在本公开的制造方法的一个实施方式中,该电阻导线和该第三层间介电层由下列方式形成:在该第二层间介电层上形成该第三层间介电层的一下部分;在该第三层间介电层的该下部分上或内形成该电阻导线;以及在该第三层间介电层的该下部分和该电阻导线上形成该第三层间介电层的一上部分。

[0024] 在本公开的制造方法的另一个实施方式中,还包括于该第二层间介电层和该第三层间介电层之间形成一或多个附加的层间介电层。

## 附图说明

[0025] 通过以下的详述配合所附附图,可以更加理解本公开的内容。需强调的是,根据工业上的标准惯例,许多特征部件并未按照比例绘制且仅用于阐述目的。事实上,为了能清楚地讨论,不同特征部件的尺寸可能被增加或减少。

[0026] 图1A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图(自上方观看);

[0027] 图1B显示沿图1A的a-a'线的剖面示意图;

[0028] 图2A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图;

[0029] 图2B显示沿图2A的b-b'线的剖面示意图;

[0030] 图3A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图;

[0031] 图3B显示沿图3A的c-c'线的剖面示意图;

[0032] 图4A是根据一比较例,显示半导体装置的布局结构的平面示意图;

[0033] 图4B显示沿图4A的d-d'线的剖面示意图;

[0034] 图5A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图;

[0035] 图5B是根据一比较例,显示半导体装置的布局结构的平面示意图;

[0036] 图5C是根据电阻的尺寸,显示电阻值的变化;

[0037] 图6A、图7、图8和图9A是根据本公开一实施例,显示半导体装置的连续工艺中不同阶段的示意图;

[0038] 图6B是半导体装置的栅极结构的放大示意图;

[0039] 图6C显示鳍式场效晶体管结构的透视示意图;

[0040] 图9B是根据本公开另一实施例,显示半导体装置的剖面示意图;

[0041] 图10-图13是根据本公开一实施例,显示半导体装置的连续工艺中不同阶段的剖面示意图;

[0042] 图14是根据本公开另一实施例,显示半导体装置的剖面示意图。

[0043] 其中,附图标记说明如下:

[0044] 1、301~基底;

[0045] 5~虚设鳍状结构;

[0046] 5'、310~鳍状结构;

[0047] 9~虚设金属栅极结构;

[0048] 9'、330~金属栅极结构;

[0049] 10~虚设栅极结构;

[0050] 10'~栅极结构;

[0051] 12~栅极介电层;

[0052] 14~功函数调整层;

[0053] 16~金属材料层;

[0054] 20~虚设绝缘盖层;

[0055] 20'、340~绝缘盖层;

[0056] 30~虚设侧壁间隙物;

[0057] 30'、350~侧壁间隙物;

[0058] 40、320~隔离绝缘层;

- [0059] 50~虚设源/漏极区；
- [0060] 50'、360~源/漏极区；
- [0061] 55~虚设硅化物层；
- [0062] 55'~硅化物层；
- [0063] 60~第一层间介电层；
- [0064] 70~第一接触插塞；
- [0065] 75~第一金属布线；
- [0066] 80~第二接触插塞；
- [0067] 80'~接触插塞；
- [0068] 85~第二金属布线；
- [0069] 85'~上层布线；
- [0070] 100~第二层间介电层；
- [0071] 100A~第二层间介电层的下部；
- [0072] 105~第一绝缘层；
- [0073] 120~第三层间介电层；
- [0074] 120A~第三层间介电层的下部；
- [0075] 125~第二绝缘层；
- [0076] 130~第四层间介电层；
- [0077] 200~电阻导线；
- [0078] 200D~虚设导线图案；
- [0079] 300、300A、300B、300C、300D~接触；
- [0080] 315~通道区；
- [0081] 370~层间介电层；
- [0082] D1~位移量；
- [0083] W1、X1、X2、X3、X4、Y3、Y4~宽度。

### 具体实施方式

[0084] 以下公开提供了很多不同的实施例或范例,用于实施发明的不同特征部件。组件和配置的具体实施例或范例描述如下,以简化本公开。当然,这些仅仅是范例,并非用以限定本公开。举例而言,元件的尺寸并不限于公开的范围或数值,可能视工艺状况及/或装置欲达成的特性而定。此外,叙述中若提及第一特征部件形成于第二特征部件之上,可能包含第一和第二特征部件直接接触的实施例,也可能包含额外的特征部件形成于第一和第二特征部件之间,使得它们不直接接触的实施例。为了简化和清楚,许多特征部件可能依照不同的比例绘示。

[0085] 再者,空间上相关的措辞,例如「在……之下」、「在……下方」、「下方的」、「在……上方」、「上方的」和其他类似的字词,可用于此,以简化描述一元件或特征部件与其他元件或特征部件之间,如图所示的关系的陈述。此空间上相关的措辞意欲包含使用中的装置或操作除附图描绘的方向外的不同方向。仪器可以其他方向定位(旋转90度或其他定位方向),且在此使用的空间相关描述符号可同样依此解读。另外,「由……制成」可具有「包括」

或「由……组成」的含意。

[0086] 图1A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图(自上方观看)。图1B显示沿图1A的a-a'线的剖面示意图。

[0087] 图1A和图1B提供了在Y方向上延伸的电阻导线200。电阻导线200是由导电材料制成,例如金属或金属氮化物。由于电阻导线200是电阻,电阻导线200的导电率与传输讯号的其他导线相比较低。一些实施例中,电阻导线200的电阻率在约1欧姆/单位面积( $\Omega/\square$ )至约1000欧姆/单位面积( $\Omega/\square$ )的范围内。电阻导线200的材料包含例如为TiN、TaN或TiSiN。

[0088] 电阻导线200的尺寸和厚度可依据其用途或目的而改变。

[0089] 如图1A所示,电阻导线200包含让电阻导线200通过上层金属导线连接至其他电路元件的接触(或导孔)300。一些实施例中,仅于电阻导线200上提供四个接触300A、300B、300C和300D。接触300A和300D用于提供电流于其之间,且接触300B和300C用于测量电压或获得压降(voltage drop)。

[0090] 图1A和图1B中,显示在X方向上排列的两电阻导线200。再者,在电阻导线200的两侧沿着X方向设置虚设导线图案200D,以在图案化的操作(例如微影和蚀刻)中改善图案的保真度(fidelity)。

[0091] 然而,电阻导线200的布局并不限于这些附图。电阻导线200的数量可少至一条或多至三条以上,可搭配(且位于其间)或不搭配两虚设导线图案200D。

[0092] 如图1A和图1B所示,在基底1之上和电阻导线200的下方设置虚设鳍状结构5、一些虚设栅极结构10和一些虚设源/漏极(S/D)结构(又称为虚设源/漏极区)50。如图1A所示,在平面图中,电阻导线200与虚设鳍状结构5和一些虚设栅极结构10重叠。换言之,电阻导线200沿着Y方向与虚设鳍状结构5对齐。每一个虚设栅极结构10可包含虚设栅极介电层和虚设栅极电极层。在本公开中,虚设「元件」意谓此「元件」没有电的功能或并非功能电路的部分,而「平面图」代表沿着基底1的垂直线(Z方向)自上方朝向基底1的视图。

[0093] 一实施例中,在一部分的虚设鳍状结构5上设置多个虚设栅极结构10。这些虚设栅极结构10在Y方向上延伸,且虚设鳍状结构5在X方向上延伸。如图1A所示,在一电阻导线200下设置多个沿Y方向对齐的虚设鳍状结构5。每个电阻导线200的虚设鳍状结构5的数量并不限于两个,可为一个或三个以上。

[0094] 一实施例中,如图1A和图1B所示,在一虚设鳍状结构5上设置复数个虚设栅极结构10(如此便有复数个虚设栅极电极层)。然而,每个虚设鳍状结构5的虚设栅极结构10的数量可少至仅有一个或多至三个以上。如图1A所示,在平面图中,电阻导线200与全部三个虚设栅极结构10重叠。一些实施例中,一些虚设栅极结构10在Y方向上延伸,且设置于二个以上的虚设鳍状结构5上。

[0095] 在平面图中,在一对接触300A和300D与另一对接触300B和300C之间设置虚设鳍状结构5和一些虚设栅极结构10,如此,这些接触300并未与这些虚设栅极结构10重叠。然而在其他实施例中,这些接触300中的至少一个与这些虚设栅极结构10重叠。

[0096] 如图1B所示,在基底1上设置虚设鳍状结构5,在部分的虚设鳍状结构5上设置一些虚设栅极结构10,且在基底1上也设置隔离绝缘层40,在隔离绝缘层40内嵌入部分的虚设鳍状结构5。接着,在虚设鳍状结构5上形成第一层间介电层(inter-layer dielectric, ILD) 60,于第一层间介电层60内嵌入虚设栅极结构10,再于第一层间介电层60上设置第二层间



介电层100,于第二层间介电层100内嵌入电阻导线200,再于第二层间介电层100上设置第三层间介电层120。在第二层间介电层100和第三层间介电层120内形成接触300。一些实施例中,接触300仅形成于第二层间介电层100内。

[0097] 图2A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图。图2B显示沿图2A的b-b'线的剖面示意图。

[0098] 除了沿Z方向上的电阻导线200的位置外,图2A和图2B的布局和结构与图1A和图1B大体上相同。如图2B所示,于基底1上设置虚设鳍状结构5,在部分的虚设鳍状结构5上设置一些虚设栅极结构10,且在基底1上也设置隔离绝缘层40。在隔离绝缘层40内嵌入部分的虚设鳍状结构5。接着,在虚设鳍状结构5上形成第一层间介电层60,这些虚设栅极结构10嵌入于第一层间介电层60。接续前述,在第一层间介电层60上设置第二层间介电层100,在第二层间介电层100上设置第三层间介电层120。电阻导线200嵌入于第三层间介电层120内,而非嵌入于第二层间介电层100内。再于第三层间介电层120上设置第四层间介电层130。在第三层间介电层120和第四层间介电层130内形成接触300。一些实施例中,接触300仅形成于第三层间介电层120内。

[0099] 相较于图1B的结构,图2B的结构在设置电阻导线200于其内的层间介电层和设置这些虚设栅极结构10于其内的层间介电层之间,插入额外的层间介电层。在其他的实施例中,在设置电阻导线200于其内的层间介电层和设置这些虚设栅极结构10于其内的层间介电层之间,插入一层以上额外的层间介电层。

[0100] 图3A是根据本公开一实施例,显示半导体装置的布局结构的平面示意图,图3B显示沿图3A的c-c'线的剖面示意图。

[0101] 除了沿X方向上的电阻导线200的位置,以及虚设栅极结构的数量以外,图3A和图3B的布局和结构与图2A和图2B大体上相同。

[0102] 如图3A所示,在平面图中,电阻导线200与虚设鳍状结构5部分重叠。换言之,电阻导线200的边缘(例如右侧边缘)相较于虚设鳍状结构5的边缘(例如右侧边缘)在X方向上位移,进一步而言,电阻导线200与设置在一个虚设鳍状结构5上的两个虚设栅极结构10重叠,与设置在同一个虚设鳍状结构5上的一个虚设栅极结构10部分重叠,且与设置在同一个虚设鳍状结构5上的一个虚设栅极结构10不重叠。

[0103] 上述的位移量D1是在 $0 \leq D1 \leq 0.5W1$ 的范围内,其中W1是虚设鳍状结构5在X方向上的宽度。当D1的值小于或等于0时,在平面图中,电阻导线200与虚设鳍状结构5完全重叠。

[0104] 图4A是根据一比较例,显示半导体装置的布局结构的平面示意图。图4B显示沿图4A的d-d'线的剖面示意图。

[0105] 在比较例中,平面图中的电阻导线200与虚设鳍状结构5和虚设栅极结构10不重叠。平面图中的电阻导线200设置于一些虚设鳍状结构5之间的区域内。

[0106] 将图1A和图2A的布局与图4A相比,可清楚地发现X方向上的宽度减少。一实施例中,图1A和图2A的宽度X1约为图4A的宽度X2的80%至90%。

[0107] 再者,如图5A所示,在电阻导线的阵列中,通过在电阻导线200下放置所有的虚设鳍状结构5和虚设栅极结构10(利用图1A和图1B的布局),可减少电阻导线阵列的面积。一实施例中,图5A的宽度X3是图5B(利用图4A的布局)的宽度X4的约80%至90%,且图5A的宽度Y3是图5B的宽度Y4的约80%至90%。

[0108] 图5C是根据电阻的尺寸,显示电阻值的变化。水平轴显示电阻导线的面积的平方根倒数,而垂直轴则显示电阻率的变异数 $\sigma$ (%)。

[0109] 在图5C中,「不堆叠」对应于图4A和图4B的结构,「二层堆叠」对应于图1A和图1B的结构,而「三层堆叠」则对应于图2A和图2B的结构。

[0110] 当电阻导线的尺寸很大时,各种结构中的电阻率的变异数皆很小,当电阻导线的尺寸变小时,电阻率的变异数增加。特别的是,「二层堆叠」的变异数与另外两种结构相比增加较多。一些实施例中,「二层堆叠」的平均变异数为「三层堆叠」的两倍以上。通过在设置电阻导线200于其内的层间介电层和设置这些虚设栅极结构10于其内的层间介电层之间,插入一层以上额外的层间介电层,可降低电阻率的变异数和电阻导线图案的面积。

[0111] 图6A-图9A是根据本公开一实施例,显示半导体装置的连续工艺中不同阶段的示意图。可理解的是,在图6A-图9A所显示的工艺前、中、后可增加额外的操作,且以下叙述的一些操作可为了方法的其他实施例被取代或删除。操作/工艺的顺序可互相置换。

[0112] 图6A显示在金属栅极结构形成后的半导体装置结构。图6A显示设置功能电路的电路区,以及设置电阻导线、虚设鳍状结构和虚设栅极结构的电阻区。在图6A的电路区中,在通道层(例如一部分的鳍状结构5')上形成金属栅极结构9',且在金属栅极结构9'上设置绝缘盖层20'。鳍状结构5'自隔离绝缘层40突出。一些实施例中,金属栅极结构9'的厚度在约15纳米至约50纳米的范围内。一些实施例中,绝缘盖层20'的厚度在约10纳米至约30纳米的范围内,且其他实施例中在约15纳米至约20纳米的范围内。侧壁间隙物30'提供于金属栅极结构9'和绝缘盖层20'的侧壁上。一些实施例中,侧壁间隙物30'底部的膜厚在约3纳米至约15纳米的范围内,且其他实施例中在约4纳米至约10纳米的范围内。金属栅极结构9'、绝缘盖层20'和侧壁间隙物30'的组合可统称为栅极结构10'。再者,形成邻接于一些栅极结构10'的一些源/漏极(S/D)区50',且于这些栅极结构10'之间的空间填入第一层间介电层60。此外,在这些源/漏极区50'上形成例如WSi、CoSi、NiSi或TiSi的硅化物层55'。

[0113] 同样地,在电阻区形成大体上相同的结构。在虚设通道层(其为一部分的虚设鳍状结构5)上形成虚设金属栅极结构9,且在虚设金属栅极结构9上设置虚设绝缘盖层20。虚设鳍状结构5自隔离绝缘层40突出。虚设侧壁间隙物30提供于虚设金属栅极结构9和虚设绝缘盖层20的侧壁上。虚设金属栅极结构9、虚设绝缘盖层20和虚设侧壁间隙物30的组合可统称为虚设栅极结构10。接着,形成邻接于一些虚设栅极结构10的一些虚设源/漏极区50,且于这些虚设栅极结构10之间的空间填入第一层间介电层60。此外,在这些虚设源/漏极区50上形成虚设硅化物层55。

[0114] 图6B是半导体装置的栅极结构10'的放大示意图。以下的描述适用于大体上具有相同结构的栅极结构10'和虚设栅极结构10。

[0115] 栅极结构10'中的金属栅极结构9'包含一或多层的金属材料层16,例如Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlC、TiAlN、TaN、NiSi、CoSi,或其他导电材料。在通道层和金属材料层16之间设置包含一或多层金属氧化物(例如高介电常数(high-k)的金属氧化物)的栅极介电层12。高介电常数的金属氧化物可例如为Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu及/或前述的组的氧化物。

[0116] 一些实施例中,在栅极介电层12和金属材料层16之间插入一或多层功函数调整层14。功函数调整层14由例如为TiN、TaN、TaAlC、TiC、TaC、Co、Al、TiAl、HfTi、TiSi、TaSi或

TiAlC的单层或这些材料的二种以上的多层的导电材料制成。对于N型通道的场效晶体管,功函数调整层14可使用一或多种的TaN、TaAlC、TiN、TiC、Co、TiAl、HfTi、TiSi和TaSi,对于P型通道的场效晶体管,功函数调整层14可使用一或多种的TiAlC、Al、TiAl、TaN、TaAlC、TiN、TiC和Co。

[0117] 绝缘盖层20'包含一或多层的绝缘材料,例如包含SiN、SiCN和SiOCN的以氮化硅为主的材料。侧壁间隙物30'由与绝缘盖层20'不同的材料制成,且包含一或多层的绝缘材料,例如包含SiN、SiON、SiCN和SiOCN的以氮化硅为主的材料。第一层间介电层60包含一或多层的绝缘材料,例如为SiO<sub>2</sub>、SiON、SiCO、SiOCN或其他低介电常数(low-k)的以氧化硅为主的材料。

[0118] 侧壁间隙物30'、绝缘盖层20'和第一层间介电层60的材料彼此不同,使得这些层中的每一层可被选择性地蚀刻。一实施例中,侧壁间隙物30'由SiOCN、SiCN或SiON制成,绝缘盖层20'由SiN制成,而第一层间介电层60则由SiO<sub>2</sub>制成。

[0119] 一些实施例中,采用置换栅极的工艺来制造鳍式场效晶体管(Fin FETs)。

[0120] 图6C显示鳍式场效晶体管结构的透视示意图。

[0121] 首先,于基底301上形成鳍状结构310。鳍状结构310包含底部和作为通道区315的顶部。举例而言,基底301为杂质浓度在约 $1 \times 10^{15} \text{cm}^{-3}$ 到约 $1 \times 10^{18} \text{cm}^{-3}$ 范围内的P型硅基底。在其他实施例中,基底301为杂质浓度在约 $1 \times 10^{15} \text{cm}^{-3}$ 到约 $1 \times 10^{18} \text{cm}^{-3}$ 范围内的N型硅基底。或者,基底301可包括另一元素半导体,例如锗(Ge);或包括化合物半导体,包含IV-IV族化合物半导体,例如SiC和SiGe,III-V族化合物半导体,例如GaAs、GaP、GaN、InP、InAs、InSb、GaAsP、AlGaAs、AlInAs、AlGaAs、GaInAs、GaInP及/或GaInAsP;或前述的组合。在一实施例中,基底301为硅于绝缘体上(silicon-on insulator, SOI)基底的硅层。

[0122] 形成鳍状结构310后,在鳍状结构310上形成隔离绝缘层320。隔离绝缘层320包含一或多层由低压化学气相沉积(low-pressure chemical vapor deposition, LPCVD)、电浆化学气相沉积(plasma-CVD)或流动式化学气相沉积(flowable CVD)形成的绝缘材料,例如氧化硅、氮氧化硅或氮化硅。隔离绝缘层320可通过一或多层旋涂式玻璃(spin-on-glass, SOG)、SiO、SiON、SiOCN及/或掺氟硅玻璃(fluoride-doped silicate glass, FSG)形成。

[0123] 在鳍状结构310上形成隔离绝缘层320后,实施平坦化工艺以移除部分的隔离绝缘层320。平坦化工艺可包含化学机械研磨(chemical mechanical polishing, CMP)及/或回蚀(etch-back)工艺。接着,再进一步地移除(凹陷)隔离绝缘层320,以暴露出鳍状结构310的上部。

[0124] 在暴露的鳍状结构310上形成虚设栅极结构。虚设栅极结构包含多晶硅制成的虚设栅极电极层,以及虚设栅极介电层。侧壁间隙物350包含一或多层形成于虚设栅极电极层的侧壁的绝缘材料。在形成虚设栅极结构后,将未被虚设栅极结构覆盖的鳍状结构310凹陷至低于隔离绝缘层320的上表面。接着,使用外延成长工艺在凹陷的鳍状结构310上形成源/漏极区360。源/漏极区360可包含应变材料,以施加应力于通道区315。

[0125] 接续前述,在虚设栅极结构和源/漏极区360上形成层间介电层370。实施平坦化工艺后,移除虚设栅极结构以形成栅极空间。接着,在栅极空间内形成包含金属栅极电极和栅极介电层(例如高介电常数(high-k)的介电层)的金属栅极结构330。再者,在金属栅极结构330上形成绝缘盖层340,以获得如图6C所示的鳍式场效晶体管结构。在图6C中,为了显示底

层的结构,未绘示出部分的金属栅极结构330、绝缘盖层340、侧壁间隙物350和层间介电层370。

[0126] 图6C中的金属栅极结构330、绝缘盖层340、侧壁间隙物350、源/漏极区360和层间介电层370大体上对应于图6A中的金属栅极结构9'(虚设金属栅极结构9)、绝缘盖层20'(虚设绝缘盖层20)、侧壁间隙物30'(虚设侧壁间隙物30)、源/漏极区50'(虚设源/漏极区50)和第一层间介电层60。

[0127] 如图7所示,在第一层间介电层60上形成第二层间介电层的下部100A。一些实施例中,在第一层间介电层60和第二层间介电层的下部100A之间,设置在随后的接触孔蚀刻工艺中作为第一蚀刻停止层(etch-stop layer,ESL)的第一绝缘层105。

[0128] 第一绝缘层105包含一或多层以氮化硅为主的材料,例如SiN、SiCN或SiOCN。第二层间介电层的下部100A包含一或多层绝缘材料,例如SiO<sub>2</sub>、SiON、SiCO或SiOCN这些以氧化硅为主的材料,或其他低介电常数的材料。

[0129] 如图7所示,形成第二层间介电层的下部100A之后,在第二层间介电层的下部100A上形成电阻导线200。在第二层间介电层的下部100A上形成导电材料的披覆层(blanket layer),并实施图案化工艺以获得电阻导线200。披覆层可由化学气相沉积(CVD)、包含溅镀(sputtering)的物理气相沉积(physical vapor deposition,PVD)或其他合适的膜成形方法形成。

[0130] 接续前述,如图8所示,在第二层间介电层的下部100A上形成第二层间介电层的上部,且电阻导线200嵌入于第二层间介电层100内。一些实施例中,如图8所示,在电路区内通过例如为双镶嵌(dual damascene)工艺形成第一接触插塞70和第一金属布线75。第一接触插塞70和第一金属布线75包含一或多层的Cu、Al、Ti、Co、W、Ni或前述的合金、TiN或TaN。

[0131] 再者,如图9A所示,在第二层间介电层100上形成第三层间介电层120。一些实施例中,在第二层间介电层100和第三层间介电层120之间,设置在随后的接触孔蚀刻工艺中作为第二蚀刻停止层(ESL)的第二绝缘层125。第三层间介电层120和第二绝缘层125的材料或配置相似于第二层间介电层100和第一绝缘层105的材料或配置。

[0132] 如图9A所示,形成第三层间介电层120后,形成连接于电阻导线200的接触300。

[0133] 一些实施例中,如图9A所示,在电路区内通过例如为双或单镶嵌工艺形成第二接触插塞80和第二金属布线85。接触300可与第二接触插塞80及/或第二金属布线85同时形成。第二接触插塞80和第二金属布线85的材料或配置相似于第一接触插塞70和第一金属布线75的材料或配置。

[0134] 图9B显示另一实施例的布线结构。如图9B所示,在与第一金属布线75或第一接触插塞70相同的布线水平面形成接触300。再将接触300通过接触插塞80'进一步连接至上层布线85',此部分相似于第二金属布线85和第二接触插塞80。

[0135] 图10-图13是根据本公开的另一实施例,显示半导体装置的连续工艺中的不同阶段。可理解的是,在图10-图13所显示的工艺前、中、后可增加额外的操作,且以下叙述的一些操作可为了方法的其他实施例被取代或删除。操作/工艺的顺序可互相置换。再者,前述实施例的相同或相似的结构、材料、配置及/或工艺可适用于接下来要陈述的实施例,且详细的说明可被省略。

[0136] 如图10所示,在图6A的结构形成后,在第一层间介电层60上形成第二层间介电层

100和第一绝缘层105。一些实施例中,如图10所示,在电路区内形成第一接触插塞70和第一金属布线75。

[0137] 接着,如图11所示,在第二层间介电层100上形成第三层间介电层的下部120A。一些实施例中,在第二层间介电层100和第三层间介电层的下部120A之间,设置在随后的接触孔蚀刻工艺中作为第二蚀刻停止层(ESL)的第二绝缘层125。

[0138] 如图11所示,在第三层间介电层的下部120A形成后,在第三层间介电层的下部120A上形成电阻导线200。

[0139] 接续前述,如图12所示,在第三层间介电层的下部120A上形成第三层间介电层的上部,且电阻导线200嵌入于第三层间介电层120内。

[0140] 再者,如图13所示,在第三层间介电层120内形成接触300。一些实施例中,如图13所示,在电路区内通过例如双镶嵌工艺形成第二接触插塞80和第二金属布线85。一些实施例中,接触300可与第二接触插塞80及/或第二金属布线85同时形成。

[0141] 图14显示本公开另一实施例的半导体装置的剖面示意图。可理解的是,在图14所显示的工艺前、中、后可增加额外的操作,且以下叙述的一些操作可为了方法的其他实施例被取代或删除。操作/工艺的顺序可互相置换。再者,前述实施例的相同或相似的结构、材料、配置及/或工艺可适用于接下来要陈述的实施例,且详细的说明可被省略。

[0142] 如图14所示,在第四层间介电层130内嵌入电阻导线200。

[0143] 在图10的结构形成后,在第二层间介电层100上形成第三层间介电层120和第二绝缘层125。一些实施例中,在第三层间介电层120形成后,在电路区内形成第二接触插塞80和第二金属布线85。

[0144] 接续前述,如图14所示,使用与图11-图13相似的工艺形成第四层间介电层130、电阻导线200和接触300。

[0145] 当电阻导线200所在的层间介电层下有一或更多的层间介电层形成时,重复前述的工艺。

[0146] 可以理解的是,图9A、图9B、图13和图14所示的装置可进一步经历互补式金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)的工艺,以形成例如为互连金属层、介电层、钝化层……等不同的特征部件。

[0147] 在此所陈述的不同实施例或范例对于已存在的技术提供了一些优势。举例而言,在本公开中,通过在电阻导线下方放置全部的虚设鳍状结构和虚设栅极结构,可降低电阻及/或电阻阵列的面积。此外,通过在设置电阻导线于其中的层间介电层和设置虚设栅极结构于其中的层间介电层之间插入一层以上附加的层间介电层,可降低电阻值的变化。

[0148] 可理解的是,在此并未讨论到所有的优势,并非所有的实施例和范例都需要特别的优势,且其他实施例或范例可能提供不同的优势。

[0149] 以上概述数个实施例的特征,以便本领域普通技术人员可以更理解本公开的观点。本领域普通技术人员应该理解他们能以本公开为基础,设计或修改其他工艺和结构以达到与在此介绍的实施例相同的目的及/或优势。本领域普通技术人员也应该理解到,此类等效的结构并无悖离本公开的精神与范围,且他们能在不违背本公开的精神和范围之下,做各式各样的改变、取代和替换。

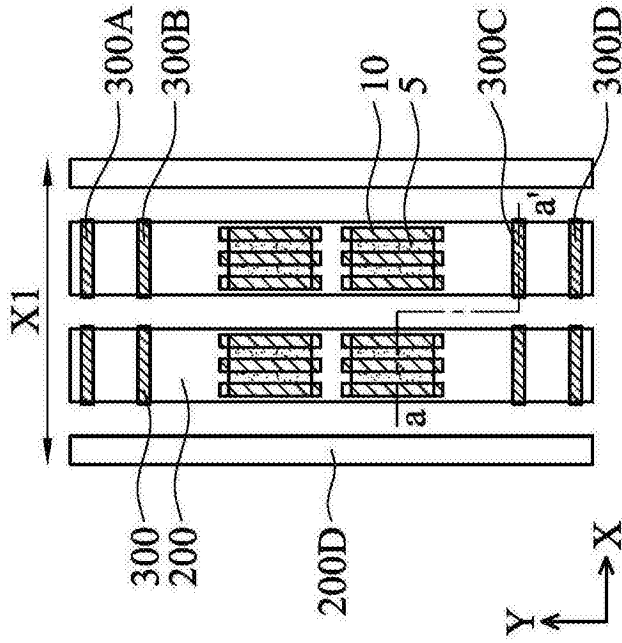


图1A

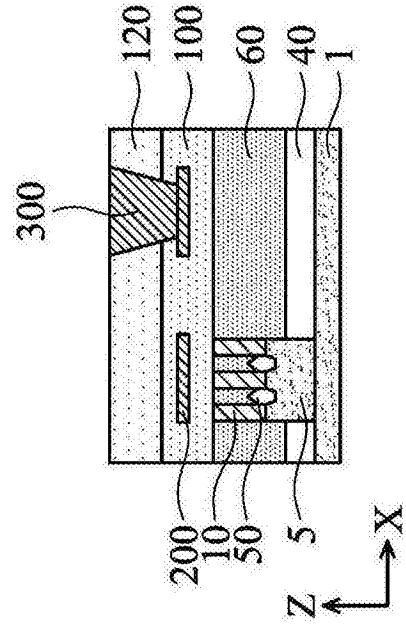


图1B

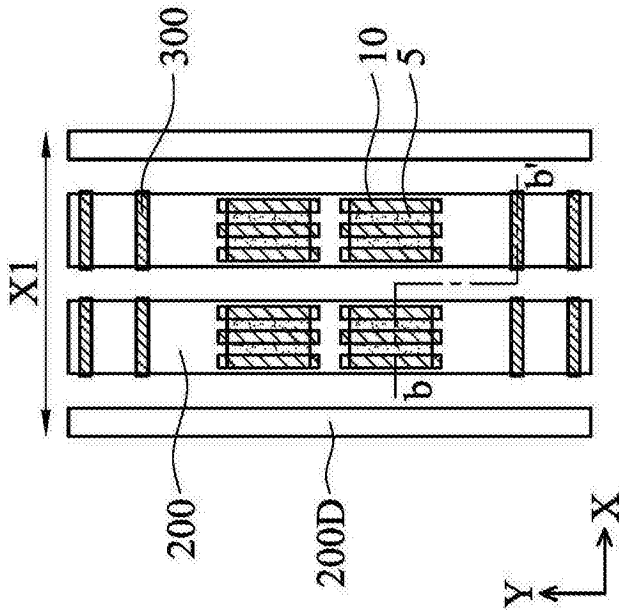


图2A

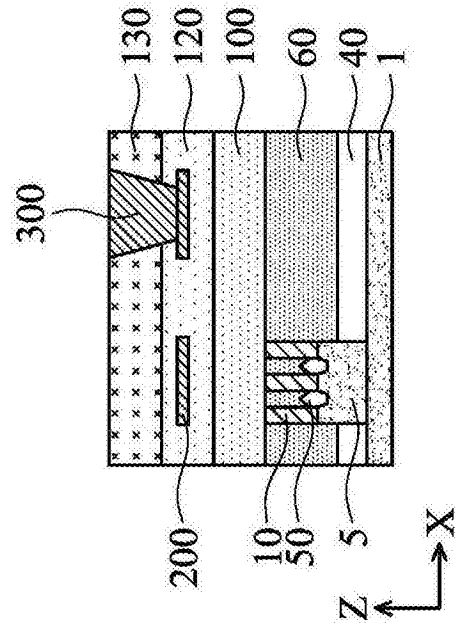


图2B

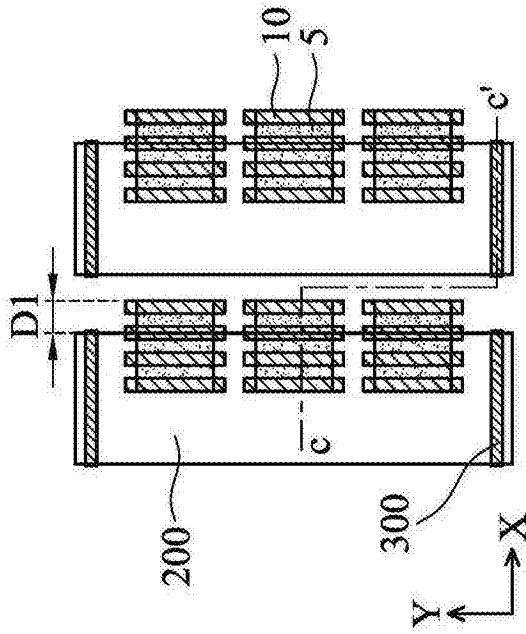


图3A

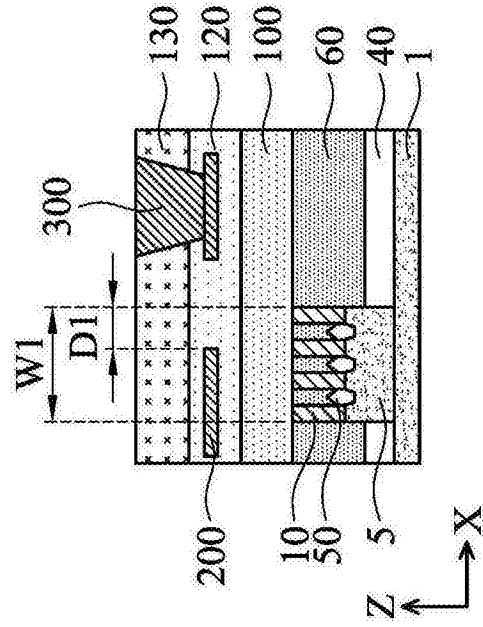


图3B

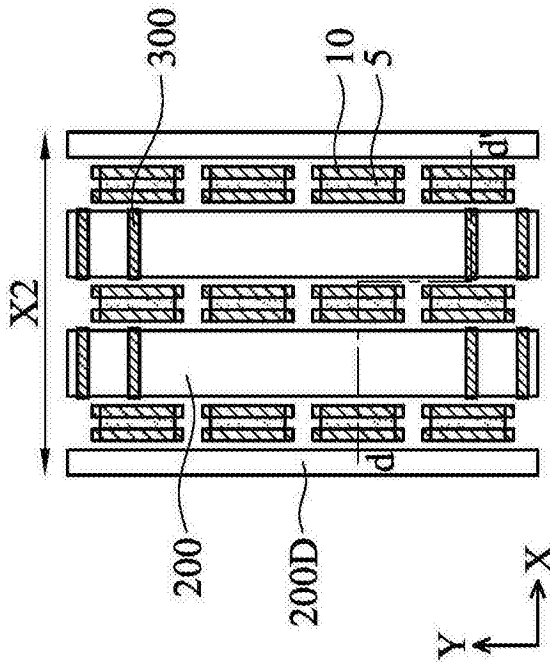


图4A

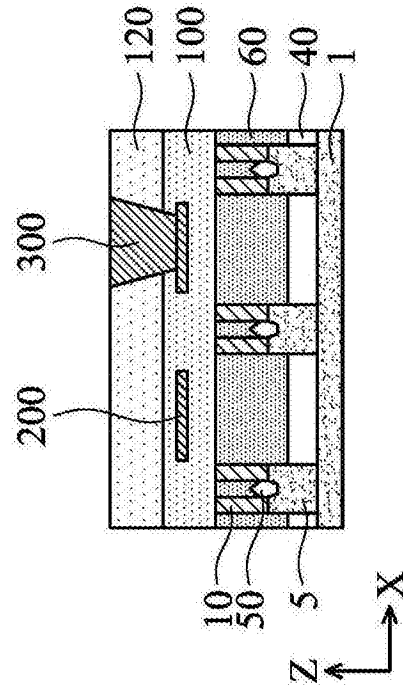


图4B

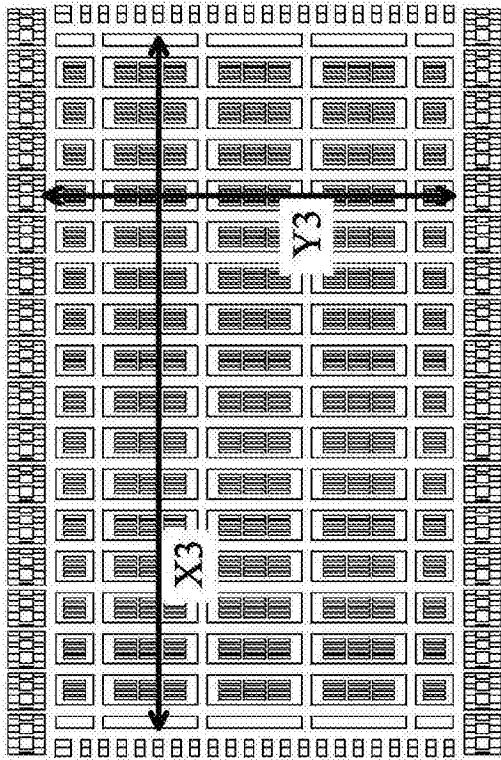


图5A

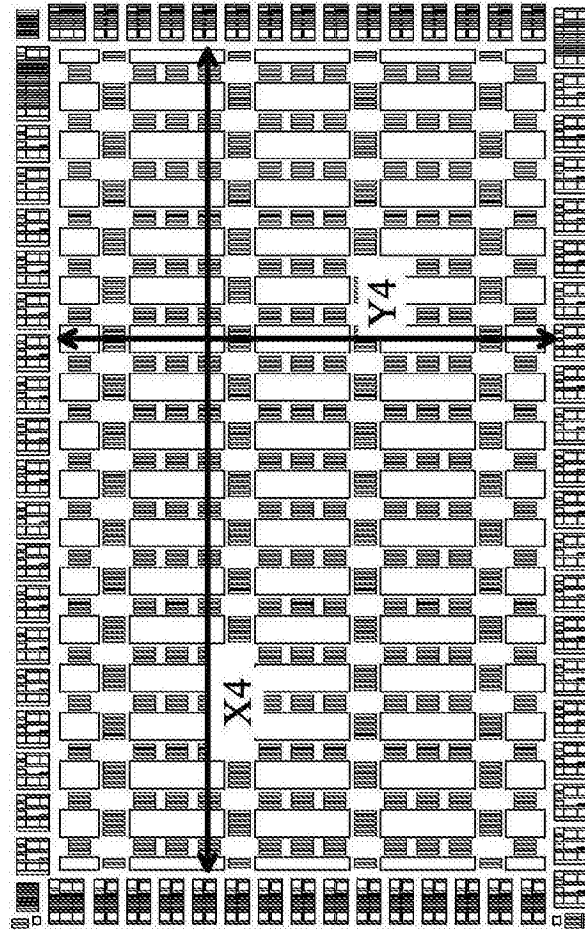


图5B



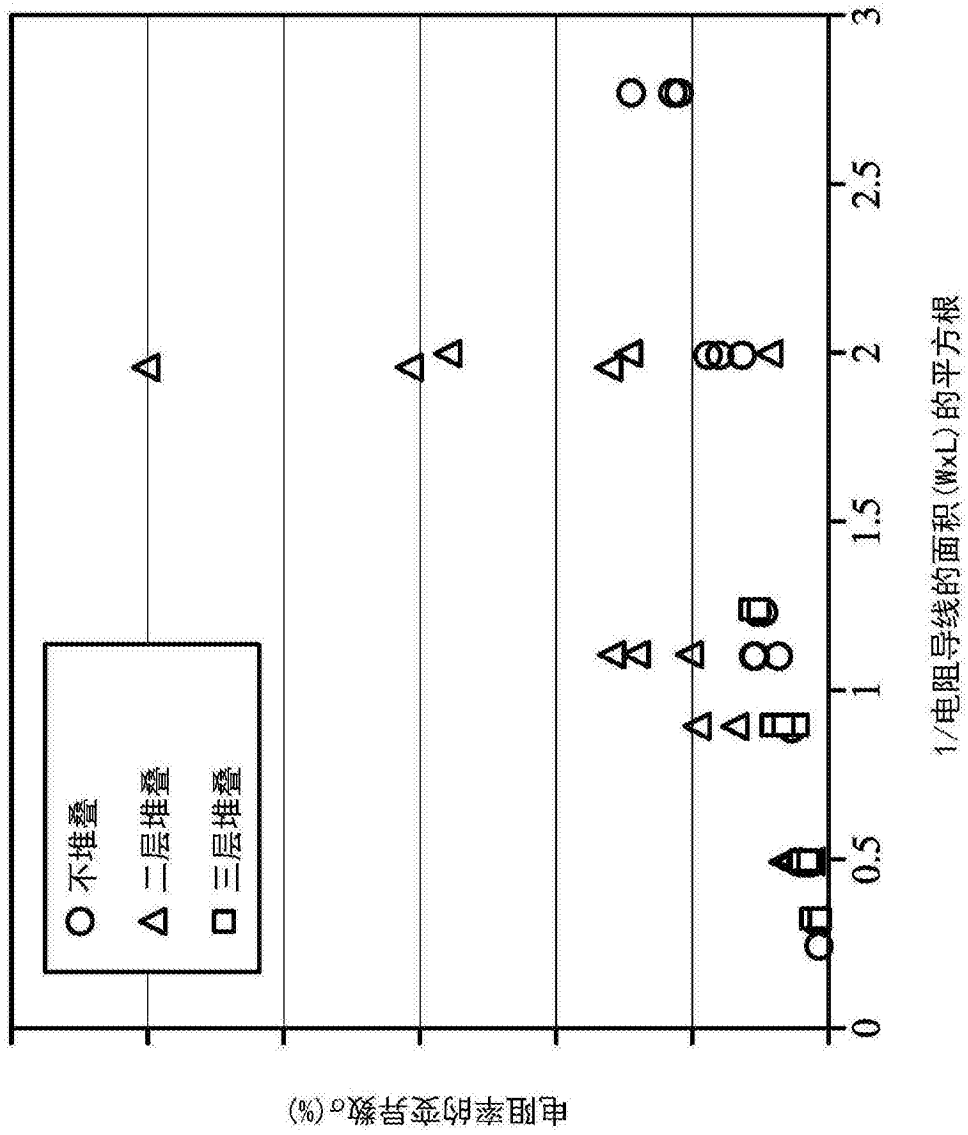


图5C

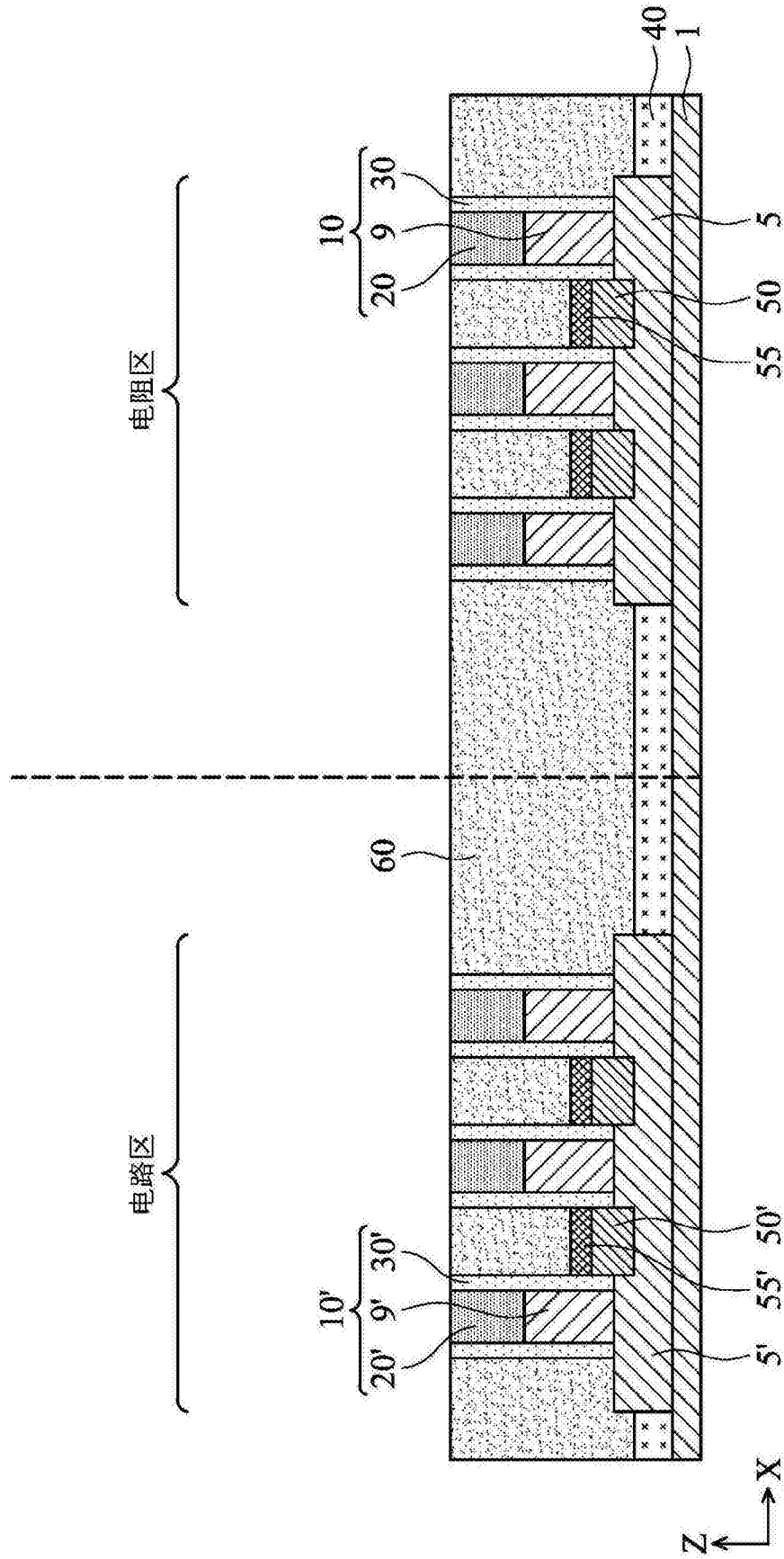


图6A

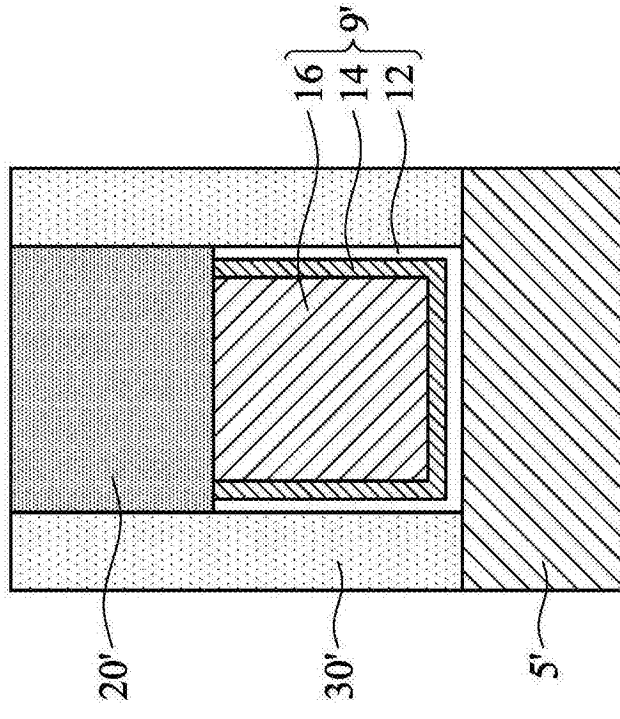


图6B

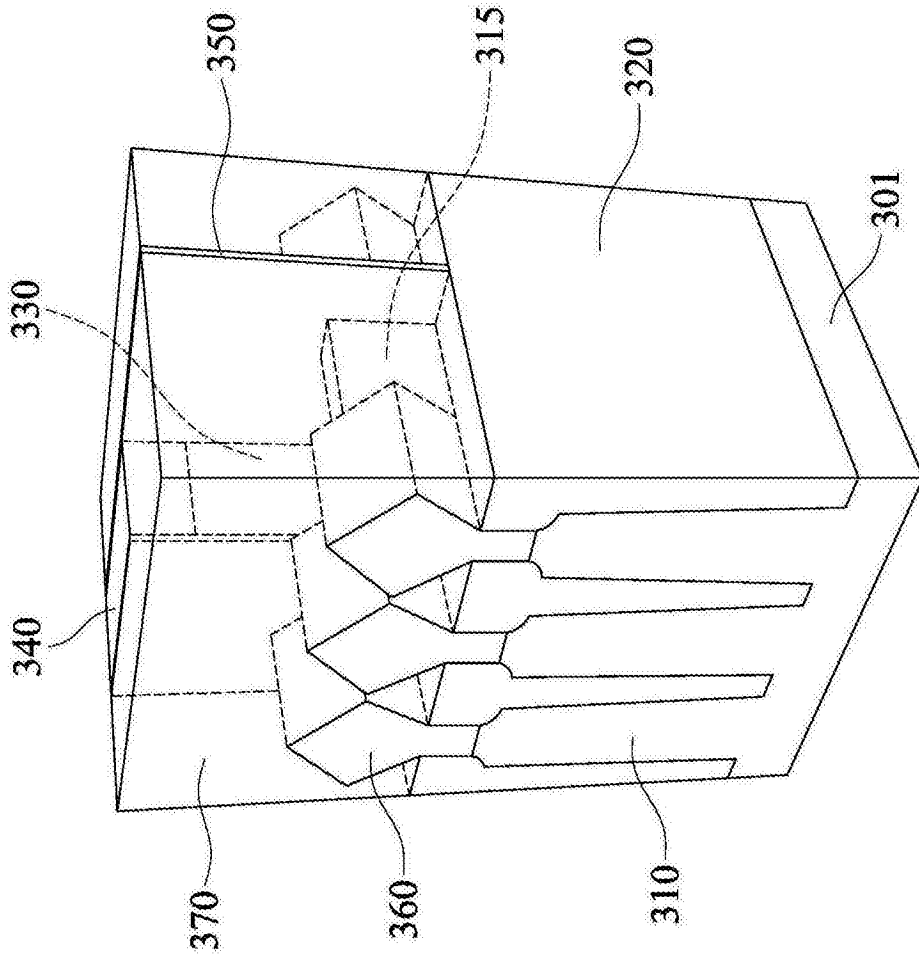


图6C

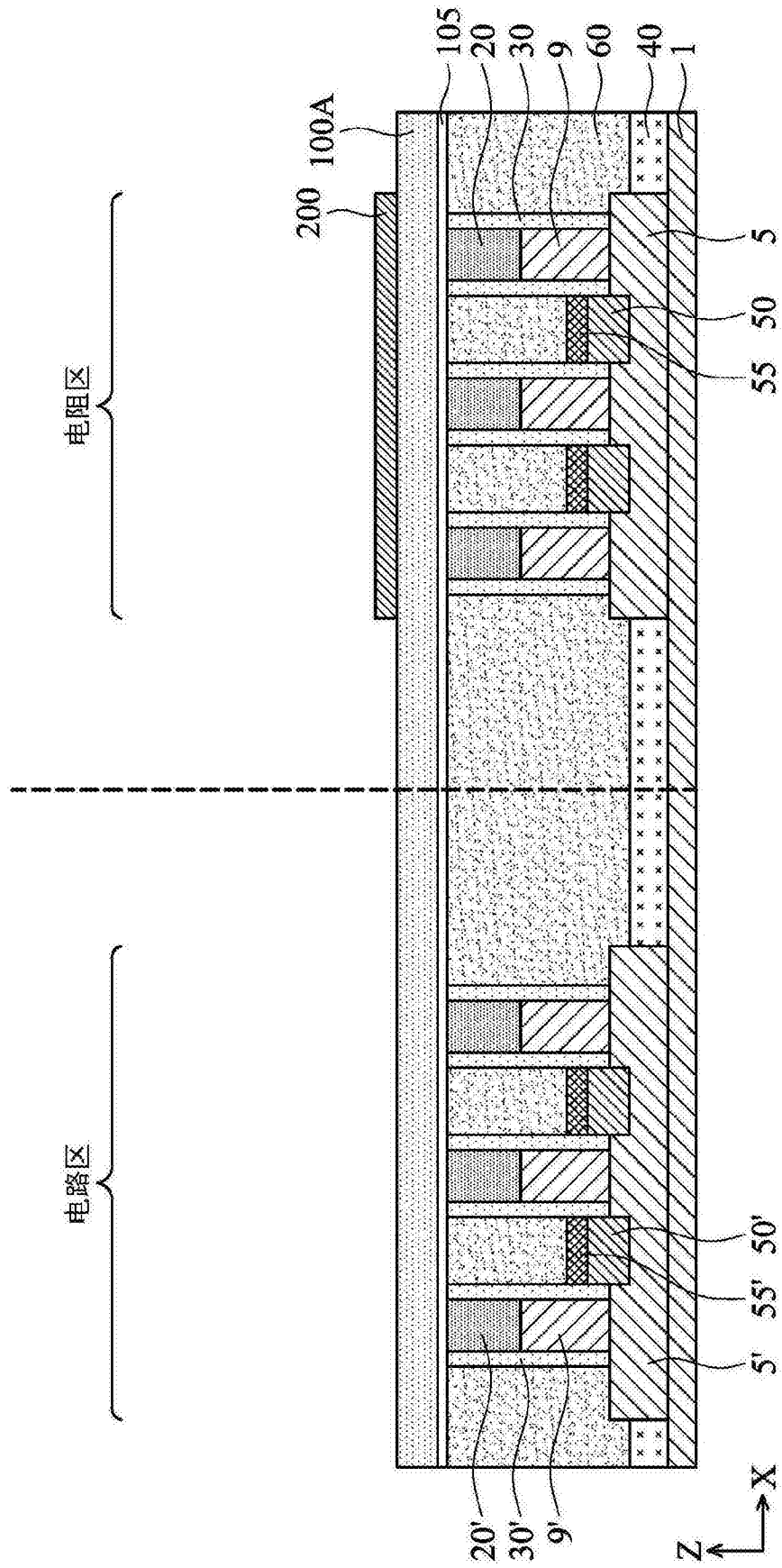


图7

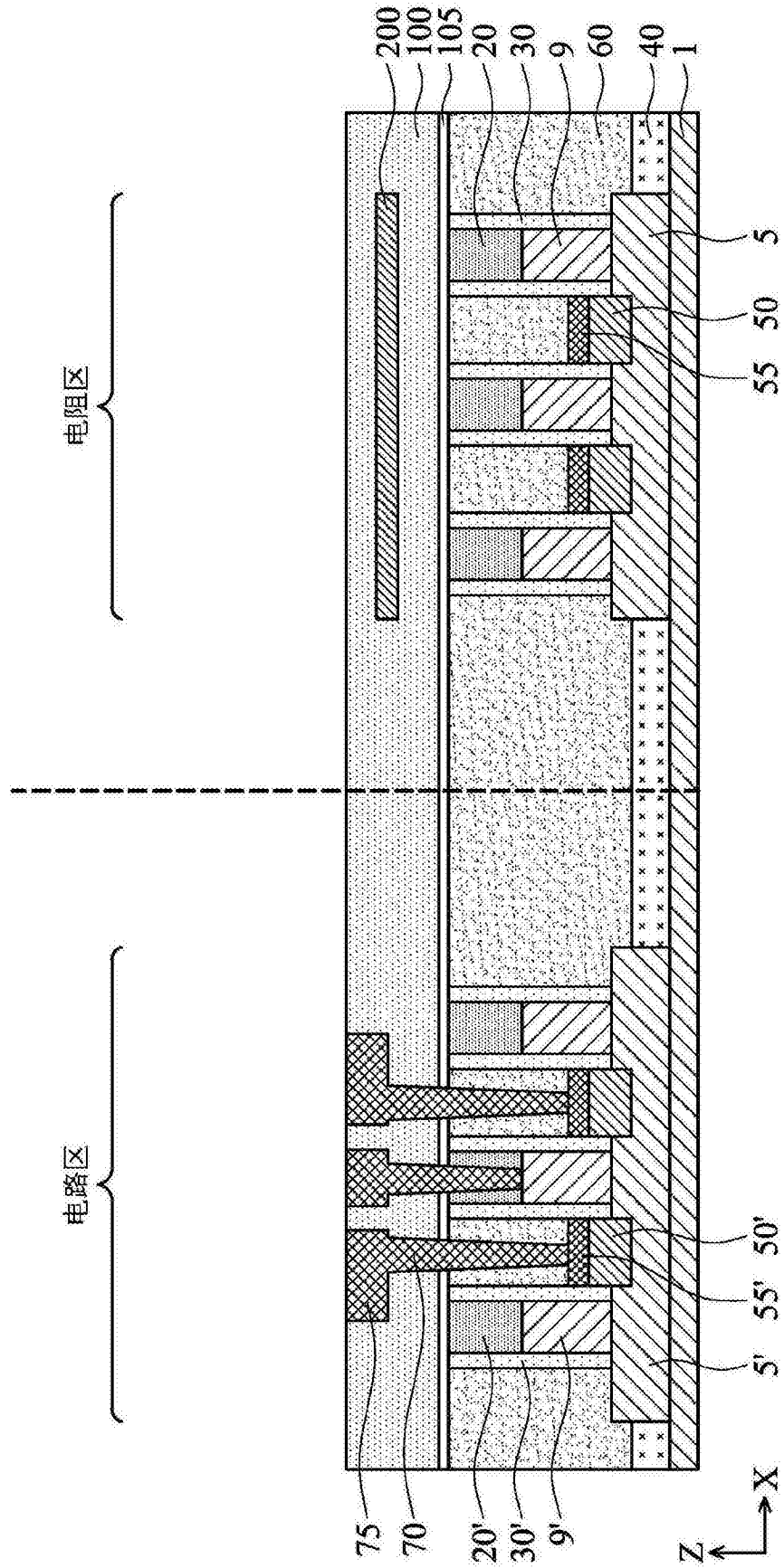


图8

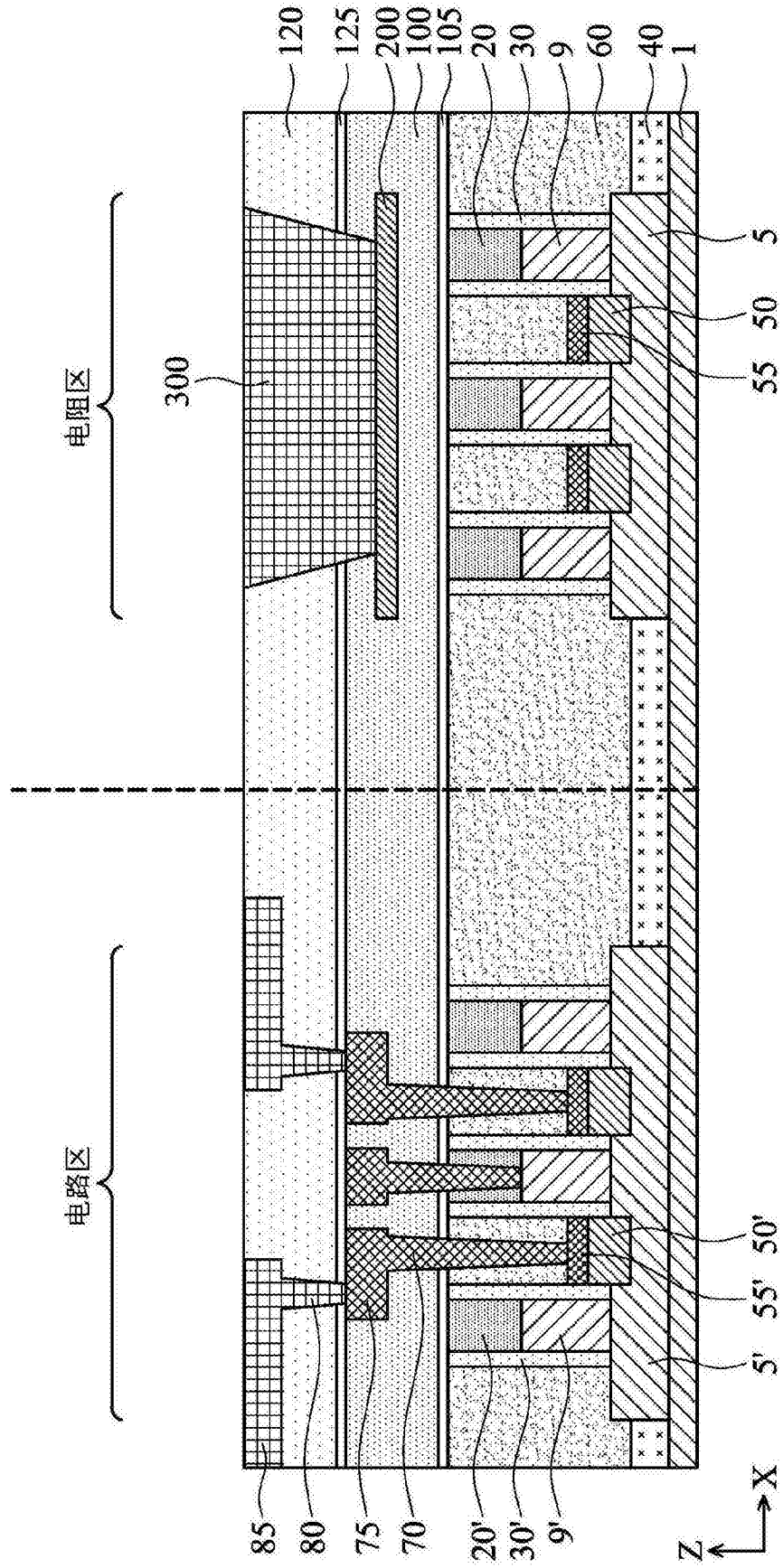


图9A

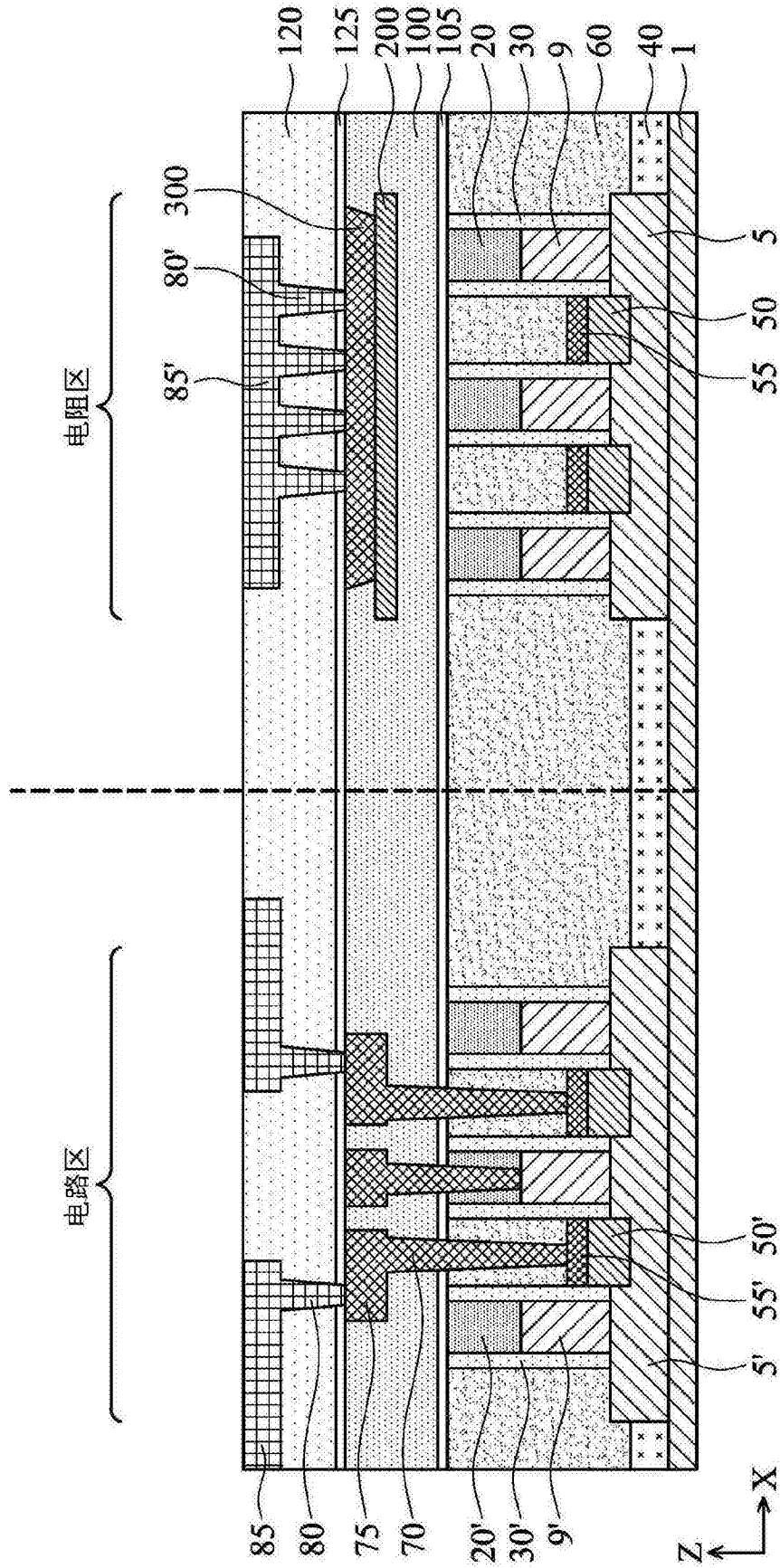


图9B



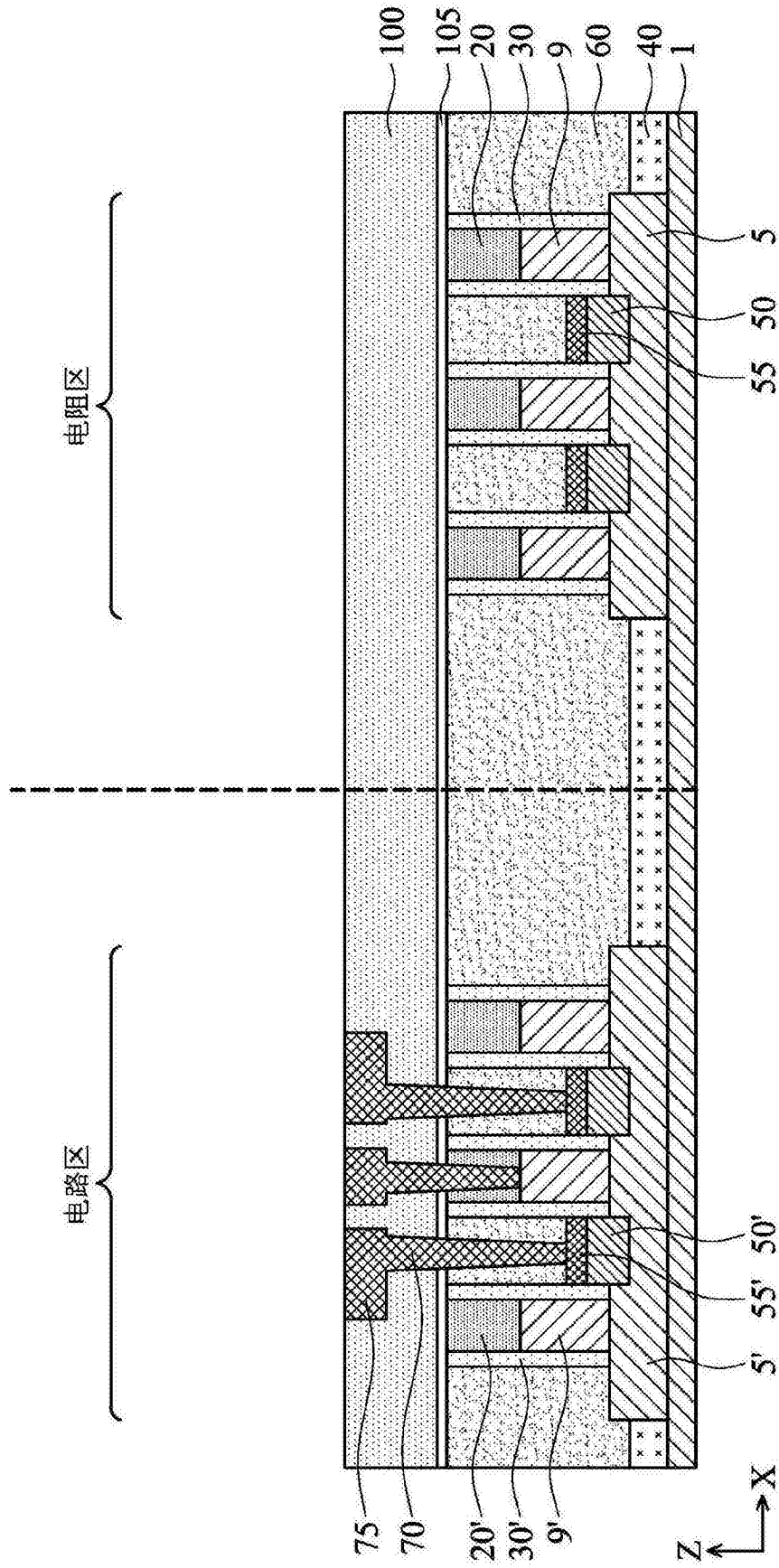


图10

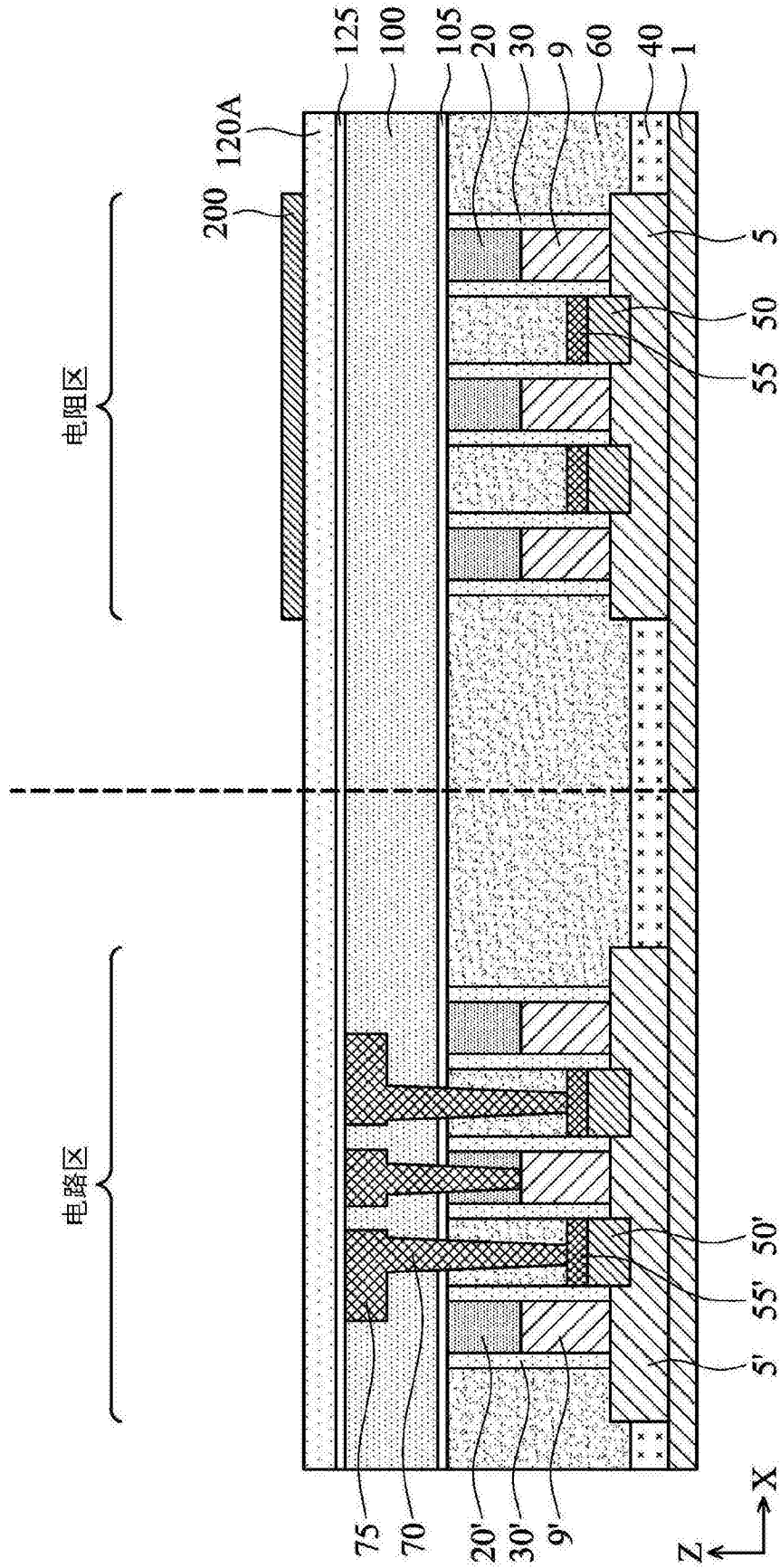


图11

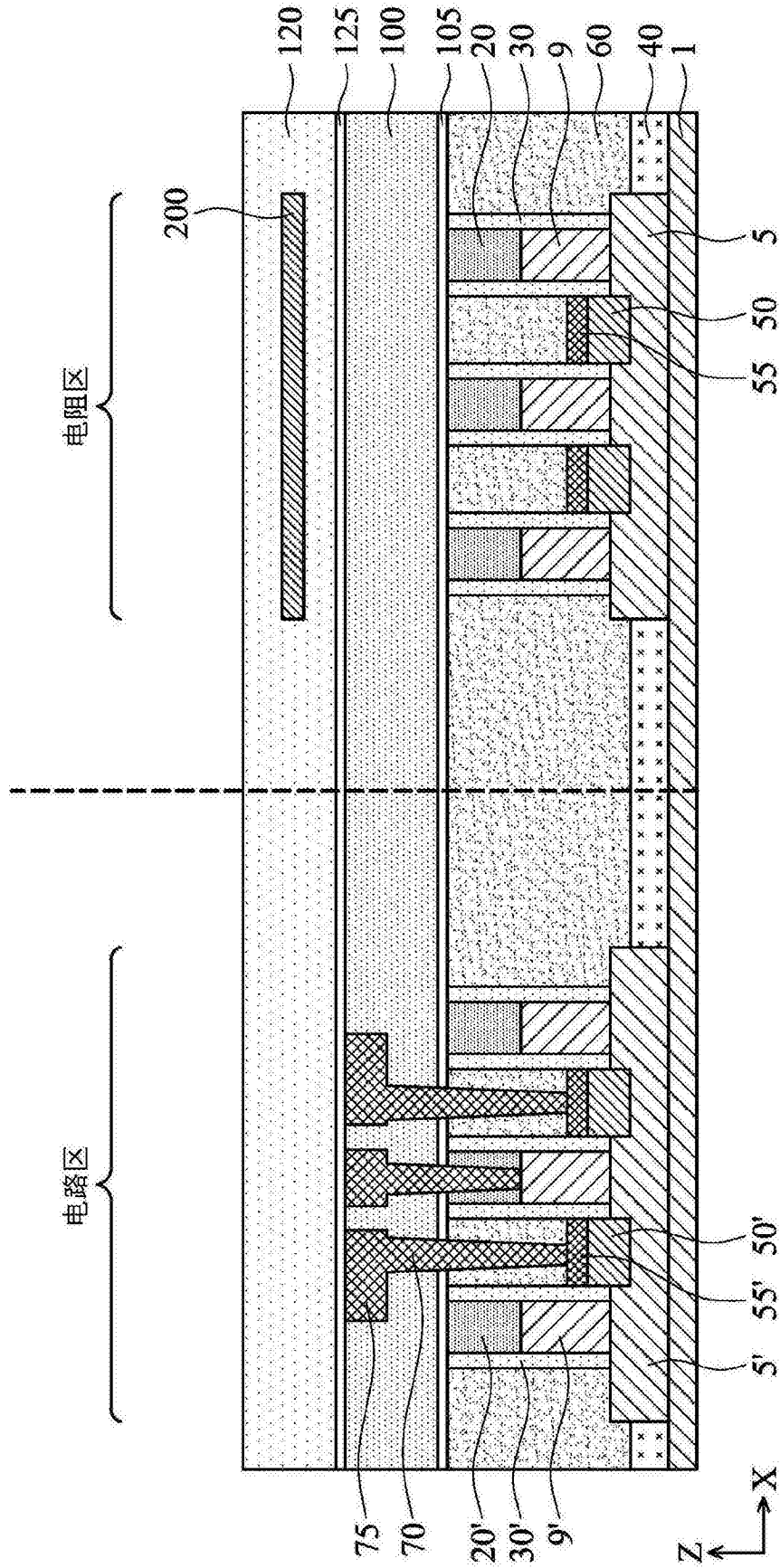


图12

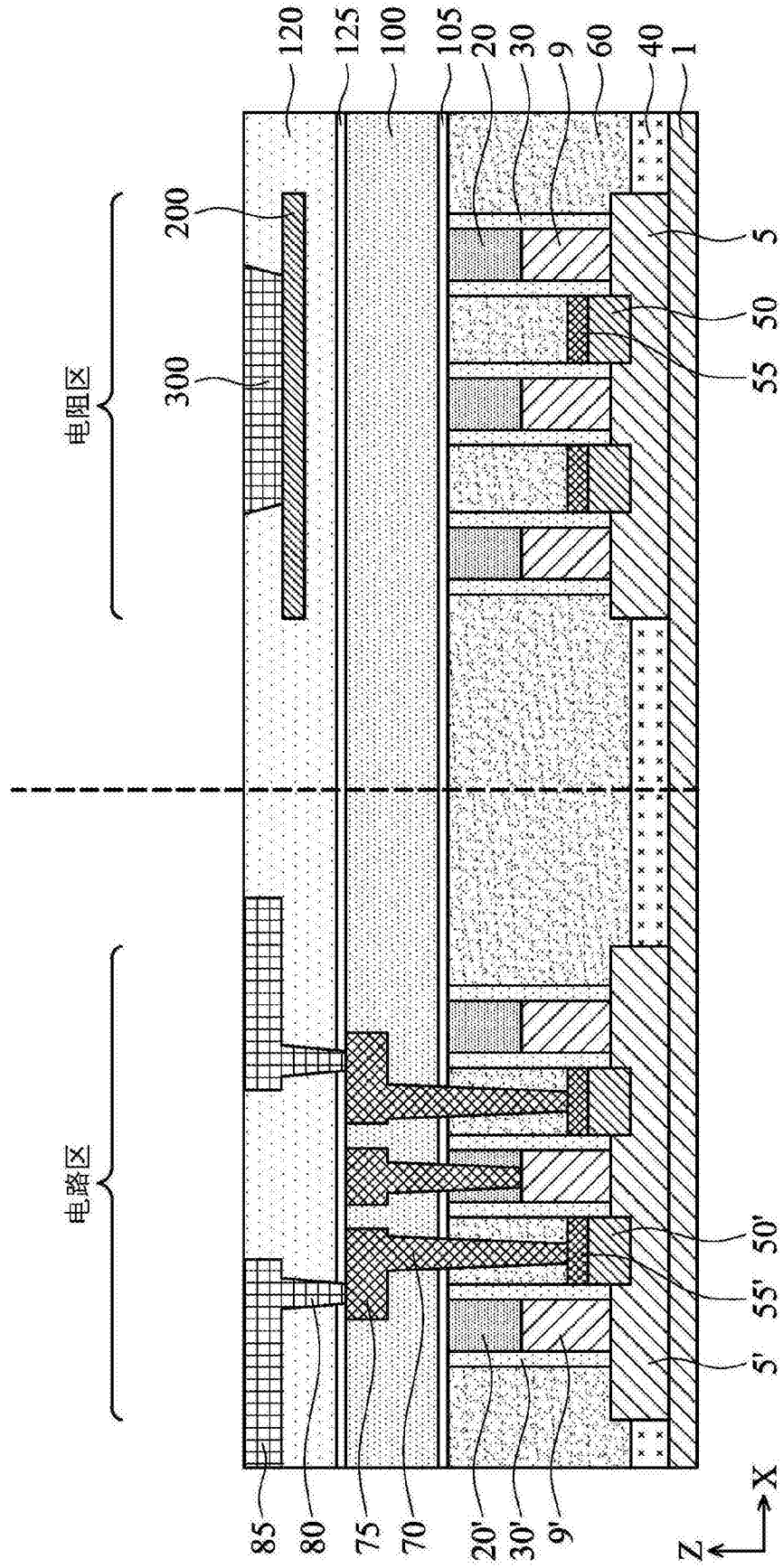


图13

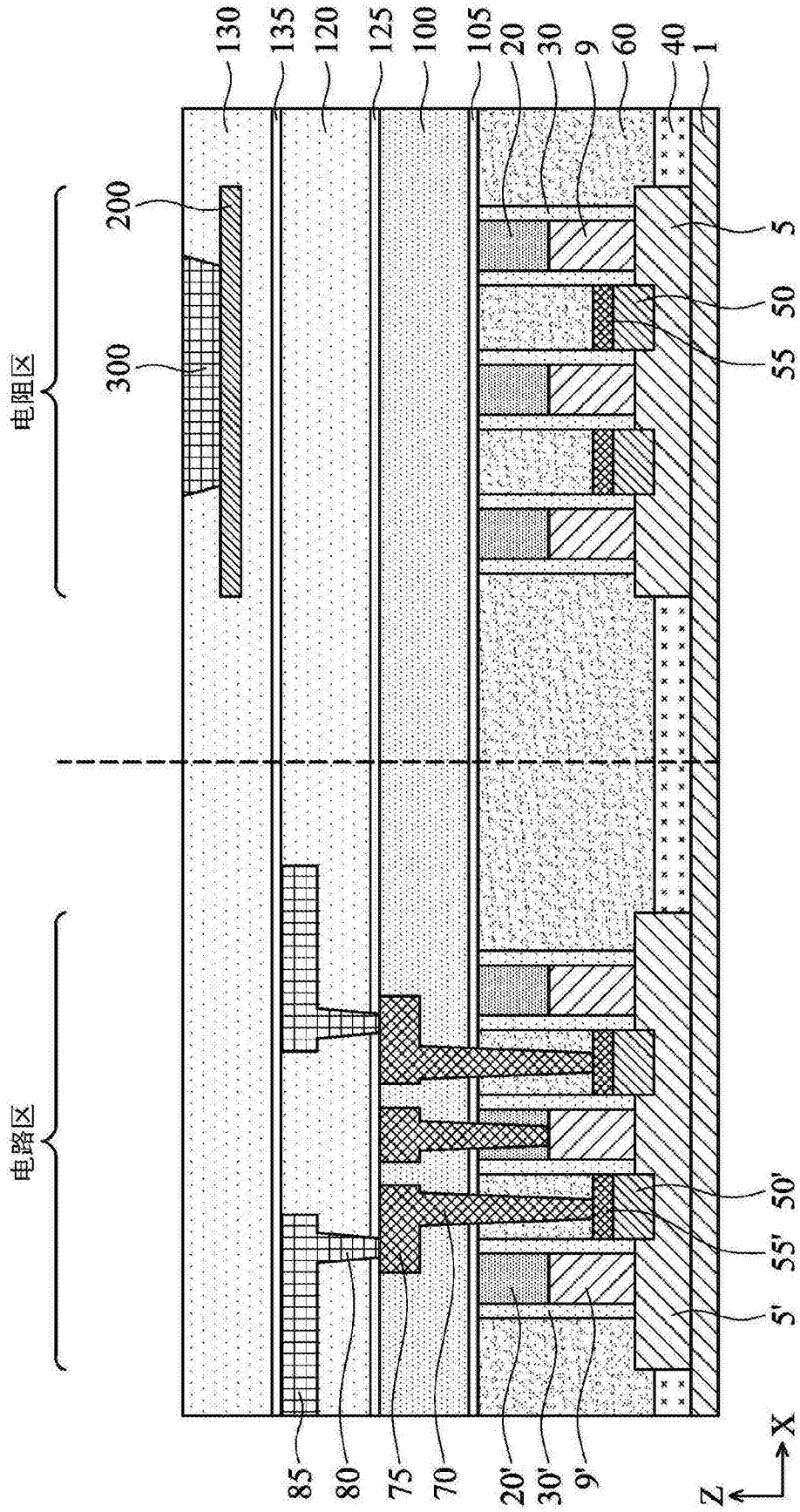


图14