



(12) 发明专利申请

(10) 申请公布号 CN 105024682 A

(43) 申请公布日 2015. 11. 04

(21) 申请号 201510290280. 9

(22) 申请日 2015. 05. 31

(71) 申请人 镇江天美信息科技有限公司

地址 212008 江苏省镇江市京口区学府路
118 号

(72) 发明人 谢憬 程秀兰 刘婷 付宇卓

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 李时云

(51) Int. Cl.

H03K 19/0175(2006. 01)

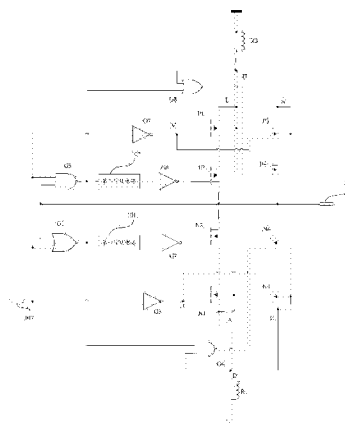
权利要求书2页 说明书8页 附图3页

(54) 发明名称

自动控制噪声的 I/O 接口驱动电路

(57) 摘要

本发明提供了一种自动控制噪声的 I/O 接口驱动电路,包括:N 型晶体管输出驱动电路和 P 型晶体管输出驱动电路。将 I/O 接口的输出信号和输入信号组合后实现对 N 型晶体管输出驱动电路和 P 型晶体管驱动电路的控制,同时,利用上述组合信号消除电源端及地端在所述 I/O 接口的输出信号翻转时所感应出的电平抖动,并且利用所述第一时延电路来调整所述 N 型晶体管输出驱动电路的驱动能力,利用所述第二时延电路来调整所述 P 型晶体管驱动电路的驱动能力,以防止所述 I/O 接口的输出信号电压过冲,实现所述 I/O 接口的输出信号翻转末期的平滑化,提高了所述 I/O 接口电路的噪声抑制能力。



1. 一种自动控制噪声的 I/O 接口驱动电路,其特征在于,包括:

N 型晶体管输出驱动电路和 P 型晶体管驱动电路,所述 N 型晶体管输出驱动电路和所述 P 型晶体管驱动电路均和 I/O 接口的输出端连接;

所述 N 型晶体管输出驱动电路包括:第一 N 型晶体管、第二 N 型晶体管、第三 N 型晶体管和第四 N 型晶体管;

所述第一 N 型晶体管的栅极与 I/O 接口的输入端连接,所述第一 N 型晶体管的衬底与所述第二 N 型晶体管的衬底连接于一第一节点,所述第一 N 型晶体管的源极与所述第一节点连接;

所述第二 N 型晶体管的源极和所述第一 N 型晶体管的漏极连接,所述第二 N 型晶体管的漏极与所述 I/O 接口的输出端连接,所述第二 N 型晶体管的栅极通过一第一时延电路与一第一或非门的输出端连接,所述 I/O 接口的输入端和输出端分别与所述第一或非门的两个输入端连接;

所述第三 N 型晶体管的栅极与第一 N 型晶体管的栅极连接于一第二节点,所述第二节点与所述 I/O 接口的输入端连接,所述第三 N 型晶体管的衬底和所述第四 N 型晶体管的衬底连接于一第三节点,所述第三 N 型晶体管的源极与所述第三节点连接,所述第三节点和所述第一节点连接于一第四节点,所述第四节点接地;

所述第四 N 型晶体管的源极与所述第三 N 型晶体管的漏极连接,所述第四 N 型晶体管的漏极与所述 I/O 接口的输出端连接,所述第四 N 型晶体管的栅极与一第一与非门的输出端连接,所述第一或非门的输出端和所述第四节点分别与所述第一与非门的两个输入端连接;

所述 P 型晶体管驱动电路包括:第一 P 型晶体管、第二 P 型晶体管、第三 P 型晶体管和第四 P 型晶体管;

所述第一 P 型晶体管的栅极与所述 I/O 接口的输入端连接,所述第一 P 型晶体管的衬底与所述第二 P 型晶体管的衬底连接于一第五节点,所述第一 P 型晶体管的源极与所述第五节点连接;

所述第二 P 型晶体管的源极与所述第一 P 型晶体管的漏极连接,所述第二 P 型晶体管的漏极与所述第二 N 型晶体管的漏极连接,并与所述 I/O 接口的输出端连接,所述第二 P 型晶体管的栅极通过一第二时延电路与一第二与非门的输出端连接,所述 I/O 接口的输入端和输出端分别与所述第二与非门的两个输入端连接;

所述第三 P 型晶体管的栅极与所述第一 P 型晶体管连接于一第六节点,所述第六节点与所述 I/O 接口的输入端连接,所述第三 P 型晶体管的衬底和所述第四 P 型晶体管的衬底连接于一第七节点,所述第三 P 型晶体管的源极与所述第七节点连接,所述第七节点和所述第五节点连接于一第八节点,所述第八节点接地;

所述第四 P 型晶体管的源极和所述第三 P 型晶体管的漏极连接,所述第四 P 型晶体管的漏极与所述第四 N 型晶体管的漏极连接,并与所述 I/O 接口的输出端连接,所述第四 P 型晶体管的栅极与一第二或非门的输出端连接,所述第二与非门的输出端和所述第八节点分别与所述第二或非门的两个输入端连接。

2. 如权利要求 1 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述自动控制噪声的 I/O 接口驱动电路还包括一第一反相器,所述第一或非门的输出端经过所述第一时

延电路后与所述第一反相器的输入端连接,所述第一反相器的输出端与所述第二 N 型晶体管的栅极连接。

3. 如权利要求 2 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述自动控制噪声的 I/O 接口驱动电路还包括一第二反相器,所述 I/O 接口的输入端与所述第二反相器的输入端连接,所述第二反相器的输出端与所述第二节点连接。

4. 如权利要求 3 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述自动控制噪声的 I/O 接口驱动电路还包括一第三反相器,所述第二与非门的输出端经过所述第二时延电路后与所述第三反相器的输入端连接,所述第三反相器的输出端与所述第二 P 型晶体管的栅极连接。

5. 如权利要求 4 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述自动控制噪声的 I/O 接口驱动电路还包括一第四反相器,所述 I/O 接口的输入端与所述第四反相器的输入端连接,所述第四反相器的输出端与所述第六节点连接。

6. 如权利要求 1 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述第一 N 型晶体管和所述第二 N 型晶体管的宽长比大于所述第三 N 型晶体管和所述第四 N 型晶体管的宽长比。

7. 如权利要求 6 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述第一 N 型晶体管的宽长比和所述第二 N 型晶体管的宽长比相等,所述第三 N 型晶体管的宽长比和所述第四 N 型晶体管的宽长比相等。

8. 如权利要求 1 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述第一 P 型晶体管和所述第二 P 型晶体管的宽长比大于所述第三 P 型晶体管和所述第四 P 型晶体管的宽长比。

9. 如权利要求 8 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述第一 P 型晶体管的宽长比和所述第二 P 型晶体管的宽长比相等,所述第三 P 型晶体管的宽长比和所述第四 P 型晶体管的宽长比相等。

10. 如权利要求 1 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述自动控制噪声的 I/O 接口驱动电路还包括一第一电阻,所述第四节点通过所述第一电阻接地。

11. 如权利要求 1 所述的自动控制噪声的 I/O 接口驱动电路,其特征在于,所述自动控制噪声的 I/O 接口驱动电路还包括一第二电阻,所述第八节点通过所述第二电阻接地。

自动控制噪声的 I/O 接口驱动电路

技术领域

[0001] 本发明涉及 IC 设计技术领域,尤其是一种自动控制噪声的 I/O 接口驱动电路。

背景技术

[0002] 在大规模数字集成电路设计中,由于先进的外设如 SRAM 等对芯片输出信号的高速要求,芯片的 I/O 接口输出信号需要实现快速的翻转。简单的大驱动能力 I/O 接口虽可满足输出信号的高速变化,但会造成输出信号出现过多高频噪声,并产生其他不利的影响。如电源线和地线上感应出的抖动 (Bounce),导致信号到达稳定状态的时延增加,甚至出现错误信息;输出信号之间的出现串扰 (Crosstalk) 会引起错误触发和正确信号被屏蔽等现象。这些噪声和干扰的产生原因,往往都是由于 I/O 接口输出驱动部分的大尺寸 MOS 管电路驱动能力过强且缺乏有效控制,造成了 I/O 接口驱动电路上的输出信号电压值产生较大的突变,甚至电压过冲 (overshoot) 和电平抖动的现象,这些现象会使得应用于诸如无线通讯设备 (PDA 等) 的 IC 芯片无法满足系统对其输出信号的电压幅度和精度及噪声限制的要求。

[0003] 要在保证 I/O 接口的输出能够实现高速翻转的前提下,减少输出信号噪声和对电源的噪声及高频分量对系统的影响,就必须对 I/O 接口的输出信号进行包括电平变化速率 (slew rate)、电压过冲和电平抖动等方面的控制。在普通的 I/O 接口电路结构中,只是简单地实现了电平的高速变化,其虽具有一定的噪声抑制功能,但其实现方式仅仅依靠对输出驱动电路驱动能力、即 MOS 管尺寸的调整,在连接不同的输出负载时,其对电压过冲等方面的控制能力差异较大,不能让设计者满意。

[0004] 图 1 是现有技术中 I/O 接口输入输出信号的仿真波形图,其中,纵坐标为 I/O 接口的输入电压 / 输出电压,用 V 表示,横坐标为时间,用 t 表示,103 为输入波形,104 为输出波形。由图 1 可见, I/O 接口的输出信号在电平翻转过程中会出现远高于 3.3V 或远低于 0V 低电平的电压过冲情况,且在翻转末期存在相当多的高频谐波分量,从而引发恶劣的噪声影响;翻转完成以后,输出信号电平依旧存在抖动情况,甚至会出现低于标准的高电平信号 (V_{oh}) 或高于标准的低电平信号 (V_{ol}),从而会引起对外设控制的误操作。

发明内容

[0005] 本发明的目的在于提供一种自动控制噪声的 I/O 接口驱动电路,已解决现有技术中 I/O 接口电路对噪声抑制能力不足的问题。

[0006] 为了达到上述目的,本发明提供了一种自动控制噪声的 I/O 接口驱动电路,包括: N 型晶体管输出驱动电路和 P 型晶体管输出驱动电路,所述 N 型晶体管输出驱动电路和所述 P 型晶体管驱动电路均和 I/O 接口的输出端连接;

[0007] 所述 N 型晶体管输出驱动电路包括:第一 N 型晶体管、第二 N 型晶体管、第三 N 型晶体管和第四 N 型晶体管;

[0008] 所述第一 N 型晶体管的栅极与 I/O 接口的输入端连接,所述第一 N 型晶体管的衬

底与所述第二 N 型晶体管的衬底连接于一第一节点,所述第一 N 型晶体管的源极与所述第一节点连接;

[0009] 所述第二 N 型晶体管的源极和所述第一 N 型晶体管的漏极连接,所述第二 N 型晶体管的漏极与所述 I/O 接口的输出端连接,所述第二 N 型晶体管的栅极通过一第一时延电路与一第一或非门的输出端连接,所述 I/O 接口的输入端和输出端分别与所述第一或非门的两个输入端连接;

[0010] 所述第三 N 型晶体管的栅极与第一 N 型晶体管的栅极连接于一第二节点,所述第二节点与所述 I/O 接口的输入端连接,所述第三 N 型晶体管的衬底和所述第四 N 型晶体管的衬底连接于一第三节点,所述第三 N 型晶体管的源极与所述第三节点连接,所述第三节点和所述第一节点连接于一第四节点,所述第四节点接地;

[0011] 所述第四 N 型晶体管的源极与所述第三 N 型晶体管的漏极连接,所述第四 N 型晶体管的漏极与所述 I/O 接口的输出端连接,所述第四 N 型晶体管的栅极与一第一与非门的输出端连接,所述第一或非门的输出端和所述第四节点分别与所述第一与非门的两个输入端连接;

[0012] 所述 P 型晶体管输出驱动电路包括:第一 P 型晶体管、第二 P 型晶体管、第三 P 型晶体管和第四 P 型晶体管;

[0013] 所述第一 P 型晶体管的栅极与所述 I/O 接口的输入端连接,所述第一 P 型晶体管的衬底与所述第二 P 型晶体管的衬底连接于一第五节点,所述第一 P 型晶体管的源极与所述第五节点连接;

[0014] 所述第二 P 型晶体管的源极与所述第一 P 型晶体管的漏极连接,所述第二 P 型晶体管的漏极与所述第二 N 型晶体管的漏极连接,并与所述 I/O 接口的输出端连接,所述第二 P 型晶体管的栅极通过一第二时延电路与一第二与非门的输出端连接,所述 I/O 接口的输入端和输出端分别与所述第二与非门的两个输入端连接;

[0015] 所述第三 P 型晶体管的栅极与所述第一 P 型晶体管连接于一第六节点,所述第六节点与所述 I/O 接口的输入端连接,所述第三 P 型晶体管的衬底和所述第四 P 型晶体管的衬底连接于一第七节点,所述第三 P 型晶体管的源极与所述第七节点连接,所述第七节点和所述第五节点连接于一第八节点,所述第八节点接地;

[0016] 所述第四 P 型晶体管的源极和所述第三 P 型晶体管的漏极连接,所述第四 P 型晶体管的漏极与所述第四 N 型晶体管的漏极连接,并与所述 I/O 接口的输出端连接,所述第四 P 型晶体管的栅极与一第二或非门的输出端连接,所述第二与非门的输出端和所述第八节点分别与所述第二或非门的两个输入端连接。

[0017] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述自动控制噪声的 I/O 接口驱动电路还包括一第一反相器,所述第一或非门的输出端经过所述第一时延电路后与所述第一反相器的输入端连接,所述第一反相器的输出端与所述第二 N 型晶体管的栅极连接。

[0018] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述自动控制噪声的 I/O 接口驱动电路还包括一第二反相器,所述 I/O 接口的输入端与所述第二反相器的输入端连接,所述第二反相器的输出端与所述第二节点连接。

[0019] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述自动控制噪声的 I/O

接口驱动电路还包括一第三反相器,所述第二与非门的输出端经过所述第二时延电路后与所述第三反相器的输入端连接,所述第三反相器的输出端与所述第二 P 型晶体管的栅极连接。

[0020] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述自动控制噪声的 I/O 接口驱动电路还包括一第四反相器,所述 I/O 接口的输入端与所述第四反相器的输入端连接,所述第四反相器的输出端与所述第六节点连接。

[0021] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述第一 N 型晶体管和所述第二 N 型晶体管的宽长比大于所述第三 N 型晶体管和所述第四 N 型晶体管的宽长比。

[0022] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述第一 N 型晶体管的宽长比和所述第二 N 型晶体管的宽长比相等,所述第三 N 型晶体管的宽长比和所述第四 N 型晶体管的宽长比相等。

[0023] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述第一 P 型晶体管和所述第二 P 型晶体管的宽长比大于所述第三 P 型晶体管和所述第四 P 型晶体管的宽长比。

[0024] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述第一 P 型晶体管的宽长比和所述第二 P 型晶体管的宽长比相等,所述第三 P 型晶体管的宽长比和所述第四 P 型晶体管的宽长比相等。

[0025] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述自动控制噪声的 I/O 接口驱动电路还包括一第一电阻,所述第四节点通过所述第一电阻接地。

[0026] 优选的,在上述的自动控制噪声的 I/O 接口驱动电路中,所述自动控制噪声的 I/O 接口驱动电路还包括一第二电阻,所述第八节点通过所述第二电阻接地。

[0027] 在本发明提供的自动控制噪声的 I/O 接口驱动电路中,将所述 I/O 接口的输出信号和输入信号组合后实现对 N 型晶体管输出驱动电路和 P 型晶体管驱动电路的控制,同时,利用上述组合信号消除电源端及地端在所述 I/O 接口的输出信号翻转时所感应出的电平抖动,并且利用所述第一时延电路来调整所述 N 型晶体管输出驱动电路的驱动能力,利用所述第二时延电路来调整所述 P 型晶体管驱动电路的驱动能力,以防止所述 I/O 接口的输出信号电压过冲,实现所述 I/O 接口的输出信号翻转末期的平滑化,提高了所述 I/O 接口电路的噪声抑制能力。

附图说明

[0028] 图 1 为现有技术中 I/O 接口输入输出信号的仿真波形图;

[0029] 图 2 为本发明实施例中提供的自动控制噪声的 I/O 接口驱动电路图;

[0030] 图 3 为本发明实施例中提供的自动控制噪声的 I/O 接口驱动电路的输出信号的仿真波形图;

[0031] 图中:N1- 第一 N 型晶体管;N2- 第二 N 型晶体管;N3- 第三 N 型晶体管;N4- 第四 N 型晶体管;P1- 第一 P 型晶体管;P2- 第二 P 型晶体管;P3- 第三 P 型晶体管;P4- 第四 P 型晶体管;G1- 第一或非门;G2- 第一反相器;G3- 第二反相器;G4- 第一与非门;G5- 第二与非门;G6- 第三反相器;G7- 第四反相器;G8- 第二或非门;R1- 第一电阻;R2- 第二电阻;A- 第一节点;B- 第二节点;C- 第三节点;D- 第四节点;L- 第五节点;M- 第六节点;S- 第七节点;U- 第八节点;101- 第一时延电路;102- 第二时延电路;103- 输入波形;104- 输出波

形 ;105- 输入波形 ;106- 输出波形 ;107-I/O 接口的输入端 ;108-I/O 接口的输出端。

具体实施方式

[0032] 下面将结合示意图对本发明的具体实施方式进行更详细的描述。根据下列描述和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0033] 本发明提供了一种自动控制噪声的 I/O 接口驱动电路,如图 2 所示,包括:N 型晶体管输出驱动电路和 P 型晶体管输出驱动电路,其中,所述 N 型晶体管输出驱动电路包括:第一 N 型晶体管 N1、第二 N 型晶体管 N2、第三 N 型晶体管 N3 和第四 N 型晶体管 N4,所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 的宽长比大于所述第三 N 型晶体管 N3 和所述第四 N 型晶体管 N4 的宽长比,且所述第一 N 型晶体管 N1 的宽长比和所述第二 N 型晶体管 N2 的宽长比相等,所述第三 N 型晶体管 N3 的宽长比和所述第四 N 型晶体管 N4 的宽长比相等。所述 N 型晶体管输出驱动电路由两套尺寸不同而导致驱动能力有所差异的串联的 N 型晶体管构成,利用大驱动能力的所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 实现了电平的高速翻转。

[0034] 具体的,如图 2 所示,所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 串联,具体的,所述第一 N 型晶体管 N1 的衬底与所述第二 N 型晶体管 N2 的衬底连接于一第一节点 A,所述第一 N 型晶体管 N1 的源极与所述第一节点 A 连接,所述第一 N 型晶体管 N1 的漏极和所述第二 N 型晶体管 N2 的源极连接,所述第一 N 型晶体管 N1 的栅极与所述第三 N 型晶体管 N3 的栅极连接于一第二节点 B,所述第二节点 B 通过一第二反相器 G3 与所述 I/O 接口的输入端 107 连接,使得所述第一 N 型晶体管 N1 和所述第三 N 型晶体管 N3 具有相同的控制信号,且所述第一 N 型晶体管 N1 和所述第三 N 型晶体管 N3 的开关状况与所述 I/O 接口的输入信号基本保持同步。进一步的,所述第二节点 B 和所述第二反相器 G3 的输出端连接,所述第二反相器 G3 的输入端与所述 I/O 接口的输入端 107 连接。

[0035] 所述第二 N 型晶体管 N2 的漏极与所述 I/O 接口的输出端 108 连接,所述第二 N 型晶体管 N2 的栅极与一第一反相器 G2 的输出端,所述第一反相器 G2 的输入端通过一第一时延电路 101 与一第一或非门 G1 的输出端连接,所述 I/O 接口的输入端 107 和输出端分别与所述第一或非门 G1 的两个输入端连接。也就是说,所述 I/O 接口的输出信号反馈到所述第一或非门 G1 的输入端,与所述 I/O 接口的输入信号共同经过所述第一或非门 G1 后,再经过所述第一时延电路 101 后作为所述第二 N 型晶体管 N2 的控制信号。

[0036] 所述第三 N 型晶体管 N3 的栅极与第一 N 型晶体管 N1 的栅极连接于一第二节点 B,所述第二节点 B 通过所述第二反相器 G3 与所述 I/O 接口的输入端 107 连接,所述第三 N 型晶体管 N3 和所述第一 N 型晶体管 N1 的控制信号同步。所述第三 N 型晶体管 N3 和所述第四 N 型晶体管 N4 串联,具体的,所述第三 N 型晶体管 N3 的衬底和所述第四 N 型晶体管 N4 的衬底连接于一第三节点 C,所述第三 N 型晶体管 N3 的源极与所述第三节点 C 连接,所述第三 N 型晶体管 N3 的漏极与所述第四 N 型晶体管 N4 的源极连接,所述第三节点 C 和所述第一节点 A 连接于一第四节点 D,所述第四节点 D 通过一第一电阻 R1 接地,所述第一电阻 R1 减小所述 I/O 接口的输出电压在翻转过程中所产生的过冲。

[0037] 所述第四 N 型晶体管 N4 的漏极与所述 I/O 接口的输出端 108 连接,所述第四 N 型

晶体管 N4 的栅极与一第一与非门 G4 的输出端连接,所述第一与非门 G1 的输出端和所述第四节点 D 分别与所述第一与非门 G4 的两个输入端连接

[0038] 也就是说,大尺寸的所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 串联组成一 N 型晶体管的第一级输出驱动电路,小尺寸的所述第三 N 型晶体管 N3 和所述第四 N 型晶体管 N4 串联组成一 N 型晶体管的第二级输出驱动电路,两套尺寸不同而导致驱动能力有所差异的串联的 N 型晶体管构成的 N 型晶体管输出驱动电路,利用大驱动能力的所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 实现了电平的高速翻转,并且通过将所述 I/O 接口输出端的信号反馈到所述第二 N 型晶体管 N2 和所述第四 N 型晶体管 N4 的栅极,作为所述第二 N 型晶体管 N2 和所述第四 N 型晶体管 N4 的控制信号,从而实现了所述 I/O 接口的输出电平在从高电平到低电平翻转的初期,所述 N 型晶体管输出驱动电路的快速导通和闭合,以及所述输出电平在从高电平到低电平翻转末期信号的平滑化。

[0039] 进一步的,所述第一反相器 G2 和所述第二反相器 G3 可以提高所述 N 型晶体管输出驱动电路的驱动能力,防止所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 的开关延时过长。

[0040] 所述 P 型晶体管输出驱动电路包括:第一 P 型晶体管 P1、第二 P 型晶体管 P2、第三 P 型晶体管 P3 和第四 P 型晶体管 P4,所述第一 P 型晶体管 P1 和所述第二 P 型晶体管 P2 的宽长比大于所述第三 P 型晶体管 P3 和所述第四 P 型晶体管 P4 的宽长比,且所述第一 P 型晶体管 P1 的宽长比和所述第二 P 型晶体管 P2 的宽长比相等,所述第三 P 型晶体管 P3 的宽长比和所述第四 P 型晶体管 P4 的宽长比相等。所述 P 型晶体管输出驱动电路由两套尺寸不同而导致驱动能力有所差异的串联的 P 型晶体管构成,利用大驱动能力的所述第一 P 型晶体管 P1 和所述第二 P 型晶体管 P2 实现了电平的高速翻转。

[0041] 具体的,如图 2 所示,所述第一 P 型晶体管 P1 和所述第二 P 型晶体管 P2 串联,具体的,所述第一 P 型晶体管 P1 的衬底与所述第二 P 型晶体管 P2 的衬底连接于一第五节点 L,所述第一 P 型晶体管 P1 的源极与所述第五节点 L 连接,所述第一 P 型晶体管 P1 的漏极和所述第二 P 型晶体管 P2 的源极连接,所述第一 P 型晶体管 P1 的栅极与所述第三 P 型晶体管 P3 的栅极连接于一第六节点 M,所述第六节点 M 通过一第四反相器 G7 与所述 I/O 接口的输入端 107 连接,使得所述第一 P 型晶体管 P1 和所述第三 P 型晶体管 P3 具有相同的控制信号,且所述第一 P 型晶体管 P1 和所述第三 P 型晶体管 P3 的开关状况与所述 I/O 接口的输入信号基本保持同步。进一步的,所述第六节点 M 和所述第四反相器 G7 的输出端连接,所述第四反相器 G7 的输入端与所述 I/O 接口的输入端 107 连接。

[0042] 所述第二 P 型晶体管 P2 的漏极与所述 I/O 接口的输出端 108 连接,所述第二 P 型晶体管 P2 的栅极与一第三反相器 G6 的输出端,所述第三反相器 G6 的输入端通过一第二时延电路 102 与一第二与非门 G5 的输出端连接,所述 I/O 接口的输入端 107 和输出端分别与所述第二与非门 G5 的两个输入端连接。也就是说,所述 I/O 接口的输出信号反馈到所述第二与非门 G5 的输入端,与所述 I/O 接口的输入信号共同经过所述第二与非门 G5 后,再经过所述第二时延电路 102 后作为所述第二 N 型晶体管 N2 的控制信号。

[0043] 所述第三 P 型晶体管 P3 的栅极与第一 P 型晶体管 P1 的栅极连接于一第六节点 M,所述第六节点 M 通过所述第四反相器 G7 与所述 I/O 接口的输入端 107 连接,所述第三 P 型晶体管 P3 和所述第一 P 型晶体管 P1 的控制信号同步。所述第三 P 型晶体管 P3 和所述第

四 P 型晶体管 P4 串联,具体的,所述第三 P 型晶体管 P3 的衬底和所述第四 P 型晶体管 P4 的衬底连接于一第七节点 S,所述第三 P 型晶体管 P3 的源极与所述第七节点 S 连接,所述第三 P 型晶体管 P3 的漏极与所述第四 P 型晶体管 P4 的源极连接,所述第七节点 S 和所述第五节点 L 连接于一第八节点 U,所述第八节点 U 通过一第二电阻 R2 接地,所述第二电阻 R2 减小所述 I/O 接口的输出电压在从低电平到高电平的翻转过程中所产生的过冲。

[0044] 所述第四 P 型晶体管 P4 的漏极与所述 I/O 接口的输出端 108 连接,所述第四 P 型晶体管 P4 的栅极与一第二或非门 G8 的输出端连接,所述第二或非门 G8 的输出端和所述第八节点 U 分别与所述第二或非门 G8 的两个输入端连接

[0045] 也就是说,大尺寸的所述第一 P 型晶体管 P1 和所述第二 P 型晶体管 P2 串联组成一 P 型晶体管的第一级输出驱动电路,小尺寸的所述第三 P 型晶体管 P3 和所述第四 P 型晶体管 P4 串联组成一 P 型晶体管的第二级输出驱动电路,两套尺寸不同而导致驱动能力有所差异的串联的 P 型晶体管构成的 P 型晶体管输出驱动电路,利用大驱动能力的所述第一 P 型晶体管 P1 和所述第二 P 型晶体管 P2 实现了电平的高速翻转,并且通过将所述 I/O 接口输出端的信号反馈到所述第二 P 型晶体管 P2 和所述第四 P 型晶体管 P4 的栅极,作为所述第二 P 型晶体管 P2 和所述第四 P 型晶体管 P4 的控制信号,从而实现了所述 I/O 接口的输出电平在从低电平到高电平翻转的初期,所述 P 型晶体管输出驱动电路的快速导通和闭合,以及所述输出电平在从低电平到高电平翻转末期信号的平滑化。

[0046] 进一步的,所述第三反相器 G6 和所述第四反相器 G7 可以提高所述 P 型晶体管输出驱动电路的驱动能力,防止所述第一 P 型晶体管 P1 和所述第二 P 型晶体管 P2 的开关延时过长。

[0047] 具体的工作原理如下:

[0048] 当所述 I/O 接口的输入信号和输出信号均稳定在高电平时,其输出端的工作状态取决于所述 N 型晶体管输出驱动电路的运作。此时,所述第二 N 型晶体管 N2 和所述第四 N 型晶体管 N4 均始终处于导通状态。当所述 I/O 接口的输入信号由高电平转换为低电平时,所述第一 N 型晶体管 N1 和所述第三 N 型晶体管 N3 打开,并且均与地端导通,使得所述 I/O 接口的输出电平翻转初期所述 N 型晶体管输出驱动电路的快速导通、上电,从而使得所述 I/O 接口的输出电平能够高速的向低电平转换。

[0049] 由于所述 I/O 接口的输出信号相对于其输入信号有一点的延迟,在所述 I/O 接口的输入信号由高电平转换为低电平初期的一端时期内,所述 I/O 接口的输出信号仍然保持为高电平,即使得所述第一或非门 G1 的两个输入信号分别为一个高电平和一个低电平,导致所述第一或非门 G1 的输出信号仍然为低电平,可以消除地端的感应抖动,使所述第四 N 型晶体管 N4 保持稳定。

[0050] 与此同时,随着所述 I/O 接口的输出电平的下降,所述第一或非门 G1 的输出信号经过所述第一反相器 G2 反相后将会低于所述第二 N 型晶体管 N2 的阈值电压,但由于所述第一时延电路 101 的设置,所述第二 N 型晶体管 N2 仍将保持一段时间的导通状态,从而继续驱动所述 I/O 接口的输出电平向低电平变化。当所述 I/O 接口的输出电压继续下降一定的时间后,所述第一反相器 G2 的输出电压将低于所述第二 N 型晶体管 N2 的阈值电压,因此所述第二 N 型晶体管 N2 关闭,所述第一 N 型晶体管 N1 和所述第二 N 型晶体管 N2 的串联停止对所述 I/O 接口的输出信号的影响,所述 N 型晶体管输出驱动电路的驱动能力下降,所述

I/O接口的输出电平的继续变化将只受到所述第三N型晶体管N3和所述第四N型晶体管N4的串联的影响。由于所述第三N型晶体管N3和所述第四N型晶体管N4的宽长比小于所述第一N型晶体管N1和所述第二N型晶体管N2的宽长比,所述第三N型晶体管N3和所述第四N型晶体管N4的串联对所述I/O接口的输出电平的驱动能力小于所述第一N型晶体管N1和所述第二N型晶体管N2的串联,使得所述I/O接口的输出电平的转换速度放缓,从而实现了通过所述I/O接口的输出信号的反馈实现噪声的自动控制,避免了所述I/O接口的输出电压变化过冲的现象,且使得所述I/O接口的输出信号在从高电平到低电平的翻转末期的波形平滑化,如图3所示,105为输入波形,106为输出波形。

[0051] 当所述I/O接口的输入信号和输出信号均稳定在低电平时,所述I/O接口的输出端108的工作状态取决于所述P型晶体管输出驱动电路的运作。此时,所述第二P型晶体管P2和所述第四P型晶体管P4始终处于导通状态。当所述I/O接口的输入信号由低电平转换为高电平时,所述第一P型晶体管P1和所述第三P型晶体管P3立即打开,并与电源端导通,使得在所述I/O接口的输出电平从低电平向高电平的翻转初期所述P型晶体管输出驱动电路的快速导通、上电,从而使得所述I/O接口的输出电平能够高速的向高电平转换。

[0052] 由于所述I/O接口的输出信号相对于其输入信号有一点的延迟,在所述I/O接口的输入信号由低电平转换为高电平初期的一端时期内,所述I/O接口的输出信号仍然为低电平,即,使得所述第二与非门G5的两个输入信号分别为一个高电平和一个低电平,导致所述第二与非门G5的输出信号仍然为高电平,从而可以消除电源端的感应抖动,且使所述第四P型晶体管P4保证稳定。

[0053] 与此同时,随着所述I/O接口的输出电压的上升,所述第二与非门G5的输出信号经过所述第三反相器G6反相后将会高于所述第二P型晶体管P2的阈值电压,但由于所述第二时延电路102的设置,所述第二P型晶体管P2仍将维持一段时间的导体状态,从而继续驱动所述I/O接口的输出电平向高电平变化。当所述I/O接口的输出电压继续上升一定的时间后,所述第三反相器G6的输出电压将高于所述第二P型晶体管P2的阈值电压,因此,所述第二P型晶体管P2关闭,所述第一P型晶体管P1和所述第二P型晶体管P2的串联停止对所述I/O接口的输出信号的影响,所述P型晶体管输出驱动电路的驱动能力下降。所述I/O接口的输出电平的继续变化将只受到所述第三P型晶体管P3和所述第四P型晶体管P4的串联的影响。由于所述第三P型晶体管P3和所述第四P型晶体管P4的宽长比小于所述第一P型晶体管P1和所述第二P型晶体管P2的宽长比,所述第三P型晶体管P3和所述第四P型晶体管P4的串联对所述I/O接口的输出电平的驱动能力小于所述第一P型晶体管P1和所述第二P型晶体管P2的串联,使得所述I/O接口的输出电平的转换速度放缓,从而实现了通过所述I/O接口的输出信号的反馈实现噪声的自动控制,避免了所述I/O接口的输出电压变化过冲的现象,且使得所述I/O接口的输出信号在从低电平到高电平的翻转末期的波形平滑化,如图3所示,105为输入波形,106为输出波形。

[0054] 综上,在本发明实施例提供的自动控制噪声的I/O接口驱动电路中,将所述I/O接口的输出信号和输入信号组合后实现对N型晶体管输出驱动电路和P型晶体管驱动电路的控制,同时,利用上述组合信号消除电源端及地端在所述I/O接口的输出信号翻转时所感应出的电平抖动,并且利用所述第一时延电路来调整所述N型晶体管输出驱动电路的驱动能力,利用所述第二时延电路来调整所述P型晶体管驱动电路的驱动能力,以防止所述I/

0 接口的输出信号电压过冲,实现所述 I/O 接口的输出信号翻转末期的平滑化,提高了所述 I/O 接口电路的噪声抑制能力。

[0055] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

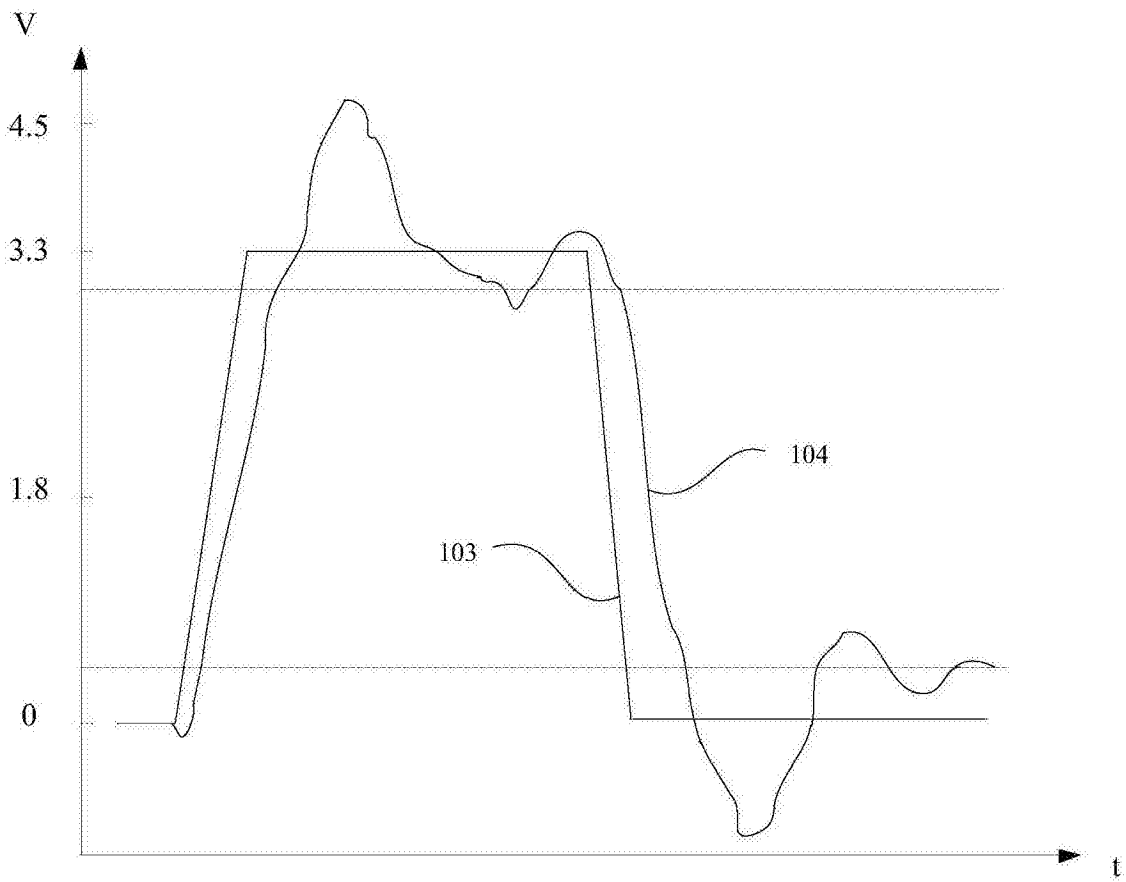


图 1

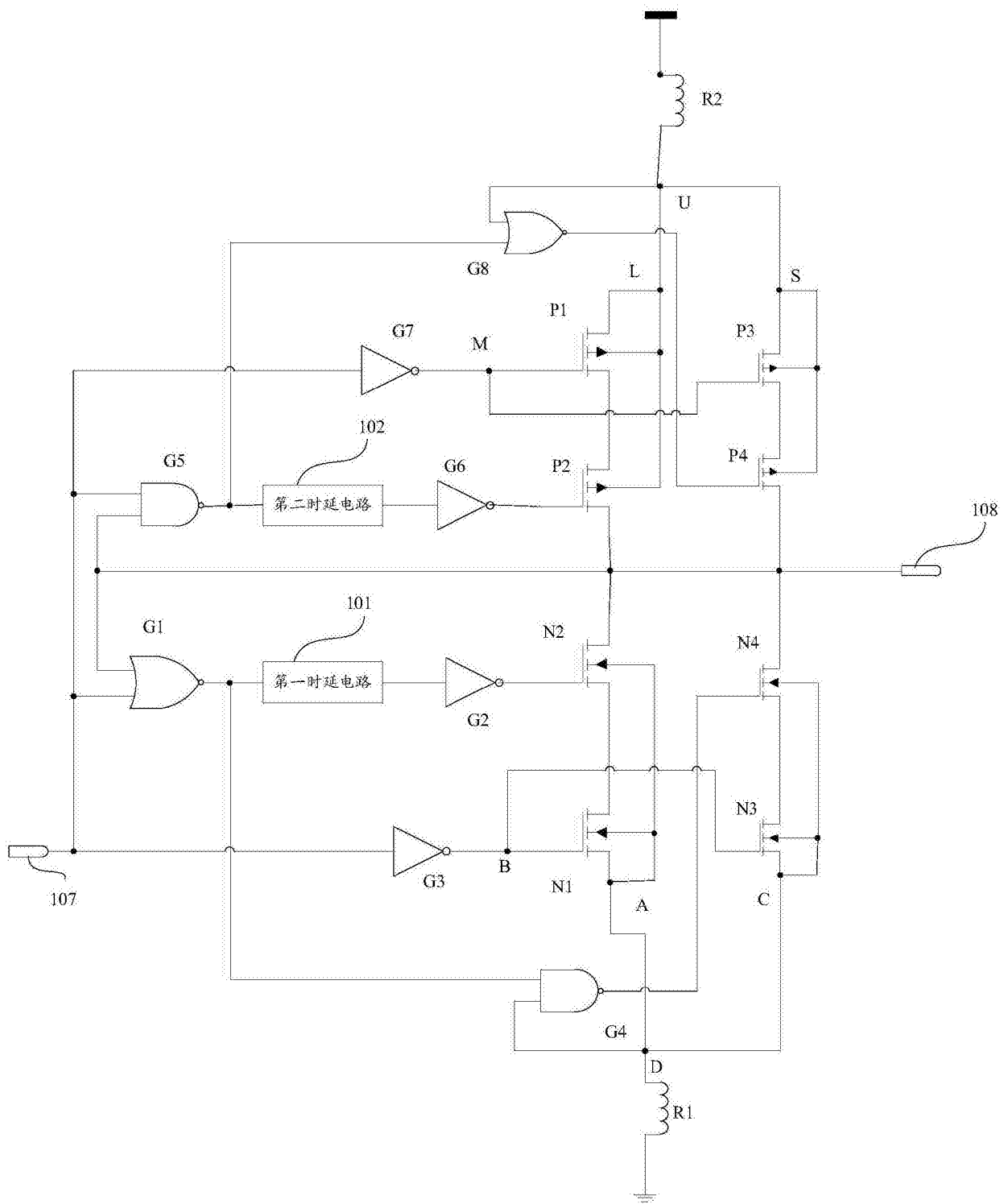


图 2

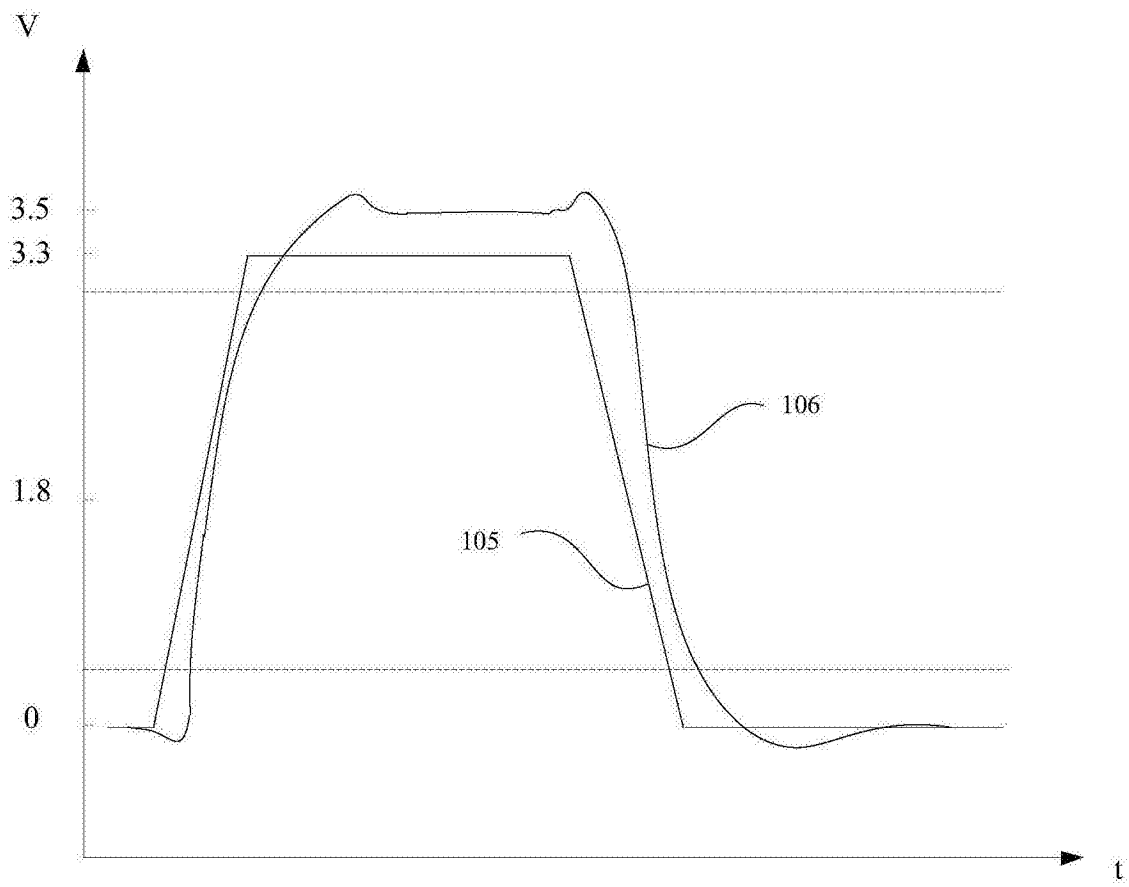


图 3