



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I666865 B

(45) 公告日：中華民國 108 (2019) 年 07 月 21 日

(21) 申請案號：106125243

(22) 申請日：中華民國 106 (2017) 年 07 月 27 日

(51) Int. Cl. : **H02M3/07 (2006.01)**

(30) 優先權：2017/05/25 美國 15/604,664

(71) 申請人：力旺電子股份有限公司 (中華民國) EMEMORY TECHNOLOGY INC. (TW)
新竹市新竹科學園區園區二路四十七號三〇五室

(72) 發明人：張武昌 CHANG, WU-CHANG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW I580163B US 2002/0122324A1

US 2008/0116958A1 US 2013/0207716A1

審查人員：張嘉德

申請專利範圍項數：20 項 圖式數：5 共 36 頁

(54) 名稱

電荷泵電路

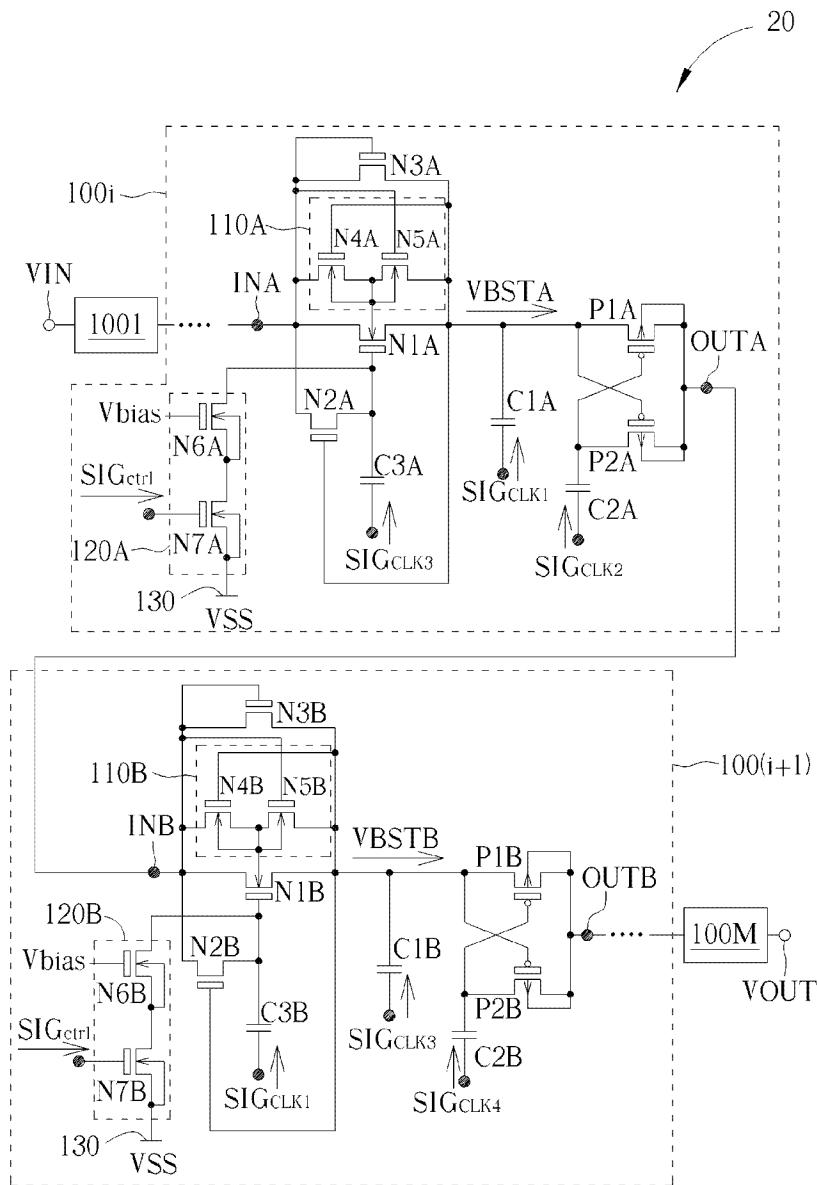
CHARGE PUMP CIRCUIT

(57) 摘要

電荷泵電路包含第一電荷泵單元及第二電荷泵單元。第一電荷泵單元根據第一時脈訊號、第二時脈訊號及第三時脈訊號抬升輸入電壓以輸出第一抬升電壓。第二電荷泵單元根據第一時脈訊號、第四時脈訊號及第三時脈訊號抬升第一抬升電壓以輸出第二抬升電壓。第一時脈訊號及第三時脈訊號為非重疊的兩個時脈訊號。第二時脈訊號的負緣領先第一時脈訊號的正緣。第四時脈訊號的負緣領先第三時脈訊號的正緣。

A charge pump circuit includes a first charge pump unit and a second charge pump unit. The first charge pump unit pumps an input voltage to output a first pumped voltage according to a first clock signal, a second clock signal and a third clock signal. The second charge pump unit pumps the first pumped voltage to output a second pumped voltage according to the first clock signal, a fourth clock signal and the third clock signal. The first clock signal and the third clock signal are non-overlapping clock signals. A falling edge of the second clock signal leads a rising edge of the first clock signal. A falling edge of the fourth clock signal leads a rising edge of the third clock signal.

指定代表圖：



第5圖

- 符號簡單說明：
- 20 . . . 電荷泵電路
 - 100i、100i、100(i+1)、100M . . . 電荷泵單元
 - VIN . . . 電壓輸入埠
 - VOUT . . . 電壓輸出埠
 - 110A、110B . . . 基極開關
 - N1A、N1B . . . 第一 N 型電晶體
 - N2A、N2B . . . 第二 N 型電晶體
 - N3A、N3B . . . 第三 N 型電晶體
 - N4A、N4B . . . 第四 N 型電晶體
 - N5A、N5B . . . 第五 N 型電晶體
 - N6A、N6B . . . 第六 N 型電晶體
 - N7A、N7B . . . 第七 N 型電晶體
 - P1A、P1B . . . 第一 P 型電晶體
 - P2A、P2B . . . 第二 P 型電晶體
 - C1A、C1B . . . 第一電容
 - C2A、C2B . . . 第二電容
 - C3A、C3B . . . 第三電容
 - INA、INB . . . 輸入端
 - OUTA、OUTB . . . 輸出端

SIG_{CLK1} . . . 第一
時脈訊號

SIG_{CLK2} . . . 第二
時脈訊號

SIG_{CLK3} . . . 第三
時脈訊號

SIG_{CLK4} . . . 第四
時脈訊號

SIG_{ctrl} . . . 控制訊
號

Vbias . . . 偏壓電壓

VSS . . . 第二電壓

VBSTA、

VBSTB . . . 端電壓

120A、120B . . . 放
電電路

130 . . . 系統電壓端

【發明說明書】

【中文發明名稱】電荷泵電路

【英文發明名稱】CHARGE PUMP CIRCUIT

【技術領域】

【0001】 本發明是有關於一種電荷泵電路，特別是指一種低逆向電流的電荷泵電路。

【先前技術】

【0002】 基於電子產品對低耗電的需求，積體電路的電力規格也被重新設計成能夠在低電壓的環境下操作以節省電能消耗。舉例來說，先前積體電路的電力規格常為5V，現今則大多改為3.3V或甚至低於2V。雖然低電壓可用來減少電能消耗，然而在某些情況下仍會需要較大的電壓。舉例來說，快閃記憶體的寫入或清除操作就需要較大的電壓來完成。較大的電壓通常可利用電荷泵電路來提供。

【0003】 先前技術的電荷泵電路常由不同的時脈訊號控制。然而，由於時脈訊號並非完美的方波，因此在時脈訊號的電壓變換期間，電荷泵中的開關可能會被不預期地導通或截止。在這種情況下，多餘的逆向電流就可能產生，進而增加電能的耗損。

【發明內容】

【0004】 本發明之一實施例提供一種電荷泵電路，電荷泵電路包含第一電荷泵單元及第二電荷泵單元。

【0005】 第一電荷泵單元接收輸入電壓、第一時脈訊號、第二時脈訊號及第三時脈訊號，並根據第一時脈訊號、第二時脈訊號及第三時脈訊號抬升輸入電壓以輸出第一抬升電壓。第二電荷泵單元耦接於第一電荷泵單元，並接收第一抬升電壓、第一時脈訊號、第四時脈訊號及第三時脈訊號，及根據第一時脈訊號、第四時脈訊號及第三時脈訊號抬升第一抬升電壓以輸出第二抬升電壓。

【0006】 第一時脈訊號及第三時脈訊號為非重疊的兩個時脈訊號。第二時脈訊號的負緣領先第一時脈訊號的正緣。接續在第二時脈訊號的負緣之後的第二時脈訊號的正緣領先接續在第一時脈訊號的正緣之後的第一時脈訊號的負緣。第四時脈訊號的負緣領先第三時脈訊號的正緣。接續在第四時脈訊號的負緣之後的第四時脈訊號的正緣領先接續在第三時脈訊號的正緣之後的第三時脈訊號的負緣。

【0007】 本發明之另一實施例提供一種電荷泵電路，電荷泵電路包含電壓輸入埠、電壓輸出埠及M個電荷泵單元。M個電荷泵單元包含第i電荷泵及第(i+1)電荷泵。其中M為大於1的正整數，且i為小於M的正整數。

【0008】 第i電荷泵包含輸入端、輸出端、第一N型電晶體、第二N型電晶體、第三N型電晶體、第一電容、第一P型電晶體、第二P型電晶體、第二電容及第三電容。

【0009】 在第i電荷泵中，第一N型電晶體具有第一端、第二端及控制端，第一N型電晶體的第一端耦接於第i電荷泵單元的輸入端。第二N型電晶體具有第一端、第二端及控制端，第二N型電晶體的第一端耦接於第i電荷泵單元的輸入端，第二N型電晶體的第二端耦接於第i電荷泵單元的第一N型電晶體的控制端，而第二N型電晶體的控制端耦接於第i電荷泵單元的第一N型電晶體的第二端。第三N型電晶體具有第一端、第二端及控制端，第三N型電晶體的第一端耦接於第i電荷泵單元的輸入端，第三N型電晶體的第二端耦接於第i電荷泵單元的第一N型電

晶體的第二端，而第三N型電晶體的控制端耦接於第i電荷泵單元的第三N型電晶體的第一端。

【0010】 第一電容具有第一端及第二端，第一電容的第一端接收第一時脈訊號，而第一電容的第二端耦接於第i電荷泵單元的第一N型電晶體的第二端。第一P型電晶體具有第一端、第二端、控制端及基極端，第一P型電晶體的第一端耦接於第i電荷泵單元的第一N型電晶體的第二端，第一P型電晶體的第二端耦接於第i電荷泵單元的輸出端，而第一P型電晶體的基極端耦接於第i電荷泵單元的第一P型電晶體的第二端。第二P型電晶體具有第一端、第二端、控制端及基極端，第二P型電晶體的第一端耦接於第i電荷泵單元的第一P型電晶體的控制端，第二P型電晶體的第二端耦接於第i電荷泵單元的輸出端，第二P型電晶體的控制端耦接於第i電荷泵單元的第一P型電晶體的第一端，而第二P型電晶體的基極端耦接於第i電荷泵單元的第二P型電晶體的第二端。第二電容具有第一端及第二端，第二電容的第一端接收第二時脈訊號，而第二電容的第二端耦接於第i電荷泵單元的第一P型電晶體的控制端。第三電容具有第一端及第二端，第三電容的第一端接收第三時脈訊號，而第三電容的第二端耦接於第i電荷泵單元的第一N型電晶體的控制端。

【0011】 第(i+1)電荷泵包含輸入端、輸出端、第一N型電晶體、第二N型電晶體、第三N型電晶體、第一電容、第一P型電晶體、第二P型電晶體、第二電容及第三電容。

【0012】 在第(i+1)電荷泵中，第(i+1)電荷泵的輸入端耦接於第i電荷泵單元的輸出端。第一N型電晶體具有第一端、第二端及控制端，第一N型電晶體的第一端耦接於第(i+1)電荷泵單元的輸入端。第二N型電晶體具有第一端、第二端及控制端，第二N型電晶體的第一端耦接於第(i+1)電荷泵單元的輸入端，第二N型電晶體的第二端耦接於第(i+1)電荷泵單元的第一N型電晶體的控制端，而第二N型

電晶體的控制端耦接於第(i+1)電荷泵單元的第一N型電晶體的第二端。第三N型電晶體具有第一端、第二端及控制端，第三N型電晶體的第一端耦接於第(i+1)電荷泵單元的輸入端，第三N型電晶體的第二端耦接於第(i+1)電荷泵單元的第一N型電晶體的第二端，而第三N型電晶體的控制端耦接於第(i+1)電荷泵單元的第三N型電晶體的第一端。

【0013】 第一電容具有第一端及第二端，第一電容的第一端接收第三時脈訊號，而第一電容的第二端耦接於第(i+1)電荷泵單元的第一N型電晶體的第二端。第一P型電晶體具有第一端、第二端、控制端及基極端，第一P型電晶體的第一端耦接於第(i+1)電荷泵單元的第一N型電晶體的第二端，第一P型電晶體的第二端耦接於第(i+1)電荷泵單元的輸出端，而第一P型電晶體的基極端耦接於第(i+1)電荷泵單元的第一P型電晶體的第二端。第二P型電晶體具有第一端、第二端、控制端及基極端，第二P型電晶體的第一端耦接於第(i+1)電荷泵單元的第一P型電晶體的控制端，第二P型電晶體的第二端耦接於第(i+1)電荷泵單元的輸出端，第二P型電晶體的控制端耦接於第(i+1)電荷泵單元的第一P型電晶體的第一端，而第二P型電晶體的基極端耦接於第(i+1)電荷泵單元的第二P型電晶體的第二端。第二電容具有第一端及第二端，第二電容的第一端接收第四時脈訊號，而第二電容的第二端耦接於第(i+1)電荷泵單元的第一P型電晶體的控制端。第三電容具有第一端及第二端，第三電容的第一端接收第一時脈訊號，而第三電容的第二端耦接於第(i+1)電荷泵單元的第一N型電晶體的控制端。

【0014】 第一時脈訊號及第三時脈訊號為非重疊的兩個時脈訊號。

【圖式簡單說明】

【0015】

第1圖為本發明一實施例之電荷泵電路的示意圖。

第2圖為本發明一實施例之第1圖之時脈訊號及第一電容之端電壓的波型圖。

第3圖為本發明一實施例之時脈訊號產生電路的示意圖。

第4圖為本發明另一實施例之時脈訊號產生電路的示意圖。

第5圖為本發明另一實施例之電荷泵電路的示意圖。

【實施方式】

【0016】 第1圖為本發明一實施例之電荷泵電路10的示意圖。電荷泵電路10包含電壓輸入埠VIN、電壓輸出埠VOUT、第一電荷泵單元1001及第二電荷泵單元1002。第一電荷泵單元1001及第二電荷泵單元1002可具有相同的結構但可接收相異的訊號。

【0017】 第一電荷泵單元1001包含輸入端INA、輸出端OUTA、第一N型電晶體N1A、第二N型電晶體N2A、第三N型電晶體N3A、第一P型電晶體P1A、第二P型電晶體P2A、第一電容C1A、第二電容C2A及第三電容C3A。

【0018】 輸入端INA耦接於電壓輸入埠VIN以接收第一電壓VDD作為其輸入電壓。第一N型電晶體N1A具有第一端、第二端及控制端，第一N型電晶體N1A的第一端耦接於輸入端INA。第二N型電晶體N2A具有第一端、第二端及控制端，第二N型電晶體N2A的第一端耦接於輸入端INA，第二N型電晶體N2A的第二端耦接於第一N型電晶體N1A的控制端，而第二N型電晶體N2A的控制端耦接於第一N型電晶體N1A的第二端。

【0019】 第三N型電晶體N3A具有第一端、第二端及控制端，第三N型電晶體N3A的第一端耦接於輸入端INA，第三N型電晶體N3A的第二端耦接於第一N型電晶體N1A的第二端，而第三N型電晶體N3A的控制端耦接於第三N型電晶體N3A的第一端。此外，第三N型電晶體N3A的基極端可耦接於，但不限於，第一N型電晶體N1A的基極端。

【0020】 第一P型電晶體P1A具有第一端、第二端、控制端及基極端，第一P型電晶體P1A的第一端耦接於第一N型電晶體N1A的第二端，第一P型電晶體P1A的第二端耦接於輸出端OUTA，而第一P型電晶體P1A的基極端耦接於第一P型電晶體P1A的第二端。

【0021】 第二P型電晶體P2A具有第一端、第二端、控制端及基極端，第二P型電晶體P2A的第一端耦接於第一P型電晶體P1A的控制端，第二P型電晶體P2A的第二端耦接於輸出端OUTA，第二P型電晶體P2A的控制端耦接於第一P型電晶體P1A的第一端，而第二P型電晶體P2A的基極端耦接於第二P型電晶體P2A的第二端。

【0022】 第一電容C1A具有第一端及第二端，第一電容C1A的第一端可接收第一時脈訊號SIG_{CLK1}，而第一電容C1A的第二端耦接於第一N型電晶體N1A的第二端。第二電容C2A，具有第一端及第二端，第二電容C2A的第一端可接收第二時脈訊號SIG_{CLK2}，而第二電容C2A的第二端耦接於第一P型電晶體P1A的控制端。第三電容C3A具有第一端及第二端，第三電容C3A的第一端可接收第三時脈訊號SIG_{CLK3}，而第三電容C3A的第二端耦接於第一N型電晶體N1A的控制端。

【0023】 第二電荷泵單元1002可與第一電荷泵單元1001具有相同的結構。也就是說，第二電荷泵單元1002可包含輸入端INB、輸出端OUTB、第一N型電晶體N1B、第二N型電晶體N2B、第三N型電晶體N3B、第一P型電晶體P1B、第二P型電晶體P2B、第一電容C1B、第二電容C2B及第三電容C3B。第二電荷泵單元1002的輸入端INB可耦接於第一電荷泵單元1001的輸出端OUTA。再者，第一電容C1B的第一端可接收第三時脈訊號SIG_{CLK3}，第二電容C2B的第一端可接收第四時脈訊號SIG_{CLK4}，而第三電容C3B的第一端可接收第一時脈訊號SIG_{CLK1}。此外，第三N型電晶體N3B的基極端可耦接於，但不限於，第一N型電晶體N1B的基極端。

【0024】 第2圖為本發明一實施例之第一時脈訊號 SIG_{CLK1} 、第二時脈訊號 SIG_{CLK2} 、第三時脈訊號 SIG_{CLK3} 、第四時脈訊號 SIG_{CLK4} 、第一電容C1A之第二端的端電壓VBSTA及第一電容C1B之第二端的端電壓VBSTB的波型圖。

【0025】 在第2圖中，第一時脈訊號 SIG_{CLK1} 及第三時脈訊號 SIG_{CLK3} 為非重疊的兩個時脈訊號，也就是說，第一時脈訊號 SIG_{CLK1} 及第三時脈訊號 SIG_{CLK3} 會在不同的時點切換電位。更進一步說，當第一時脈訊號 SIG_{CLK1} 為第一電壓VDD時，第三時脈訊號 SIG_{CLK3} 為較第一電壓VDD低的第二電壓VSS，且當第三時脈訊號 SIG_{CLK3} 為第一電壓VDD時，第一時脈訊號 SIG_{CLK1} 為較第一電壓VDD低的第二電壓VSS。

【0026】 再者，第二時脈訊號 SIG_{CLK2} 的負緣 FE_{CLK2} 會領先第一時脈訊號 SIG_{CLK1} 的正緣 RE_{CLK1} ，而接續在第二時脈訊號 SIG_{CLK2} 的負緣 FE_{CLK2} 之後的第二時脈訊號 SIG_{CLK2} 的正緣 RE_{CLK2} 領先接續在第一時脈訊號 SIG_{CLK1} 的正緣 RE_{CLK1} 之後的第一時脈訊號 SIG_{CLK1} 的負緣 FE_{CLK1} 。

【0027】 並且，第四時脈訊號 SIG_{CLK4} 的負緣 FE_{CLK4} 會領先第三時脈訊號 SIG_{CLK3} 的正緣 RE_{CLK3} ，而接續在第四時脈訊號 SIG_{CLK4} 的負緣 FE_{CLK4} 之後的第四時脈訊號 SIG_{CLK4} 的正緣 RE_{CLK4} 會領先接續在第三時脈訊號 SIG_{CLK3} 的正緣 RE_{CLK3} 之後的第三時脈訊號 SIG_{CLK3} 的負緣 FE_{CLK3} 。

【0028】 第2圖所示的波型圖係在電荷泵電路10已進入穩定輸出抬升電壓的情況下所擷取的。然而，在第一電荷泵單元1001的初始操作中，當第一時脈訊號 SIG_{CLK1} 為第二電壓VSS時，第三N型電晶體N3A可將第一電容C1A的第二端充電至相當於 $VDD-V_{thn}$ 的電壓，其中 V_{thn} 為第三N型電晶體N3A的臨界電壓，使得第一電荷泵單元1001能夠快速進入穩定階段並進行後續操作。

【0029】 為方便理解電荷泵單元1001及1002在時段T1至T8的操作，可先觀察

第一電荷泵單元1001自時段TA至TC的操作。

【0030】 在時段TA，第一時脈訊號SIG_{CLK1}為第一電壓VDD，第二時脈訊號SIG_{CLK2}為第二電壓VSS，而第三時脈訊號SIG_{CLK3}為第二電壓VSS。由於第一電容C1A的第二端在第一時脈訊號SIG_{CLK1}為第二電壓VSS時，就已經被充電至第一電壓VDD，因此當第一時脈訊號SIG_{CLK1}變為第一電壓VDD時，第一電容C1A的第二端電壓將被提升至第三電壓2VDD。因此，第二N型電晶體N2A將被導通，而第三電容C3A的第二端會在時段TA中，經由第二N型電晶體N2A被充電至第一電壓VDD。

【0031】 第二時脈訊號SIG_{CLK2}在時段TB變為第一電壓VDD，而第一時脈訊號SIG_{CLK1}在時段TC變為第二電壓VSS。因此在時段TB及TC中，第一P型電晶體P1A將被截止，接著第二P型電晶體P2A將被導通，而第一電荷泵單元1001可停止將內部儲存的電荷分享給第二電荷泵單元1002。

【0032】 在時段T1，第三時脈訊號SIG_{CLK3}變為第一電壓VDD，第一時脈訊號SIG_{CLK1}為第二電壓VSS，而第二時脈訊號SIG_{CLK2}為第一電壓VDD。由於在先前第三時脈訊號SIG_{CLK3}仍為第二電壓VSS時，第三電容C3A的第二端已被充電至第一電壓VDD，因此當第三時脈訊號SIG_{CLK3}自第二電壓VSS變為第一電壓VDD時，第三電容C3A的第二端將被抬升至第三電壓2VDD，亦即兩倍的第一電壓VDD。

【0033】 如此一來，第一N型電晶體N1A將被導通，而第一電容C1A的第二端也將隨著第一時脈訊號SIG_{CLK1}變為第二電壓VSS而被充電至第一電壓VDD。在此情況下，第二P型電晶體P2A可被導通，而第二電容C2A的第二端可處於第三電壓2VDD，使得第一P型電晶體P1A被截止。也就是說，在時段T1中，第一電荷泵單元1001會對第一電容C1A充電，且不會將儲存的電荷分享給第二電荷泵單元1002。

【0034】 在時段T2中，第三時脈訊號SIG_{CLK3}變為第二電壓VSS，而第一時脈訊號SIG_{CLK1}、第二時脈訊號SIG_{CLK2}及第四時脈訊號SIG_{CLK4}則維持前一時段T1的電位。因此，第一N型電晶體N1A會被截止。由於沒有周圍沒有可放電的路徑，因此第一電容C1A之第二端的端電壓VBSTA保持在第一電壓VDD。

【0035】 在時段T3中，第二時脈訊號SIG_{CLK2}變為第二電壓VSS，而第一時脈訊號SIG_{CLK1}、第三時脈訊號SIG_{CLK3}及第四時脈訊號SIG_{CLK4}則維持前一時段T2的電位。在時段T4中，第一時脈訊號SIG_{CLK1}變為第一電壓VDD，而第二時脈訊號SIG_{CLK2}、第三時脈訊號SIG_{CLK3}及第四時脈訊號SIG_{CLK4}則維持前一時段T3的電位。也就是說，在端電壓VBSTA隨著第一時脈訊號SIG_{CLK1}在時段T4的抬升而被抬升到第三電壓2VDD之前，第一P型電晶體P1A可先在時段T3被導通。因此，第一電荷泵單元1001的輸出端OUTA可在時段T4中，經由第一P型電晶體P1A輸出第三電壓2VDD。

【0036】 同時，在時段T4中，第二電荷泵單元1002的第一N型電晶體N1B會隨著被導通第一時脈訊號SIG_{CLK1}的電壓抬升而被導通，因此第一電容C1B的第二端的端電壓VBSTB會被第一電荷泵單元1001充電至第三電壓2VDD。然而，第一P型電晶體P1A的閘極所需的導通延遲時間可能會減少第一電荷泵單元1001與第二電荷泵單元1002之間的電荷傳遞，進而降低效率。因此第一電荷泵單元1001的第一P型電晶體P1A可在時段T4之前的時段T3先開始導通，以確保在第一時脈訊號SIG_{CLK1}變為第一電壓VDD時，可立即對第二電荷泵單元1002的第一電容C1B進行充電。

【0037】 然而，在部分實施例中，若閘極延遲的時間甚短，則第二時脈訊號SIG_{CLK2}也可在第一時脈訊號SIG_{CLK1}自第二電壓VSS變為第一電壓VDD時，同步自第一電壓VDD變為第二電壓VSS。

【0038】 再者，當第一電容C1A的第二端的端電壓VBSTA為第三電壓2VDD

時，第二N型電晶體N2A可被導通，使得第三電容C3A的第二端的電壓維持在第一電壓VDD。因此，第一N型電晶體N1A可被截止，以避免逆向電流自第一電容C1A的第二端流向輸入端INA。

【0039】 在時段T5中，第二時脈訊號SIG_{CLK2}變為第一電壓VDD，而第一時脈訊號SIG_{CLK1}、第三時脈訊號SIG_{CLK3}及第四時脈訊號SIG_{CLK4}則維持前一時段T4的電位。在時段T6中，第一時脈訊號SIG_{CLK1}變為第二電壓VSS，而第二時脈訊號SIG_{CLK2}、第三時脈訊號SIG_{CLK3}及第四時脈訊號SIG_{CLK4}則維持前一時段T5的電位。

【0040】 也就是說，在第一時脈訊號SIG_{CLK1}於時段T6中降低電位，使得第一電荷泵單元1001之第一電容C1A的第二端端電壓VBSTA的電位也隨著降低之前，第一P型電晶體P1A可在時段T5先被截止。因此，第二電荷泵單元1002的第一電容C1B的第二端不會因為第一P型電晶體P1A及第一N型電晶體N1B的截止延遲，而從第一電荷泵單元1001接收到第一電壓VDD，進而避免逆向電流。此外，第二P型電晶體P2A可在時段T6中被導通，使得第一P型電晶體P1A的第二端及控制端之間被電性短路，而此時第一P型電晶體P1A的操作狀態將形同以二極體方式電性連接的電晶體，以避免逆向電流流經第一P型電晶體P1A。

【0041】 在時段T7，第四時脈訊號SIG_{CLK4}變為第二電壓VSS，而第一時脈訊號SIG_{CLK1}、第二時脈訊號SIG_{CLK2}及第三時脈訊號SIG_{CLK3}則維持前一時段T6的電位。在時段T8，第三時脈訊號SIG_{CLK3}變為第一電壓VDD，而第一時脈訊號SIG_{CLK1}、第二時脈訊號SIG_{CLK2}及第四時脈訊號SIG_{CLK4}則維持前一時段T7的電位。

【0042】 也就是說，在端電壓VBSTB隨著第三時脈訊號SIG_{CLK3}於時段T8的電壓抬升而自第三電壓2VDD抬升至第四電壓3VDD之前，第一P型電晶體P1B可在時段T7中先導通。因此第二電荷泵單元1002的輸出端OUTB即可在時段T8中經

由第一P型電晶體P1B輸出第四電壓3VDD，而不會受到第一P型電晶體P1B的閘極延遲所影響。

【0043】 總而言之，電荷泵電路的主要功能是在將電壓輸入埠所接收到的輸入電壓提高並經由電壓輸出埠輸出高電壓。本發明的電荷泵電路可以在較長的時段中(例如時段TA、T1、T4及T8)中進行電位提升及分享電荷的操作，同時也可在較短的時段中(例如時段TB、TC、T2、T3、T5、T6及T7)導通或截止電荷分享的路徑以避免逆電流產生。

【0044】 如此一來，兩段式的電荷泵電路10便可以根據第一電壓VDD產生第四電壓3VDD。此外，透過四個時脈訊號SIG_{CLK1}、SIG_{CLK2}、SIG_{CLK3}及SIG_{CLK4}，還可避免逆向電流。

【0045】 根據先前所述的操作，由於第二電容C2A及第三電容C3A主要可用來控制電晶體的閘極，因此第二電容C2A及第三電容C3A雖然需要耐高壓，但無須具有大的電容值。因此，在部分實施例中，第二電容C2A及第三電容C3A可為MOM(metal-oxide-metal)電容，以確保能夠電容能夠承受高壓，同時也無須過大的面積。

【0046】 然而，由於第一電容C1A中所儲存的電荷將被分享至下一級的電荷泵單元，因此第一電容C1A的電容值應該要足夠大到能夠維持輸出電壓。在此情況下，第一電容C1A可為電晶體電容以減少所需的面積。

【0047】 再者，在第1圖中，第一電荷泵單元1001可另包含基極開關110A及放電電路120A。基極開關110A可以確保第一N型電晶體N1A的基極端處於較低的電壓，以減少基體效應(body effect)及漏電流。在第一電荷泵單元1001停止輸出電壓時，放電電路120A可對第三電容C3A的第二端進行放電，以提升第一電荷泵單元1001的可信賴度。

【0048】 相似地，第二電荷泵單元1002也可包含基極開關110B及放電電路

120B。

【0049】 在第1圖中，基極開關110A可包含第四N型電晶體N4A及第五N型電晶體N5A。第四N型電晶體N4A具有第一端、第二端、控制端及基極端，第四N型電晶體N4A的第一端耦接於第一N型電晶體N1A的第一端，第四N型電晶體N4A的第二端耦接於第一N型電晶體N1A的基極端，第四N型電晶體N4A的控制端耦接於第一N型電晶體N1A的第二端，而第四N型電晶體N4A的基極端耦接於第一N型電晶體N1A的基極端。

【0050】 第五N型電晶體N5A具有第一端、第二端、控制端及基極端，第五N型電晶體N5A的第一端耦接於第一N型電晶體N1A的基極端，第五N型電晶體N5A的第二端耦接於第一N型電晶體N1A的第二端，第五N型電晶體N5A的控制端耦接於第一N型電晶體N1A的第一端，而第五N型電晶體N5A的基極端耦接於第一N型電晶體N1A的基極端。

【0051】 透過基極開關110A，第一N型電晶體N1A之基極端的電壓就能夠被控制在不大於第一N型電晶體N1A之第一端及第二端的電壓。如此一來，就能夠減少第一N型電晶體N1A的基極端所產生的基體效應及漏電流。

【0052】 放電電路120耦接於第一N型電晶體N1A的控制端及系統電壓端130之間，以接收第二電壓VSS。

【0053】 在第1圖中，放電電路120A可包含第六N型電晶體N6A及第七N型電晶體N7A。

【0054】 第六N型電晶體N6A具有第一端、第二端、控制端及基極端，第六N型電晶體N6A的第一端耦接於第一N型電晶體N1A的控制端，而第六N型電晶體N6A的控制端可接收偏壓電壓Vbias，而第六N型電晶體N6A的基極端耦接於第六N型電晶體N6A的第二端。

【0055】 第七N型電晶體N7A具有第一端、第二端、控制端及基極端，第七N

型電晶體N7A的第一端耦接於第六N型電晶體N6A的第二端，第七N型電晶體N7A的第二端耦接於系統電壓端130，第七N型電晶體N7A的控制端可接收控制訊號SIG_{ctrl}，而第七N型電晶體N7A的基極端耦接於第七N型電晶體N7A的第二端。

【0056】 當電荷泵單元停止產生輸出電壓時，偏壓電壓V_{bias}及控制訊號SIG_{ctrl}可導通第六N型電晶體N6A及第七N型電晶體N7A。然而，第三電容C3A的第二端電壓可能相對較高，例如為第三電壓2V_{DD}。此外，第二電荷泵單元1002所需要放電的電壓還可能更高。因此，在部分實施例中，第六N型電晶體N6A可為N型橫向擴散金氧半電晶體(Laterally Diffused Metal Oxide Semiconductor，LDMOS)，以承受較高的耐壓。在此情況下，第七N型電晶體N7A則可為一般低耐壓的金氧半電晶體，以避免增加不必要的電路面積。然而，根據系統的需求，放電電路也包含其他數量及/或其他種類的電晶體。

【0057】 在部分實施例中，電荷泵電路10還可包含時脈產生電路12以產生所需的時脈訊號。第3圖為本發明一實施例之時脈訊號產生電路12的示意圖。

【0058】 時脈產生電路12包含時脈輸入端CLK、非重疊時脈產生器CG、第一反向器INV1、第二反向器INV2、第三反向器INV3及第四反向器INV4。

【0059】 時脈輸入端可接收主要時脈訊號SIG_{CLK0}。在部分實施例中，主要時脈訊號SIG_{CLK0}可由所應用系統中的時脈產生器產生。非重疊時脈產生器CG耦接於時脈輸入端CLK，並可製造第一中介時脈訊號SIG_{CLKA}及第二中介時脈訊號SIG_{CLKB}。非重疊時脈產生器CG可由任何現今技術領域所習知或未知的非重疊時脈產生器來實作，並能使得第一中介時脈訊號SIG_{CLKA}及第二中介時脈訊號SIG_{CLKB}為非重疊的兩個時脈訊號。

【0060】 第一反向器INV1具有輸入端及輸出端，第一反向器INV1的輸入端可接收第一中介時脈訊號SIG_{CLKA}，而第一反向器INV1的輸出端可輸出第二時脈訊

號 SIG_{CLK2} 。

【0061】 第二反向器INV2具有輸入端及輸出端，第二反向器INV2的輸入端耦接於第一反向器INV1的輸出端，而第二反向器INV2的輸出端可輸出第一時脈訊號 SIG_{CLK1} 。

【0062】 第三反向器INV3具有輸入端及輸出端，第三反向器INV3的輸入端可接收第二中介時脈訊號 SIG_{CLKB} ，而第三反向器INV3的輸出端可輸出第四時脈訊號 SIG_{CLK4} 。

【0063】 第四反向器INV4具有輸入端及輸出端，第四反向器INV4的輸入端耦接於第三反向器INV3的輸出端，而第四反向器INV4的輸出端可輸出第三時脈訊號 SIG_{CLK3} 。

【0064】 利用時脈產生電路12，就能夠產生電荷泵電路10所需的四個時脈訊號 SIG_{CLK1} 、 SIG_{CLK2} 、 SIG_{CLK3} 及 SIG_{CLK4} ，以避免產生逆向電流，並可增加電荷泵電路10的效率。

【0065】 第4圖為本發明另一實施例之時脈產生電路22的示意圖。時脈產生電路22與時脈產生電路12具有相似的結構，然而時脈產生電路22還包含兩個延遲元件DE1及DE2。

【0066】 第一延遲元件DE1具有輸入端及輸出端，第一延遲元件DE1的輸入端耦接於第一反向器INV1的輸出端。第二反向器INV2具有輸入端及輸出端，第二反向器INV2的輸入端耦接於第一延遲元件DE1的輸出端，而第二反向器INV2的輸出端可輸出第一時脈訊號 SIG_{CLK1} 。

【0067】 第二延遲元件DE2具有輸入端及輸出端，第二延遲元件DE2的輸入端耦接於第三反向器INV3的輸出端。第四反向器INV4具有輸入端及輸出端，第四反向器INV4的輸入端耦接於第二延遲元件DE2的輸出端，而第四反向器INV4的輸出端可輸出第三時脈訊號 SIG_{CLK3} 。

【0068】 也就是說，第一延遲元件DE1可以設置在第一反向器INV1及第二反向器INV2之間，以根據系統的需求使第一時脈訊號SIG_{CLK1}及第二時脈訊號SIG_{CLK2}之間產生適當的延遲。相似地，第二延遲元件DE2可以設置在第三反向器INV3及第四反向器INV4之間，以使第三時脈訊號SIG_{CLK3}及第四時脈訊號SIG_{CLK4}之間產生適當的延遲。

【0069】 雖然電荷泵電路10包含兩級的電荷泵單元1001及1002，然而在其他實施例中，電荷泵電路也可包含更多級的電荷泵單元以產生更高的電壓。

【0070】 第5圖為本發明另一實施例之電荷泵電路20的示意圖。電荷泵電路20包含M個電荷泵單元1001至100M，其中M為大於1的正整數。電荷泵電路20可自電壓輸入埠VIN接收第一電壓VDD，並產生第五電壓(M+1)VDD，亦即第一電壓VDD的(M+1)倍的電壓。電荷泵單元1001至100M可具有相同的結構，然而，每兩個相鄰的電荷泵單元可接收相異組的時脈訊號。

【0071】 舉例來說，在第5圖中，第i電荷泵單元100i的第一電容C1A的第一端會接收第一時脈訊號SIG_{CLK1}，第i電荷泵單元100i的第二電容C2A的第一端會接收第二時脈訊號SIG_{CLK2}，而第i電荷泵單元100i的第三電容C3A的第一端會接收第三時脈訊號SIG_{CLK3}，其中i為小於M的正整數。

【0072】 在此情況下，第(i+1)電荷泵單元100(i+1)的第一電容C1B的第一端會接收第三時脈訊號SIG_{CLK3}，第(i+1)電荷泵單元100(i+1)的第二電容C2B的第一端會接收第四時脈訊號SIG_{CLK4}，而第(i+1)電荷泵單元100(i+1)的第三電容C3B的第一端會接收第一時脈訊號SIG_{CLK1}。

【0073】 也就是說，連續兩級電荷泵單元中的第一電容的第二端會在相異的時段充電，並在相異的時段被抬升，使得在前一級電荷泵單元中的儲存的電荷能夠穩定地與下一級的電荷泵單元分享。此外，電荷泵電路20可利用四個時脈訊號SIG_{CLK1}、SIG_{CLK2}、SIG_{CLK3}及SIG_{CLK4}來產生高輸出電壓(M+1)VDD，同時也

可減少逆向電流，並可增加電能效率。電荷泵單元20以可利用第3圖中的時脈產生電路12或第4圖中的時脈產生電路22來產生所需的時脈訊號。

【0074】 綜上所述，本發明之實施例所提供的電荷泵電路可以利用四個時脈訊號來產生高電壓。透過精確設計過的四個時脈訊號，相連兩級的電荷泵單元就能夠在相異的時段充電，並可在相異的時段被抬升，使得前一級電荷泵單元中的儲存的電荷能夠穩定地與下一級的電荷泵單元分享。透過在停止輸出抬升電壓之前，先將第一P型電晶體截止，就能夠避免因為第一P型電晶體的閘極延遲所導致的逆向電流。此外，透過在輸出抬升電壓之前，先將第一P型電晶體導通，就能夠避免因為第一P型電晶體的閘極延遲所導致的電能效率不彰。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0075】

10、20	電荷泵電路
1001、1002、100i、100(i+1)、100M	電荷泵單元
VIN	電壓輸入埠
VOUT	電壓輸出埠
110A、110B	基極開關
N1A、N1B	第一N型電晶體
N2A、N2B	第二N型電晶體
N3A、N3B	第三N型電晶體
N4A、N4B	第四N型電晶體
N5A、N5B	第五N型電晶體
N6A、N6B	第六N型電晶體

N7A、N7B	第七N型電晶體
P1A、P1B	第一P型電晶體
P2A、P2B	第二P型電晶體
C1A、C1B	第一電容
C2A、C2B	第二電容
C3A、C3B	第三電容
INA、INB	輸入端
OUTA、OUTB	輸出端
SIG _{CLK1}	第一時脈訊號
SIG _{CLK2}	第二時脈訊號
SIG _{CLK3}	第三時脈訊號
SIG _{CLK4}	第四時脈訊號
SIG _{ctrl}	控制訊號
Vbias	偏壓電壓
VDD	第一電壓
VSS	第二電壓
VBSTA、VBSTB	端電壓
120A、120B	放電電路
130	系統電壓端
2VDD	第三電壓
3VDD	第四電壓
TA、TB、TC、T1至T8	時段
RE _{CLK1} 、RE _{CLK2} 、RE _{CLK3} 、RE _{CLK4}	正緣
FE _{CLK1} 、FE _{CLK2} 、FE _{CLK3} 、FE _{CLK4}	負緣

12、22	時脈產生電路
CG	非重疊時脈產生器
CLK	時脈輸入端
SIG _{CLK0}	主要時脈訊號
SIG _{CLKA}	第一中介時脈訊號
SIG _{CLKB}	第二中介時脈訊號
INV1	第一反向器
INV2	第二反向器
INV3	第三反向器
INV4	第四反向器
DE1	第一延遲元件
DE2	第二延遲元件



I666865

【發明摘要】

【中文發明名稱】 電荷泵電路

【英文發明名稱】 CHARGE PUMP CIRCUIT

公告本

【中文】

電荷泵電路包含第一電荷泵單元及第二電荷泵單元。第一電荷泵單元根據第一時脈訊號、第二時脈訊號及第三時脈訊號抬升輸入電壓以輸出第一抬升電壓。第二電荷泵單元根據第一時脈訊號、第四時脈訊號及第三時脈訊號抬升第一抬升電壓以輸出第二抬升電壓。第一時脈訊號及第三時脈訊號為非重疊的兩個時脈訊號。第二時脈訊號的負緣領先第一時脈訊號的正緣。第四時脈訊號的負緣領先第三時脈訊號的正緣。

【英文】

A charge pump circuit includes a first charge pump unit and a second charge pump unit. The first charge pump unit pumps an input voltage to output a first pumped voltage according to a first clock signal, a second clock signal and a third clock signal. The second charge pump unit pumps the first pumped voltage to output a second pumped voltage according to the first clock signal, a fourth clock signal and the third clock signal. The first clock signal and the third clock signal are non-overlapping clock signals. A falling edge of the second clock signal leads a rising edge of the first clock signal. A falling edge of the fourth clock signal leads a rising edge of the third clock signal.

【指定代表圖】第（ 5 ）圖。

【代表圖之符號簡單說明】

20	電荷泵電路
1001、100i、100(i+1)、100M	電荷泵單元
VIN	電壓輸入埠
VOUT	電壓輸出埠
110A、110B	基極開關
N1A、N1B	第一N型電晶體
N2A、N2B	第二N型電晶體
N3A、N3B	第三N型電晶體
N4A、N4B	第四N型電晶體
N5A、N5B	第五N型電晶體
N6A、N6B	第六N型電晶體
N7A、N7B	第七N型電晶體
P1A、P1B	第一P型電晶體
P2A、P2B	第二P型電晶體
C1A、C1B	第一電容
C2A、C2B	第二電容
C3A、C3B	第三電容
INA、INB	輸入端
OUTA、OUTB	輸出端
SIG _{CLK1}	第一時脈訊號
SIG _{CLK2}	第二時脈訊號

SIG _{CLK3}	第三時脈訊號
SIG _{CLK4}	第四時脈訊號
SIG _{ctrl}	控制訊號
Vbias	偏壓電壓
VSS	第二電壓
VBSTA、VBSTB	端電壓
120A、120B	放電電路
130	系統電壓端

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種電荷泵電路，包含：

- 一第一電荷泵單元，用以接收一輸入電壓、一第一時脈訊號、一第二時脈訊號及一第三時脈訊號，並用以根據該第一時脈訊號、該第二時脈訊號及該第三時脈訊號抬升該輸入電壓以輸出一第一抬升電壓；及
- 一第二電荷泵單元，耦接於該第一電荷泵單元，用以接收該第一抬升電壓、該第一時脈訊號、一第四時脈訊號及該第三時脈訊號，並用以根據該第一時脈訊號、該第四時脈訊號及該第三時脈訊號抬升該第一抬升電壓以輸出一第二抬升電壓；

其中：

該第一時脈訊號及該第三時脈訊號為非重疊的兩個時脈訊號；

該第二時脈訊號的一負緣領先該第一時脈訊號的一正緣；

接續在該第二時脈訊號的該負緣之後的該第二時脈訊號的一正緣領先接續在該第一時脈訊號的該正緣之後的該第一時脈訊號的一負緣；

該第四時脈訊號的一負緣領先該第三時脈訊號的一正緣；及

接續在該第四時脈訊號的該負緣之後的該第四時脈訊號的一正緣領先接續在該第三時脈訊號的該正緣之後的該第三時脈訊號的一負緣。

【第2項】 如請求項1所述的電荷泵電路，其中該第一電荷泵單元包含：

一輸入端，用以接收該輸入電壓；

一輸出端，用以輸出該第一抬升電壓；

一第一N型電晶體，具有一第一端耦接於該輸入端，一第二端，及一控制端；

一第二N型電晶體，具有一第一端耦接於該輸入端，一第二端耦接於該第一N型電晶體的該控制端，及一控制端耦接於該第一N型電晶體的該第二

端；

一第三N型電晶體，具有一第一端耦接於該輸入端，一第二端耦接於該第一N型電晶體的該第二端，及一控制端耦接於該第三N型電晶體的該第一端；

一第一電容，具有一第一端用以接收該第一時脈訊號，及一第二端耦接於該第一N型電晶體的該第二端；

一第一P型電晶體，具有一第一端耦接於該第一N型電晶體的該第二端，一第二端耦接於該輸出端，一控制端，及一基極端耦接於該第一P型電晶體的該第二端；

一第二P型電晶體，具有一第一端耦接於該第一P型電晶體的該控制端，一第二端耦接於該輸出端，一控制端耦接於該第一P型電晶體的該第一端，及一基極端耦接於該第二P型電晶體的該第二端；

一第二電容，具有一第一端用以接收該第二時脈訊號，及一第二端耦接於該第一P型電晶體的該控制端；及

一第三電容，具有一第一端用以接收該第三時脈訊號，及一第二端耦接於該第一N型電晶體的該控制端。

【第3項】 如請求項2所述的電荷泵電路，其中該第一電荷泵單元另包含：

一第四N型電晶體，具有一第一端耦接於該第一N型電晶體的該第一端，一第二端耦接於該第一N型電晶體的一基極端，一控制端耦接於該第一N型電晶體的該第二端，及一基極端耦接於該第一N型電晶體的該基極端；及

一第五N型電晶體，具有一第一端耦接於該第一N型電晶體的該基極端，一第二端耦接於該第一N型電晶體的該第二端，一控制端耦接於該第一N

型電晶體的該第一端，及一基極端耦接於該第一N型電晶體的該基極端。

【第4項】 如請求項2所述的電荷泵電路，其中該第一電荷泵單元另包含一放電電路，耦接於該第一N型電晶體的該控制端及一系統電壓端之間，用以接收一第二電壓、一偏壓電壓及一控制訊號。

【第5項】 如請求項4所述的電荷泵電路，其中該放電電路包含：

一第六N型電晶體，具有一第一端耦接於該第一N型電晶體的該控制端，一第二端，及一控制端用以接收該偏壓電壓；及
一第七N型電晶體，具有一第一端耦接於該第六N型電晶體的該第二端，一第二端耦接於該系統電壓端，及一控制端用以接收該控制訊號，及一基極端耦接於該第七N型電晶體的該第二端。

【第6項】 如請求項5所述的電荷泵電路，其中該第六N型電晶體係為一N型橫向擴散金氧半電晶體(Laterally Diffused Metal Oxide Semiconductor，LDMOS)。

【第7項】 如請求項2所述的電荷泵電路，其中該第二電容及該第三電容係為MOM (Metal-Oxide-Metal) 電容。

【第8項】 一種電荷泵電路，包含：

一電壓輸入埠；
一電壓輸出埠；及

M個電荷泵單元，包含：

一第i電荷泵，包含：

一輸入端；

一輸出端；

一第一N型電晶體，具有一第一端耦接於該第i電荷泵單元的該輸入端，一第二端，及一控制端；

一第二N型電晶體，具有一第一端耦接於該第i電荷泵單元的該輸入端，一第二端耦接於該第i電荷泵單元的該第一N型電晶體的該控制端，及一控制端耦接於該第i電荷泵單元的該第一N型電晶體的該第二端；

一第三N型電晶體，具有一第一端耦接於該第i電荷泵單元的該輸入端，一第二端耦接於該第i電荷泵單元的該第一N型電晶體的該第二端，及一控制端耦接於該第i電荷泵單元的該第三N型電晶體的該第一端；

一第一電容，具有一第一端用以接收一第一時脈訊號，及一第二端耦接於該第i電荷泵單元的該第一N型電晶體的該第二端；

一第一P型電晶體，具有一第一端耦接於該第i電荷泵單元的該第一N型電晶體的該第二端，一第二端耦接於該第i電荷泵單元的該輸出端，一控制端，及一基極端耦接於該第i電荷泵單元的該第一P型電晶體的該第二端；

一第二P型電晶體，具有一第一端耦接於該第i電荷泵單元的該第一P型電晶體的該控制端，一第二端耦接於該第i電荷泵單元的該輸出端，一控制端耦接於該第i電荷泵單元的該第一P型電晶體的該第一端，及一基極端耦接於該第i電荷泵單元的該第二P

型電晶體的該第二端；

一第二電容，具有一第一端用以接收一第二時脈訊號，及一第二

端耦接於該第 i 電荷泵單元的該第一P型電晶體的該控制端；及

一第三電容，具有一第一端用以接收一第三時脈訊號，及一第二

端耦接於該第 i 電荷泵單元的該第一N型電晶體的該控制端；

及

一第 $(i+1)$ 電荷泵，包含：

一輸入端，耦接於該第 i 電荷泵單元的該輸出端；

一輸出端；

一第一N型電晶體，具有一第一端耦接於該第 $(i+1)$ 電荷泵單元的該

輸入端，一第二端，及一控制端；

一第二N型電晶體，具有一第一端耦接於該第 $(i+1)$ 電荷泵單元的該

輸入端，一第二端耦接於該第 $(i+1)$ 電荷泵單元的該第一N型電

晶體的該控制端，及一控制端耦接於該第 $(i+1)$ 電荷泵單元的

該第一N型電晶體的該第二端；

一第三N型電晶體，具有一第一端耦接於該第 $(i+1)$ 電荷泵單元的該

輸入端，一第二端耦接於該第 $(i+1)$ 電荷泵單元的該第一N型電

晶體的該第二端，及一控制端耦接於該第 $(i+1)$ 電荷泵單元的

該第三N型電晶體的該第一端；

一第一電容，具有一第一端用以接收該第三時脈訊號，及一第二

端耦接於該第 $(i+1)$ 電荷泵單元的該第一N型電晶體的該第二

端；

一第一P型電晶體，具有一第一端耦接於該第 $(i+1)$ 電荷泵單元的該

第一N型電晶體的該第二端，一第二端耦接於該第 $(i+1)$ 電荷泵

單元的該輸出端，一控制端，及一基極端耦接於該第(i+1)電荷泵單元的該第一P型電晶體的該第二端；

一第二P型電晶體，具有一第一端耦接於該第(i+1)電荷泵單元的該第一P型電晶體的該控制端，一第二端耦接於該第(i+1)電荷泵單元的該輸出端，一控制端耦接於該第(i+1)電荷泵單元的該第一P型電晶體的該第一端，及一基極端耦接於該第(i+1)電荷泵單元的該第二P型電晶體的該第二端；

一第二電容，具有一第一端用以接收一第四時脈訊號，及一第二端耦接於該第(i+1)電荷泵單元的該第一P型電晶體的該控制端；及

一第三電容，具有一第一端用以接收該第一時脈訊號，及一第二端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該控制端；

其中：

M係為大於1的正整數；

i係為小於M的正整數；及

該第一時脈訊號及該第三時脈訊號為非重疊的兩個時脈訊號。

【第9項】 如請求項8所述的電荷泵電路，其中：

該第二時脈訊號的一負緣領先該第一時脈訊號的一正緣；

接續在該第二時脈訊號的該負緣之後的該第二時脈訊號的一正緣領先接續在該第一時脈訊號的該正緣之後的該第一時脈訊號的一負緣；

該第四時脈訊號的一負緣領先該第三時脈訊號的一正緣；及

接續在該第四時脈訊號的該負緣之後的該第四時脈訊號的一正緣領先接續

在該第三時脈訊號的該正緣之後的該第三時脈訊號的一負緣。

【第10項】 如請求項1或9所述的電荷泵電路，另包含一時脈產生電路，包含：

- 一時脈輸入端，用以接收一主要時脈訊號；
- 一非重疊時脈產生器，耦接於該時脈輸入端，用以製造一第一中介時脈訊號及一第二中介時脈訊號，其中該第一中介時脈訊號及該第二中介時脈訊號為非重疊的兩個時脈訊號；
- 一第一反向器，具有一輸入端用以接收該第一中介時脈訊號，及一輸出端用以輸出該第二時脈訊號；
- 一第二反向器，具有一輸入端耦接於該第一反向器的該輸出端，及一輸出端用以輸出該第一時脈訊號；
- 一第三反向器，具有一輸入端用以接收該第二中介時脈訊號，及一輸出端用以輸出該第四時脈訊號；及
- 一第四反向器，具有一輸入端耦接於該第三反向器的該輸出端，及一輸出端用以輸出該第三時脈訊號。

【第11項】 如請求項1或9所述的電荷泵電路，另包含一時脈產生電路，包含：

- 一時脈輸入端，用以接收一主要時脈訊號；
- 一非重疊時脈產生器，耦接於該時脈輸入端，用以製造一第一中介時脈訊號及一第二中介時脈訊號，其中該第一中介時脈訊號及該第二中介時脈訊號為非重疊的兩個時脈訊號；
- 一第一反向器，具有一輸入端用以接收該第一中介時脈訊號，及一輸出端用以輸出該第二時脈訊號；
- 一第一延遲元件，具有一輸入端耦接於該第一反向器的該輸出端，及一輸

出端；

一第二反向器，具有一輸入端耦接於該第一延遲元件的該輸出端，及一輸出端用以輸出該第一時脈訊號；

一第三反向器，具有一輸入端用以接收該第二中介時脈訊號，及一輸出端用以輸出該第四時脈訊號；

一第二延遲元件，具有一輸入端耦接於該第三反向器的該輸出端，及一輸出端；及

一第四反向器，具有一輸入端耦接於該第二延遲元件的該輸出端，及一輸出端用以輸出該第三時脈訊號。

【第12項】 如請求項8所述的電荷泵電路，其中該第i電荷泵單元另包含：

一第四N型電晶體，具有一第一端耦接於該第i電荷泵單元的該第一N型電晶體的該第一端，一第二端耦接於該第i電荷泵單元的該第一N型電晶體的一基極端，一控制端耦接於該第i電荷泵單元的該第一N型電晶體的該第二端，及一基極端耦接於該第i電荷泵單元的該第一N型電晶體的該基極端；及

一第五N型電晶體，具有一第一端耦接於該第i電荷泵單元的該第一N型電晶體的該基極端，一第二端耦接於該第i電荷泵單元的該第一N型電晶體的該第二端，一控制端耦接於該第i電荷泵單元的該第一N型電晶體的該第一端，及一基極端耦接於該第i電荷泵單元的該第一N型電晶體的該基極端。

【第13項】 如請求項8所述的電荷泵電路，其中該第i電荷泵單元另包含一放電電路，耦接於該第i電荷泵單元的該第一N型電晶體的該控制端及一系統電壓

端之間，用以接收一第二電壓、一偏壓電壓及一控制訊號。

【第14項】如請求項13所述的電荷泵電路，其中該放電電路包含：

一第六N型電晶體，具有一第一端耦接於該第i電荷泵單元的該第一N型電晶體的該控制端，一第二端，及一控制端用以接收該偏壓電壓；及
一第七N型電晶體，具有一第一端耦接於該第i電荷泵單元的該第六N型電晶體的該第二端，一第二端耦接於該系統電壓端，及一控制端用以接收該控制訊號，及一基極端耦接於該第i電荷泵單元的該第七N型電晶體的該第二端。

【第15項】如請求項14所述的電荷泵電路，其中該第i電荷泵單元的該第六N型電晶體係為一N型橫向擴散金氧半電晶體(Laterally Diffused Metal Oxide Semiconductor，LDMOS)。

【第16項】如請求項8所述的電荷泵電路，其中該第(i+1)電荷泵單元另包含：

一第四N型電晶體，具有一第一端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該第一端，一第二端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的一基極端，一控制端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該第二端，及一基極端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該基極端；及
一第五N型電晶體，具有一第一端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該基極端，一第二端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該第二端，一控制端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該第一端，及一基極端耦接於該第(i+1)電荷泵單元的該

第一N型電晶體的該基極端。

【第17項】如請求項8所述的電荷泵電路，其中該第(i+1)電荷泵單元另包含一放電電路，耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該控制端及一系統電壓端之間，用以接收一第二電壓、一偏壓電壓及一控制訊號。

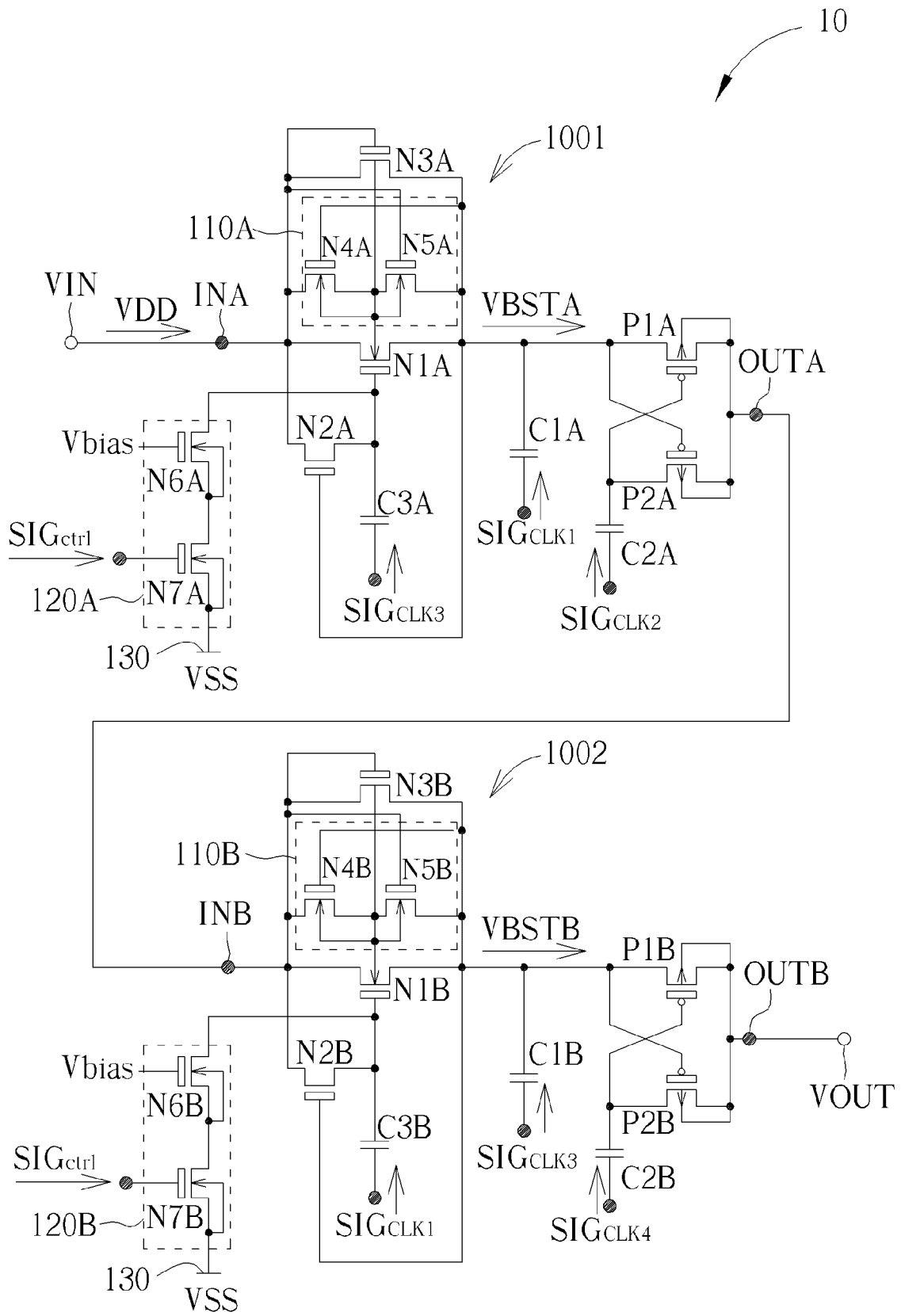
【第18項】如請求項17所述的電荷泵電路，其中該放電電路包含：

一第六N型電晶體，具有一第一端耦接於該第(i+1)電荷泵單元的該第一N型電晶體的該控制端，一第二端，及一控制端用以接收該偏壓電壓；及一第七N型電晶體，具有一第一端耦接於該第(i+1)電荷泵單元的該第六N型電晶體的該第二端，一第二端耦接於該系統電壓端，及一控制端用以接收該控制訊號，及一基極端耦接於該第(i+1)電荷泵單元的該第七N型電晶體的該第二端。

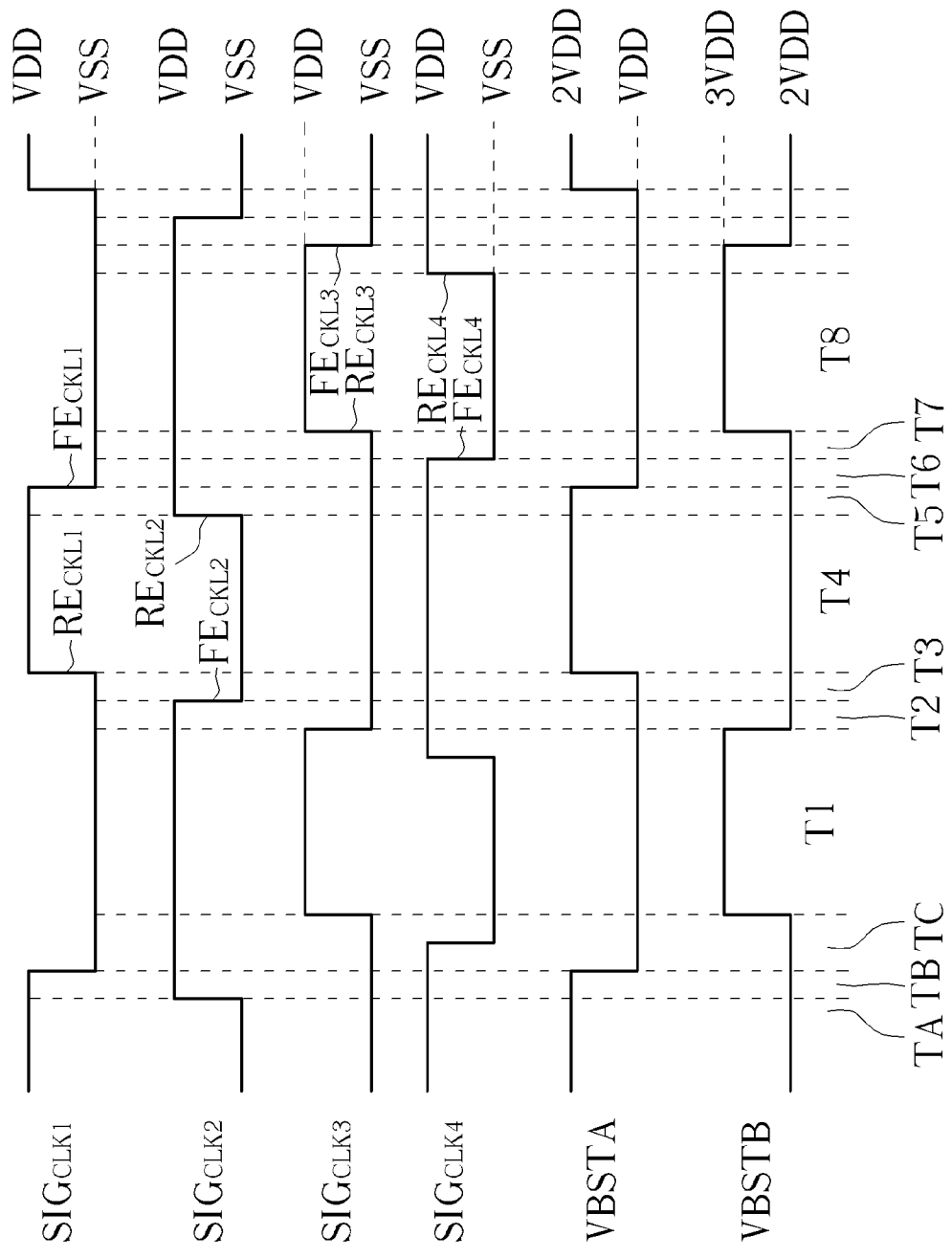
【第19項】如請求項18所述的電荷泵電路，其中該第(i+1)電荷泵單元的該第六N型電晶體係為一N型橫向擴散金氧半電晶體(Laterally Diffused Metal Oxide Semiconductor，LDMOS)。

【第20項】如請求項8所述的電荷泵電路，其中該第i電荷泵單元的該第二電容及該第三電容以及該第(i+1)電荷泵單元的該第二電容及該第三電容係為MOM (Metal-Oxide-Metal) 電容。

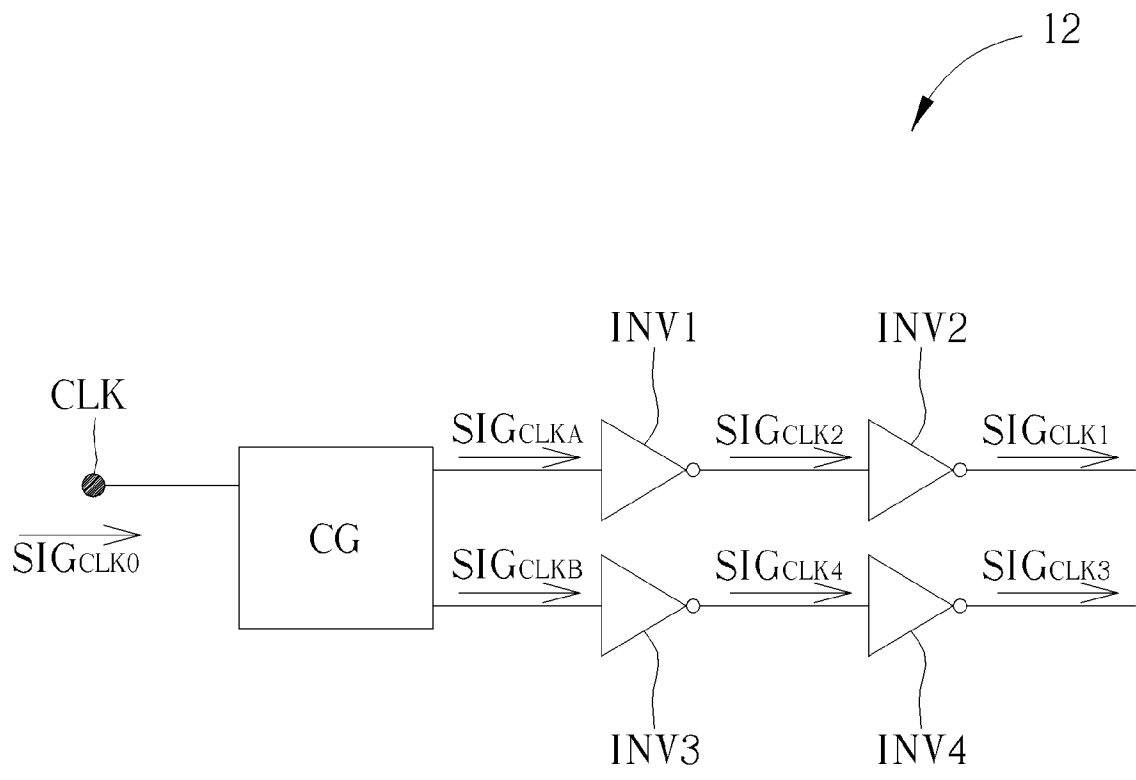
【發明圖式】



第1圖

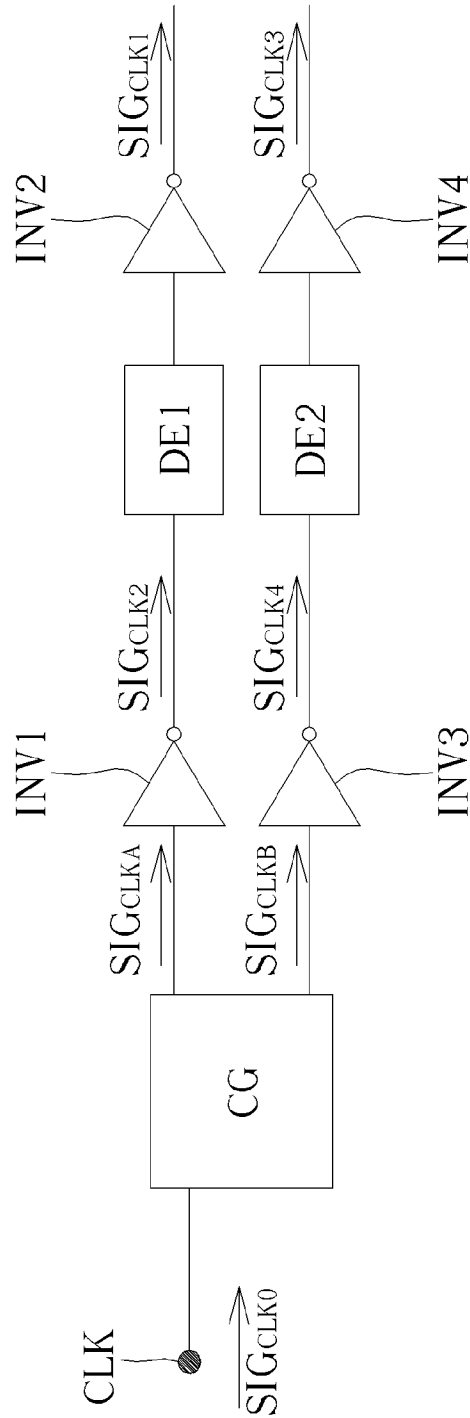


第2圖

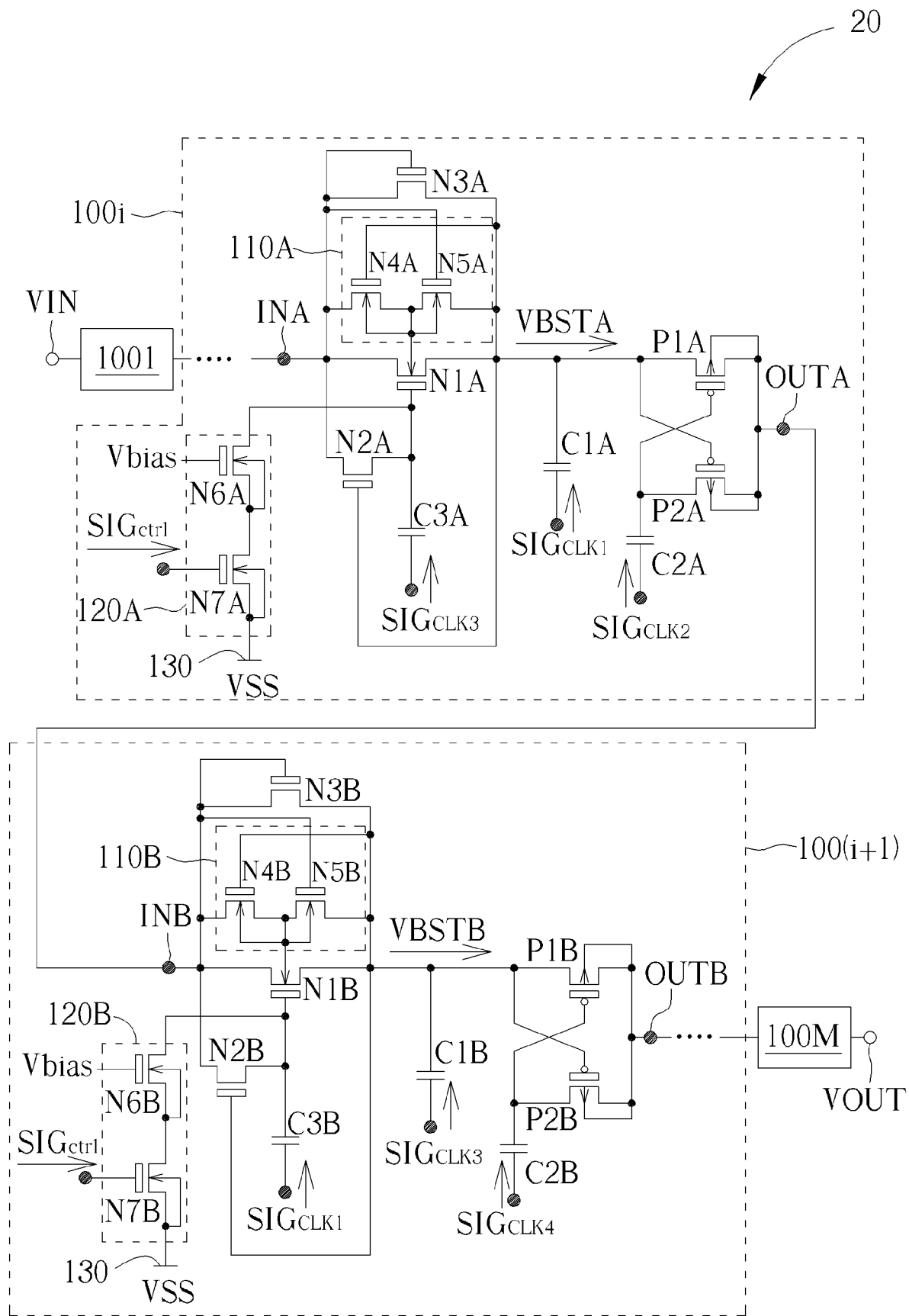


第3圖

22



第4圖



第5圖