



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I420598 B

(45)公告日：中華民國 102 (2013) 年 12 月 21 日

(21)申請案號：099101228

(22)申請日：中華民國 99 (2010) 年 01 月 18 日

(51)Int. Cl. : **H01L21/3205(2006.01)****H01L23/485 (2006.01)****H01L23/495 (2006.01)**

(30)優先權：2009/01/20 美國

12/356,077

(71)申請人：萬國半導體有限公司 (美國) ALPHA & OMEGA SEMICONDUCTOR INC. (US)  
美國

(72)發明人：李一寬 LEE, IL KWAN (KR)

(74)代理人：蔡清福

(56)參考文獻：

US 5532179

US 6159846

審查人員：孫建文

申請專利範圍項數：24 項 圖式數：9 共 20 頁

(54)名稱

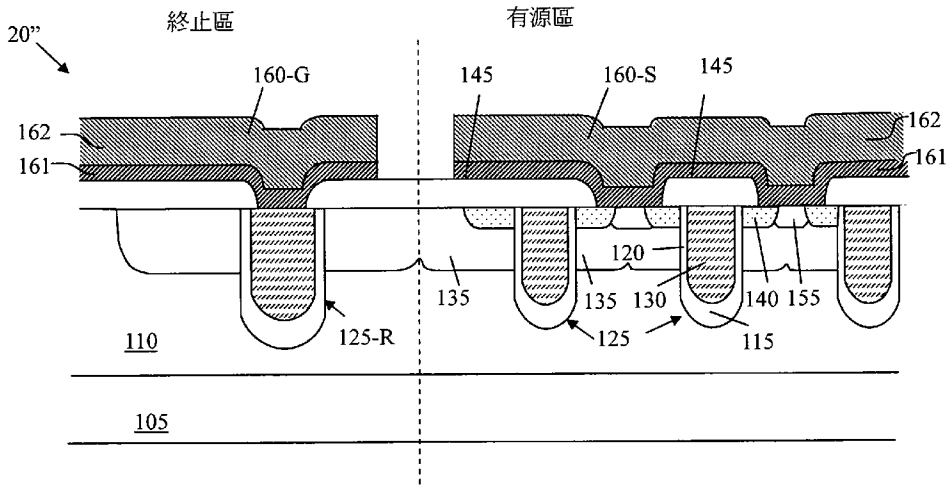
在功率半導體晶片上形成帶有圖案的厚金屬的方法

METHOD FOR FORMING A PATTERNED THICK METALLIZATION ATOP A POWER SEMICONDUCTOR CHIP

(57)摘要

本發明提出了一種在一個半導體晶片上形成帶圖案的厚金屬的方法。此方法包括製備一個近乎完整的半導體晶片，準備用於塗敷金屬；用熱金屬工藝，沉積一層子厚度為 TK1 的底部金屬層，連同其內置的校準標記；用冷金屬工藝，沉積一層子厚度為 TK2 的頂部金屬層，形成總厚度為  $TK=TK1+TK2$  的堆積厚金屬；然後使用內置的校準標記作參照，在複合厚金屬上形成圖案。形成的一種帶圖案的厚金屬具有以下優點：更好的金屬階梯覆蓋率，原因是熱金屬工藝比冷金屬工藝具有更好的金屬階梯覆蓋率；更低的校準誤差率，原因是冷金屬工藝的校準信號雜訊比熱金屬工藝的更低。

A method is disclosed for forming a patterned thick metallization atop a semiconductor chip wafer. The method includes fabricating a nearly complete semiconductor chip wafer ready for metallization; depositing a bottom metal layer of sub-thickness TK1 together with its built-in alignment mark using a hot metal process; depositing a top metal layer of sub-thickness TK2 using a cold metal process thus forming a stacked thick metallization of total thickness  $TK = TK1+TK2$ ; then, use the built-in alignment mark as reference, patterning the stacked thick metallization. A patterned thick metallization is thus formed with the advantages of better metal step coverage owing to the superior step coverage nature of the hot metal process as compared to the cold metal process; and lower alignment error rate owing to the lower alignment signal noise nature of the cold metal process as compared to the hot metal process.



第 3A 圖

- 20" . . . 金屬氧化物半導體場效應管晶片
- 105 . . . 襯底層
- 110 . . . 外延層
- 120 . . . 柵極絕緣層
- 125 . . . 溝道
- 125-R . . . 柵極流道溝道
- 130 . . . 絕緣柵極材料
- 135 . . . 本體區
- 140 . . . 源極區
- 145 . . . 介質層
- 155 . . . 本體接觸植入區
- 160-G . . . 分離柵極金屬
- 160-S . . . 源極金屬層
- 161 . . . I-型(熱)金屬
- 162 . . . II-型(冷)金屬

## 發明摘要

※ 申請案號：099101228

※ 申請日：2010/01/18

※IPC 分類：  
H01L 21/3205 (2006.01)  
H01L 23/485 (2006.01)  
H01L 23/495 (2006.01)

## 【發明名稱】(中文/英文)

在功率半導體晶片上形成帶有圖案的厚金屬的方法/Method for Forming a Patterned Thick Metallization atop a Power Semiconductor Chip

## 【中文】

本發明提出了一種在一個半導體晶片上形成帶圖案的厚金屬的方法。此方法包括製備一個近乎完整的半導體晶片，準備用於塗敷金屬；用熱金屬工藝，沉積一層子厚度為 TK1 的底部金屬層，連同其內置的校準標記；用冷金屬工藝，沉積一層子厚度為 TK2 的頂部金屬層，形成總厚度為  $TK=TK1+TK2$  的堆積厚金屬；然後使用內置的校準標記作參照，在複合厚金屬上形成圖案。形成的一種帶圖案的厚金屬具有以下優點：更好的金屬階梯覆蓋率，原因是熱金屬工藝比冷金屬工藝具有更好的金屬階梯覆蓋率；更低的校準誤差率，原因是冷金屬工藝的校準信號雜訊比熱金屬工藝的更低。

## 【英文】

A method is disclosed for forming a patterned thick metallization atop a semiconductor chip wafer. The method includes fabricating a nearly complete semiconductor chip wafer ready for metallization; depositing a bottom metal layer of sub-thickness TK1 together with its built-in alignment mark using a hot metal process; depositing a top metal layer of sub-thickness TK2 using a cold metal process thus forming a stacked thick metallization of total thickness  $TK = TK1+TK2$ ; then, use the built-in alignment mark as reference, patterning the stacked thick metallization. A patterned thick metallization is thus formed with the advantages of better metal step coverage owing to the superior step coverage nature of the hot metal process as compared to the cold metal process; and lower alignment error rate owing to the lower alignment signal noise nature of the cold metal process as compared to the hot metal process.

**【代表圖】**

**【本案指定代表圖】：**第(3A)圖。

**【本代表圖之符號簡單說明】：**

20''	金屬氧化物半導體場效應管晶片
105	襯底層
110	外延層
120	柵極絕緣層
125	溝道
125-R	柵極流道溝道
130	絕緣柵極材料
135	本體區
140	源極區
145	介質層
155	本體接觸植入區
160-G	分離柵極金屬
160-S	源極金屬層
161	I - 型 (熱) 金屬
162	II - 型 (冷) 金屬

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

在功率半導體晶片上形成帶有圖案的厚金屬的方法/Method for Forming a Patterned Thick Metallization atop a Power Semiconductor Chip

## 【技術領域】

【0001】 本發明涉及一種功率半導體晶片的製備方法。更確切地說，本發明是關於一種在一個功率半導體晶片上製備厚金屬的工藝。

## 【先前技術】

【0002】 半導體功率器件是當今電子行業中最重要支柱產業之一。如今半導體功率器件不斷朝著用低功率消耗以及低成本，來獲得更高的晶片集成密度、更高的功率承載能力的方向發展，因此以往在引線接合法中用金線和鋁線的方法，已經被銅線所取代，這是因為在相同接線損毀的情況下，銅線是最節省成本的方法。但主要的技術難題在於銅線的硬度，為了能夠焊接銅線，需要不斷增加在功率半導體晶片上的金屬厚度，一般要求金屬厚度在 3-6 微米之間（1 微米=10<sup>-6</sup> 米）。

【0003】 用傳統焊線方法製備的半導體功率器件，用一個 1-3 微米的單一的熱金屬層，作為接觸和焊接區。當冷金屬鋁在接觸孔中形成空洞導致可靠性失效時，用熱金屬鋁覆蓋階梯，以便在接觸孔內獲得可靠的接觸。這對於通過縮小器件尺寸，來提升半導體有效區域工作效率的情況來說，顯得尤為重要。例如，現在使用的一些功率金屬氧化物半導體場效應管的壁—壁節距尺寸都在微米量級上，這就要求接觸孔的尺寸更小，掩膜校準公差也要小。但是由於熱金屬良好的階梯覆蓋率會降低以後掩膜過程中的校準標記的銳度，所以在增加金屬層厚度時，公差也要適當增大，這樣一來，半導體的有效區域效率也將降低。因此，有必要找到一種既能提供可靠接觸，又能提供有效校準標記，在 3-6 微米範圍內沉積厚金屬層的新方法。

**【發明內容】**

**【0004】** 本方法用於在一個半導體功率晶片的表面絕緣層上形成帶圖案的厚金屬。其中半導體功率晶片頂部帶有多個預設圖案的接觸區。本方法包括以下步驟：

a) 製備一個帶有內置校準標記、近乎完整的半導體晶片，準備用於塗敷金屬。

b) 在晶片上方，用熱金屬工藝，沉積一層子厚度為 TK1 的底部金屬層。

c) 在底部金屬層上方，用冷金屬工藝，沉積一層子厚度為 TK2 的頂部金屬層，形成總厚度為  $TK=TK1+TK2$  的複合厚金屬。

d) 使用內置的校準標記作參照，在複合厚金屬上形成圖案。

按照這種方法製備的帶圖案的厚金屬具備以下優點：

更好的金屬階梯覆蓋率，原因是熱金屬工藝比冷金屬工藝具有更好的金屬階梯覆蓋率。

**【0005】** 更低的校準誤差率，原因是冷金屬工藝的校準信號雜訊比熱金屬工藝的更低。

**【0006】** 在一個典型實施例中，如果複合厚金屬產生過度校準信號雜訊的話，會導致不可接受的校準誤差率，因此本方法還對子厚度 TK1 和 TK2 做出了進一步限制，使總厚度 TK 不超過預設的最大厚度  $TK_{max}$ 。

在一個典型實施例中，如果 TK1 厚度不足的話，會導致不可接受的金屬階梯覆蓋率，因此本方法還規定 TK1 和 TK2 子厚度的比值  $R=TK2/TK1$  不超過預設的最大比值  $R_{max}$ 。

**【0007】** 在一個典型實施例中，如果 TK1 厚度過大的話，會導致不可接受的校準誤差率，因此本方法還規定 TK1 和 TK2 子厚度的比值  $R=TK2/TK1$  不小於預設的最小比值  $R_{min}$ 。

**【0008】** 在一個典型實施例中，使用熱金屬工藝沉積底部金屬層還包括在 400 攝氏度以上時，真空沉積一種（鋁、矽、銅）的混合物。按照重量百分比，這種混合物含有 98%~99%的鋁、0.5%~1.5%的矽以及 0.1%~1.0%的銅。

**【0009】** 在一個典型實施例中，使用冷金屬工藝沉積頂部金屬層還包括，在大約  $300\pm 50$  攝氏度時，真空沉積一種（鋁、銅）的混合物。按照重

量百分比，這種混合物含有 99.0%~99.9%的鋁和 0.1%~1.0%的銅。

【0010】 在一個典型實施例中， $TK_{\max}$  為 6.0 微米， $R_{\max}$  約為 7:1， $R_{\min}$  約為 3:1。

【0011】 對於本領域的技術人員，本說明書還將進一步討論本發明的上述情況以及多個實施例。

### 【圖式簡單說明】

#### 【0012】

第 1A 圖表示一個帶有內置校準標記的功率金屬氧化物半導體場效應管的俯視圖；

第 1B 圖表示一個金屬氧化物半導體場效應管晶片的一部分，在金屬化之前的橫截面視圖；

第 1C 圖為第 1A 圖的內置校準標記的俯視圖；

第 1D 圖為第 1C 圖的內置校準標記的橫截面視圖；

第 2A 圖表示一個金屬氧化物半導體場效應管晶片的一部分，在實現銅線焊接的厚金屬工藝的一個實施例後的橫截面視圖；

第 2B 圖表示第 1C 圖所示的內置校準標記的一部分，在實現銅線焊接的厚金屬工藝的一個實施例後的橫截面視圖；

第 3A 圖表示一個金屬氧化物半導體場效應管晶片的一部分，在實現銅線焊接的厚金屬工藝的另一個實施例後的橫截面視圖；

第 3B 圖表示第 1C 圖所示的內置校準標記的一部分，在實現銅線焊接的厚金屬工藝的另一個實施例後的橫截面視圖；

第 4 圖表示金屬氧化物半導體場效應管封裝的俯視圖。

### 【實施方式】

【0013】 本說明書及附圖僅對本發明現有的一個或多個較佳實施例作解釋說明，並對許多任選功能和/或可選實施例作了介紹。本說明書及附圖僅用作解釋說明，並不能以此局限本發明的範圍。因此，本領域的技術人員應該可以輕鬆掌握各種變化、修正和可選方案。這些變化、修正和可選方案也應屬於本發明的保護範圍內。

【0014】 第 1A 圖表示半導體晶片 10 的典型結構，晶片上面含有多個帶溝道的金屬氧化物半導體場效應管晶片 20，每個晶片都具有如第 1B 圖所示的橫截面視圖，為以後的金屬化做準備。在晶片 10 的四個角上，帶有校準標記群 11，用於在製備過程中校準晶片。每個校準標記群 11 都含有多個列，每一列都有多個如第 1C 圖所示的 3×4 微米溝道盒。第 1D 圖表示一個溝道盒 1a 的橫截面。溝道盒 1a 的深度約為 1.0-1.5 微米。也可選擇另一種幾何形狀的校準標記，比如交叉型。參照第 1B 圖，金屬氧化物半導體場效應管晶片 20 含有一個有源區，有源區中帶有多個溝道 125，並且絕緣柵極材料 130 延伸至外延層 110 中，覆蓋在襯底層 105 上，襯底層 105 起漏極的作用。在一個實施例中，絕緣柵極在溝道 125 底部，擁有一個較厚的絕緣區 115。在另一個實施例中，柵極絕緣層 120 位於溝道 125 的側壁上，絕緣區 115 同柵極絕緣層 120 的厚度一樣。金屬氧化物半導體場效應管晶片 20 還包括本體區 135，在溝道和源極區 140 之間延伸，沉積在溝道附近的本體區中。本體接觸植入區 155 沉積在源極區 140 之間。介質層 145 覆蓋在半導體表面，帶有源極/本體接觸開口 150-S，通過介質層 145，為源極/本體區提供金屬接觸。一般來說，介質層 145 的厚度約為 0.3-1.0 微米，接觸開口的寬度為 0.15-0.5 微米。在一個實施例中，介質層 145 的厚度約為 0.5 微米，源極/本體接觸開口的寬度約為 0.25 微米。

【0015】 金屬氧化物半導體場效應管晶片 20 還包括一個終止區，帶有一個柵極接觸開口 150-G，通過介質層 145，在柵極流道溝道 125-R 頂部，為柵極 130 提供金屬接觸。在一個實施例中，柵極流道溝道 125-R 要比柵極溝道 125 更寬、更深。在另一個實施例中，柵極接觸開口 150-G 的寬度要比源極/本體接觸開口 150-S 的寬度更窄。柵極溝道 125 和柵極流道溝道 125-R 在第三個維度上相互連接（圖中沒有給出）。

【0016】 如第 2A 圖所示，在半導體晶片 10 上方沉積一個金屬層 160。在此過程中，金屬也覆蓋了校準標記 1a。被金屬覆蓋的校準標記用於，在形成帶圖案的金屬層 160 時，對齊掩膜，以便從源極金屬 160-S 上分離柵極金屬 160-G。為了使用于銅引線接合的結合片足夠厚，金屬層 160 的厚度應在 3-6 微米之間，最好是 4-5 微米之間。可以將 I 型金屬化和 II 型金



屬化配合使用。之所以使用“Ⅰ－型金屬化”和“Ⅱ－型金屬化”技術，是爲了在半導體晶片的處理過程中，使多種類型的材料混合物都可用於金屬化。而且，對於每種材料混合物，一般都有一個首選的晶片處理參數集，用於相關的沉積過程。典型實施例需要以下條件：

Ⅰ－型金屬化：含有鋁、矽、銅的熱金屬，在等於或大於 400 攝氏度的情況下真空沉積。在一個實施例中，按照重量百分比，這種混合物（鋁、矽、銅）含有 98%~99%的鋁、0.5%~1.5%的矽以及 0.1%~1.0%的銅。一個較佳的典型實施例是（按照重量百分比）含有 98.5%的鋁、1.0%的矽以及 0.5%的銅。在處理過程中，要注意在熱金屬中添加 Si 的摻雜物的時間，以防止鋁在矽晶片中向下形成尖峰。

Ⅱ－型金屬化：含有鋁和銅的冷金屬，在等於或小於 350 攝氏度的情況下真空沉積。在一個實施例中，按照重量百分比，這種混合物（鋁、銅）含有 99.0%~99.9%的鋁、0.1%~1.0%的銅。一個較佳的典型實施例是（按照重量百分比）含有 99.5%的鋁和 0.5%的銅。

**【0017】** 在一個實施例中，當溫度超過 400 攝氏度時，使用超導薄膜沉積一層 4 微米厚的Ⅰ－型熱金屬鋁層。第 2B 圖表示 4 微米厚的Ⅰ－型金屬沉積後，校準標記 1a 的橫截面視圖。如圖所示，金屬層 160 提供良好的階梯覆蓋率。但是，厚金屬層 160 會使下面校準標記的階梯結構變得平整。每一個變形的標記都會在校準掩膜的過程中，因對比度下降而產生干擾校準信號。另外，Ⅰ－型金屬的晶粒邊界結構，使得來自一個校準標記探測器的光，通過Ⅰ－型金屬後，不能清晰看到校準標記 1a'；Ⅱ－型金屬的晶粒邊界結構更適宜完成此項任務。在接下來的接觸金屬掩膜刻蝕工藝中，如果使用單程讀取演算法，由於校準標記的微弱對比度造成的干擾校準信號，會導致 45.8%的誤差率，這將削減多達 20%的成品產量。爲了保證充足的產量，這種高校準誤差率要求掩膜校準公差也要更大，因此先進技術製造的小器件尺寸帶來的優勢被大幅削弱。

**【0018】** 在另一個實施例中，如第 3A-3B 圖所示，使用Ⅰ－型和Ⅱ－型金屬的混合物沉積。最好是在一個較厚的Ⅱ－型（冷）金屬 162 層之後，沉積一個較薄的Ⅰ－型（熱）金屬 161 層。例如，Ⅰ－型金屬 161（熱

金屬)薄層的厚度可以在 0.5-1 微米之間選擇，II 一型金屬 162 (冷金屬)厚層的厚度可以在 3-4 微米之間選擇。第 3A 圖和第 3B 圖分別表示沉積 I 一型金屬薄層和 II 一型金屬厚層之後，金屬氧化物半導體場效應管晶片 20”校準標記 1a”的橫截面視圖。第 2A 圖和第 2B 圖，以及第 3A 圖和第 3B 圖表示複合金屬層，在與半導體區域保持良好接觸的同時，提供了一個與下方橫截面一致的頂面。校準標記的階梯結構投影在頂面上，合適的對比度，以便準確地校準掩膜。另外，頂部金屬表面上的階梯結構，在引線接合時起襯墊的作用，以減弱引線接合時產生的碰撞。

**【0019】** 正如上面所提到的，由於熱金屬比較不容易在金屬/半導體介面附近的金屬中形成不可接受的空洞，因此熱金屬比冷金屬的金屬階梯覆蓋率更好。底部 I 一型金屬層必須足夠厚，以便提供充足的熱金屬，形成不含空洞的金屬/半導體介面。但是隨著 I 一型金屬層厚度的增加，校準標記的對比度將降低。實驗結果表明，I 一型金屬的厚度最好是在 0.5-1 微米之間，才能使對比度保持在可接受水準之上時，與半導體區域形成良好的接觸。另外，為了維持適當的金屬校準通過率，複合 I 一型和 II 一型金屬層的總厚度不應超過 6 微米，最好也不要超過 5 微米。一個相關的經驗實驗進一步表明，比值  $R=TK2/TK1$  不應超過最大比值  $R_{max}$  (約為 7:1)，一旦超出此值，熱金屬厚度  $TK1$  過小，不足以獲得可接受的金屬階梯覆蓋率，而且比值  $R$  也不應小於  $R_{min}$  (約為 3:1)，一旦小於此值，熱金屬厚度  $TK1$  過大，會導致不可接受的校準誤差率。例如，同樣是 4 微米的複合厚度，0.5 微米的 I 一型金屬和 3.5 微米的 II 一型金屬複合，或 1 微米的 I 一型金屬和 3 微米的 II 一型金屬複合，都會獲得良好的接觸和校準通過率。

**【0020】** 將半導體晶片 10 切成獨立的晶片 20”，以便在背部減薄並金屬化之後，封裝成獨立組件。如第 4 圖所示，晶片 20”沉積在一個引線框 200 上，金屬氧化物半導體場效應管漏極連接在引線框 200 的壓料墊 210 上。引線框 200 含有一個連接在引線框 200 一側的壓料墊 210 上的漏極引線 220，在引線框 200 的另一側有一個源極引線 230 和一個柵極引線 240。可以使用銅線將晶片 20”的源極和柵極，通過引線接合到引線框 200 的源極引線 230 和柵極引線 240 上。銅線 250 用作源極引線，一端連接到源極金

屬層 160-S 上，另一端連接到源極引線 230 上。在一個典型實施例中，柵極引線 260 也是由銅構成，引線的一端連接到柵極金屬層 160-G 上，另一端連接到柵極引線 240 上。在另一個典型實施例中，柵極引線 260 中含有金，以便將柵極引線的直徑減至最小，柵極金屬 160-G 也達到最小，這樣才能進一步提升半導體區域的工作效率。

**【0021】** 本文提出了一種在半導體晶片上，形成帶圖案的堆積厚金屬的方法。此方法包括以下步驟：

- a) 製備一個近乎完整的功率半導體晶片，準備用於塗敷金屬。
- b) 在晶片上方，用熱金屬工藝，沉積一層帶有內置校準標記的、厚度為 TK1 的底部金屬層。
- c) 在底部金屬層上方，用冷金屬工藝，沉積一層厚度為 TK2 的頂部金屬層，形成總厚度為  $TK=TK1+TK2$  的複合厚金屬。
- d) 使用內置的校準標記作參照，在複合厚金屬上形成圖案。

**【0022】** 按照這種方法製備的帶圖案的厚金屬具備以下優點：

**【0023】** 更好的金屬階梯覆蓋率，原因是熱金屬工藝比冷金屬工藝具有更好的金屬階梯覆蓋率。

**【0024】** 更低的校準誤差率，原因是冷金屬工藝的校準信號雜訊比熱金屬工藝的更低。

**【0025】** 上述說明包含許多特殊情況，這些特殊情況僅對本發明現有的較佳實施例作解釋說明用，不能以此局限本發明的保護範圍。通過說明和附圖，對這些特殊結構的多個典型實施例作了說明。本領域的技術人員應當清楚，本發明還可以通過其他特殊方法實現，無需過多的實驗，本領域的技術人員就能實現這些實施例。例如，本發明使用堆積金屬結構，以便同時改變各種金屬子層的不同優勢，我們預計此方法也可用於各種其他金屬混合物的多層堆積，以及相關的沉積階梯等。本專利文件旨在說明，本發明的範圍不應局限於上述說明中的典型實施例，而應由以下的權利要求書來界定。任何和所有來自於權利要求書中內容或同等範圍中的修正，都將被認為屬於本發明的保護範圍之內。

## 【符號說明】

## 【0026】

10	半導體晶片
11	校準標記群
20、20''	金屬氧化物半導體場效應管晶片
105	襯底層
110	外延層
115	絕緣區
120	柵極絕緣層
125	溝道
125-R	柵極流道溝道
130	絕緣柵極材料
135	本體區
140	源極區
145	介質層
150-G	柵極接觸開口
150-S	源極/本體接觸開口
155	本體接觸植入區
1a	溝道盒
160	金屬層
160-G	分離柵極金屬
160-S	源極金屬層
161	I－型（熱）金屬
162	II－型（冷）金屬
1a''	校準標記
200	引線框
210	壓料墊
220	漏極引線
230	源極引線

240、260 柵極引線

250 銅線

**【生物材料寄存】**

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

**【序列表】** (請換頁單獨記載)

## 申請專利範圍

1. 一種用於在一個帶有多個預設圖案的接觸區的功率半導體晶片的表面絕緣層上製備帶圖案的厚金屬的方法，其特徵在於，這種方法包括：
  - a) 製備一個帶有內置校準標記、近乎完整的半導體晶片，準備用於塗敷金屬；
  - b) 在晶片上方，用熱金屬工藝，沉積一層子厚度為 TK1 的底部金屬層；
  - c) 在底部金屬層上方，用冷金屬工藝，沉積一層子厚度為 TK2 的頂部金屬層，形成總厚度為  $TK=TK1+TK2$  的複合厚金屬；
  - d) 使用內置的校準標記作參照，在複合厚金屬上形成圖案；按照這種方法製備的帶圖案的厚金屬具備以下優點：
  - 1) 更好的金屬階梯覆蓋率，原因是熱金屬工藝比冷金屬工藝具有更好的金屬階梯覆蓋率；
  - 2) 更低的校準誤差率，原因是冷金屬工藝的校準信號雜訊比熱金屬工藝的更低。
2. 如申請專利範圍第 1 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，還包括選擇所述的子厚度 TK1 和所述的子厚度 TK2，使總厚度 TK 不超過預設的總厚度最大值  $TK_{max}$ ，一旦超過最大值，無論 TK1 和 TK2 取何值，複合厚金屬的額外校準信號雜訊，都會導致不可接受的校準誤差率。
3. 如申請專利範圍第 2 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，還包括選擇所述的子厚度 TK1 和所述的子厚度 TK2，使它們的比值  $R=TK2/TK1$  不超過預設的最大比值  $R_{max}$ ，一旦超過最大比值，子厚度 TK1 厚度不足，會導致不可接受的金屬階梯覆蓋率。
4. 如申請專利範圍第 2 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，還包括選擇所述的子厚度 TK1 和所述的子厚度 TK2，使它們的比值  $R=TK2/TK1$  不小於預設的最小比值  $R_{min}$ ，一旦小於最小比值，子厚度 TK1 厚度過大，會導致不可接受的校準誤差率。
5. 如申請專利範圍第 1 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，使用熱金屬工藝沉積底部金屬層還包括，在溫度超過 400 攝氏度時，真空沉積（鋁、矽、銅）的混合物。

6. 如申請專利範圍第 5 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，（鋁、矽、銅）的混合物還包括（按照重量百分比）98%~99%的鋁、0.5%~1.5%的矽以及 0.1%~1.0%的銅。
7. 如申請專利範圍第 6 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，（鋁、矽、銅）的混合物還包括（按照重量百分比）98.5%的鋁、1.0%的矽以及 0.5%的銅。
8. 如申請專利範圍第 1 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，使用冷金屬工藝沉積頂部金屬層還包括，在溫度大致  $300 \pm 50$  攝氏度時，真空沉積（鋁、銅）的混合物。
9. 如申請專利範圍第 8 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，（鋁、銅）的混合物還包括（按照重量百分比）99.0%~99.9%的鋁和 0.1%~1.0%的銅。
10. 如申請專利範圍第 9 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，（鋁、銅）的混合物還包括（按照重量百分比）99.5%的鋁和 0.5%的銅。
11. 如申請專利範圍第 2 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，所述的  $TK_{max}$  約為 4.0-5.0 微米。
12. 如申請專利範圍第 3 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，所述的  $R_{max}$  約為 7:1。
13. 如申請專利範圍第 4 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，所述的  $R_{min}$  約為 3:1。
14. 如申請專利範圍第 1 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，還包括選擇所述的子厚度 TK1 和所述的子厚度 TK2，使 TK1 約為 1.0 微米，TK2 約為 3.0 微米。
15. 如申請專利範圍第 1 項所述的用於形成帶圖案的厚金屬的方法，其特徵在於，還包括選擇所述的子厚度 TK1 和所述的子厚度 TK2，使 TK1 約為 0.5 微米，TK2 約為 3.5 微米。
16. 一種功率半導體晶片，其特徵在於，包括：  
一個帶有多個溝道的有源區，並且絕緣柵極材料延伸至覆蓋在襯底層上的外延層中，襯底層起漏極的作用；

在溝道之間延伸的本體區；

沉積在溝道附近的本體區中的源極區；

一個覆蓋在半導體表面，帶有接觸開口的介質層；

一個覆蓋在介質層上的金屬層，通過接觸開口連接源極區，但所述的金屬層包括一個位於底部的 I - 型熱金屬薄層和一個位於頂部的 II - 型冷金屬厚層；以及

一個帶有柵極接觸開口的終止區，穿過介質層，在柵極流道溝道頂部，為絕緣柵極提供金屬接觸。

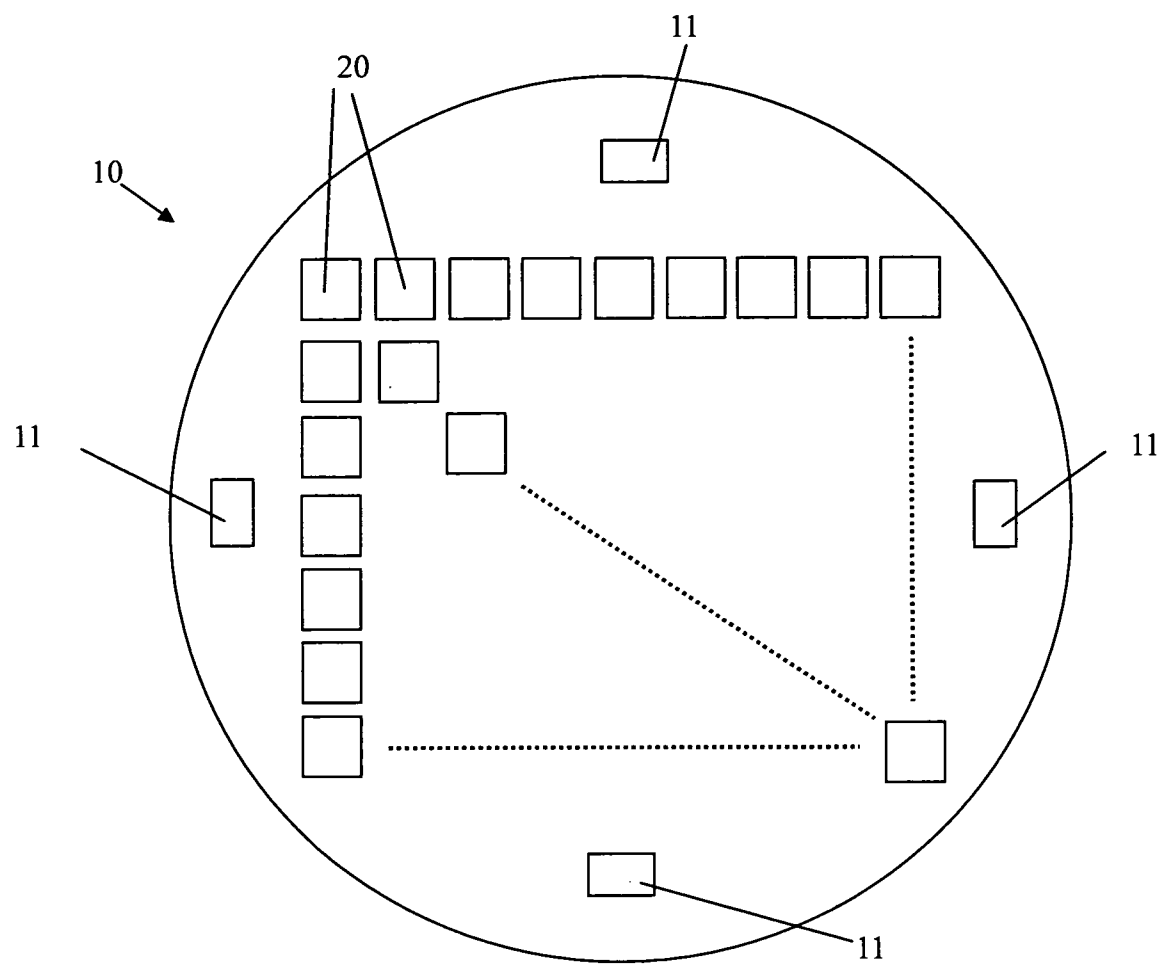
17. 如申請專利範圍第 16 項所述的功率半導體晶片，其特徵在於，所述的熱金屬層的厚度在 0.5-1 微米之間。
18. 如申請專利範圍第 16 項所述的功率半導體晶片，其特徵在於，所述的金屬層的複合厚度在 4-5 微米之間，以便銅引線接合。
19. 如申請專利範圍第 16 項所述的功率半導體晶片，其特徵在於，II - 型金屬厚度與 I - 型金屬厚度的比值在 3:1 至 7:1 之間。
20. 如申請專利範圍第 16 項所述的功率半導體晶片，其特徵在於，所述的金屬層有一階梯結構的頂面形態與它下面的介質層的形態基本一致。
21. 如申請專利範圍第 16 項所述的功率半導體晶片，其特徵在於，還包括：一個覆蓋在介質層上的金屬層，通過接觸開口連接絕緣柵極，所述的金屬層還包括一個位於底部的 I - 型金屬層和一個位於頂部的 II - 型金屬層。
22. 一種功率半導體器件，其特徵在於，包括：
  - 一個帶有多個接觸區的功率半導體晶片；在晶片上方，用熱金屬工藝，沉積有一層子厚度為 TK1 的底部金屬層，在底部金屬層上方，用冷金屬工藝，沉積有一層子厚度為 TK2 的頂部金屬層，形成總厚度為  $TK=TK1+TK2$  的複合厚金屬；
  - 一個覆蓋在半導體表面的介質層，在所述的多個接觸區上方延伸，介質層上還帶有多個接觸開口；
  - 一個厚度在 4 微米以上的第一金屬層，覆蓋在介質層上，通過多個接觸開口，連接介質層下方的多個源極區和本體區；以及
  - 銅接合引線將金屬層連接到一個引線框的多個源極引線上。
23. 如申請專利範圍第 22 項所述的功率半導體器件，其特徵在於，還包括：



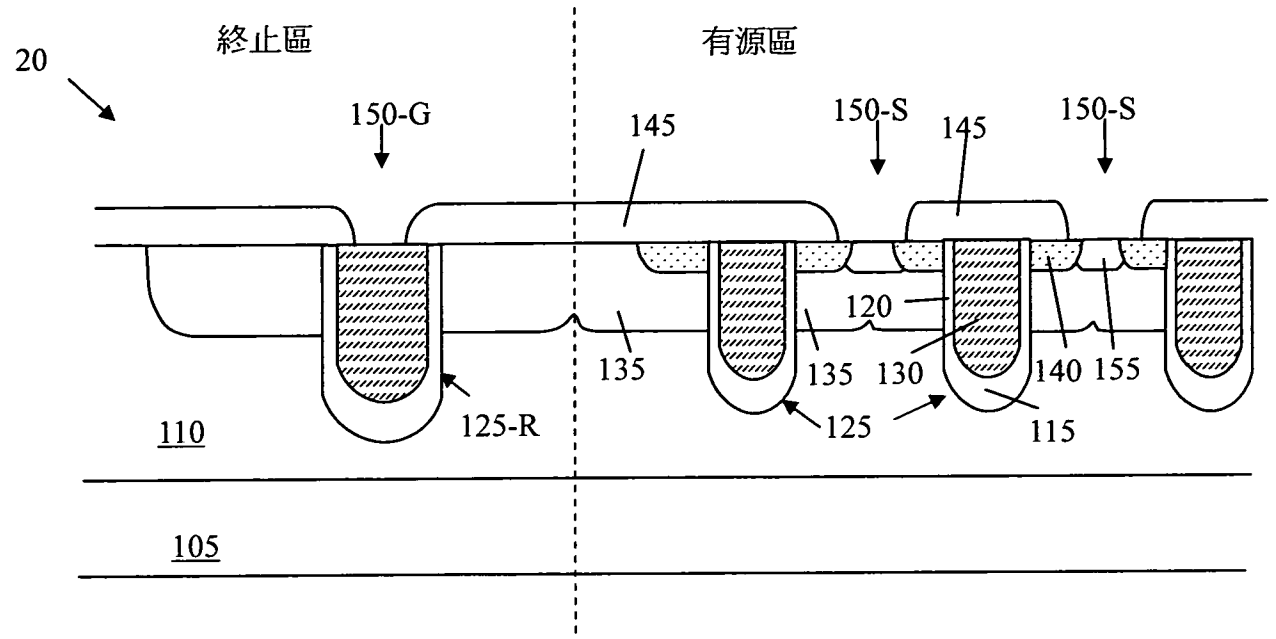
一個通過柵極流道溝道頂部的介質層開口的柵極接頭；  
一個覆蓋在介質層上的第二金屬層，通過接觸開口連接一個柵極流道；  
以及  
一個銅接合引線，將第二金屬層連接到引線框上的一個柵極引線上。

24. 如申請專利範圍第 22 項所述的功率半導體器件，其特徵在於，還包括：
- 一個通過柵極流道溝道頂部的介質層開口的柵極接頭；  
一個覆蓋在介質層上的第二金屬層，通過接觸開口連接一個柵極流道；  
以及  
一個金接合引線，將第二金屬層連接到引線框上的一個柵極引線上，以便進一步提升半導體區域的工作效率。

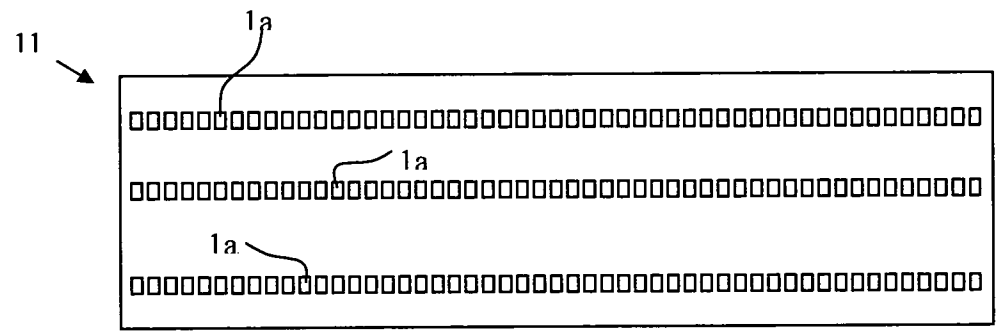
# 圖式



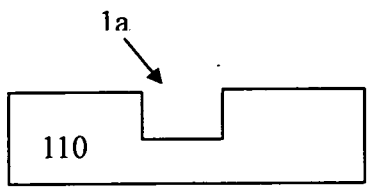
第 1A 圖



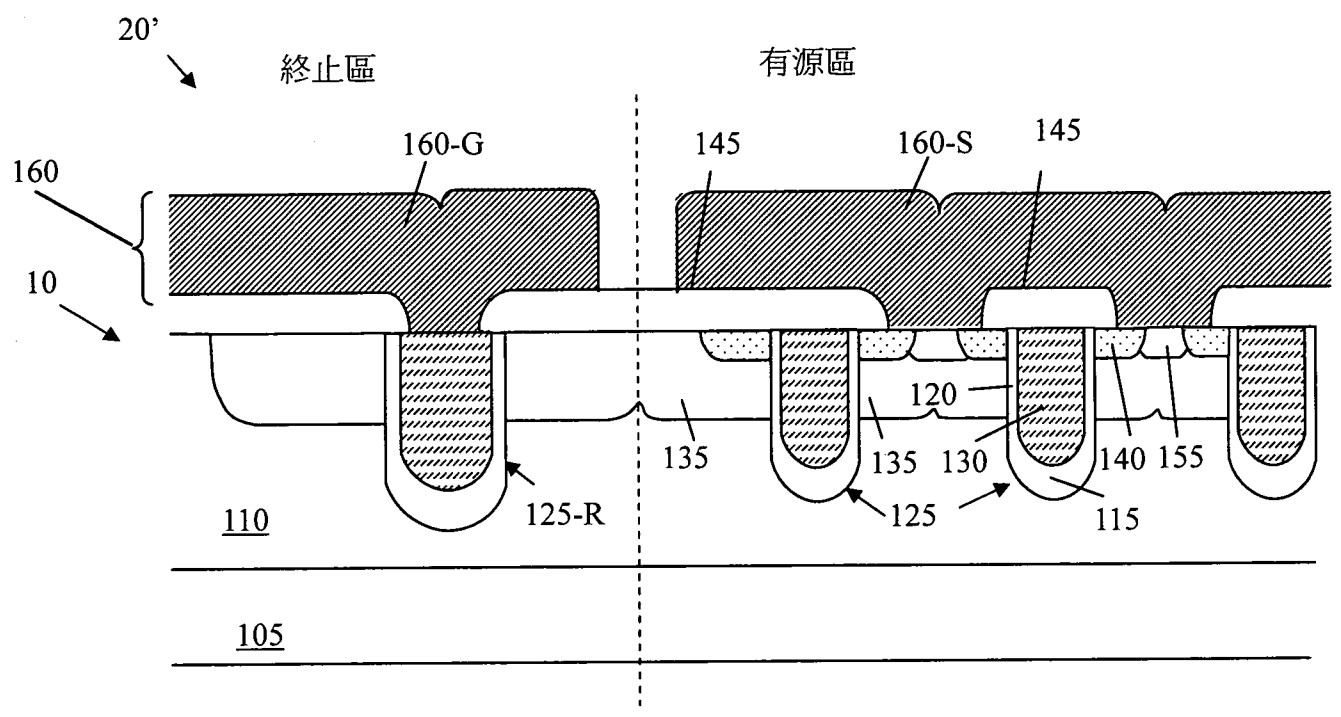
第 1B 圖



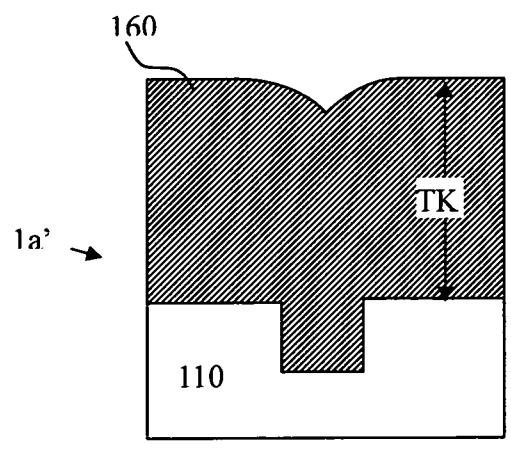
第 1C 圖



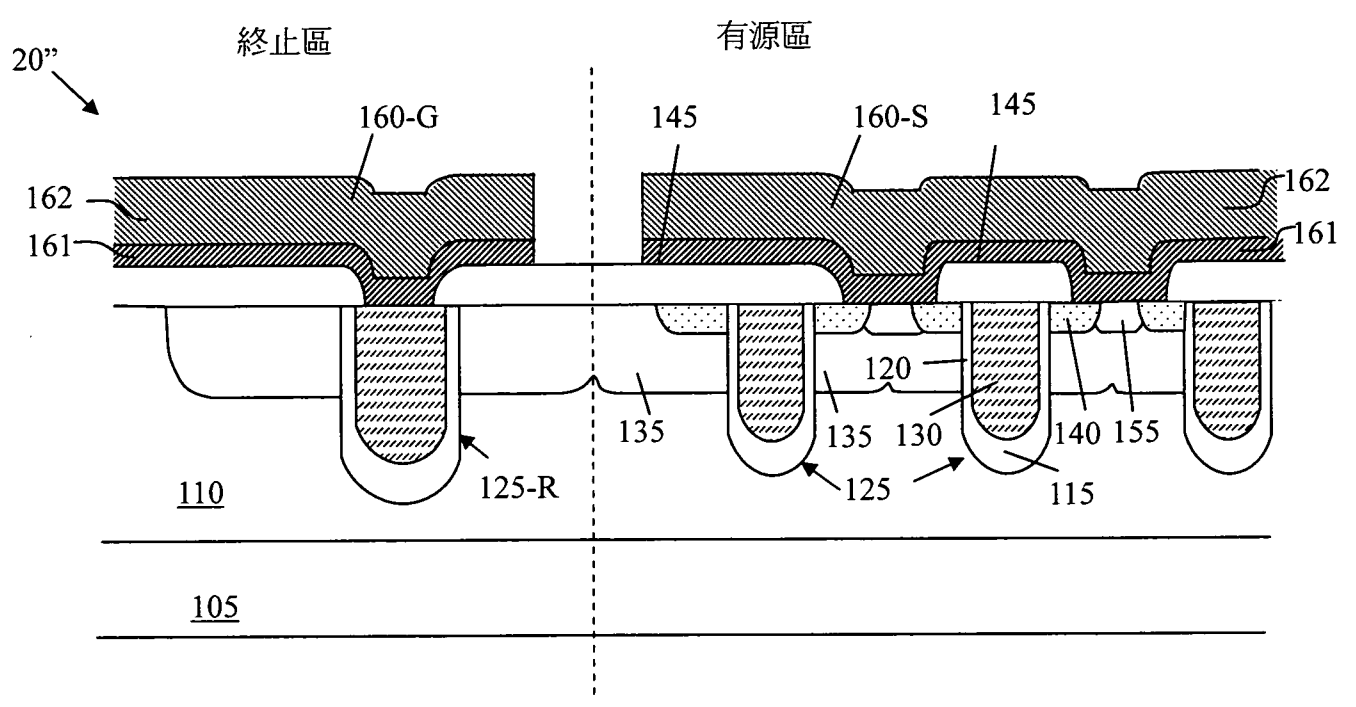
第 1D 圖



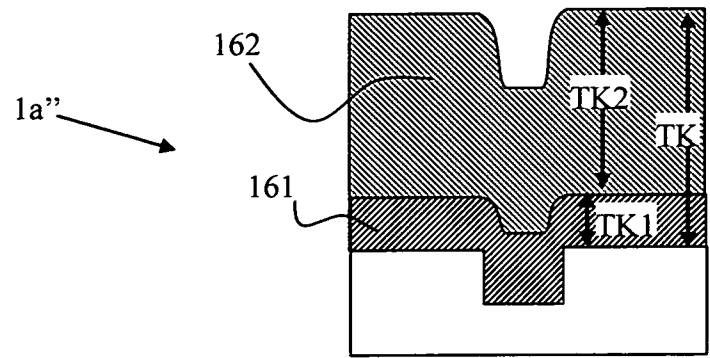
第 2A 圖



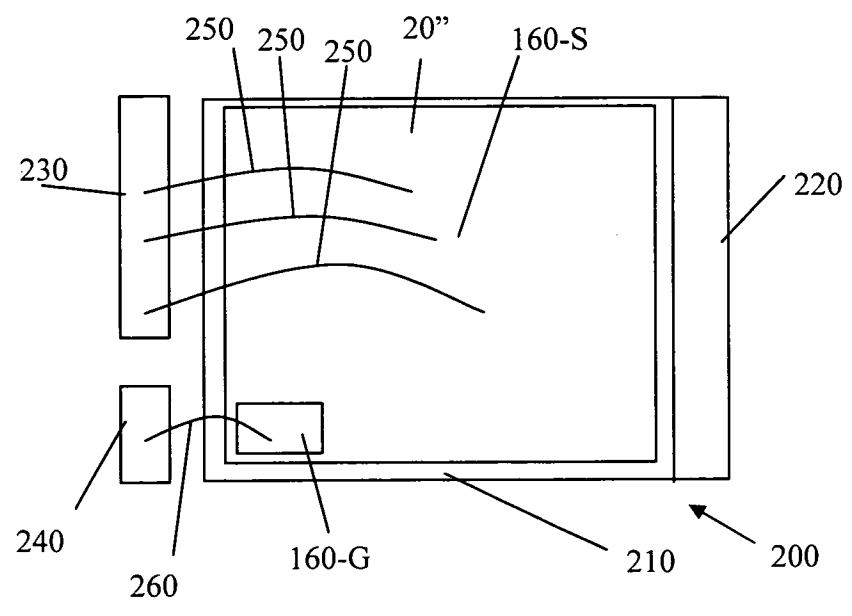
第 2B 圖



第 3A 圖



第 3B 圖



第 4 圖