

(12) 发明专利

(10) 授权公告号 CN 101331553 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 200680046853. 2

(22) 申请日 2006. 11. 01

(30) 优先权数据

362646/2005 2005. 12. 16 JP

(85) PCT申请进入国家阶段日

2008. 06. 13

(86) PCT申请的申请数据

PCT/JP2006/321817 2006. 11. 01

(87) PCT申请的公布数据

W02007/069405 JA 2007. 06. 21

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 森本英德

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 王岳 陈景峻

(51) Int. Cl.

G11C 13/00(2006. 01)

G11C 17/14(2006. 01)

(56) 对比文件

US 20020001243 A1, 全文.

EP 1560221 A2, 2005. 08. 03, 全文.

US 20040257864 A1, 2004. 12. 23, 全文.

US 5268864 A, 1993. 12. 07, 说明书第1栏第21行至第7栏第13行、图1至图6.

审查员 杨鹏

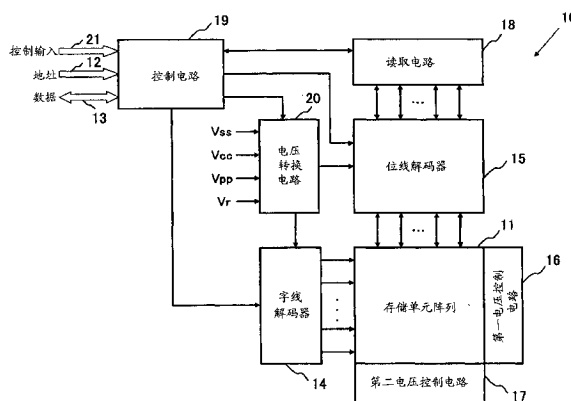
权利要求书 2 页 说明书 13 页 附图 12 页

(54) 发明名称

非易失性半导体存储器件

(57) 摘要

提供了一种非易失性半导体存储器件,用于抑制由交叉点型存储器阵列的字线或位线处的IR降引起的存储器特性退化。非易失性半导体存储器件包括字线选择电路(14),该字线选择电路从多个字线选择所选字线,并且单独地将所选字线电压提供给所选字线以及将未选字线电压提供给未选字线;位线选择电路(15),该位线选择电路从多个位线选择所选位线,并且单独地将所选位线电压提供给所选位线以及将未选位线电压提供给未选位线;和电压控制电路(16)和(17),所述电压控制电路单独地控制多个字线和多个位线处的电压波动中的至少任一个,其中至少多个字线或多个位线在离连接字线选择电路(14)或位线选择电路(15)的驱动点最远的电压控制点处连接到电压控制电路(16)和(17)。



1. 一种非易失性半导体存储器件,包括:

存储单元阵列,该存储单元阵列具有沿行方向和列方向设置的多个两端子结构的存储单元、沿行方向延伸的多个字线、和沿列方向延伸的多个位线,其中相同行中的存储单元的一端连接到公共字线并且相同列中的存储单元的另一端连接到公共位线;

字线选择电路,该字线选择电路从该多个字线选择预定数目的字线作为所选字线,并且将所选字线电压和未选字线电压分别施加到所选字线和未选字线;

位线选择电路,该位线选择电路从该多个位线选择预定数目的位线作为所选位线,并且将所选位线电压和未选位线电压分别施加到所选位线和未选位线;以及

电压控制电路,该电压控制电路防止该多个字线和该多个位线中的至少任一个的电压波动,其中

该多个字线和该多个位线中的至少任一个连接到位于离驱动点最远的点处或驱动点和所述最远的点之间的中间点处的电压控制点处的电压控制电路,在所述驱动点处该多个字线连接到字线选择电路或该多个位线连接到位线选择电路,

该电压控制电路包括具有二极管电路和 MOSFET 的串联电路和反相器电路,

该串联电路连接在电压控制点和预定电压供给线之间,

该反相器电路的输入端子连接到电压控制点,

该反相器电路的输出端子连接到 MOSFET 的栅电极。

2. 根据权利要求 1 的非易失性半导体存储器件,其中

该多个字线和该多个位线中的至少任一个的一端连接到字线选择电路或位线选择电路,并且其另一端连接到电压控制电路。

3. 根据权利要求 1 的非易失性半导体存储器件,其中

该二极管电路被配置成防止在电压控制点处从预定的控制参考电压沿正方向或负方向的电压波动。

4. 根据权利要求 3 的非易失性半导体存储器件,其中二极管电路包括 PN 结二极管元件。

5. 根据权利要求 3 的非易失性半导体存储器件,其中二极管电路包括具有彼此连接的漏极和栅极的 MOSFET。

6. 根据权利要求 1 的非易失性半导体存储器件,其中

存储单元具有两端子结构,其具有通过电阻的改变来存储信息的可变电阻元件,其中当电应力施加到可变电阻元件的两端并且可变电阻元件的电阻改变时,可对信息进行编程,并且

当预定编程电压施加在连接到在编程操作时被编程的存储单元的所选字线和所选位线之间时,在电压控制电路连接到所选字线和所选位线中的一个的情况下,这一个被施加较高电压,电压控制电路防止电压控制点处沿朝向低电压方向的电压波动,或者在电压控制电路连接到所选字线和所选位线中的另一个的情况下,该另一个被施加较低电压,电压控制电路防止电压控制点处沿朝向高电压方向的电压波动。

7. 根据权利要求 1 的非易失性半导体存储器件,其中

存储单元具有两端子结构,其具有通过电阻的改变来存储信息的可变电阻元件,其中当电应力施加到可变电阻元件的两端并且可变电阻元件的电阻改变时,可对信息进行编

程,并且

电压控制电路在存储单元的读取操作时没有被启动。

8. 根据权利要求 1 的非易失性半导体存储器件,其中

电压控制电路被构造成不防止施加到未选字线或未选位线的每一个的电压的波动。

9. 根据权利要求 1 的非易失性半导体存储器件,其中

该多个字线和该多个位线中的至少任一个由高熔点金属材料、多晶硅、或高熔点金属材料和多晶硅的化合物形成。

## 非易失性半导体存储器件

### 技术领域

[0001] 本发明涉及具有交叉点型存储单元阵列的非易失性半导体存储器件,其中沿行方向和列方向设置多个两端子结构的存储单元,多个字线沿行方向延伸,多个位线沿列方向延伸,连接到相同行的存储单元的一端连接到公共字线,而连接到相同列的其另一端连接到公共位线。

### 背景技术

[0002] 随着集成电路和计算机功能的改进,正在开发需要存储大量数据的功能的新应用。存在需要具有电编程数据和擦除存储的数据的功能的非易失性半导体存储器件的应用。通过将每兆字节制作非易失性半导体存储器件的成本降低到少于一美元,许多应用变得可以应用。例如,存在下列的替换应用:

[0003] (1) 用来存储摄影图像的化学胶片(摄影胶片),

[0004] (2) 发行的用来存储音乐数据和文本数据的致密盘(CD),

[0005] (3) 发行的用来存储视频数据和多媒体数据的数字通用盘(DVD),以及

[0006] (4) 用来由观众存储音频和视频数据的磁带,例如数字录音磁带和录像带。

[0007] 以上的常规存储介质是非易失性存储器且存储在档案(archive)(存储盒等)中,并且可以从主装置且所有电源不供电达大约十年或更久而基本保持记录在其中的信息没有被完全破坏。与CD、DVD、磁带和几乎所有类型的摄影胶片一样,非易失性半导体存储器件需要长时间地保存它们的数据。

[0008] 可以替代常规存储介质的非易失性半导体存储器件是快闪存储器、EEROM等,其中数据可以在瞬间被电擦除和编程。不幸的是,根据现在的非易失性半导体存储器件,存储单元通常二维地设置在单晶硅衬底上,并且被限定为二维存储单元阵列。因此,能够存储的数据量(存储容量)受限于能够形成在硅衬底的单平面中的存储单元的数目。

[0009] 同时,根据三维半导体存储器件,由于存储单元阵列垂直层叠在衬底表面上,因此每单位面积的存储容量增加并且可以降低每比特的制造成本。在下面的非专利文献1中公开的三维半导体存储器件是3D-OTP(一次可编程)非易失性存储器件,其中存储单元阵列垂直层叠在衬底表面上。垂直层叠交叉点型存储单元阵列以提供四层结构,在所述交叉点型存储单元阵列中存储元件设置在字线和位线的交叉点处。

[0010] 根据非专利文献1,存储元件的膜由多晶硅形成。每比特的存储单元面积是 $4F^2$ 。在此,“F”表示由将要使用的制造工艺限定的最小设计尺寸。存储单元面积等于具有相同设计规则的快闪存储器的面积。然而,由于在三维半导体存储器件中存储单元阵列具有四层结构,所以有效单元面积是 $1F^2$ ,其是 $4F^2$ 的四分之一。因此,与快闪存储器相比,可以降低制造成本。构成存储单元阵列的每个存储单元被如此形成使得称作“反熔丝(anti-fuse)”的状态变化部分和由二极管构成的选择部分串联连接并且存储单元的各端分别连接到字线和位线。反熔丝由氧化硅膜制成,并且二极管通过层叠P型硅和N型硅而形成。当电压施加到存储单元时,利用反熔丝的电阻变化来存储数据。反熔丝最初处于高绝缘状态,当施

加阈值电压或更大的电压时变成导电状态。当反熔丝一旦变成导电状态时,由于它不回到绝缘状态,所以编程仅可以执行一次。提供二极管以防止在所选存储单元中流动的电流泄漏。

[0011] 同时,作为可以在交叉点型存储单元阵列中使用的存储单元,在所述交叉点型存储单元阵列中两端子结构的存储单元设置在字线和位线的交点(交叉点)处,除了以上被提供有二极管的反熔丝之外还可以使用多种非易失性存储单元,而不管存储单元阵列是具有二维结构还是三维结构。例如,它包括由下面的非专利文献 2 和非专利文献 3 中公开的通过电应力(electric stress)改变其电阻的过渡金属氧化物例如 PrCaMnO 或 NiO 形成的、或者由下面的非专利文献 4 中公开的通过由电流引起的热应力改变其相的相变材料例如 GeSeTe 形成的存储单元,和其中以上存储元件材料和二极管串联连接的存储单元。

[0012] 非专利文献 1:Feng Li 等人,“Evaluation of SiO<sub>2</sub>Antifuse in a3D-OTP Memory”, IEEE Transactions on Device and Material Reliability Vol. 4No. 3(2004) pp. 416-421.

[0013] 非专利文献 2:W. W. Zhuang 等人,“Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access memory (RRAM)”, IEDM Technical Digest, pp. 193-196, December 2002.

[0014] 非专利文献 3:I. G. Beak 等人,“Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses”, IEDM Technical Digest, pp. 587-590, December, 2004.

[0015] 非专利文献 4:S. J. Ahn 等人,“Highly manufacturable high density phase change memory of 64Mb and beyond”, IEDM Technical Digest, pp. 907-910, December 2004.

## 发明内容

[0016] 本发明要解决的问题

[0017] 然而,根据以上三维半导体存储器件,由于存储单元阵列的形成和布线(例如字线和位线)层的形成交替重复,所以布线层由多晶硅形成,其通常是抗热或高熔点金属材料。由于与铝和铜相比以上布线材料具有高电阻值,因此施加到存储单元的电压电平在更接近于用来选择字线和位线的选择电路的侧和离它更远的侧之间由于由编程电流和布线电阻引起的 IR 降(电压下降或电压升高)而不同。在这种情形下,问题是编程之后的电阻值大大改变。另外,即使在存储单元阵列具有二维结构的情形下,当编程电流大时,仍出现同样的问题。

[0018] 鉴于以上问题而形成了本发明,并且本发明的目的是提供一种非易失性半导体存储器件,其能够防止存储特性因交叉点型存储单元阵列的字线和位线上的 IR 降而退化。

[0019] 用于解决所述问题的手段

[0020] 根据本发明的实现上述目的的非易失性半导体存储器件包括:

[0021] 存储单元阵列,该存储单元阵列具有沿行方向和列方向设置的多个两端子结构的存储单元、沿行方向延伸的多个字线、和沿列方向延伸的多个位线,其中相同行中的存储单元的一端连接到公共字线并且相同列中的存储单元的另一端连接到公共位线;

[0022] 字线选择电路,该字线选择电路从该多个字线选择预定数目的字线作为所选字线,并且将所选字线电压和未选字线电压分别施加到所选字线和未选字线;

[0023] 位线选择电路,该位线选择电路从该多个位线选择预定数目的位线作为所选位线,并且将所选位线电压和未选位线电压分别施加到所选位线和未选位线;以及

[0024] 电压控制电路,该电压控制电路防止该多个字线和该多个位线中的至少任一个的电压波动,其中

[0025] 该多个字线和该多个位线中的至少任一个连接到位于离驱动点最远的点处或驱动点和所述最远的点之间的中间点处的电压控制点处的电压控制电路,在所述驱动点处该多个字线连接到字线选择电路或该多个位线连接到位线选择电路,

[0026] 该电压控制电路包括具有二极管电路和 MOSFET 的串联电路和反相器电路,

[0027] 该串联电路连接在电压控制点和预定电压供给线之间,

[0028] 该反相器电路的输入端子连接到电压控制点,

[0029] 该反相器电路的输出端子连接到 MOSFET 的栅电极。

[0030] 根据具有第一特性的非易失性半导体存储器件,由于电压控制电路防止了连接到远离驱动点的电压控制点处的电压控制电路的字线和 / 或位线上的电压波动,在所述驱动点处字线和 / 或位线由字线选择电路和 / 或位线选择电路驱动,防止了由于在驱动点和将成为存储器操作的目标的所选存储单元之间布线电阻中流动的电流而引起的电压下降或电压升高,因此可以防止存储器特性因电压下降或电压升高而退化。

[0031] 例如,在这样构成存储单元使得可以在将电应力施加到可变电阻元件的两端并且可变电阻器元件的电阻改变时对信息进行编程的情况下,尽管由于由在所选存储单元和布线电阻中流动的编程电流引起的电压下降或电压升高,施加到所选存储单元的电压根据字线或位线上所选存储单元的位置而波动,因为通过电压控制电路防止了这种电压波动,可以防止编程后电阻值(存储器特性)根据所选存储单元的位置的变化。由此,由于可以防止编程后存储器特性的变化,因此可以实现高精度读取操作。

[0032] 根据第二特性,具有第一特性的非易失性半导体存储器件的特征在于,该多个字线和该多个位线中的至少任一个的一端连接到字线选择电路或位线选择电路,并且其另一端连接到电压控制电路。

[0033] 根据具有第二特性的非易失性半导体存储器件,由于电压控制电路连接在最远点处,在该最远点处,在所选存储单元位于字线或位线的最远点处的情况下,由于流过驱动点和将成为存储器操作的目标的所选存储单元之间的布线电阻的电流引起的电压下降或电压升高变得最大,所以可以最有效地防止电压波动,并且可以最大地实现具有第一特性的非易失性半导体存储器件的作用。

[0034] 根据第三特性,具有第一或第二特性的非易失性半导体存储器件的特征在于,电压控制电路包括二极管电路,用于防止在电压控制点处从预定的控制参考电压沿正方向或负方向的电压波动。

[0035] 根据第四特性,具有第一特性的非易失性半导体存储器件的特征在于,二极管电路被配置成防止在电压控制点处从预定的控制参考电压沿正方向或负方向的电压波动。

[0036] 根据第五特性,具有第三或第四特性的非易失性半导体存储器件的特征进一步在于,二极管电路包括 PN 结二极管元件。

[0037] 根据第六特性,具有第三或第四特性的非易失性半导体存储器件的特征进一步在于,二极管电路包括具有彼此连接的漏极和栅极的 MOSFET。

[0038] 根据第六特性,具有第一或第二特性的非易失性半导体存储器件的特征进一步在于,电压控制电路包括具有连接到电压控制点的漏极和连接到预定电压供给线的源极的 MOSFET,和反相器电路,该反相器电路具有连接到电压控制点的输入端子和连接到 MOSFET 的栅极的输出端子。

[0039] 根据具有第三至第七特性的非易失性半导体存储器件,可以特别地实施实现具有第一特性的非易失性半导体存储器件的作用的电压控制电路。尤其是,当电压控制电路包括二极管电路时,通过在二极管电路导通时调节两端的电压仅可以选择性地防止大电压波动。因此,这在优选在特定存储器操作中不防止小电压波动的情况下是有用的。此外,当提供 MOSFET 和具有连接到 MOSFET 的栅极的输出端子的反相器电路时,由于可以根据反相器电路的输入端子的电压电平控制电压控制电路的开-关,在施加到所选字线或所选位线的电压根据存储单元操作的种类而变化的情况下,在特定存储器操作中仅可以选择性地防止所选字线或所选位线上的电压波动。

[0040] 根据第八特性,具有上述特性中的任何一个的非易失性半导体存储器件的特征进一步在于,存储单元具有两端子结构,其具有通过电阻的改变来存储信息的可变电阻元件,其中当电应力施加到可变电阻元件的两端并且可变电阻元件的电阻改变时,可对信息进行编程,并且,当预定编程电压施加在连接到在编程操作时被编程的存储单元的所选字线和所选位线之间时,在电压控制电路连接到所选字线和所选位线中的一个的情况下,这一个被施加较高电压,电压控制电路防止电压控制点处沿朝向低电压方向的电压波动,或者在电压控制电路连接到所选字线和所选位线中的另一个的情况下,该另一个被施加较低电压,电压控制电路防止电压控制点处沿朝向高电压方向的电压波动。

[0041] 根据具有第八特性的非易失性半导体存储器件,当由于由在所选存储单元和布线电阻中流动的编程电流引起的电压下降或电压升高,施加到所选存储单元的电压根据所选存储单元在字线或位线上的位置而波动时,电压控制电路防止了该电压波动,尤其是防止了编程后的电阻值(存储器特性)根据所选存储单元的位置的变化。因此,由于可以防止编程后存储器特性的变化,所以可以实现高精度读取操作。

[0042] 根据第九特性,具有上述特性中的任何一个的非易失性半导体存储器件的特征进一步在于,存储单元具有两端子结构,其具有通过电阻的改变来存储信息的可变电阻元件,其中当电应力施加到可变电阻元件的两端并且可变电阻元件的电阻改变时,可对所述信息进行编程,并且电压控制电路在存储单元的读取操作时没有被启动。

[0043] 根据具有第九特性的非易失性半导体存储器件,在读取操作时,由于在电压波动控制时在电压控制电路中流动的电流叠加到在将要读取的所选存储单元中流动的读取电流上,因此不会阻碍高精度读取操作。

[0044] 根据第十特性,具有上述特性中的任何一个的非易失性半导体存储器件的特征进一步在于,电压控制电路被构造成不防止施加到未选字线或未选位线的每一个的电压的波动。

[0045] 根据具有第十特性的非易失性半导体存储器件,当电压控制电路被构造成防止施加到所选字线或所选位线的所选字线电压或所选位线电压的波动时,防止了施加到未选字

线或未选位线的未选字线电压或未选位线电压被错误地确定为所选字线电压或所选位线电压的波动,因此未选字线电压或未选位线电压被适当地施加到未选字线或未选位线,由此可以适当地实现存储器操作。

[0046] 根据第十一特性,具有上述特性中的任何一个的非易失性半导体存储器件的特征进一步在于,该多个字线和该多个位线中的至少任一个由高熔点金属材料、多晶硅、或高熔点金属材料和多晶硅的化合物形成。

[0047] 根据具有第十一特性的非易失性半导体存储器件,当字线或位线由高熔点金属材料、多晶硅、或高熔点金属材料和多晶硅的化合物形成时,尽管其布线电阻高于具有低电阻的金属材料(例如铝或铜)的布线电阻,因为由于布线电阻引起的电压下降或电压升高可以通过电压控制电路被有效地抑制,因此可以防止存储器特性因使用高电阻布线材料而退化。

### 附图说明

[0048] 图 1 是示出根据本发明中的非易失性半导体存储器件的一个实施例的示意性电路构造实例的框图。

[0049] 图 2 是示意性地示出交叉点型存储单元阵列的部分构造的透视图。

[0050] 图 3 是示出图 2 中所示的交叉点型存储单元阵列中的存储单元的垂直截面图。

[0051] 图 4 是示出在编程操作时  $4 \times 4$  交叉点型存储单元阵列中的电压施加条件的一个实例的等效电路图。

[0052] 图 5 是示出在擦除操作时  $4 \times 4$  交叉点型存储单元阵列中的电压施加条件的一个实例的等效电路图。

[0053] 图 6 是示出在读取操作时  $4 \times 4$  交叉点型存储单元阵列中的电压施加条件的一个实例的等效电路图。

[0054] 图 7 是示出图 4 中所示的  $4 \times 4$  交叉点型存储单元阵列中的所选字线 WL2 和位线 BL0-3 之间的连接关系的等效电路图。

[0055] 图 8 是示出在提供第一电压控制电路 (A) 以及在不提供第一电压控制电路 (B) 的情况下对所选字线的电压电平的字线的位置相关性 (dependency) 的特性图。

[0056] 图 9 是用于在提供第一电压控制电路以及在不提供第一电压控制电路的情况下比较当所选存储单元在驱动点侧、在电压控制点侧、以及在所选字线中心处时的电压电平的表格。

[0057] 图 10 是示出根据本发明中的非易失性半导体存储器件的一个实施例的用于抑制所选字线的电压升高的第一电压控制电路的电路构造实例的电路图。

[0058] 图 11 是示出图 4 中所示的  $4 \times 4$  交叉点型存储单元阵列中的所选位线 BL2 和字线 WL0-3 之间的连接关系的等效电路图。

[0059] 图 12 是示出根据本发明中的非易失性半导体存储器件的一个实施例的用于防止所选位线的电压下降的第二电压控制电路的电路构造实例的电路图。

[0060] 图 13 是示出第一控制电路(电压控制点)的位置和所选存储单元处的字线的电压差之间的关系特性图。

[0061] 附图标记说明:



- [0062] 10 :根据本发明的非易失性半导体存储器件
- [0063] 11 :存储单元阵列
- [0064] 12 :地址线
- [0065] 13 :数据线
- [0066] 14 :字线解码器 ( 字线选择电路 )
- [0067] 15 :位线解码器 ( 对应于位线选择电路 )
- [0068] 16 :第一电压控制电路 ( 电压控制电路 )
- [0069] 17 :第二电压控制电路 ( 电压控制电路 )
- [0070] 18 :读取电路
- [0071] 19 :控制电路
- [0072] 20 :电压转换电路
- [0073] 21 :控制信号线
- [0074] 30, 31, 40, 41 :二极管电路
- [0075] 32 :N 型 MOS 晶体管
- [0076] 33, 43 :反相器
- [0077] 41 :P 型 MOS 晶体管
- [0078] BL, BL0 到 BL3 :位线
- [0079] C1, C2 :电压控制点
- [0080] D1, D2 :驱动点
- [0081] Ib0, Ib1, Ib3 :存储单元电流
- [0082] Iw :编程电流
- [0083] Iw0, Iw1, Iw3 :存储单元电流
- [0084] M, M00 到 M33 :存储单元
- [0085] RW20 到 RW24 :字线的布线电阻
- [0086] Vcc :供给电压 ( 电源电压 )
- [0087] Vpp :编程电压, 擦除电压
- [0088] Vpp/2 :编程禁止电压, 擦除禁止电压
- [0089] Vr :读取电压
- [0090] Vss :接地电压
- [0091] WL, WL0 到 WL3 :字线

### 具体实施方式

[0092] 以下将参考附图描述根据本发明的非易失性半导体存储器件 ( 下文中有时简称为“本发明的器件” )。

[0093] 图 1 是示出本发明的器件 10 的一个实施例的框图。如图 1 中所示, 本发明的器件 10 包括存储单元阵列 11、字线解码器 ( 对应于字线选择电路 ) 14、位线解码器 ( 对应于位线选择电路 ) 15、第一电压控制电路 ( 对应于电压控制电路 ) 16、第二电压控制电路 ( 对应于电压控制电路 ) 17、读取电路 18、控制电路 19、和电压转换电路 20。

[0094] 存储单元阵列 11 包括沿行和列方向设置的多个非易失性存储单元, 可以在由来

自外部的地址输入指定的存储单元中对信息进行电编程,并且可以读取存储在由所述地址输入指定的存储单元中的信息。更具体地说,信息存储在根据从地址线 12 输入的地址信号的存储单元阵列 11 中的特定存储单元中,并且所述信息通过数据线 13 输出到外部器件。

[0095] 更具体地说,存储单元阵列 11 具有交叉点型存储单元阵列结构,其中均具有响应于电阻的变化来存储信息的可变电阻元件的两端子结构的存储单元沿行和列方向设置,多个字线沿行方向延伸,多个位线沿列方向延伸,相同行的存储单元的一端连接到公共字线,并且相同列的存储单元的另一端连接到公共位线。此外,根据本实施例中的存储单元,要注意的是,当可变电阻元件的电阻响应于施加到可变电阻元件的两端的电应力(编程电压)而变化时可以对信息编程。

[0096] 字线解码器 14 根据输入到地址线 12 的行选择地址信号选择存储单元阵列 11 的字线作为所选字线,并且根据编程、擦除和读取的每个存储器操作将所选字线电压和未选字线电压分别施加到所选字线和未选字线。

[0097] 位线解码器 15 根据输入到地址线 12 的列选择地址信号选择存储单元阵列 11 的位线作为所选位线,并且根据编程、擦除和读取的每个存储器操作将所选位线电压和未选位线电压分别施加到所选位线和未选位线。

[0098] 第一电压控制电路 16 连接到在相对侧并且在离驱动点最远的点处的每一个字线,在所述驱动点处每个字线被字线解码器 14 驱动,并且防止了在被设置为电压控制点的所述最远的点处的电压从由字线解码器 14 施加到所选字线的驱动点的所选字线电压(对应于控制参考电压)波动。另外,第二电压控制电路 17 连接到在相对侧并且在离驱动点最远的点处的每一个位线,在所述驱动点处每个位线被位线解码器 15 驱动,并且防止了在被设置为电压控制点的所述最远的点处的电压从由位线解码器 15 施加到所选位线的驱动点的所选位线电压(对应于控制参考电压)波动。

[0099] 更具体地说,第一电压控制电路 16 和第二电压控制电路 17 在编程和擦除操作时主动地防止了上述电压波动,并且根据所选字线电压、未选字线电压、所选位线电压、和未选位线电压的电平之间的相对关系确定所选字线和所选位线上的电压波动的方向。因此,由于第一电压控制电路 16 和第二电压控制电路 17 的特定电路构造根据将被控制的电压波动的方向而变化,所以下面将与对电压施加条件的描述一起来描述它们。

[0100] 控制电路 19 控制存储单元阵列 11 的编程、擦除和读取的每个存储器操作。控制电路 19 根据从地址线 12 输入的地址信号、从数据线 13 输入(在编程操作时)的数据输入、和从控制信号线 21 输入的控制输入信号来控制字线解码器 14 和位线解码器 15,以控制存储单元阵列 11 的读取、编程和擦除操作。控制电路 19 起通用地址缓冲电路、数据输入/输出缓冲电路、和控制输入缓冲电路的作用,尽管它们在图 1 的实例中没有示出。

[0101] 电压转换电路 20 将在存储单元阵列 11 的读取、编程和擦除操作时所需的所选字线电压、未选字线电压、所选位线电压、和未选位线电压施加到字线解码器 14 和位线解码器 15。附图标记  $V_{cc}$  表示供给电压(电源电压), $V_{ss}$  表示接地电压, $V_{pp}$  表示编程或擦除电压,以及  $V_r$  表示读取电压。

[0102] 通过位线解码器 15 和读取电路 18 从存储单元阵列 11 读取数据。读取电路 18 确定数据的状态并且将其结果发送到控制电路 19 以输出到数据线 13。

[0103] 图 2 是部分地示出交叉点型存储单元阵列 11 的构造的示意图。根据图 2 中所示

的存储单元阵列 11, 存储单元 M 设置在四个位线 BL0-3 和四个字线 WL0-3 的交叉点处。图 3 是沿位线 BL 的延伸方向的存储单元的垂直截面图。存储单元 M 包括在非专利文献 1 中公开的其中二极管和反熔丝串联连接的存储单元、由在非专利文献 2 和非专利文献 3 中公开的通过电应力改变其电阻的过渡金属氧化物例如 PrCaMnO 或 NiO 或者由在非专利文献 4 中公开的通过由电流引起的热应力改变其相的相变材料例如 GeSeTe 形成的存储单元、以及由二极管和上述材料之一的串联电路制成的存储单元。

[0104] 另外, 鉴于存储单元阵列 11 是多层的情形, 字线 WL0-3 和位线 BL0-3 优选由具有比铝和铜的熔点高的熔点的钨、高熔点金属 (例如铂或多晶硅) 形成。将在假定位线 BL0-3 和字线 WL0-3 由铂形成以及存储单元 M 由 PrCaMnO 形成并且用作单个可变电阻器的情形下进行描述。

[0105] 将根据本实施例描述在交叉点型存储单元阵列的每个存储操作时的电压施加条件, 采用  $4 \times 4$  存储单元作为实例。将用于存储操作的所选存储单元被假定为下列描述中的存储单元 M22。

[0106] 如图 4 中所示, 根据在编程操作时的电压施加条件, 编程电压  $V_{pp}$  被施加到所选位线 BL2, 作为编程电压  $V_{pp}$  的一半的编程禁止电压  $V_{pp}/2$  被施加到未选位线 BL0、BL1 和 BL3, 接地电压  $V_{ss}$  被施加到所选字线 WL2, 并且编程禁止电压  $V_{pp}/2$  被施加到未选字线 WL0、WL1 和 WL3。结果, 编程电压  $V_{pp}$  被施加到所选存储单元 M22 的两端, 并且编程禁止电压  $V_{pp}/2$  被施加到连接到所选位线 BL2 或所选字线 WL2 的未选存储单元 (下文中有时称作“半未选存储单元”), 并且电压没有施加到其它未选存储单元 (下文中有时称作“完全未选存储单元”)。在此, 存储单元的编程操作所需的编程电压 (绝对值) 的下限值被设置得比编程禁止电压  $V_{pp}/2$  (绝对值) 高以防止半未选存储单元被编程。

[0107] 如图 5 中所示, 根据在擦除操作时的电压施加条件, 接地电压  $V_{ss}$  被施加到所选位线 BL2, 作为擦除电压  $V_{pp}$  的一半的擦除禁止电压  $V_{pp}/2$  被施加到未选位线 BL0、BL1 和 BL3, 擦除电压  $V_{pp}$  被施加到所选字线 WL2, 并且擦除禁止电压  $V_{pp}/2$  被施加到未选字线 WL0、WL1 和 WL3。结果, 擦除电压  $V_{pp}$  被施加到所选存储单元 M22 的两端, 并且擦除禁止电压  $V_{pp}/2$  被施加到半未选存储单元, 且其极性与编程操作的极性相反, 并且电压没有施加到其它完全未选存储单元。在此, 存储单元的擦除操作所需的擦除电压 (绝对值) 的下限值被设置得比擦除禁止电压  $V_{pp}/2$  (绝对值) 高以防止半未选存储单元被擦除。

[0108] 如图 6 中所示, 根据在读取操作时的电压施加条件, 读取电压  $V_r$  被施加到全部位线 BL0-3, 接地电压  $V_{ss}$  被施加到所选字线 WL2, 并且读取电压  $V_r$  被施加到未选字线 WL0、WL1 和 WL3。由于读取电流在所选字线 WL2 的每个存储单元中流动, 所以当位线 BL0-3 的所选位线 BL2 的读取电流被选择性地检测时, 所选存储单元 M22 的数据被读取。另外, 为了在读取电压  $V_r$  被施加到所选字线 WL2 的每个存储单元时防止在读取电压下的不必要的编程操作和擦除操作, 读取电压  $V_r$  (绝对值) 被设置为编程禁止电压  $V_{pp}/2$  或更小。

[0109] 图 7 利用将所选字线 WL2 示为布线电阻 RW20-RW24 的分布常数电路 (distributed constant circuit) 的等效电路图示意性地示出所选字线 WL2 和位线 BL0-3 之间的连接关系。所选字线 WL2 的一端 (图中的右侧) 连接到在驱动点 D1 处的字线解码器 14, 并且其另一端 (图中的左侧) 连接到在电压控制点 C1 处的第一电压控制电路 16。位线 BL0-3 通过存储单元 M20-M23 分别连接到所选字线 WL2。

[0110] 根据在图 4 中所示的编程操作时的电压施加条件,编程电压  $V_{pp}$  被施加到所选存储单元 M22,并且编程禁止电压  $V_{pp}/2$  被施加到半未选存储单元 M20、M21 和 M23,使得编程电流  $I_w$  在所选存储单元 M22 中流动并且对应于电阻值的存储单元电流  $I_{b0}$ 、 $I_{b1}$  和  $I_{b3}$  分别通过所选字线 WL2 在半未选存储单元 M20、M21 和 M23 中朝向驱动点 D1 流动。

[0111] 这时,当第一电压控制电路 16 处于无效状态时,施加到在所选字线 WL2 的一侧的存储单元 M20-M23 的各端的字线电压因在每端之间的字线的布线电阻中流动的电流而沿远离驱动点 D1 的方向上升并且变成不同的电压。因此,施加到所选存储单元的两端的编程电压在存储单元 M20-M23 当中是不同的。当字线的布线电阻比存储单元的电阻小得多时,不存在任何问题,但是当存储单元的电阻值与布线电阻处在相同水平或处在不可忽略的水平时,所述差别大大影响编程电压,并且编程后的电阻值变化。当字线的布线电阻大或编程电流大时所述现象变成了严重的问题。

[0112] 因此,在编程操作时,可以通过构造连接到所选字线 WL2 的第一电压控制电路 16 来解决或减轻以上问题使得它响应于在电压控制点 C1 处的电压电平的上升而自动启动并且将在电压控制点 C1 处的电压电平降低到与在驱动点 D1 处的电压电平 ( $V_{ss}$ ) 相同的电压电平。

[0113] 图 8A 和 8B 示出在提供第一电压控制电路 16 (A) 以及在没有提供它 (B) 的两种情况下当 128 个存储单元连接到所选字线时,即当存在 128 个位线时,所选字线的电压电平的电路仿真结果。在提供第一电压控制电路 16 (A) 以及在没有提供它 (B) 的两种情况下比较在三个位置处的所选存储单元的电压,所述三个位置包括在驱动点 D1 侧的位置、在电压控制点 C1 侧的位置和在所选字线的中心的位置。作为仿真模型,假定字线的布线电阻是  $1\ \Omega$ ,所选存储单元的电阻值是  $1k\ \Omega$ ,半未选存储单元的电阻值是  $20k\ \Omega$ ,以及编程电压  $V_{pp}$  是 5V,字线解码器 14 朝向接地电压  $V_{ss}$  的电流驱动能力被设置为等于第一电压控制电路 16 的电流驱动能力。

[0114] 图 8 中的每个水平轴的数字表示从电压控制点 C1 侧开始数起的存储单元的数目,并且它沿向右的方向接近驱动点 D1。图 8 中的每个垂直轴示出在与存储单元的连接点处的所选字线的电压电平,并且它显示存储单元 (右侧) 的电压随着远离驱动点 D1 而变得更高。图 9 示出在提供第一电压控制电路 16 (A) 以及在没有提供它 (B) 的两种情况下位于驱动点 D1 侧、电压控制点 C1 侧以及所选字线中心处的所选存储单元的电压电平的表格。可以从图 8 和图 9 理解的是,虽然在没有提供第一电压控制电路 16 (B) 的情况下位于驱动点 D1 和电压控制点 C1 的所选存储单元之间的电压电平差是 0.37V,但在提供第一电压控制电路 16 (A) 的情况下所述电压差是 0.19V,其比上面的情况小得多。

[0115] 用来防止所选字线的电压升高的第一电压控制电路 16 的电路构造包括图 10A 到 10C 中所示的电路构造。

[0116] 根据图 10A 和 10B 中所示的电路实例,第一电压控制电路 16 被如此构造使得二极管电路 30 或 31 与 N 型 MOS 晶体管 32 在电压控制点 C1 和接地电压  $V_{ss}$  之间串联连接,并且反相器 33 的输入和反相器 33 的输出分别连接到电压控制点 C1 和 MOS 晶体管 32 的栅极。二极管电路 30 包括图 10A 中的漏极和源极彼此连接的 N 型 MOS 晶体管,并且二极管电路 31 包括图 10B 中的 PN 结型二极管元件。另外,根据图 10C 中所示的电路实例,第一电压控制电路 16 被如此构造使得 N 型 MOS 晶体管 32 的漏极和源极分别连接到电压控制点 C1 和接

地电压  $V_{ss}$ , 并且反相器 33 的输入和反相器 33 的输出分别连接到电压控制点 C1 和 MOS 晶体管 32 的栅极。

[0117] 在电压控制点 C1 处的电压上升检测电平的下限值被设置得比接地电压  $V_{ss}$  高, 当图 10A 和 10B 中所示的电路实例中接地电压  $V_{ss}$  和电压控制点 C1 之间的二极管电路 30 或 31 导通 (导通阈值电压) 时它可以通过两端的电压而被调整, 并且在 10C 中所示的电路实例中它是接地电压  $V_{ss}$ 。另外, 在电压控制点 C1 处的电压上升检测电平的上限值可以通过反相器 33 的输入反相电平来调整并且被设置得比将被施加到未选字线的编程禁止电压  $V_{pp}/2$  低。如果电压上升检测电平的上限值没有被设置或它不小于编程禁止电压  $V_{pp}/2$ , 则连接到未选字线的第一电压控制电路 16 响应于未选字线电压  $V_{pp}/2$  自动启动以不必要地降低未选字线电压  $V_{pp}/2$  的电压电平, 使得编程禁止电压  $V_{pp}/2$  或更大的电压被施加到连接到所选位线的半未选存储单元的两端并且所述存储单元可能被错误地编程。因此, 根据本实施例, 在电压控制点 C1 处的电压上升检测电平的上限值通过调整反相器 33 的输入反相电平而被设置得比编程禁止电压  $V_{pp}/2$  低。

[0118] 图 11 利用将所选位线 BL2 示为布线电阻 RB20-RB24 的分布常数电路的等效电路图示意性地示出所选位线 BL2 和字线 WL0-3 之间的连接关系。所选位线 BL2 的一端 (图中的右侧) 连接到在驱动点 D2 处的位线解码器 15, 并且其另一端 (图中的左侧) 连接到在电压控制点 C2 处的第二电压控制电路 17。字线 WL0-3 通过存储单元 M02-M32 分别连接到所选位线 BL2。

[0119] 根据在图 4 中所示的编程操作时的电压施加条件, 编程电压  $V_{pp}$  被施加到所选存储单元 M22, 并且编程禁止电压  $V_{pp}/2$  被施加到半未选存储单元 M02、M12 和 M32, 使得编程电流  $I_w$  在所选存储单元 M22 中流动并且对应于电阻值的存储单元电流  $I_{w0}$ 、 $I_{w1}$  和  $I_{w3}$  分别通过所选位线 BL2 从驱动点 D2 在半未选存储单元 M02、M12 和 M32 中流动。

[0120] 这时, 当第二电压控制电路 17 处于无效状态时, 施加到在所选位线 BL2 的一侧的存储单元 M02-M32 的各端的位线电压因在每端之间的位线的布线电阻中流动的电流而沿远离驱动点 D2 的方向降低并且变成不同的电压。因此, 施加到所选存储单元的两端的编程电压在存储单元 M02-M32 当中是不同的。当位线的布线电阻比存储单元的电阻小得多时, 不存在任何问题, 但是当存储单元的电阻值与布线电阻处在相向水平或处在不可忽略的水平时, 所述差别大大影响编程电压, 并且编程后的电阻值变化。当位线的布线电阻大或编程电流大时所述现象变成了严重的问题。

[0121] 因此, 在编程操作时, 可以通过构造连接到所选位线 BL2 的第二电压控制电路 17 来解决或减轻以上问题使得它响应于在电压控制点 C2 处的电压电平的下降而自动启动并且将在电压控制点 C2 处的电压电平提高到与在驱动点 D2 处的电压电平 ( $V_{pp}$ ) 相同的电压电平。

[0122] 用来防止所选位线的电压下降的第二电压控制电路 17 的电路构造包括图 12A 到 12C 中所示的电路构造。

[0123] 根据图 12A 和 12B 中所示的电路实例, 第二电压控制电路 17 被如此构造使得二极管电路 40 或 41 与 P 型 MOS 晶体管 42 在电压控制点 C2 和编程电压  $V_{pp}$  之间串联连接, 并且反相器 43 的输入和反相器 43 的输出分别连接到电压控制点 C2 和 MOS 晶体管 42 的栅极。二极管电路 40 包括图 12A 中的漏极和源极彼此连接的 P 型 MOS 晶体管, 并且二极管电路 41

包括图 12B 中的 PN 结型二极管元件。另外,根据图 12C 中所示的电路实例,第二电压控制电路 17 被如此构造使得 P 型 MOS 晶体管 42 的漏极和源极分别连接到电压控制点 C2 和编程电压  $V_{pp}$ ,并且反相器 43 的输入和反相器 43 的输出分别连接到电压控制点 C2 和 MOS 晶体管 42 的栅极。

[0124] 在电压控制点 C2 处的电压下降检测电平的上限值被设置得比编程电压  $V_{pp}$  低,当图 12A 和 12B 中所示的电路实例中编程电压  $V_{pp}$  和电压控制点 C2 之间的二极管电路 40 或 41 导通(导通阈值电压)时它可以通过两端的电压而被调整,并且在 12C 中所示的电路实例中它是编程电压  $V_{pp}$ 。另外,在电压控制点 C2 处的电压下降检测电平的下限值可以通过反相器 43 的输入反相电平来调整并且被设置得比将被施加到未选位线的编程禁止电压  $V_{pp}/2$  高。如果电压下降检测电平的下限值没有被设置或它不大于编程禁止电压  $V_{pp}/2$ ,则连接到未选位线的第二电压控制电路 17 响应于未选位线电压  $V_{pp}/2$  自动启动以不必要地提高未选位线电压  $V_{pp}/2$  的电压电平,使得编程禁止电压  $V_{pp}/2$  或更大的电压被施加到连接到所选字线的半未选存储单元的两端并且所述存储单元可能被错误地编程。因此,根据本实施例,在电压控制点 C2 处的电压下降检测电平的下限值通过调整反相器 43 的输入反相电平而被设置得比编程禁止电压  $V_{pp}/2$  高。

[0125] 根据本实施例,如图 6 中所示,由于在读取操作时从驱动点侧(位线解码器 15 侧)检测读取电流,因此当第二电压控制电路 17 在读取操作时响应于在电压控制点 C2 处的位线电压的下降自动启动时,由于读取电流的一部分从第二电压控制电路 17 的一侧提供,因此在位线解码器 15 的一侧不能正确地检测读取电流。由此,调整反相器 43 的输入反相电平使得第二电压控制电路 17 在读取操作时不对位线电压  $V_r$  作出反应。根据本实施例,由于读取电压  $V_r$  不大于编程禁止电压  $V_{pp}/2$ ,所以第二电压控制电路 17 在读取操作时不会出错。

[0126] 另外,当第二电压控制电路 17 的操作条件在编程操作和读取操作时不同时,在一些情况下在两个操作中反相器 43 的输入反相电平不相同。在这种情形下,可以通过分别调整图 12A 和 12B 中的电路实例中的二极管电路 40 和 41 的导通阈值电压使第二电压控制电路 17 在读取操作时不对位线电压的下降作出反应。

[0127] 尽管以上已经详细描述了第一电压控制电路 16 和第二电压控制电路 17 在编程操作时的电路操作和电路构造,由于在本实施例中字线和位线之间的关系在擦除操作时正好相反,所以用作第一电压控制电路 16 和第二电压控制电路 17 的电路构造也可以在擦除操作中使用。

[0128] 然后,将描述本发明的装置的另一个实施例。

[0129] (1) 尽管已经在假定由  $\text{PrCaMnO}$  形成的单个可变电阻器被用作存储单元并且编程电流和擦除电流的方向相反的情形下进行了描述,但作为以上实施例的一个实例,在下列存储单元的情形下:其中利用具有二极管的反熔丝仅执行一次编程,并且没有擦除操作,或者编程电压和擦除电压的极性相同,仅需要考虑第一电压控制电路 16 和第二电压控制电路 17 在编程操作时的电路构造。

[0130] 另外,即使在存储单元可以被用在编程和擦除操作的情形下,当在编程操作和擦除操作中产生的电压波动有差别时,可以指定第一电压控制电路 16 和第二电压控制电路 17 的电路构造以便仅控制具有较大电压波动的那个。

[0131] 此外,当在所选字线和所选位线中产生的电压波动有差别时,可以提供第一电压控制电路 16 或第二电压控制电路 17 以便仅控制具有较大电压波动的那个。

[0132] (2) 尽管第一电压控制电路 16 连接到在相对侧并且在离驱动点最远的点处的字线,在所述驱动点处每个字线被字线解码器 14 驱动,并且所述最远的点被设置为电压控制点,以及第二电压控制电路 17 连接到在相对侧并且在离驱动点最远的点处的位线,在所述驱动点处每个位线被位线解码器 15 驱动,并且在以上实施例中所选最远的点被设置为电压控制点,但是第一电压控制电路 16 和字线之间、以及第二电压控制电路 17 和位线之间的连接点并不限于以上实施例中的连接点。

[0133] 图 13 示出第一控制电路 16 的位置(电压控制点)与所选存储单元处的字线中的电压波动的最大值和最小值之间的电压差之间的关系。当电压控制点的位置固定并且所选存储单元的位置变化时,根据所选存储单元处的字线电压的最大值和最小值计算电压差。另外,图 13 中所示的电路仿真结果利用与图 8 中所示的电路仿真相同的条件。即,假定 128 个存储单元连接到所选字线并且假定字线的布线电阻是  $1\ \Omega$ ,所选存储单元的电阻值是  $1\text{k}\ \Omega$ ,半未选存储单元的电阻值是  $20\text{k}\ \Omega$ ,以及编程电压  $V_{pp}$  是 5V,并且字线解码器 14 朝向接地电压  $V_{ss}$  的电流驱动能力被设置为等于第一电压控制电路 16 的电流驱动能力。

[0134] 如图 13 中所示,当第一电压控制电路 16 和字线之间、以及第二电压控制电路 17 和位线之间的连接点分别被设置在远离字线解码器 14 和位线解码器 15 最远的点处时,字线电压变化的电压变化宽度最小并且提供了最有效的结果,但是即使在它们分别被设置得比所述最远的点更接近字线解码器 14 和位线解码器 15 时,也可以期望有与以上实施例类似的电压波动减小效果。

[0135] 另外,当字线解码器 14 和位线解码器 15 分别设置在字线和位线的两端时,优选分别在字线和位线的中点处设置第一电压控制电路 16 和第二电压控制电路 17。

[0136] (3) 尽管如图 10A 到 10C 以及图 12A 到 12C 中所示的那样示出了电路,但是作为以上实施例中第一电压控制电路 16 和第二电压控制电路 17 的电路构造,本发明并不限于所述电路构造。

[0137] 例如,在图 10A 到 10C 中所示的第一电压控制电路 16 的电路操作中,由于接地电压  $V_{ss}$  仅施加到的节点仅在某一周期必须被提供有接地电压  $V_{ss}$  以防止电压波动,因此对于不需要防止电压波动的周期,即例如转换字线的选择的周期,节点可以被提供有编程禁止电压  $V_{pp}/2$  以停用第一电压控制电路 16。

[0138] 类似地,在图 12A 到 12C 中所示的第二电压控制电路 17 的电路操作中,由于编程电压  $V_{pp}$  仅施加到的节点仅在某一周期必须被提供有编程电压  $V_{pp}$  以防止电压波动,因此对于不需要防止电压波动的周期,即例如转换字线的选择的周期,节点可以被提供有编程禁止电压  $V_{pp}/2$  以停用第二电压控制电路 17。另外,读取电压  $V_r$  可以在读取操作时施加到所述节点和反相器 43 的电源电压以停用第二电压控制电路 17。

[0139] 此外,尽管以上实施例举例说明了这样的电路构造:其中第一电压控制电路 16 和第二电压控制电路 17 分别响应于字线电压和位线电压的波动而自动启动和停用,但是也可以通过外部控制来启动和停用所述电路。例如,在以下分级阵列结构的情形下:其中存储单元阵列沿行方向和列方向被分成多个块,在每个块中设置局部字线和位线,在存储单元阵列中设置全局字线和位线,并且所选和未选字线电压以及所选和未选位线电压分别通过

用来选择块的块选择晶体管提供给局部字线和位线,全局字线和位线可以连接到图 10A 到 10C 以及图 12A 到 12C 中所示的电路构造中的反相器 33 和 44 的输入。

[0140] 在以上实施例中所示的每个存储器操作的电压施加条件仅仅是一个实例且并非用于限制本发明的内容,本发明可以根据需要进行改变。

[0141] 工业实用性

[0142] 本发明可以应用到非易失性半导体存储器件,并且尤其可以有利地应用到具有交叉点型存储单元阵列的非易失性半导体存储器件,其中沿行方向和列方向设置了多个两端子结构的存储单元,多个字线沿行方向延伸,多个位线沿列方向延伸,连接到相同行的存储单元的一端连接到公共字线,并且连接到相同列的其另一端连接到公共位线。



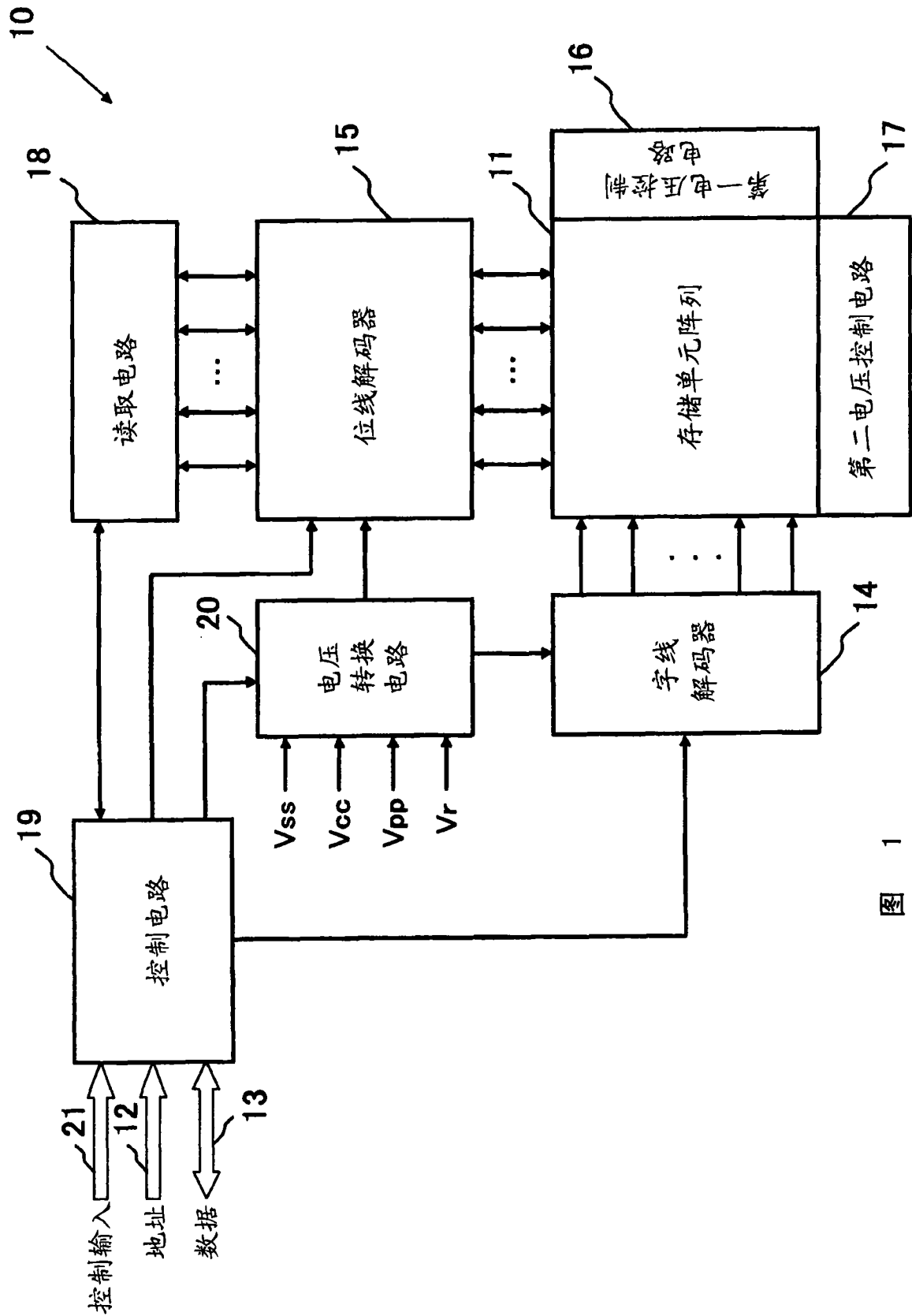


图 1

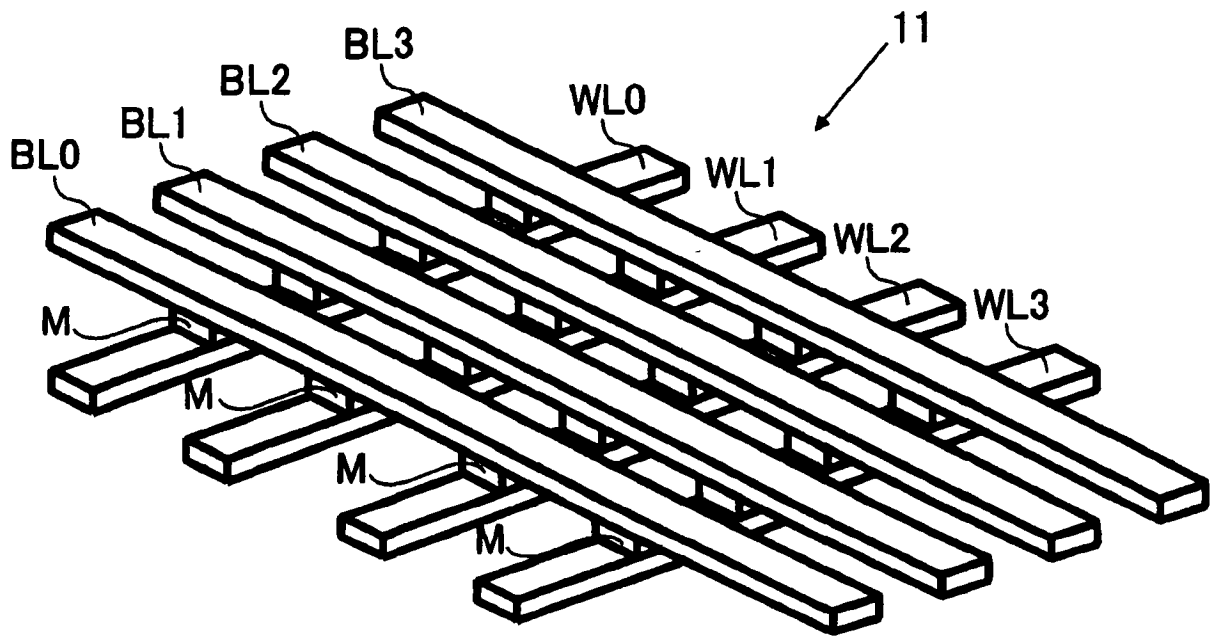


图 2

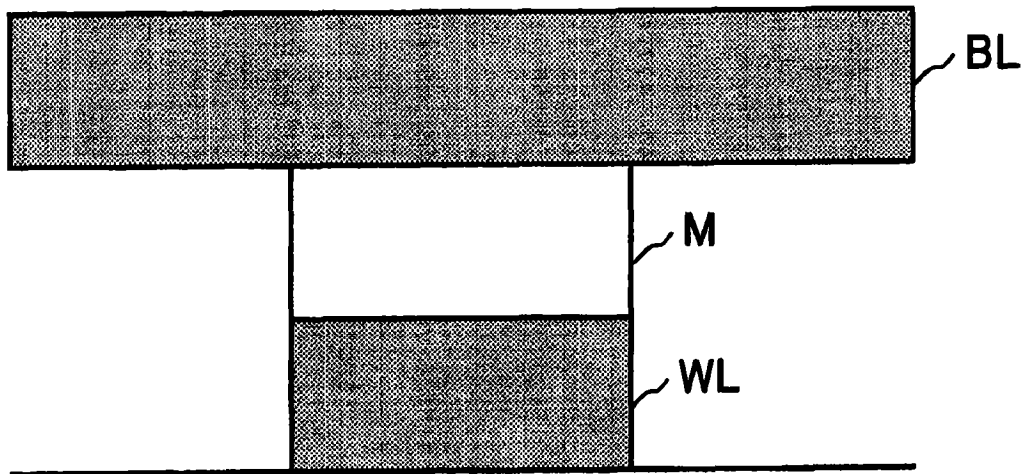


图 3

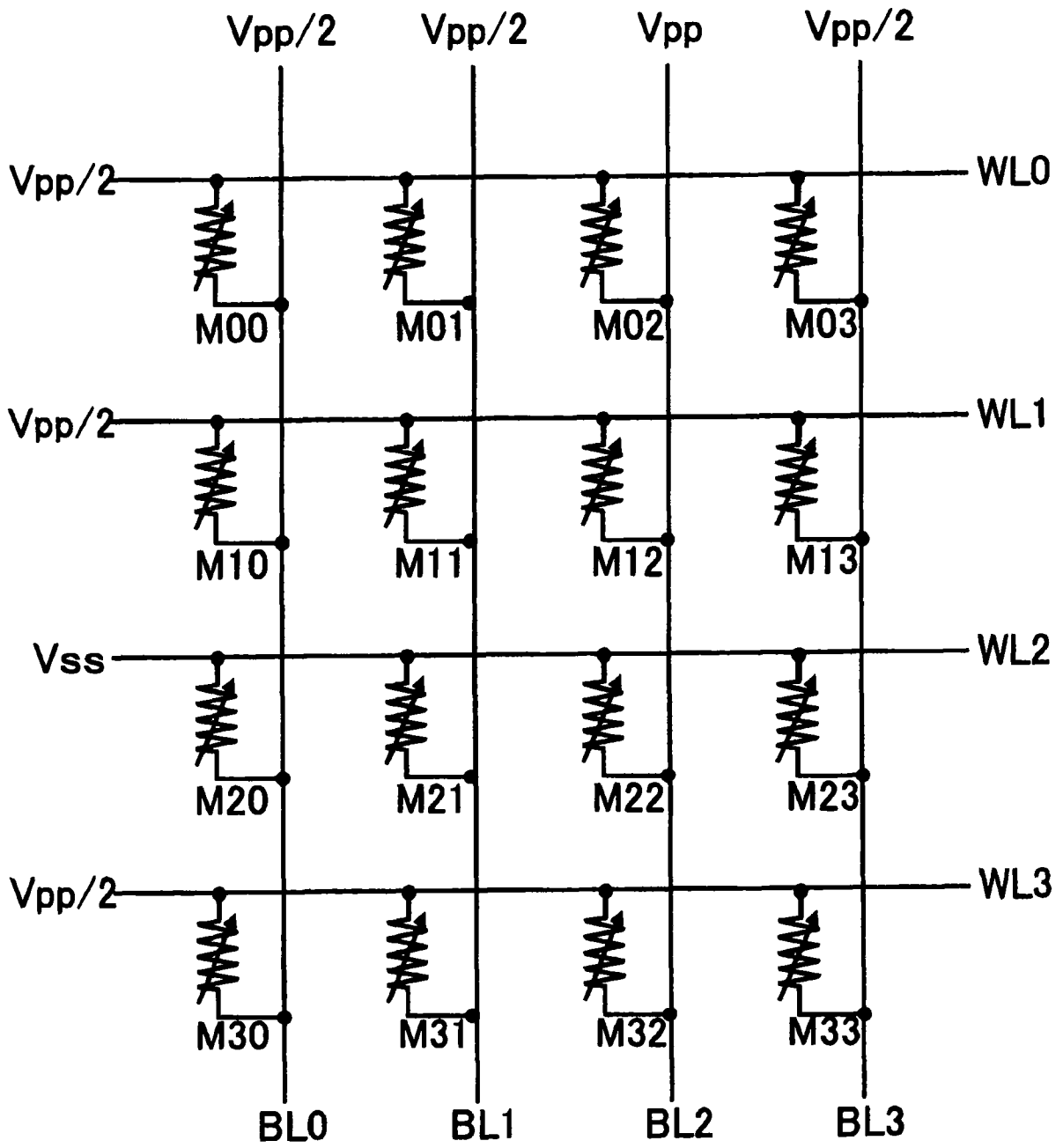


图 4

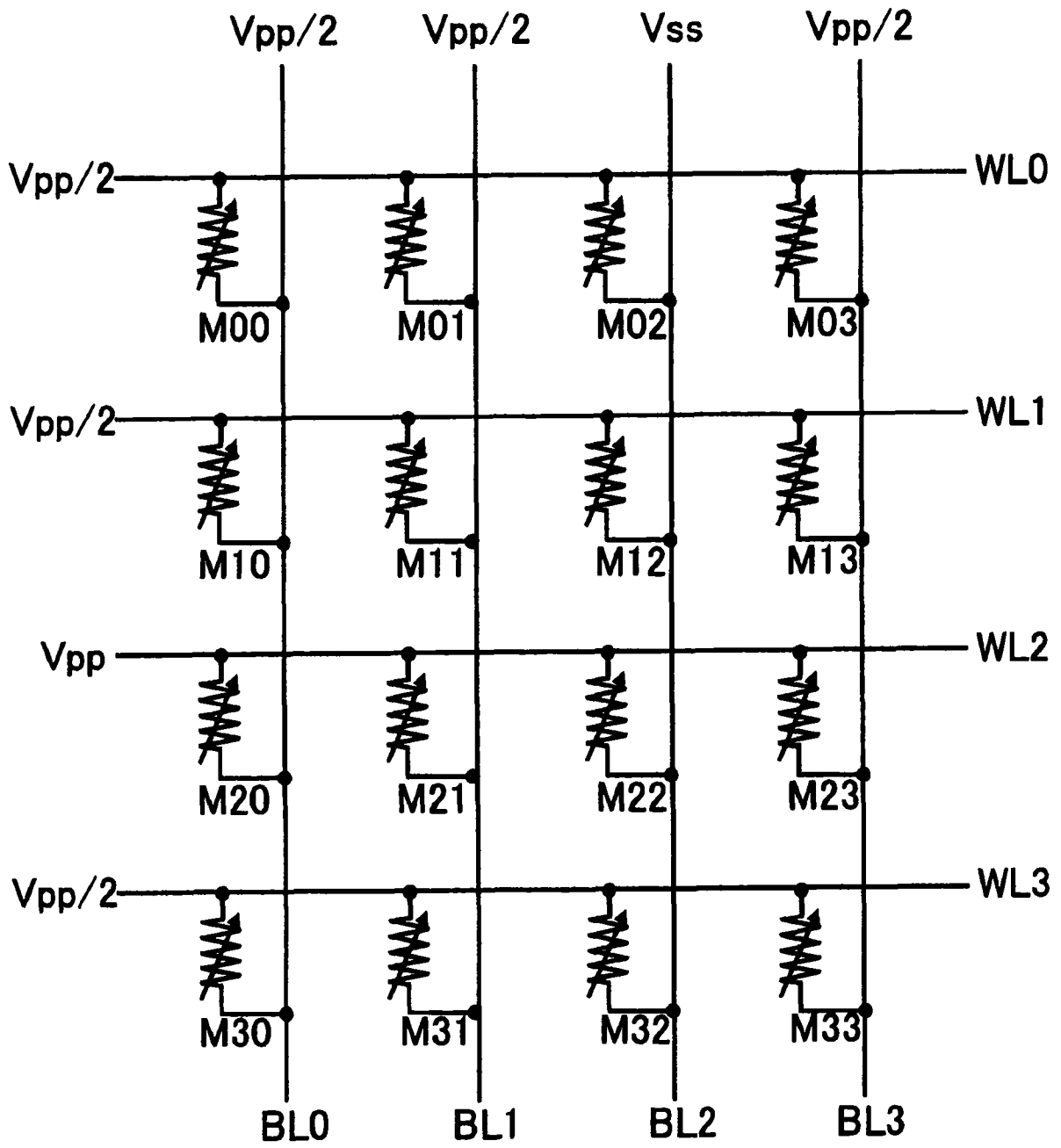


图 5

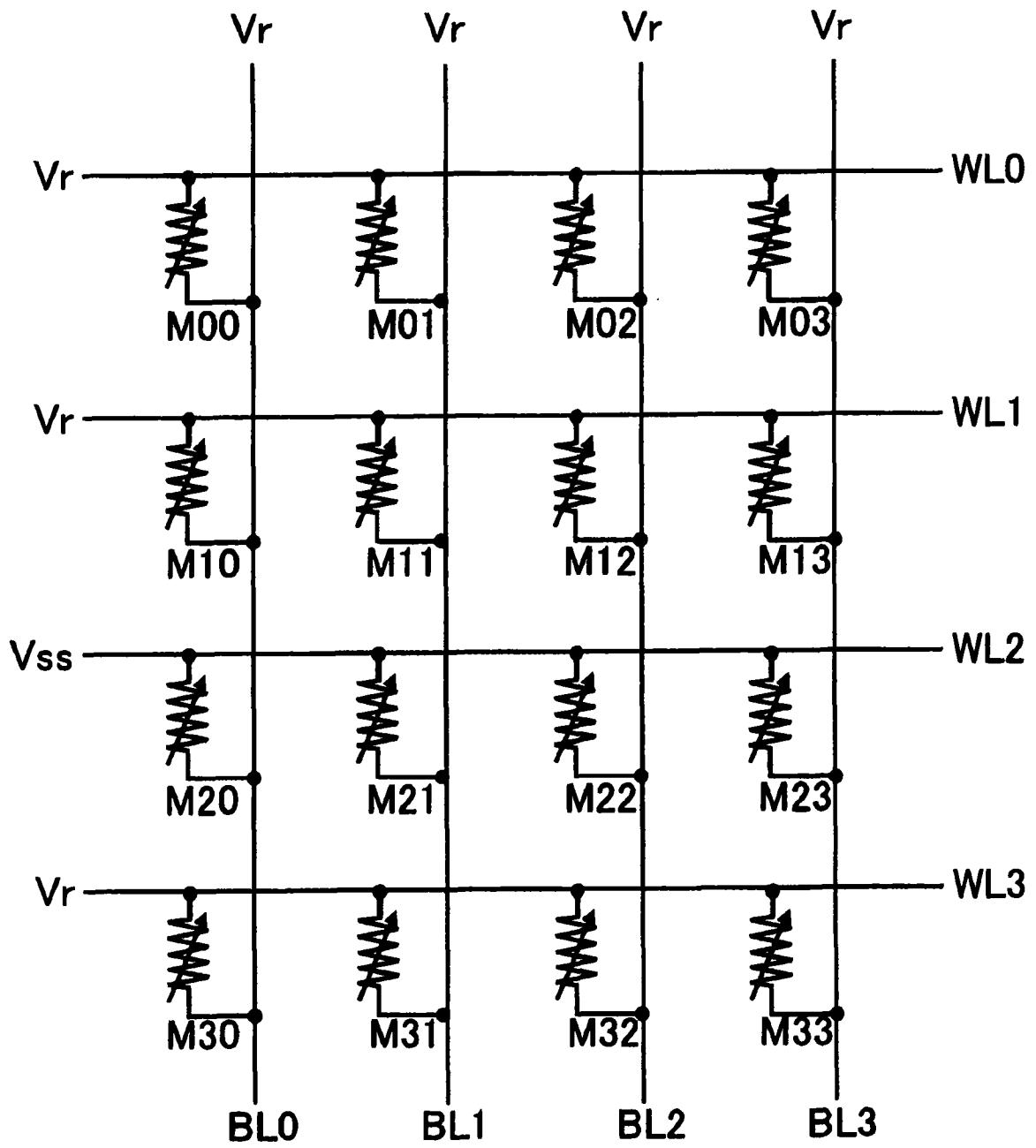


图 6

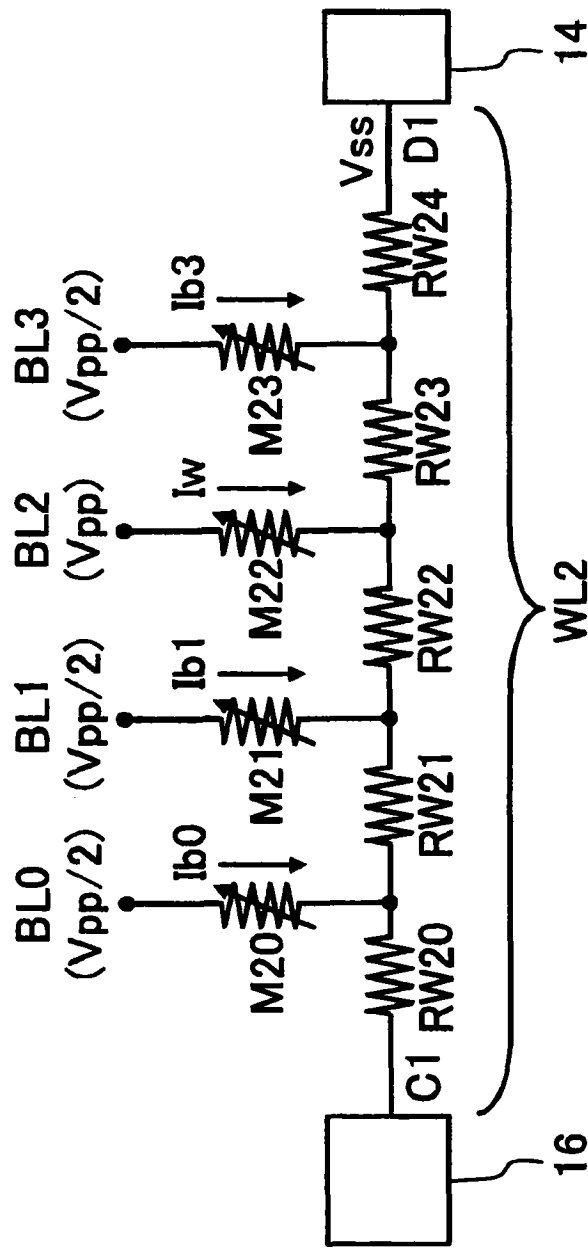


图 7

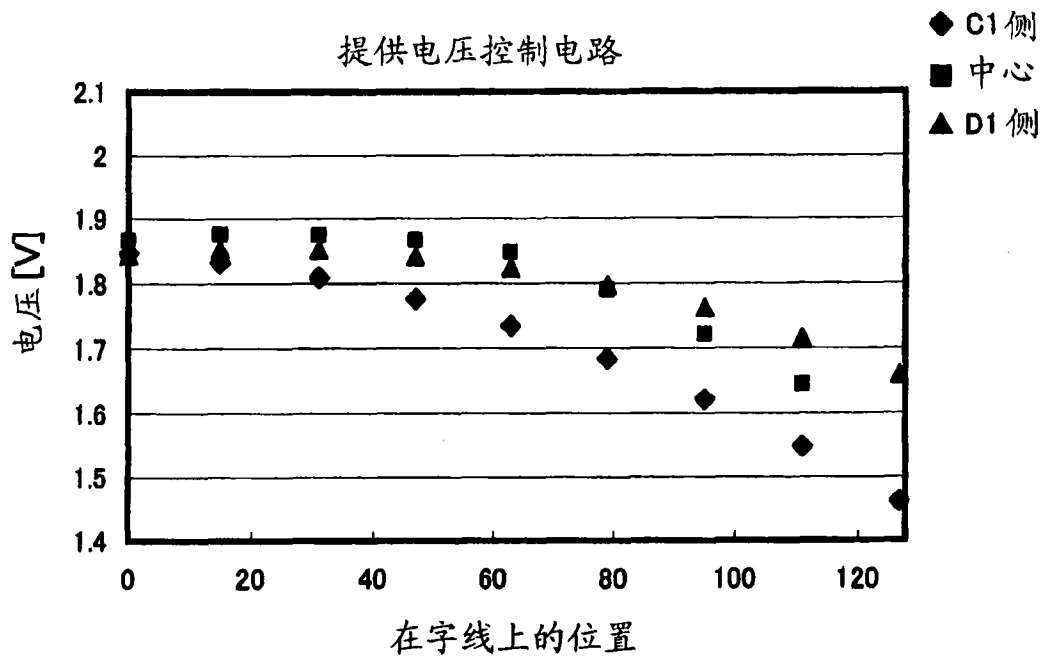


图 8A

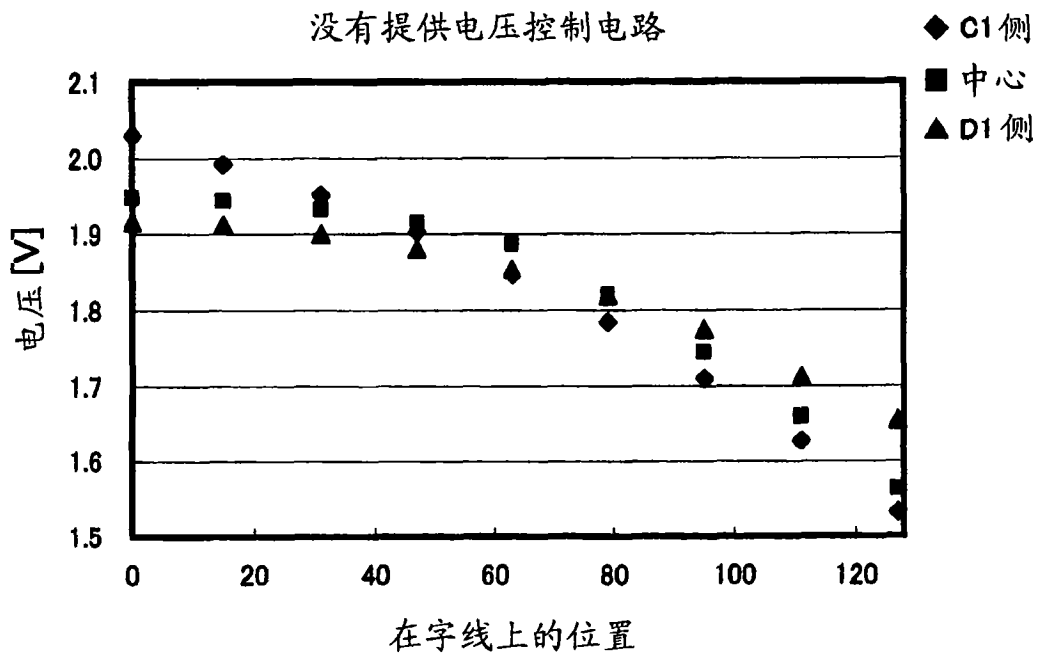


图 8B

所选存储单元的位置	字线电压 (V)	
	提供了电压控制电路 (A)	没有提供了电压控制电路 (B)
C1 侧	1.85	2.03
中心	1.85	1.89
D1 侧	1.66	1.66

图 9

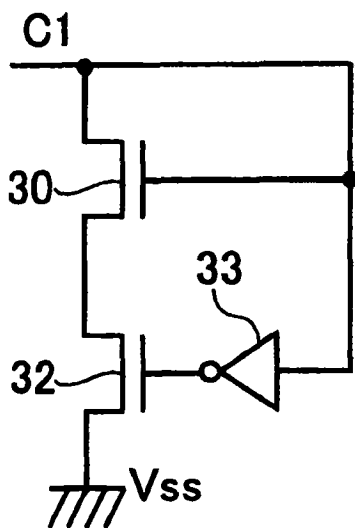


图 10A

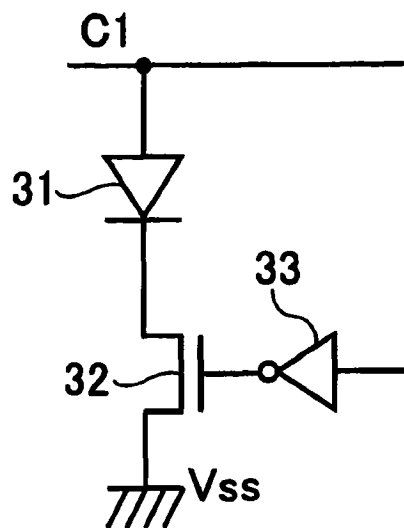


图 10B



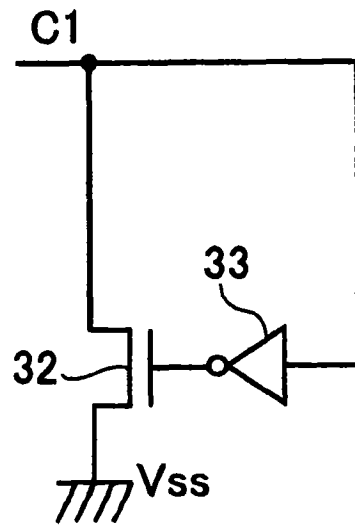


图 10C

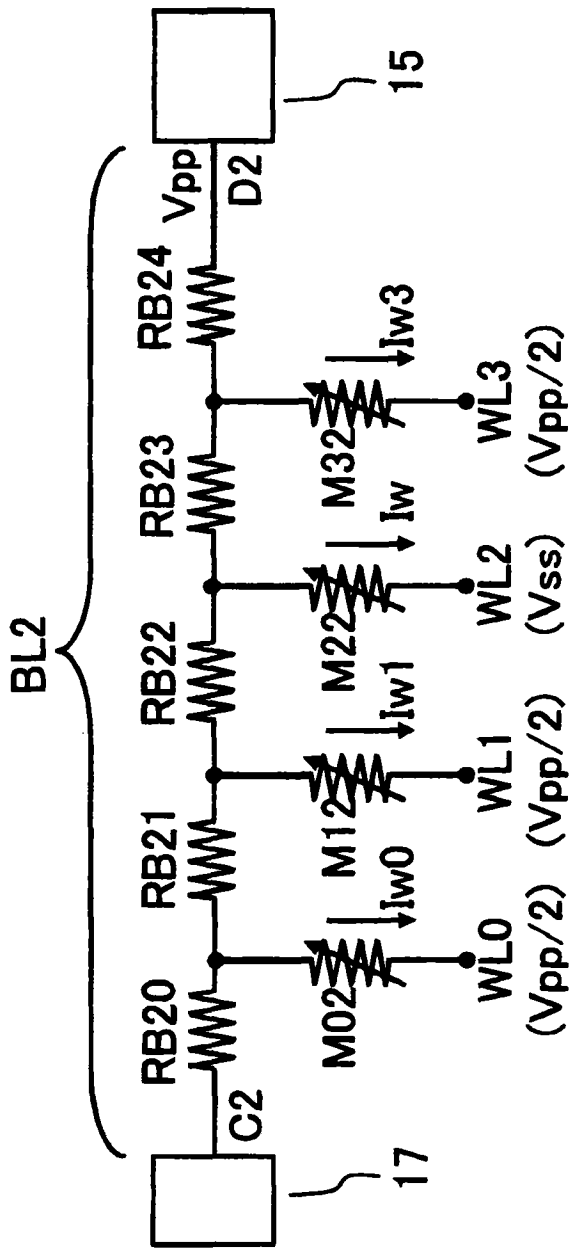


图 11

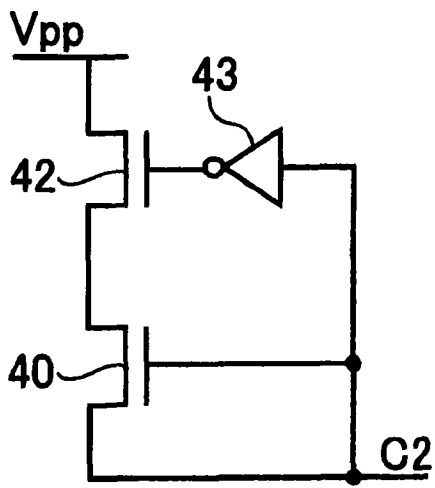


图 12A

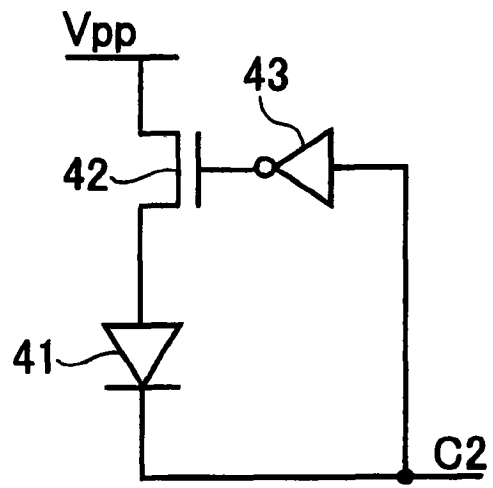


图 12B

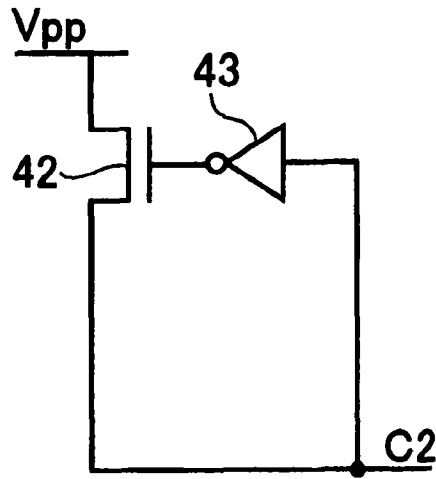


图 12C

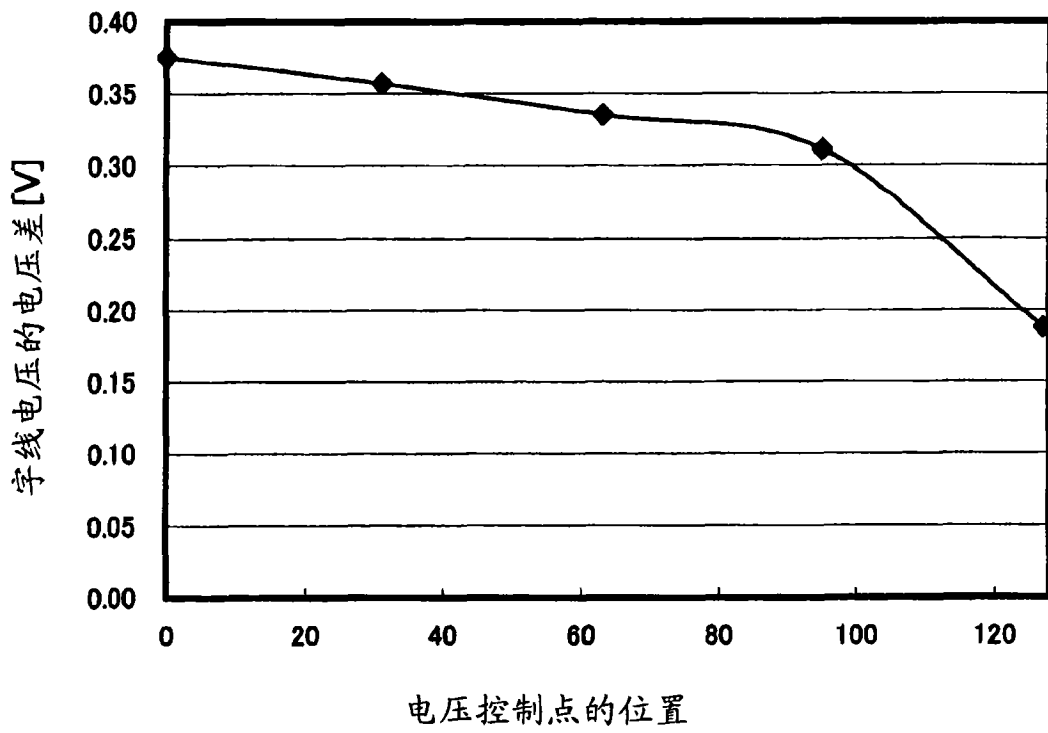


图 13