

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3931759号

(P3931759)

(45) 発行日 平成19年6月20日(2007.6.20)

(24) 登録日 平成19年3月23日(2007.3.23)

(51) Int. Cl.

F I

H O 3 K 19/195 (2006.01)

H O 3 K 19/195 Z A A

H O 1 L 39/22 (2006.01)

H O 1 L 39/22 D

H O 1 L 39/22 K

請求項の数 3 (全 11 頁)

(21) 出願番号 特願2002-225711 (P2002-225711)

(22) 出願日 平成14年8月2日(2002.8.2)

(65) 公開番号 特開2004-72219 (P2004-72219A)

(43) 公開日 平成16年3月4日(2004.3.4)

審査請求日 平成17年3月7日(2005.3.7)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成13年度新エネルギー・産業技術総合開発機構「超電導応用基盤技術研究開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(73) 特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(73) 特許権者 391004481

財団法人国際超電導産業技術研究センター
東京都港区新橋5丁目3番3号 栄進開発ビル6階

(74) 代理人 100092174

弁理士 平戸 哲夫

(72) 発明者 波頭 経裕

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 清水 稔

最終頁に続く

(54) 【発明の名称】 超電導分周回路

(57) 【特許請求の範囲】

【請求項1】

第1のノードと第2のノードとの間に設けられた第1のジョセフソン接合と、前記第1のノードと第3のノードとの間に設けられた第2のジョセフソン接合と、前記第2のノードと接地との間に設けられた第3のジョセフソン接合と、前記第3のノードと接地との間に設けられた第4のジョセフソン接合と、前記第2のノードと前記第3のノードとの間に設けられたインダクタンスを有し、前記第3のジョセフソン接合の臨界電流 > 前記第4のジョセフソン接合の臨界電流 > 前記第1、第2のジョセフソン接合の臨界電流とされたブリッジ回路を有し、

前記第1のノードを入力ノード、前記第2のノードを出力ノードとし、前記第2のノードから前記ブリッジ回路にバイアス電流を供給する構成とされていることを特徴とする超電導分周回路。

【請求項2】

前記第2のノードに第1のジョセフソン・トランスミッション・ラインを接続し、該第1のジョセフソン・トランスミッション・ラインに第2のジョセフソン・トランスミッション・ラインを接続し、前記第1のジョセフソン・トランスミッション・ラインを構成するジョセフソン接合の臨界電流を、前記第2のジョセフソン・トランスミッション・ラインを構成するジョセフソン接合の臨界電流よりも大きく、かつ、磁束をトラップしない大きさとしていることを特徴とする請求項1記載の超電導分周回路。

【請求項3】

10

20

前記第3のノードに第3のジョセフソン・トランスミッション・ラインを接続し、該第3のジョセフソン・トランスミッション・ラインに第4のジョセフソン・トランスミッション・ラインを接続し、前記第3のジョセフソン・トランスミッション・ラインを構成するジョセフソン接合の臨界電流を、前記第4のジョセフソン・トランスミッション・ラインを構成するジョセフソン接合の臨界電流よりも大きく、かつ、磁束をトラップしない大きさとしていることを特徴とする請求項2記載の超電導分周回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SFQ (Single Flux Quantum: 単一磁束量子) 回路から出力されるSFQパルスからなるクロック信号を分周する場合に使用して好適な超電導分周回路に関する。 10

【0002】

超電導回路のうち、SFQ回路は、超高速・低エネルギーという特徴を持っており、将来の高速情報処理システムの構成要素として期待されている。実際の情報処理システムを構成するためには、SFQ回路のデータ信号を何らかの手段で取り出して、室温の半導体機器に接続する必要がある。

【0003】

この場合、SFQ回路と半導体機器との間の同期を取るためには、SFQ回路のクロック信号を分周して半導体機器に伝送する必要がある。本発明は、このような場合に使用して好適なものであり、具体的には、通信用ルーター、サーバー、AD変換器、磁束計(SQUID)、サンプラーなど、通信、コンピューター、計測の分野で利用が可能である。 20

【0004】

【従来の技術】

図8は従来の超電導分周回路の一例の回路図である。この超電導分周回路は、フリップフロップ回路からなるものであり、図8中、INは入力クロック信号、1は入力ノード、2~10はインダクタンス、11~16はジョセフソン接合、17~19は直流電流源、20、21は出力ノード、OUT1、OUT2は出力クロック信号である。

【0005】

本例の場合、ジョセフソン接合14の臨界電流 $J_{14} > \text{ジョセフソン接合13の臨界電流 } J_{13} > \text{ジョセフソン接合12の臨界電流 } J_{12} > \text{ジョセフソン接合11の臨界電流 } J_{11}$ とされている。 30

【0006】

図9は図8に示す従来の超電導分周回路のレイアウト図である。図9中、22は入力ノード1の前段に設けられているJTL (ジョセフソン・トランスミッション・ライン)、23~25はジョセフソン接合、26、27はグランドプレーン(GP)である。

【0007】

本例の場合、両端に直流電流源17~19を必要としている関係上、グランドプレーン26、27を同一平面上に一体として形成することができず、これらを接続するための乗り越え配線を必要とする。

【0008】

図10は図8に示す従来の超電導分周回路の動作を説明するための波形図である。図8に示す従来の超電導分周回路においては、初期状態から、入力クロック信号INをなす1番目のSFQパルスP1が入力すると、このSFQパルスP1は、図8に矢印28で示すようにトラップされる。 40

【0009】

次に、2番目のSFQパルスP2が入力すると、トラップされていたSFQパルスP1が出力クロック信号OUT1のSFQパルスとして出力されると共に、SFQパルスP2が図8に矢印29で示すようにトラップされる。

【0010】

次に、3番目のSFQパルスP3が入力すると、トラップされていたSFQパルスP2が 50

出力クロック信号OUT2のSFQパルスとして出力されると共に、SFQパルスP3が図8に矢印28で示すようにトラップされる。以下、同様の動作が繰り返される。

【0011】

即ち、図8に示す従来の超電導分周回路では、入力ノード1から入力されるSFQパルスP1、P2、P3、P4、P5、...のうち、奇数番目のSFQパルスP1、P3、P5、...は、出力ノード20側に振り分けられ、入力クロック信号INを1/2に分周してなる出力クロック信号OUT1のSFQパルスとなり、偶数番目のSFQパルスP2、P4、...は、出力ノード21側に振り分けられ、入力クロック信号INを1/2に分周してなる出力クロック信号OUT2のSFQパルスとなる。

【0012】

【発明が解決しようとする課題】

図8に示す従来の超電導分周回路では、ジョセフソン接合11~14の臨界電流 $J_{11} \sim J_{14}$ のマージンが小さく、これが、しばしば、誤動作の原因になると共に、両端に直流電流源17~19を必要とするため、グランドプレーン26、27間を接続するための乗り越え配線を必要とし、構造が複雑になるという問題点があった。

【0013】

本発明は、かかる点に鑑み、回路の簡略化と動作の安定化を図ることができ、しかも、1出力構成とする場合には、グランドプレーン間を接続するための乗り越え配線を必要としないことによる構造の簡略化を図ることができ、また、2出力構成とする場合には、スプリット機能を持たせ、利便性の向上を図ることができるようにした超電導分周回路を提供

【0014】

【課題を解決するための手段】

本発明の超電導分周回路は、第1のノードと第2のノードとの間に設けられた第1のジョセフソン接合と、第1のノードと第3のノードとの間に設けられた第2のジョセフソン接合と、第2のノードと接地との間に設けられた第3のジョセフソン接合と、第3のノードと接地との間に設けられた第4のジョセフソン接合と、第2のノードと第3のノードとの間に設けられたインダクタンスを有し、第3のジョセフソン接合の臨界電流 $>$ 第4のジョセフソン接合の臨界電流 $>$ 第1、第2のジョセフソン接合の臨界電流とされたブリッジ回路を有し、第1のノードを入力ノード、第2のノードを出力ノードとし、第2のノードからブリッジ回路にバイアス電流を供給する構成とされているというものである。

【0015】

本発明によれば、第2のノードからブリッジ回路にバイアス電流を供給する構成としているので、回路の簡略化を図ることができると共に、ブリッジ回路を構成する第1~第4のジョセフソン接合の動作マージンを大きくすることができ、動作の安定化を図ることができる。

【0016】

【発明の実施の形態】

以下、図1~図7を参照して、本発明の第1実施形態及び第2実施形態について説明する。

【0017】

(第1実施形態・図1~図4)

図1は本発明の第1実施形態の回路図である。図1中、30はブリッジ回路であり、INは入力クロック信号、31は入力ノード、32~40はインダクタンス、41~44はジョセフソン接合である。

【0018】

本実施形態では、ジョセフソン接合43の臨界電流 $J_{43} (0.33 \text{ mA}) >$ ジョセフソン接合44の臨界電流 $J_{44} (0.24 \text{ mA}) >$ ジョセフソン接合41、42の臨界電流 J_{41} 、 $J_{42} (0.21 \text{ mA})$ としている。

【0019】

10

20

30

40

50

また、45はJTLであり、46、47はインダクタンス、48はジョセフソン接合、49は直流電流源、50は出力ノード、OUTは出力クロック信号である。

【0020】

本実施形態では、JTL45の後段に、臨界電流を0.3mAとするジョセフソン接合からなるJTLを接続することを前提としている。JTL45の後段に接続するJTLを構成するジョセフソン接合の臨界電流を0.3mAに設定する理由は、以下の通りである。

【0021】

JTLの接合の臨界電流は、ループインダクタンスによって決定される。SFQパルスが伝搬するためには、 $L I_c < 0$ であることが要求される。但し、Lはループインダクタンスの値、 I_c はジョセフソン接合の臨界電流、0はSFQの値である。

10

【0022】

本実施形態では、回路の下にインダクタンスを減少させるためのグランドプレーン層を特に設けていないため、YBCO超電導体を用いた場合のシートインダクタンスは、膜厚200nmで、およそ3pHとなる。回路の微細加工の現状における限界は、およそ2 μ mで、また、接合特性として接合周囲に電流が集中して流れる、いわゆる“大きな接合”とならず、電流密度分布を少なくするためには、接合幅を5 μ m程度にしたい。

【0023】

以上の結果から、ループインダクタンスはおよそ5pH程度となる。つまり、 $L I_c < 0$ を満たすためには、 I_c が0.4mA以下でなくてはならない。また、接合特性のバラツキは、臨界電流密度 J_c が大きいほど小さくなる傾向にあること、高速動作には $I_c R_n$ (R_n はジョセフソン接合のノーマル抵抗値)が大きいことが必要であり、臨界電流密度 J_c が大きいほど、 $I_c R_n$ が大きくなることの2つの観点から大きな電流密度が必要となり、大きな I_c が必要である。これらの条件を満たすJTLの電流として0.3mAが適当である。

20

【0024】

ここで、直流電流源49の電流(0.61mA)は、ジョセフソン接合48の臨界電流 J_{48} (0.45mA)に対して大きいので、直流電流源49は、ジョセフソン接合48のみならず、ブリッジ回路30のジョセフソン接合41~44のバイアス電流源として機能する。

【0025】

また、51はジョセフソン接合44のスイッチ動作の安定化を図るための終端接合部であり、52はインダクタンス、53はジョセフソン接合である。

30

【0026】

図2は本発明の第1実施形態のレイアウト図である。図2中、54は入力ノード31の前段に設けられているJTL、55~57はジョセフソン接合、58はグランドプレーン(GP)である。

【0027】

図3及び図4は本発明の第1実施形態の動作を説明するための波形図及び回路図である。入力クロック信号INが入力する前の初期状態においては、ブリッジ回路30には直流電流源49によるバイアス電流のみが供給される。

40

【0028】

この場合、ブリッジ回路30にはジョセフソン接合43側のみからバイアス電流が供給されるという構造的な特徴によって、バイアス電流は、ジョセフソン接合43に最も多く流入することになる。この時点で、ジョセフソン接合43がスイッチしないために、ブリッジ回路30においては、ジョセフソン接合43の臨界電流 J_{43} が最も大きく設定されている。

【0029】

この初期状態は、ブリッジ回路30の下部のループに小さな反時計回りのバイアス電流が流れている状態であり、ジョセフソン接合43、42には図上、下向きのバイアス電流が流れ、ジョセフソン接合41、44には図上、上向きのバイアス電流が流れている。

50

【 0 0 3 0 】

この初期状態から、入力クロック信号 I N をなす 1 番目の S F Q パルス P 1 が入力すると、この S F Q パルス P 1 は、ジョセフソン接合 4 1、4 2 に分流し、バイアス電流のバランスが変化する。すなわち、ブリッジ回路 3 0 の中間を結んだインダクタンス 3 7、3 8 は S F Q パルス P 1 を遮断し、その結果、ジョセフソン接合 4 1、4 2、4 3、4 4 には下向きの電流が発生しようとする。

【 0 0 3 1 】

ここで、ジョセフソン接合 4 2、4 3 に発生する電流は、S F Q パルス P 1 が入力する前のバイアス電流と向きが同じであるために、益々、スイッチする状態に近づくことになる。逆に、ジョセフソン接合 4 1、4 4 にはバイアス電流と逆向きの電流が加わるため、より安定になる。

10

【 0 0 3 2 】

この段階で、ジョセフソン接合 4 3、4 2 は、スイッチ準備が整った状態になるが、この状態は、ジョセフソン接合 4 3、4 4 とインダクタンス 3 7、3 8 とで形成する超電導ループ 5 9 に S F Q パルスをトラップした状態である。なお、このような状態となるためには、バイアス電流がジョセフソン接合 4 3 により多く流入するため、ジョセフソン接合 4 3 の臨界電流 $J_{43} > J_{42}$ でなければならない。

【 0 0 3 3 】

次に、2 番目の S F Q パルス P 2 が入力すると、1 番目の S F Q パルス P 1 が入力した時と同様に、ジョセフソン接合 4 1、4 2、4 3、4 4 には下向きの電流が発生しようとする。すでに、スイッチ前状態に電流が増大していたジョセフソン接合 4 3、4 2 は、この 2 番目の S F Q パルス P 2 によって、ほぼ同時に、厳密には、ジョセフソン接合 4 3、4 2 の順にスイッチする。この時、ジョセフソン接合 4 3 から出力パルスが生成される。

20

【 0 0 3 4 】

ここで、ジョセフソン接合 4 2 に流入していた入力信号は、ジョセフソン接合 4 2 のスイッチによってジョセフソン接合 4 1 に流入し、ジョセフソン接合 4 1 がスイッチする。バイアス電流は、抵抗状態のジョセフソン接合 4 1、4 2 を避けるようにインダクタンス 3 7、3 8 を介してジョセフソン接合 4 4 に流入し、ジョセフソン接合 4 4 が最後にスイッチして、パルスを放出し、初期状態のバイアスバランスに戻る。以下、同様の動作が繰り返され、入力クロック信号 I N を 1 / 2 に分周してなる出力クロック信号 O U T が出力される。

30

【 0 0 3 5 】

このような一連の動作によって S F Q パルスが出力されるわけであるが、ジョセフソン接合 4 2、4 1 のスイッチを経由してジョセフソン接合 4 4 がスイッチすることによって、ジョセフソン接合 4 3 がスイッチしたためによる電流を一時的にジョセフソン接合 4 2、4 1 に逃し、ジョセフソン接合 4 3、4 4 のスイッチを安定させている。

【 0 0 3 6 】

ジョセフソン接合 4 1 ~ 4 4 の大小関係はバイアス電流が集中するためにジョセフソン接合 4 3 が最も大きい必要があり、次に、ジョセフソン接合 4 2、4 1 がジョセフソン接合 4 4 より先にスイッチするために、ジョセフソン接合 4 1、4 2 がジョセフソン接合 4 4 よりも小さい必要がある。その結果、ジョセフソン接合 4 1 ~ 4 4 の臨界電流 $J_{41} \sim J_{44}$ の大小関係は、 $J_{43} > J_{44} > J_{41}$ 、 J_{42} となる。

40

【 0 0 3 7 】

また、ジョセフソン接合 4 3 のスイッチによってジョセフソン接合 4 4 のバイアス電流が変動してジョセフソン接合 4 4 がスイッチしないようにするために、ジョセフソン接合 4 4 がパルスを放出する際に、ブリッジ回路 3 0 に電流が生じるのを防ぐために、終端接合部 5 1 が機能する。

【 0 0 3 8 】

以上のように、本発明の第 1 実施形態によれば、ブリッジ回路 3 0 で奇数番目の S F Q パルスをトラップする方向を一方向とし、しかも、偶数番目の S F Q パルスを入力して、出

50

カクロック信号OUTをなすSFQパルスを出力した後は、ブリッジ回路30は初期状態に戻るため、ジョセフソン接合41～44の臨界電流 $J_{41} \sim J_{44}$ のマージンを大きくとることができる。したがって、安定した動作を確保することができる。

【0039】

また、ブリッジ回路30の出力ノード側だけに直流電流源49を設けているので、入力ノード31の前段に設けるJTL54を構成するジョセフソン接合55～57に必要なグラウンドプレーンと、ブリッジ回路30を構成するジョセフソン接合43、44に必要なグラウンドプレーンを分離して設ける必要がなく、一体のグラウンドプレーン58を設ければ足りる。したがって、構造の簡略化を図ることができる。

【0040】

また、本発明の第1実施形態においては、JTL45の後段に接続するJTLを構成するジョセフソン接合の臨界電流を0.3mAとし、JTL45を構成するジョセフソン接合48の臨界電流を0.45mAとしている。即ち、ジョセフソン接合48の臨界電流をJTL45の後段に接続するJTLを構成するジョセフソン接合の臨界電流よりも大きく、かつ、磁束をトラップしない大きさとしている。

【0041】

したがって、ブリッジ回路30から出力されるSFQパルスを通させることができると共に、JTL45の後段に接続するJTLの動作のブリッジ回路30に対する影響を遮断することができる。なお、本発明の第1実施形態では、JTL45の段数を1段としているが、複数の段数を設ける構成としても良い。

【0042】

(第2実施形態・・図5～図7)

図5は本発明の第2実施形態を示す回路図である。本発明の第2実施形態は、図1に示す終端接合部51の代わりに、JTL60を設け、出力クロック信号として、同期された2個の出力クロック信号OUT1、OUT2を出力できるようにし、その他については、本発明の第1実施形態と同様に構成したものである。

【0043】

JTL60において、61、62はインダクタンス、63はジョセフソン接合、64は直流電流源、65は出力ノードである。ここで、直流電流源64の電流(0.25mA)は、ジョセフソン接合63の臨界電流 J_{63} (0.45mA)に対して小さいので、直流電流源64は、ブリッジ回路30のバイアス電流源としては機能せず、JTL60のジョセフソン接合63のバイアス電流源としてのみ機能する。

【0044】

なお、本発明の第2実施形態では、JTL45の後段及びJTL60の後段にそれぞれ臨界電流を0.3mAとするジョセフソン接合からなるJTLを接続することを前提としている。

【0045】

図6及び図7は本発明の第2実施形態の動作を説明するための波形図及び回路図である。本発明の第2実施形態においても、ブリッジ回路30は、本発明の第1実施形態の場合と同様の動作をするが、本発明の第1実施形態が設けている終端接合部51の代わりに、JTL60を設けているので、出力ノード65には、ジョセフソン接合44がスイッチすることにより生成されるSFQパルスを出力させることができ、入力クロック信号INを1/2に分周してなる、同期された2個の出力クロック信号OUT1、OUT2を得ることができる。

【0046】

以上のように、本発明の第2実施形態によれば、ブリッジ回路30で奇数番目のSFQパルスをトラップする方向を一方向とし、しかも、偶数番目のSFQパルスを入力して、出力クロック信号OUT1、OUT2をなすSFQパルスを出力した後は、ブリッジ回路30は初期状態に戻るため、ジョセフソン接合41～44の臨界電流 $J_{41} \sim J_{44}$ のマージンを大きくとることができる。したがって、安定した動作を確保することができる。

10

20

30

40

50

【0047】

また、ブリッジ回路30の両端に2個のJTL45、60を設けるという簡単な構造でスプリット機能を持たせることができ、同期された2個の出力クロック信号OUT1、OUT2を出力させることができる。したがって、利便性の向上を図ることができる。

【0048】

また、本発明の第2実施形態においては、JTL45の後段及びJTL60の後段に接続するJTLを構成するジョセフソン接合の臨界電流を0.3mAとし、JTL45を構成するジョセフソン接合48及びJTL60を構成するジョセフソン接合63の臨界電流を0.45mAとしている。

【0049】

即ち、ジョセフソン接合48の臨界電流をJTL45の後段に接続するJTLを構成するジョセフソン接合の臨界電流よりも大きく、かつ、磁束をトラップしない大きさとすると共に、ジョセフソン接合63の臨界電流をJTL45の後段に接続するJTLを構成するジョセフソン接合の臨界電流よりも大きく、かつ、磁束をトラップしない大きさとしている。

【0050】

したがって、ブリッジ回路30から出力されるSFQパルスを通させることができると共に、JTL45、60の後段に接続するJTLの動作のブリッジ回路30に対する影響を遮断することができる。なお、本発明の第2実施形態では、JTL45、60の段数を1段としているが、複数の段数を設ける構成としても良い。

【0051】

【発明の効果】

以上のように、本発明によれば、第2のノードからブリッジ回路にバイアス電流を供給する構成としているので、回路の簡略化を図ることができると共に、ブリッジ回路を構成する第1～第4のジョセフソン接合の動作マージンを大きくし、動作の安定化を図ることができる。しかも、1出力構成とする場合には、グランドプレーン間を接続するための乗り越え配線を必要としないことによる構造の簡略化を図ることができ、また、2出力構成とする場合には、スプリット機能を持たせることができ、利便性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の回路図である。

【図2】本発明の第1実施形態のレイアウト図である。

【図3】本発明の第1実施形態の動作を説明するための波形図である。

【図4】本発明の第1実施形態の動作を説明するための回路図である。

【図5】本発明の第2実施形態の回路図である。

【図6】本発明の第2実施形態の動作を説明するための波形図である。

【図7】本発明の第2実施形態の動作を説明するための回路図である。

【図8】従来の超電導分周回路の一例の回路図である。

【図9】図8に示す従来の超電導分周回路のレイアウト図である。

【図10】図8に示す従来の超電導分周回路の動作を説明するための波形図である。

【符号の説明】

(図8)

1...入力ノード

2～10...インダクタンス

11～16...ジョセフソン接合

17～19...直流電流源

20、21...出力ノード

(図9)

22...JTL

23～25...ジョセフソン接合

10

20

30

40

50

- 26、27... グランドプレーン
- (図1)
- 30...ブリッジ回路
- 31...入力ノード
- 32~40...インダクタンス
- 41~44...ジョセフソン接合
- 45...JTL
- 46、47...インダクタンス
- 48...ジョセフソン接合
- 49...直流電流源

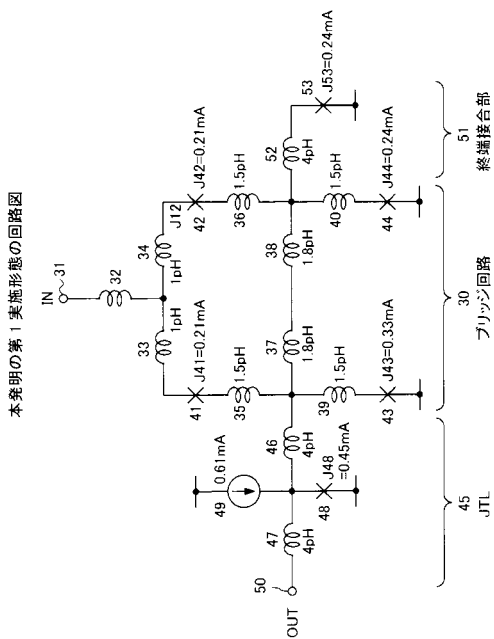
10

- (図2)
- 54...JTL
- 55~57...ジョセフソン接合
- 58...グランドプレーン

- (図5)
- 60...JTL
- 61、62...インダクタンス
- 63...ジョセフソン接合
- 64...直流電流源
- 65...出力ノード

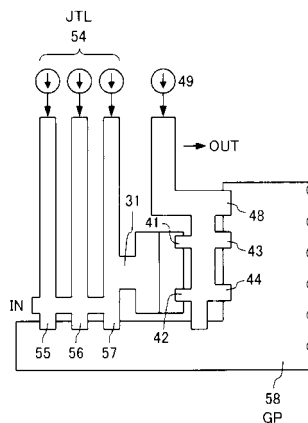
20

【図1】



【図2】

本発明の第1実施形態のレイアウト図



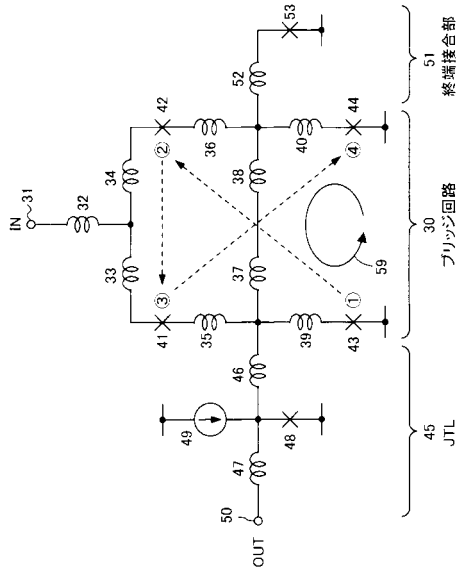
【図3】

本発明の第1実施形態の動作を説明するための波形図



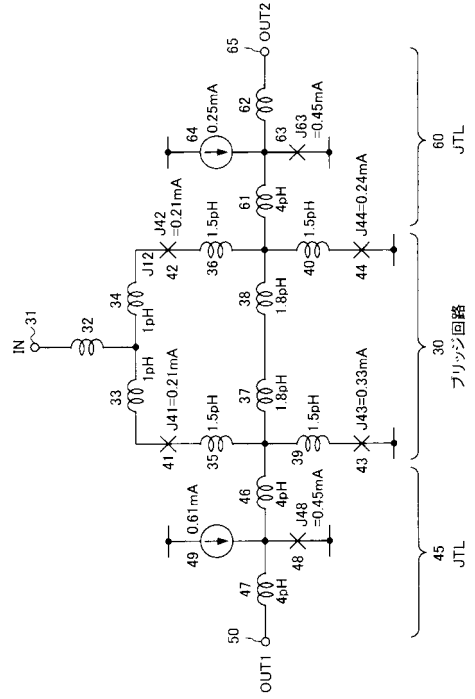
【 図 4 】

本発明の第1実施形態の動作を説明するための回路図



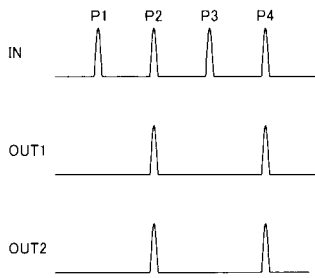
【 図 5 】

本発明の第2実施形態の回路図



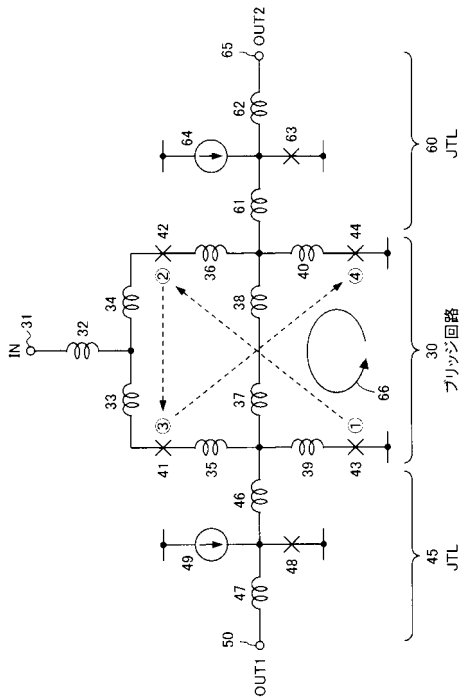
【 図 6 】

本発明の第2実施形態の動作を説明するための波形図



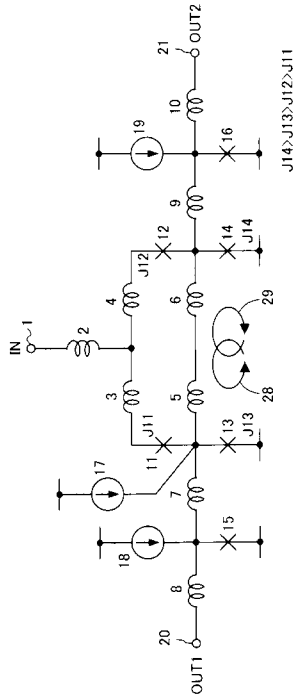
【 図 7 】

本発明の第2実施形態の動作を説明するための回路図



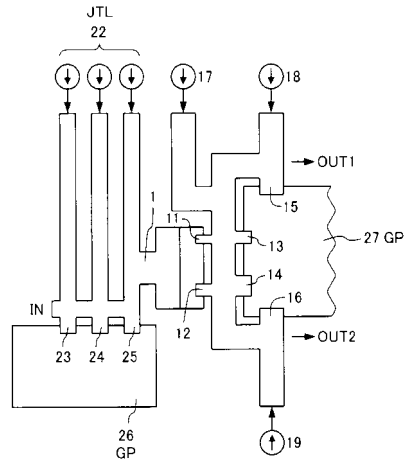
【 図 8 】

従来の超電導分周回路の一例



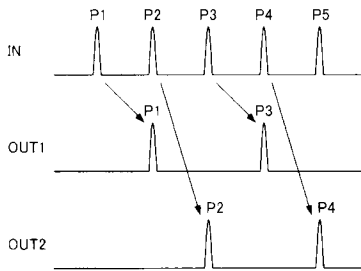
【 図 9 】

図8に示す従来の超電導分周回路のレイアウト図



【 図 10 】

図8に示す従来の超電導分周回路の動作を説明するための波形図



フロントページの続き

(56)参考文献 特開平11-261384(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H03K 19/195 ZAA

H01L 39/22