

1. 一种扫描驱动电路,包括依次输出选择信号的第一扫描驱动器和依次输出发射信号的第二扫描驱动器,所述第一扫描驱动器包括多个第一级联结构,所述第二扫描驱动器包括多个第二级联结构,其特征在于,所述第一级联结构或/和所述第二级联结构中的每个级联结构包括:

第一晶体管,包括与前一级联结构的扫描信号输出端或扫描信号输入端相连的输入端、与第一时钟端连接的栅极端及输出端;

第二晶体管,包括与第一晶体管的输出端连接的栅极端、与第二时钟端连接的输入端及与扫描信号输出端连接的输出端;

第三晶体管,包括与第一电平端连接的输入端、与扫描信号输出端连接的栅极端及输出端;

第四晶体管,包括与第三晶体管的输出端连接的输入端、与第一时钟端连接的栅极端及与第二电平端连接的输出端;

第五晶体管,包括与第一电平端连接的输入端、与第三晶体管的输出端连接的栅极端及与扫描信号输出端连接的输出端;

第六晶体管,包括与第一电平端连接的输入端、与扫描信号输出端连接的栅极端及输出端;

第七晶体管,包括与第六晶体管的输出端连接的输入端、与第一时钟端连接的栅极端及与第二电平端连接的输出端;

第八晶体管,包括与第一电平端连接的输入端、与扫描信号输出端连接的栅极端及与驱动信号输出端连接的输出端;

第九晶体管,包括与驱动信号输出端连接的输入端、与第六晶体管的输出端连接的栅极端及与第三电平端连接的输出端;

和连接于第二晶体管的栅极端和输出端之间的第一电容。

2. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第一级联结构和所述第二级联结构中的每个级联结构的第一时钟端接收到的信号和第二时钟端接收到的信号的频率一致,当第一时钟端接收到的信号为高电平时第二时钟端接收到的信号为低电平,当第一时钟端接收到的信号为低电平时第二时钟端接收到的信号为高电平。

3. 根据权利要求2所述的扫描驱动电路,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管均为薄膜场效应晶体管。

4. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第一电平端和所述第六晶体管的栅极端之间连接有第二电容。

5. 根据权利要求1至4中任一权利要求所述的扫描驱动电路,其特征在于,所述驱动信号输出端和所述第九晶体管的栅极端之间连接有第三电容。

6. 根据权利要求1至4中任一权利要求所述的扫描驱动电路,其特征在于,所述第二电平端和所述第九晶体管的栅极端之间连接有第三电容。

7. 根据权利要求6所述的扫描驱动电路,其特征在于,所述第三电平端与所述第二电平端为同一电平端。

8. 根据权利要求6所述的扫描驱动电路,其特征在于,从所述第三电平端输入的电压

值比从所述第二电平端输入的电压值小。

9. 根据权利要求 6 所述的扫描驱动电路,其特征在于,从所述第一电平端输入的电压为高电平,从所述第二电平端和第三电平端输入的电压为低电平。

10. 一种有机发光显示器,包括像素电路、数据驱动器和时序控制器,其特征在于,还包括如权利要求 1 至 9 中任一权利要求所述的扫描驱动电路,所述时序控制器为所述扫描驱动电路的第一时钟端、第二时钟端、扫描信号输入端、第一电平端、第二电平端和第三电平端提供时序信号和高低电平信号,所述扫描驱动电路的驱动信号输出端和像素电路的驱动信号输入端连接,以输出驱动信号驱动像素电路工作。

扫描驱动电路和有机发光显示器

技术领域

[0001] 本发明涉及扫描驱动电路领域,特别是涉及一种应用于扫描驱动有机发光器件像素电路的扫描驱动电路及有机发光显示器。

背景技术

[0002] 有机发光显示器是一种应用有机发光二极管(OLED)作为发光器件的显示器,相比现在的主流平板显示技术薄膜晶体管液晶显示器(TFT-LCD),有机发光显示器具有高对比度、广视角、低功耗、体积更薄等优点,有望成为继LCD之后的下一代平板显示技术,是目前平板显示技术中受到关注最多的技术之一。

[0003] 传统的有机发光显示器包括向数据线提供数据信号的数据驱动器、依次向其中一路扫描线提供扫描信号的第一扫描驱动器、依次向另一路扫描线提供扫描信号的第二扫描驱动器、向第一扫描驱动器和第二扫描驱动器提供时序信号和高电平信号的时序控制器以及多个像素的显示单元。第一扫描驱动器和第二扫描驱动器的作用是依次产生提供给显示面板的驱动信号以控制显示面板中的像素亮暗。

[0004] 然而,由于传统的第一扫描驱动器和第二扫描驱动器的每个级联结构包括较多的输入时钟信号(至少3个)和包含了大量的晶体管(多于10个),由此出现问题的风险也相应增加,生产和设计的成本和风险都较高,很难保证产品的可靠性。

发明内容

[0005] 基于此,有必要提供一种能减少时钟信号和晶体管数量的扫描驱动电路。此外,还提供一种有机发光显示器。

[0006] 一种扫描驱动电路,包括依次输出选择信号的第一扫描驱动器和依次输出发射信号的第二扫描驱动器,所述第一扫描驱动器包括多个第一级联结构,所述第二扫描驱动器包括多个第二级联结构,所述第一级联结构或/和所述第二级联结构中的每个级联结构包括:第一晶体管,包括与前一级联结构的扫描信号输出端或扫描信号输入端相连的输入端、与第一时钟端连接的栅极端及输出端;第二晶体管,包括与第一晶体管的输出端连接的栅极端、与第二时钟端连接的输入端及与扫描信号输出端连接的输出端;第三晶体管,包括与第一电平端连接的输入端、与扫描信号输出端连接的栅极端及输出端;第四晶体管,包括与第三晶体管的输出端连接的输入端、与第一时钟端连接的栅极端及与第二电平端连接的输出端;第五晶体管,包括与第一电平端连接的输入端、与第三晶体管的输出端连接的栅极端及与扫描信号输出端连接的输出端;第六晶体管,包括与第一电平端连接的输入端、与扫描信号输出端连接的栅极端及输出端;第七晶体管,包括与第六晶体管的输出端连接的输入端、与第一时钟端连接的栅极端及与第二电平端连接的输出端;第八晶体管,包括与第一电平端连接的输入端、与扫描信号输出端连接的栅极端及与驱动信号输出端连接的输出端;第九晶体管,包括与驱动信号输出端连接的输入端、与第六晶体管的输出端连接的栅极端及与第三电平端连接的输出端;和连接于第二晶体管的栅极端和输出端之间的第一电

容。

[0007] 在其中一个实施例中,所述第一级联结构和所述第二级联结构中的每个级联结构的第一时钟端接收到的信号和第二时钟端接收到的信号的频率一致,当第一时钟端接收到的信号为高电平时第二时钟端接收到的信号为低电平,当第一时钟端接收到的信号为低电平时第二时钟端接收到的信号为高电平。

[0008] 在其中一个实施例中,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管为薄膜场效应晶体管。

[0009] 在其中一个实施例中,所述第一电平端和所述第六晶体管的栅极端之间连接有第二电容。

[0010] 在其中一个实施例中,所述第二电平端和所述第九晶体管的栅极端之间连接有第三电容。

[0011] 在其中一个实施例中,所述驱动信号输出端和所述第九晶体管的栅极端之间连接有第三电容。

[0012] 在其中一个实施例中,所述第三电平端与所述第二电平端为同一电平端。

[0013] 在其中一个实施例中,从所述第三电平端输入的电压值比从所述第二电平端输入的电压值小。

[0014] 在其中一个实施例中,从所述第一电平端输入的电压为高电平,从所述第二电平端和第三电平端输入的电压为低电平。

[0015] 上述扫描驱动电路只用到了两个时钟信号和 9 个晶体管,比传统的扫描驱动电路都少,可以大幅度提高电路的可靠性,同时也降低了设计成本和生产成本。

[0016] 一种有机发光显示器,包括像素电路、数据驱动器及时序控制器,还包括上述的扫描驱动电路,所述时序控制器为所述扫描驱动电路的第一时钟端、第二时钟端、扫描信号输入端、第一电平端、第二电平端和第三电平端提供时序信号和高低电平信号,所述扫描驱动电路的驱动信号输出端和像素电路的驱动信号输入端连接,以输出驱动信号驱动像素电路工作。

[0017] 应用了上述扫描驱动电路的有机发光显示器使用了较少的晶体管,因此可以大幅度提高产品的可靠性,同时也降低了产品设计成本和生产成本。

附图说明

[0018] 图 1 为第一实施例的扫描驱动电路的第一扫描驱动器的模块图;

[0019] 图 2 为图 1 所述第一扫描驱动器的其中一个级联结构的电路图;

[0020] 图 3 为图 1 所示第一扫描驱动器的部分信号的时序图;

[0021] 图 4 为第二实施例的扫描驱动电路的第一扫描驱动器的其中一个级联结构的电路图;

[0022] 图 5 为第三实施例的扫描驱动电路的第一扫描驱动器的其中一个级联结构的电路图;

[0023] 图 6 为本发明有机发光显示器电路模块图。

具体实施方式

[0024] 下面结合附图,对本发明的具体实施方式进行详细描述。在下面说明书中,为了易于理解,引用信号端口符号表示该信号。

[0025] 实施例 1

[0026] 请参考图 1 和图 2,本实施例提供一种扫描驱动电路。该扫描驱动电路包括依次输出选择信号的第一扫描驱动器和依次输出发射信号的第二扫描驱动器。第一扫描驱动器包括多个第一级联结构,第二扫描驱动器包括多个第二级联结构。第一级联结构或 / 和第二级联结构中的每个级联结构可以包括如下结构。在该实施例中,第一级联结构和第二级联结构中的每个级联结构均包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第九晶体管 M9、第一电容 C1、第二电容 C2、第三电容 C3、扫描信号输入端 IN、扫描信号输出端 OUT、第一时钟端 CKL1、第二时钟端 CLK2、第一电平端 VGH、第二电平端 VGL1、第三电平端 VGL2 和驱动信号输出端 EM。

[0027] 第一晶体管 M1 包括与前一级联结构的扫描信号输出端 OUT 或扫描信号输入端 IN 相连的输入端、与第一时钟端 CKL1 连接的栅极端及输出端。第二晶体管 M2 包括与第一晶体管 M1 的输出端连接的栅极端、与第二时钟端 CKL2 连接的输入端及与扫描信号输出端 OUT 连接的输出端。第三晶体管 M3 包括与第一电平端 VGH 连接的输入端、与扫描信号输出端 OUT 连接的栅极端及输出端。第四晶体管 M4 包括与第三晶体管 M3 的输出端连接的输入端、与第一时钟端 CKL1 连接的栅极端及与第二电平端 VGL1 连接的输出端。第五晶体管 M5 包括与第一电平端 VGH 连接的输入端、与第三晶体管 M3 的输出端连接的栅极端及与扫描信号输出端 OUT 连接的输出端。第六晶体管 M6 包括与第一电平端 VGH 连接的输入端、与扫描信号输出端 OUT 连接的栅极端及输出端。第七晶体管 M7 包括与第六晶体管 M6 的输出端连接的输入端、与第一时钟端 CKL1 连接的栅极端及与第二电平端 VGL1 连接的输出端。第八晶体管 M8 包括与第一电平端 VGH 连接的输入端、与扫描信号输出端 OUT 连接的栅极端及与驱动信号输出端 EM 连接的输出端。第九晶体管 M9 包括与驱动信号输出端 EM 连接的输入端、与第六晶体管 M6 的输出端连接的栅极端及与第三电平端 VGL2 连接的输出端。

[0028] 第一晶体管 M1 的栅极、第四晶体管 M4 的栅极和第七晶体管 M7 的栅极短接,第一晶体管 M1 的第二极、第二晶体管 M2 的栅极和第一电容 C1 的第一端短接,第二晶体管 M2 的第二极、第三晶体管 M3 的栅极、第五晶体管 M5 的第二极、第六晶体管 M6 的栅极、第八晶体管 M8 的栅极、第一电容 C1 的第一端和第二电容 C2 的第二端短接,第三晶体管 M3 的第一极、第五晶体管 M5 的第一极、第六晶体管 M6 的第一极、第八晶体管 M8 的第一极和第二电容 C2 的第一端短接,第三晶体管 M3 的第二极与第四晶体管 M4 的第一极和第五晶体管 M5 的栅极短接,第四晶体管 M4 的第二极、第七晶体管 M7 的第二极和第三电容 C3 的第二端短接,第六晶体管 M6 的第二极、第七晶体管 M7 的第一极、第三电容 C3 的第一端和第九晶体管 M9 的栅极短接,第八晶体管 M8 的第二极和第九晶体管 M9 的第一极短接。

[0029] 第一晶体管 M1 的第一极连接扫描信号输入端 IN,第二晶体管 M2 的第二极连接扫描信号输出端 OUT,第一晶体管 M1 的栅极连接第一时钟端 CLK1,第二晶体管 M2 的第一极连接第二时钟端 CLK2,第三晶体管 M3 的第一极连接第一电平端 VGH,第四晶体管 M4 的第二极连接第二电平端 VGL1,第九晶体管 M9 的第二极连接第二低电平信号输入端 VGL2,第八晶体管 M8 的第二极连接驱动信号输出端 EM。

[0030] 高电平信号从第一电平端 VGH 输入（可以理解为第一电平端 VGH 输入的电压为正压），第一时钟信号从第一时钟端 CLK1 输入，第二时钟信号从第二时钟端 CLK2 输入，扫描信号从扫描信号输入端 IN 输入，第一低电平信号从第二电平端 VGL1 输入（可以理解为第二电平端 VGL1 输入的电压为负压），第二低电平信号从第二低电平信号输入端 VGL2 输入（可以理解为第二低电平信号输入端 VGL2 输入的电压为负压），驱动信号从驱动信号输出端 EM 输出，输出扫描信号从扫描信号输出端 OUT 输出。

[0031] 第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第九晶体管 M9 为场效应晶体管，优选为 P 沟道型场效应晶体管。更具体为薄膜场效应晶体管 (TFT)，优选为 P 沟道型薄膜场效应晶体管。

[0032] 由于该扫描驱动电路的第一扫描驱动器和第二扫描驱动器的级联结构均包括九个晶体管，且只需使用两个时钟信号，该扫描驱动电路使用的晶体管数量可以较少，因此可以大幅度提高产品的可靠性，同时也降低了产品设计成本和生产成本。第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第九晶体管 M9 的存在可以使该扫描驱动电路的驱动信号输出端 EM 的输出更加准确可靠。

[0033] 需要说明的是，若扫描信号输出端 OUT 端接有负载电容的话，第二电容 C2 和第三电容 C3 此处也可以省略。该实施例中设置第二电容 C2 和第三电容 C3 可以减小第一电平端 VGH、第二电平端 VGL1、第三电平端 VGL2 的电流值。

[0034] 下面以第一扫描驱动器为例具体介绍一下多个级联结构的连接关系。

[0035] 第一扫描驱动器包括 N 个级联结构，第一级级联结构的扫描信号输出端连接第二级级联结构的扫描信号输入端、第二级级联结构的扫描信号输出端连接第三级级联结构的扫描信号输入端……第 N-1 级级联结构的扫描信号输出端连接第 N 级级联结构的扫描信号输入端。

[0036] 奇数级的级联结构的第一时钟端与偶数级的级联结构的第二时钟端短接，奇数级的级联结构的第二时钟端与偶数级的级联结构的第一时钟端短接。

[0037] 第一时钟信号 CLK1 从第一级级联结构的第一时钟端输入，第二时钟信号 CLK2 从第一级级联结构的第二时钟端输入。

[0038] 各级级联结构的驱动信号输出端分别输出驱动信号 EM. 1、EM. 2、EM. 3、…EM. N 至多个有机发光显示器的像素电路以驱动有机发光显示器的像素电路发光。

[0039] 下面结合附图描述电路在一个扫描周期 T 内的工作过程，请结合图 1、图 2 和图 3。其中，从第一电平端 VGH 输入的电压为高电平，从第二电平端 VGL1 和第三电平端 VGL2 输入的电压为低电平。第一级级联结构和第二级级联结构中的每个级联结构的第一时钟端 CLK1 接收到的信号和第二时钟端 CLK2 接收到的信号的频率一致，当第一时钟端 CLK1 接收到的信号为高电平时第二时钟端 CLK2 接收到的信号为低电平，当第一时钟端 CLK1 接收到的信号为低电平时第二时钟端 CLK2 接收到的信号为高电平，这相当于第一级级联结构和第二级级联结构中的每个级联结构的第一时钟端 CLK1 和第二时钟端 CLK2 接收到的信号的相位相反。为了易于理解，引用信号端口符号表示该信号，即扫描信号为 IN、输出扫描信号为 OUT、第一时钟信号为 CLK1、第二时钟信号为 CLK2、驱动信号为 EM。引用元件标注符号来区分不同的元件，例如第一晶体管 M1 为晶体管 M1，第一电容 C1 为电容 C1。

[0040] 第一个时钟周期 t_1 内：第一时钟端 CLK1 接收到的时钟信号（即 CLK1）为低电平，

晶体管 M1、M4、M7 都导通，IN 为低电平（电容 C1 充电），第二时钟端端 CLK2 接收到的时钟信号（即 CLK2）为高电平，从而晶体管 M2 导通，输出扫描信号 OUT 为高电平；晶体管 M7 导通从而晶体管 M9 的栅极也为低电平，M9 导通，EM 为低电平。

[0041] 第二个时钟周期 t_2 内：CLK1 为高电平，晶体管 M1、M4、M7 都截止，电容 C1 放电，CLK2 为低电平。由于电容 C1 的耦合作用，从而晶体管 M2 的栅极继续为更低的低电平，使得 M2 导通、M3 导通，同时 M5 截止，从而 OUT 为低电平；M2 导通于是晶体管 M6 和 M8 都导通，而晶体管 M9 截止，从而 EM 为高电平。

[0042] 第三个时钟周期 t_3 内：CLK1 为低电平，CLK2 为高电平。晶体管 M1、M4、M7 都导通，IN 为高电平，从而 M2 截止；M4 导通从而 M5 导通（电容 C2 充电），OUT 为高电平；晶体管 M7 导通从而晶体管 M9 的栅极也为低电平（电容 C3 充电），M9 导通，EM 为低电平。

[0043] 第四个时钟周期 t_4 内：CLK1 为高电平，CLK2 为低电平，IN 为高电平。晶体管 M1、M2、M4、M7 都截止，从而 M3、M5 都截止，电容 C2 放电，从而 OUT 为高电平；电容 C3 放电，从而 M9 导通，EM 为低电平。

[0044] 于是，OUT 在余下的扫描周期时间内都为高电平，EM 在余下的扫描周期时间内都为低电平，实现了驱动信号 EM 的输出，以及扫描信号 IN 的一个时钟信号的推移（OUT 比 IN 往后推移一个时钟周期）。

[0045] OUT 比 IN 往后推移一个时钟周期，而由于 CLK1 与 CLK2 按照奇偶交错的方式连接各级级联结构，且 CLK1 与 CLK2 为高低电平刚好交错，即实现了 CLK1、CLK2 和 OUT 的同步推移，所以每一级级联结构都能输出所需的驱动信号（EM. 1、EM. 2、EM. 3、... EM. N）。

[0046] 上述扫描驱动电路只用到了两个时钟信号和 9 个晶体管，比传统的扫描驱动电路都少，可以大幅度提高电路的可靠性，同时也降低了设计成本和生产成本。

[0047] 实施例 2

[0048] 请参考图 4，在本实施例中，第一低电平信号（VGL1）和第二低电平信号（VGL2）为同一低电平信号，即第二低电平信号输入端 VGL2 连接第二电平端 VGL1，相当于第九晶体管 M9 的第二极直接连接第二电平端 VGL1，此时第一低电平信号（VGL1）和第二低电平信号（VGL2）输入的电压值相同。在电路运行过程中，当第七晶体管 M7 导通，则同时第九晶体管 M9 的栅极为低电平 $vg_{11}+V_{th}$ （ vg_{11} 第一低电平信号的电压值，为 V_{th} 为 P 沟道型薄膜场效应晶体管的阈值电压绝对值），于是第九晶体管 M9 导通，此时第九晶体管 M9 的源极也为低电平（ vg_{11} ），则相当于第九晶体管 M9 的栅极和漏极短路，第九晶体管 M9 形成二极管连接，所以第九晶体管 M9 的源极输出电压为 $vg_{11}+V_{th}$ ，那就导致了驱动信号比所需的 vg_{11} 高了 V_{th} 。所以，为了使驱动信号输出端 EM 输出的驱动信号为 vg_{11} ，在其他实施例中，在驱动过程中，第二低电平信号的电压值（ vg_{12} ）比第一低电平信号的电压值（ vg_{11} ）小，优选为第二低电平信号的电压值（ vg_{12} ）比第一低电平信号的电压值（ vg_{11} ）小 V_{th} 。

[0049] 需要说明的是，若扫描信号输出端 OUT 端接有负载电容的话，第二电容 C2 可以省略，但第三电容 C3 不可省略，第三电容 C3 作用在于稳定第九晶体管 M9 的栅极电压。

[0050] 在扫描信号 IN 的一个扫描周期 T 内的第一个时钟周期 t 为低电平信号，其余时间为高电平信号；当扫描信号 IN 为低电平信号时，第一时钟信号 CLK1 也为低电平信号。第一时钟信号 CLK1 和第二时钟信号 CLK2 频率一致，当第一时钟信号 CLK1 为高电平时第二时钟信号 CLK2 为低电平，当第一时钟信号 CLK1 为低电平时第二时钟信号 CLK2 为高电平，即第

一时钟信号 CLK1 和第二时钟信号 CLK2 的高低电平刚好交错,扫描信号 IN 在一个扫描周期 T 内首先在第一个时钟周期 t 内和第一时钟信号 CLK1 同步为低电平。

[0051] 实施例 3

[0052] 在本实施例中,可以通过仅仅改变第三电容 C3 的连接方式来改进输出信号 EM 的迅速高电平转换。具体改变为,第三电容 C3 连接于驱动信号输出端 EM 和第九晶体管 M9 的栅极端之间,见图 5。

[0053] 需要说明的是,若扫描信号输出端 OUT 端接有负载电容的话,第二电容 C2 可以省略,但第三电容 C3 不可省略,第三电容 C3 起到正反馈作用。

[0054] 电路运行过程中,第一个时钟周期 t1 跳到第二个时钟周期 t2 时,利用第三电容 C3 两端电压跳变和正反馈作用,输出信号 EM 从低电平迅速变成了高电平。第二个时钟周期 t2 跳到第三个时钟周期 t3 时,利用第三电容 C3 两端电压跳变和正反馈作用,输出信号 EM 从高电平迅速变成了低电平。本实施例中采用第三电容 C3 起到正反馈的作用,使得输出高低电平更加迅速稳定,因此能够提高驱动电路的带载能力和高低电平转换能力,输出高、低电平更加接近电源电平。

[0055] 请参考图 6,本发明提供一种有机发光显示器,其包括上述实施例 1 或实施例 2 或实施例 3 的扫描驱动电路和多个有机发光显示器的像素电路 112。其中,扫描驱动电路包括第一扫描驱动器 110 和第二扫描驱动器 116。第一扫描驱动器 110 中每一级的级联结构的驱动信号输出端 (EM. 1、EM. 2、EM. 3、...EM. N) 分别和有机发光显示器件的像素电路 112 的驱动信号输入端连接,以分别输出驱动信号 (EM. 1、EM. 2、EM. 3、...EM. N) 驱动有机发光显示器的像素电路 112。

[0056] 该有机发光显示器还包括数据驱动器 114 以及时序控制器 118。数据驱动器 114 分别为有机发光显示器的像素电路 112 提供数据信号,第二扫描驱动器 116 为有机发光显示器的像素电路 112 提供扫描信号,时序控制器 118 为第一扫描驱动器 110 和第二扫描驱动器 116 的第一时钟端、第二时钟端、扫描信号输入端、第一电平端、第二电平端和第三电平端提供时序信号和高低电平信号,ELVDD 为全部有机发光显示器的像素电路 112 提供电源信号。

[0057] 应用了上述扫描驱动电路的有机发光显示器,可以大幅度提高产品的可靠性,同时也降低了产品设计成本和生产成本。

[0058] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

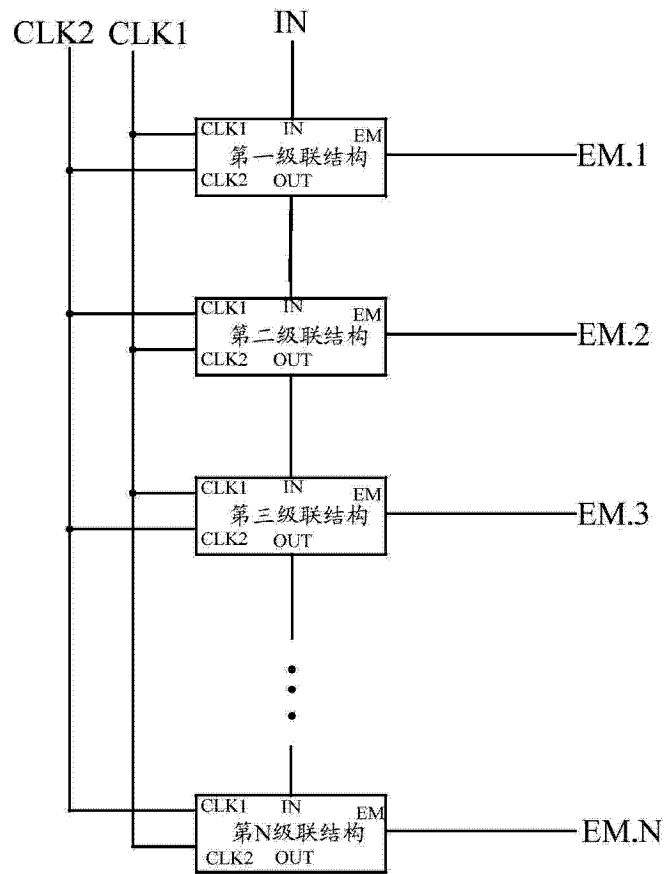


图 1

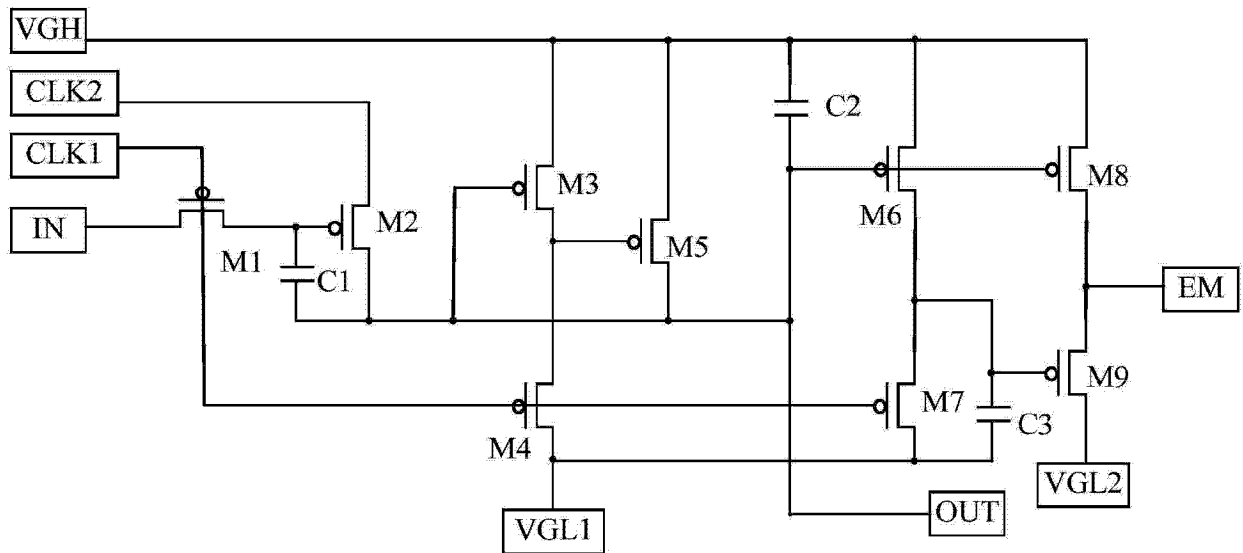


图 2

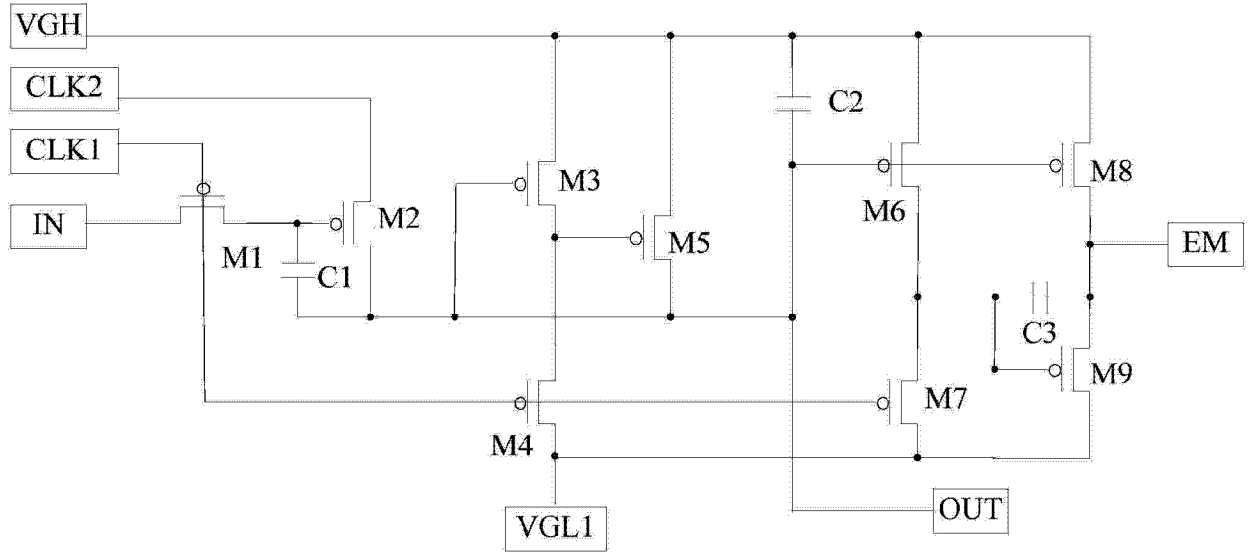


图 5

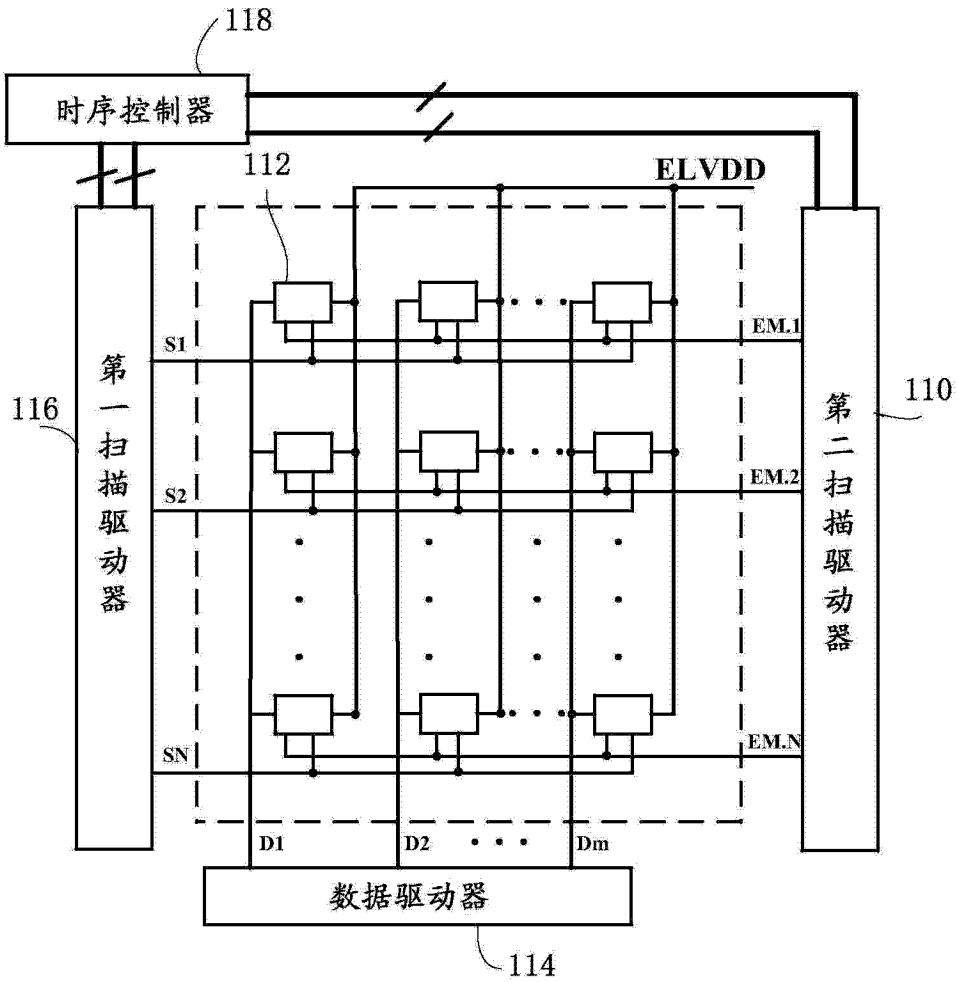


图 6