



(12) 发明专利申请

(10) 申请公布号 CN 104538399 A

(43) 申请公布日 2015. 04. 22

(21) 申请号 201410604206. 5

(22) 申请日 2014. 10. 31

(71) 申请人 厦门天马微电子有限公司

地址 361000 福建省厦门市翔安区翔安西路
6999 号

申请人 天马微电子股份有限公司

(72) 发明人 刘博智 朱在稳

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 27/02(2006. 01)

H01L 23/50(2006. 01)

H01L 21/84(2006. 01)

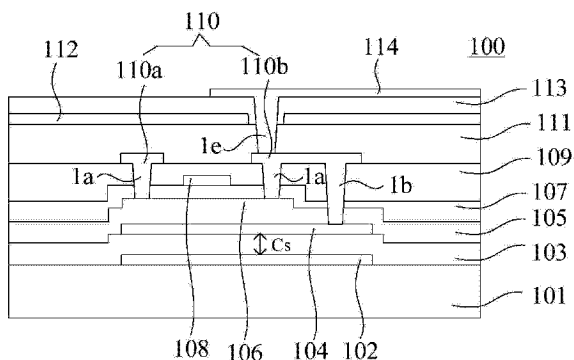
权利要求书2页 说明书9页 附图18页

(54) 发明名称

一种 LTPS 阵列基板及其制造方法

(57) 摘要

本发明公开了一种 LTPS 阵列基板,包括:第一基板;在所述第一基板上相互绝缘并层叠放置的第一导电层和第二导电层;位于所述第一导电层和所述第二导电层上层叠设置的多晶硅层和层间绝缘层;位于所述层间绝缘层上的源漏金属层,包括源极和漏极,所述源极或所述漏极分别通过层间过孔与所述多晶硅层电连接,且所述源极或所述漏极还通过第一通孔与所述第一导电层电连接。根据本发明制作的 LTPS 阵列基板可以在不影响开口率的前提下,尽最大可能的增加了存储电容的大小,并且由于本 LTPS 阵列基板结构的特殊性,可以屏蔽外来电位的影响,进而防止背沟道开启所造成的漏流减小。



1. 一种 LTPS 阵列基板,包括:
第一基板;
在所述第一基板上相互绝缘并层叠放置的第一导电层和第二导电层;
位于所述第一导电层和所述第二导电层上层叠设置的多晶硅层和层间绝缘层;
位于所述层间绝缘层上的源漏金属层,包括源极和漏极,所述源极或所述漏极分别通过层间过孔与所述多晶硅层电连接,且所述源极或所述漏极还通过第一通孔与所述第一导电层电连接。
2. 根据权利要求 1 所述的 LTPS 阵列基板,其特征在于,所述第一导电层和所述第二导电层至少有一个为不透光层。
3. 根据权利要求 2 所述的 LTPS 阵列基板,其特征在于,所述第一导电层位于所述第二导电层下方,且所述第一导电层为岛状,所述第二导电层为长条状。
4. 根据权利要求 2 所述的 LTPS 阵列基板,其特征在于,所述第一导电层位于所述第二导电层上方,且所述第一导电层为岛状,所述第二导电层为长条状。
5. 根据权利要求 2 所述的 LTPS 阵列基板,其特征在于,所述第一导电层位于所述第二导电层上方,且所述第一导电层为岛状,所述第二导电层为透光的整面状。
6. 根据权利要求 3 至 5 所述的 LTPS 阵列基板,其特征在于,还包括第一透明电极,所述第一透明电极位于所述源漏金属层上,并通过第二通孔与所述源极或漏极电连接。
7. 根据权利要求 6 所述的 LTPS 阵列基板,其特征在于,还包括第二透明电极,所述第二透明电极与所述第一透明电极同层排布或位于所述第一透明电极与所述源漏金属层之间。
8. 根据权利要求 1 所述的 LTPS 阵列基板,其特征在于,所述 LTPS 阵列基板为顶栅结构或底栅结构。
9. 一种制造如权利要求 1 所述的 LTPS 阵列基板的制造方法,包括:
提供第一基板;
在所述第一基板上形成相互绝缘并层叠放置的第一导电层和第二导电层;
在所述第一导电层和所述第二导电层上形成多晶硅层;
在所述多晶硅层上形成层间绝缘层,刻蚀形成层间过孔和第一通孔,所述层间过孔暴露部分所述多晶硅层,所述第一通孔暴露部分所述第一导电层;
在所述层间绝缘层上形成源漏金属层,图案化所述源漏金属层,形成源极和漏极,所述源极和所述漏极通过所述层间过孔与所述多晶硅层电连接,且所述源极或所述漏极通过所述第一通孔与所述第一导电层电连接。
10. 根据权利要求 9 所述的制造方法,其特征在于,在所述第一基板上形成相互绝缘并层叠放置的第一导电层和第二导电层的具体步骤包含:
在所述第一基板上形成所述第一导电层,图案化所述第一导电层为岛状;
在所述第一导电层上形成第一绝缘层;
在所述第一绝缘层上形成所述第二导电层,图案化所述第二导电层为长条状。
11. 根据权利要求 10 所述的制造方法,其特征在于,所述 LTPS 阵列基板还包括缓冲层和栅极绝缘层,所述缓冲层和所述栅极绝缘层位于所述第一绝缘层和所述层间绝缘层之间,在所述多晶硅层上形成层间绝缘层,刻蚀形成层间过孔和第一通孔的具体步骤包含:
在所述多晶硅层上形成层间绝缘层,刻蚀所述层间绝缘层、所述栅极绝缘层、所述缓冲

层和所述第一绝缘层,在所述层间绝缘层和所述栅极绝缘层上形成层间过孔,所述层间过孔暴露部分所述多晶硅层,在所述层间绝缘层、所述栅极绝缘层、所述缓冲层和所述第一绝缘层上形成第一通孔,所述第一通孔暴露部分所述第一导电层。

12. 根据权利要求 9 所述的制造方法,其特征在于,在所述第一基板上形成相互绝缘并层叠放置的第一导电层和第二导电层的具体步骤包含:

在所述第一基板上形成所述第二导电层;

在所述第二导电层上形成第一绝缘层;

在所述第一绝缘层上形成所述第一导电层,图案化所述第一导电层为岛状形状。

13. 根据权利要求 12 所述的制造方法,其特征在于,所述 LTPS 阵列基板还包括缓冲层和栅极绝缘层,所述缓冲层和所述栅极绝缘层位于所述第一绝缘层和所述层间绝缘层之间,在所述多晶硅层上形成层间绝缘层,刻蚀形成层间过孔和第一通孔的具体步骤包含:

在所述多晶硅层上形成层间绝缘层,刻蚀所述层间绝缘层、所述栅极绝缘层和所述缓冲层,在所述层间绝缘层和所述栅极绝缘层上形成层间过孔,所述层间过孔暴露部分所述多晶硅层,在所述层间绝缘层、所述栅极绝缘层和所述缓冲层上形成第一通孔,所述第一通孔暴露部分所述第一导电层。

14. 根据权利要求 9 所述的制造方法,其特征在于,在所述第一基板上形成相互绝缘并层叠放置的第一导电层和第二导电层的具体步骤包含:

在所述第一基板上形成所述第二导电层,图案化所述第二导电层为长条状;

在所述第二导电层上形成第一绝缘层;

在所述第一绝缘层上形成所述第一导电层,图案化所述第一导电层为岛状形状。

15. 根据权利要求 14 所述的制造方法,其特征在于,所述 LTPS 阵列基板还包括缓冲层和栅极绝缘层,所述缓冲层和所述栅极绝缘层位于所述第一绝缘层和所述层间绝缘层之间,在所述多晶硅层上形成层间绝缘层,刻蚀形成层间过孔和第一通孔的具体步骤包含:

在所述多晶硅层上形成层间绝缘层,刻蚀所述层间绝缘层、所述栅极绝缘层和所述缓冲层,在所述层间绝缘层和所述栅极绝缘层上形成层间过孔,所述层间过孔暴露部分所述多晶硅层,在所述层间绝缘层、所述栅极绝缘层和所述缓冲层上形成第一通孔,所述第一通孔暴露部分所述第一导电层。

16. 一种显示装置,其特征在于,包含如权利要求 1 所述的 LTPS 阵列基板。

一种 LTPS 阵列基板及其制造方法

技术领域

[0001] 本发明涉及平板显示技术,特别涉及一种 LTPS 阵列基板及其制造方法。

背景技术

[0002] 低温多晶硅 (low temperature poly-silicon, 简称为 LTPS) 薄膜晶体管液晶显示器有别于传统的非晶硅薄膜晶体管液晶显示器,其电子迁移率可以达到 $200\text{cm}^2/\text{V}\cdot\text{sec}$ 以上,可有效减小薄膜晶体管器件的面积,从而达到提高开口率,并且在增进显示器亮度的同时还可以降低整体的功耗。另外,较高的电子迁移率可以将部分驱动电路集成在玻璃基板上,减少了驱动 IC,还可以大幅提升液晶显示面板的可靠度,从而使得面板的制造成本大幅降低。因此,LTPS 薄膜晶体管液晶显示器逐步成为研究的热点。LTPS 薄膜晶体管液晶显示器主要包括阵列基板和与其相对设置的彩膜基板。

[0003] 现有技术可以通过增加存储电容的金属层面积或像素电极大小以提高像素电容,然而这一做法会降低像素开口率,而且在现有像素结构中由沟道层、栅绝缘层及第一金属层构成的像素电容一般只能占到总像素电容的 10%,增加金属层的面积对总像素电容大小的贡献不大。

发明内容

[0004] 鉴于现有技术存在的不足,本发明提供了一种 LTPS 阵列基板和制造方法。

[0005] 为了实现上述目的,本发明的实施例提出如下技术方案:

[0006] 提出一种 LTPS 阵列基板,包括:第一基板;在所述第一基板上相互绝缘并层叠放置的第一导电层和第二导电层;位于所述第一导电层和所述第二导电层上层叠设置的多晶硅层和层间绝缘层;位于所述层间绝缘层上的源漏金属层,包括源极和漏极,所述源极或所述漏极分别通过层间过孔与所述多晶硅层电连接,且所述源极或所述漏极还通过第一通孔与所述第一导电层电连接。

[0007] 本发明的实施例还提出一种 LTPS 阵列基板的制造方法,包括:提供第一基板;在所述第一基板上形成相互绝缘并层叠放置的第一导电层和第二导电层;在所述第一导电层和所述第二导电层上形成多晶硅层;在所述多晶硅层上形成层间绝缘层,刻蚀形成层间过孔和第一通孔,所述层间过孔暴露部分所述多晶硅层,所述第一通孔暴露部分所述第一导电层;在所述层间绝缘层上形成源漏金属层,图案化所述源漏金属层,形成源极和漏极,所述源极和所述漏极通过所述层间过孔与所述多晶硅层电连接,且所述源极或所述漏极通过所述第一通孔与所述第一导电层电连接。

[0008] 相较于传统 LTPS 阵列基板,本发明提出的 LTPS 阵列基板在不影响开口率的前提下,增加了存储电容的大小,并且由于本 LTPS 阵列基板结构的特殊性,可以屏蔽外来电位的影响,进而防止背沟道开启所造成的漏流减小。

附图说明

[0009] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0010] 图 1 是本发明实施例提供的一种 LTPS 阵列基板结构剖视图;

[0011] 图 2 是与图 1 相对应的 LTPS 阵列基板结构俯视图;

[0012] 图 3 是本发明实施例提供的一种 LTPS 阵列基板结构剖视图;

[0013] 图 4 是与图 3 相对应的 LTPS 阵列基板结构俯视图;

[0014] 图 5 是本发明实施例提供的一种 LTPS 阵列基板结构剖视图;

[0015] 图 6 是与图 5 相对应的 LTPS 阵列基板结构俯视图;

[0016] 图 7A 至图 7N 是本发明实施例提供的一种 LTPS 阵列基板的制造方法流程图;

[0017] 图 8A 至图 8N 是本发明实施例提供的一种 LTPS 阵列基板的制造方法流程图;

[0018] 图 9A 至图 9N 是本发明实施例提供的一种 LTPS 阵列基板的制造方法流程图。

具体实施方式

[0019] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0020] 如图 1 所示,为本发明实施例提供的一种 LTPS 阵列基板 100 结构剖视图,图 2 所示为与图 1 相对应的 LTPS 阵列基板 100 俯视图。在第一基板 101 上设置有相互绝缘并层叠放置的第一导电层 104 和第二导电层 102,第二导电层 102 位于第一导电层 104 下方,第二导电层 102 与第一导电层 104 之间设置有第一绝缘层 103,第一绝缘层 103 覆盖第二导电层 102 和第一基板 101,因此,在第一导电层 104 和第二导电层 102 以及夹在此二者之间的第一绝缘层 103 共同构成存储电容 C_s 。其中,第二导电层 102 为长条状结构,与 V_{com} 电极(图中未给出)的电位相等,第一导电层 104 为岛状结构,具体形状可参见图 2。第一导电层 104 和第二导电层 102 至少有一层为遮光材料,例如钼铝合金、铬金属、钼金属或者其它既具有遮光功能又具有导电性能的材料,其作用是为了防止背光单元发射出的光照射到沟道层上,因此而产生额外的电流。

[0021] 在第一导电层 104 上设置有缓冲层 105,缓冲层 105 覆盖第一导电层 104 和第一绝缘层 103,为了防止第一导电层 104 和第一绝缘层 103 中有害物质,如碱金属离子对多晶硅层 106 性能的影响。

[0022] 在缓冲层 105 上设置有多晶硅层 106,在多晶硅层 106 上通过曝光的方法形成不同的离子注入区域,并对所述多晶硅层 106 进行离子注入,分别形成沟道区和源漏极区域,多晶硅层 106 与第一导电层 104 和第二导电层 102 垂直方向上的投影有重叠,优选的,第一导电层 104 和第二导电层 102 在垂直方向上的投影完全覆盖多晶硅层 106,这样可以更好的阻挡来自背光单元照射的光,避免产生额外的电流。

[0023] 在多晶硅层 106 上设置有栅极绝缘层 107,栅极绝缘层的 107 的材料例如氮硅化物、氧硅化物等介电材料。

[0024] 在栅极绝缘 107 上设置有栅极 108, 所述栅极 108 的材料例如钼铝合金、铬金属、钼金属或者其它低电阻的导电材料, 栅极 108 与多晶硅层 106、第一导电层 104 和第二导电层 102 在垂直方向上的投影有重叠。

[0025] 在栅极 108 上设置有介质层 109, 介质层 109 覆盖栅极 108 和栅极绝缘层 107, 介质层 109 的材料例如氮硅化物、氧硅化物等介电材料。在介质层 109 和栅极绝缘层 107 上设置有层间过孔 1a, 层间过孔 1a 贯穿整个介质层 109 和栅极绝缘层 107, 并暴露部分多晶硅层 106; 同时在介质层 109、栅极绝缘层 107 和缓冲层 105 上设置有第一通孔 1b, 第一通孔 1b 贯穿整个介质层 109、栅极绝缘层 107 和缓冲层 105, 并暴露部分第一导电层 104。

[0026] 在介质层 109 上设置有源漏金属层 110, 源漏金属层 110 包括源极 110a 和漏极 110b。值得注意的是, 源极 110a 和漏极 110b 可以互换, 并不仅仅局限于本实施例中所示意的这种情况, 在此处仅采用 110a 作为源极、110b 作为漏极这一种情况进行说明。源极 110a 和漏极 110b 通过层间过孔 1a 与多晶硅层 106 电连接, 同时, 漏极 110b 还通过第一通孔 1b 与第一导电层 104 电连接。

[0027] 在源漏金属层 110 上设置有平坦化层 111, 平坦化层 111 覆盖源极 110a、漏极 110b 和介质层 109, 平坦化层 111 的材料例如为有机膜。在平坦化层 111 上设置有第二透明电极 112, 其材料可以为透明导电材料 ITO 等。在第二透明电极 112 上设置有第二绝缘层 113, 在第二绝缘层 113 上设置有第一透明电极 114。在平坦化层 111 和第二绝缘层 113 上设置有第二通孔 1e, 第二通孔 1e 贯穿整个平坦化层 111 和第二绝缘层 113, 并暴露部分漏极 110b, 第一透明电极 114 通过第二通孔 1e 与漏极 110b 电连接。值得注意的是, 在本实施例中, 第一透明电极 114 为像素电极, 第二透明电极 112 为公共电极, 在二者的共同作用下驱动液晶 (图中未给出) 的翻转进而显示不同的亮度, 根据图 1 所示的实施例, 第二透明电极 112 (公共电极) 位于第一透明电极 114 (像素电极) 下方, 且第二透明电极 112 (公共电极) 在整个液晶显示面板中为整面结构, 即边缘场转换 (Fringe-Field-Switching) 显示模式, 但本实施例并不仅仅局限于边缘场转换 (Fringe-Field-Switching) 显示模式, 还可以为平面转换 (In-Plane-Switching) 显示模式, 此种显示模式下, 第二透明电极 112 (公共电极) 将与第一透明电极 114 (像素电极) 同层间隔设置; 同样的, 还可以为扭转向列 (Twisted-Nematic) 显示模式, 在此种显示模式下, 第二透明电极 112 (公共电极) 将位于与 LTPS 阵列基板 100 相对的彩膜基板 (图中未给出) 上, 并与位于 LTPS 阵列基板 100 上的第一透明电极 114 (像素电极) 共同驱动液晶的翻转。因此, 本实施例仅以边缘场转换 (Fringe-Field-Switching) 显示模式为例, 说明第二透明电极 112 (公共电极) 的位置, 而实际上第二透明电极 112 (公共电极) 并不仅仅局限于图 1 所示的实施例中的那样。

[0028] 在图 1 所示的实施例中, 在第一基板 101 上设置了相互绝缘并层叠设置的第一导电层 104 和第二导电层 102, 此二者与位于其中间的第一绝缘层 103 共同形成了存储电容 C_s , 并且该存储电容 C_s 位于黑矩阵 BM 下方, 其有效面积足够大, 该存储电容 C_s 有可能达到总像素电容的 50%, 即在不改变开口率的前提下, 尽最大可能的增加了存储电容 C_s 的大小。此外, 在本实施例中, 在导电沟道下设计了 Vcom 电极 (第二导电层 102), 可以屏蔽外来电位影响, 有可能防止背沟道开启从而减小了漏流。

[0029] 图 3 所示为本发明实施例提供的一种 LTPS 阵列基板 200 结构剖视图, 图 4 所示为与图 3 相对应的 LTPS 阵列基板 200 的俯视图, 其结构与图 1 所示的 LTPS 阵列基板 100 结

构的区别点在于,在图 3 所示的 LTPS 阵列基板 200 中,第二导电层 202 为整面形状,并且为透明的导电材料,如 ITO 等。在此种情况下,第一导电层 204 为岛状形状,并且为遮光材料,例如钼铝合金、铬金属、钼金属或者其它既具有遮光功能又具有导电性能的材料,其作用是为了防止背光单元发射出的光照射到沟道层上,因此而产生额外的电流。除以上区别点之外,图 3 所示的 LTPS 阵列基板 200 结构与图 1 所示的 LTPS 阵列基板结构完全相同,具体内容可以参考前述内容,在此处不再赘述。图 3 所示的 LTPS 阵列基板 200 结构相较于图 1 所示的 LTPS 阵列基板 100 结构的优点在于,第二导电层 202 为整面形状,因此,在制作时无需在沉积第二导电层 202 后对其进行额外的刻蚀,节省工艺步骤,降低成本。

[0030] 如图 5 所示为本发明实施例提供的一种 LTPS 阵列基板 300 结构剖视图,图 6 所示为与图 5 相对应的 LTPS 阵列基板 300 的俯视图。在第一基板 301 上设置有相互绝缘并层叠放置的第一导电层 302 和第二导电层 304,第二导电层 304 位于第一导电层 302 上方,第二导电层 304 与第一导电层 302 之间设置一层第一绝缘层 303,第一绝缘层 303 覆盖第二导电层 304 和第一基板 301,因此,在第一导电层 302 和第二导电层 304 以及夹在此二者之间的第一绝缘层 303 共同构成存储电容 C_s 。其中,第二导电层 304 为长条状结构,与 V_{com} 电极(图中未给出)等电位,第一导电层 302 为岛状结构,具体形状可参见图 6。第一导电层 302 和第二导电层 304 至少有一层为遮光材料,例如钼铝合金、铬金属、钼金属或者其它既具有遮光功能又具有导电性能的材料,其作用是为了防止背光单元发射出的光照射到沟道层上,因此而产生额外的电流。

[0031] 在第二导电层 302 上设置有缓冲层 305,缓冲层 305 覆盖第二导电层 302 和第一绝缘层 303,为了防止第二导电层 302 和第一绝缘层 303 中有害物质,如碱金属离子对多晶硅层 306 性能的影响。

[0032] 在缓冲层 305 上设置有多晶硅层 306,在多晶硅层 306 上通过曝光的方法形成不同的离子注入区域,并对所述多晶硅层 306 进行离子注入,分别形成沟道区和源漏极区域,多晶硅层 306 与第一导电层 302 和第二导电层 304 垂直方向上的投影有重叠,优选的,第一导电层 302 和第二导电层 304 在垂直方向上的投影完全覆盖多晶硅层 306,这样可以更好的阻挡来自背光单元照射的光,避免产生额外的电流。

[0033] 在多晶硅层 306 上设置有栅极绝缘层 307,栅极绝缘层的 307 的材料例如氮硅化物、氧硅化物等介电材料。

[0034] 在栅极绝缘 307 上设置有栅极 308,所述栅极 308 的材料例如钼铝合金、铬金属、钼金属或者其它低电阻的导电材料,栅极 308 与多晶硅层 306、第一导电层 302 和第二导电层 304 在垂直方向上的投影有重叠。

[0035] 在栅极 308 上设置有介质层 309,介质层 309 覆盖栅极 308 和栅极绝缘层 307,介质层 309 的材料例如氮硅化物、氧硅化物等介电材料。在介质层 309 和栅极绝缘层 307 上设置有层间过孔 3a,层间过孔 3a 贯穿整个介质层 309 和栅极绝缘层 307,并暴露部分多晶硅层 306;同时在介质层 309、栅极绝缘层 307、缓冲层 305 和第一绝缘层 303 上设置有第一通孔 3b,第一通孔 3b 贯穿整个介质层 309、栅极绝缘层 307、缓冲层 305 和第一绝缘层 303,并暴露部分第一导电层 302。

[0036] 在介质层 309 上设置有源漏金属层 310,源漏金属层 310 包括源极 310a 和漏极 310b。值得注意的是,源极 310a 和漏极 310b 可以互换,并不仅仅局限于本实施例中所示意

的这种情况,在此处仅采用 310a 作为源极、310b 作为漏极这一种情况进行说明。源极 310a 和漏极 310b 通过层间过孔 3a 与多晶硅层 306 电连接,同时,漏极 310b 还通过第一通孔 3b 与第一导电层 302 电连接。

[0037] 在源漏金属层 310 上设置有平坦化层 311,平坦化层 311 覆盖源极 310a、漏极 310b 和介质层 309,平坦化层 311 的材料例如为有机膜。在平坦化层 311 上设置有第二透明电极 312,其材料可以为透明导电材料 ITO 等。在第二透明电极 312 上设置有第二绝缘层 313,在第二绝缘层 313 上设置有第一透明电极 314。在平坦化层 311 和第二绝缘层 313 上设置有第二通孔 3e,第二通孔 3e 贯穿整个平坦化层 311 和第二绝缘层 313,并暴露部分漏极 310b,第一透明电极 314 通过第二通孔 3e 与漏极 310b 电连接。值得注意的是,在本实施例中,第一透明电极 314 为像素电极,第二透明电极 312 为公共电极,在二者的共同作用下驱动液晶(图中未给出)的翻转进而显示不同的亮度,根据图 5 所示的实施例,第二透明电极 312(公共电极)位于第一透明电极 314(像素电极)下方,且第二透明电极 312(公共电极)在整个液晶显示面板(图中未给出)中为整面结构,即边缘场转换(Fringe-Field-Switching)显示模式,但本实施例并不仅仅局限于边缘场转换(Fringe-Field-Switching)显示模式,还可以为平面转换(In-Plane-Switching)显示模式,此种显示模式下,第二透明电极 312(公共电极)将与第一透明电极 314(像素电极)同层间隔设置;同样的,还可以为扭转向列(Twisted-Nematic)显示模式,在此种显示模式下,第二透明电极 312(公共电极)将位于与 LTPS 基板相对的彩膜基板(图中未给出)上,并与位于 LTPS 基板 300 上的第一透明电极 314(像素电极)共同驱动液晶的翻转。因此,本实施例仅以边缘场转换(Fringe-Field-Switching)显示模式为例,说明第二透明电极 312(公共电极)的位置,而实际上第二透明电极 312(公共电极)并不仅仅局限于图 3 所示的实施例中的那样。

[0038] 在图 5 所示的实施例中,在第一基板 301 上设置了相互绝缘并层叠设置的第一导电层 302 和第二导电层 304,此二者与位于其中间的第一绝缘层 303 共同形成了存储电容 C_s ,并且该存储电容 C_s 位于黑矩阵 BM 下方,其有效面积足够大,该存储电容 C_s 有可能达到总像素电容的 50%,即在不改变开口率的前提下,尽最大可能的增加了存储电容 C_s 的大小。此外,在本实施例中,在导电沟道下设计了 Vcom 电极(第二导电层 304),可以屏蔽外来电位影响,有可能防止背沟道开启从而减小了漏流。

[0039] 图 7A 至图 7N 为本发明实施例提供的一种 LTPS 阵列基板 100 的制造方法流程图。

[0040] 如图 7A 所示,提供第一基板 101,基板 101 通常选用透明玻璃基板。如图 7B 所示,在第一基板 101 上形成第二导电层 102,对第二导电层 102 进行图形化处理。如图 7C 所示,在第二导电层 102 和第一基板 101 上形成第一绝缘层 103。如图 7D 所示,在第一绝缘层 103 上形成第一导电层 104,对第一导电层 104 进行图形化处理。其中,第一导电层 104 为岛状形状,第二导电层 102 为长条状形状,并与 Vcom 电极等电位,第一导电层 104 和第二导电层 102 至少有一层为遮光材料,例如钼铝合金、铬金属、钼金属或者其它既具有遮光功能又具有导电性能的材料,其作用是为了防止背光单元发射出的光照射到沟道层上,因此而产生额外的电流。第二导电层 102 与第一导电层 104 在垂直方向上的投影有重叠,因此,在第一导电层 104 和第二导电层 102 以及夹在此二者之间的第一绝缘层 103 共同构成存储电容 C_s 。

[0041] 如图 7E 所示,在第一导电层 104 上形成缓冲层 105,以覆盖图形化的第一导电层

104 和第一绝缘层 103,在沉积缓冲层 105 之前要进行预清洗,然后采用 PECVD 法在第一基板 101 上沉积形成缓冲层 105。

[0042] 如图 7F 所示,在缓冲层 105 上采用 PECVD 法沉积一层非晶硅,采用高温烤箱对所述非晶硅层进行脱氢工艺处理,以防止在晶化过程中出现氢爆现象以及降低晶化后薄膜内部缺陷态密度作用。脱氢工艺完成后,进行 LTPS 工艺过程,采用激光退火工艺 (ELA)、金属诱导结晶工艺 (MIC)、固相结晶工艺 (SPC) 等结晶化手段对非晶硅层进行结晶化处理,在缓冲层 105 上形成多晶硅层。接着,在多晶硅层上,通过曝光的方法形成不同的离子注入区域,并对所述多晶硅层进行离子注入,分别形成沟道区和源漏极区域。接着,对所述多晶硅层进行光刻,在所述缓冲层 105 上形成图形化的多晶硅层 106,多晶硅层 106 与第一导电层 104 和第二导电层 102 在垂直方向上的投影有重叠,优选的,第一导电 104 或第二导电层 102 中至少一层(不透光的层)在垂直方向上完全覆盖多晶硅层 106。

[0043] 如图 7G 所示,采用 PECVD 法在所述图形化的多晶硅层 106 和缓冲层 105 上形成栅极绝缘层 107,栅极绝缘层 107 的材质例如为氮硅化物、氧硅化物等介电材质。如图 7H 所示,采用溅射工艺在所述栅极绝缘层 107 上形成栅极金属层,然后通过光刻工艺处理,在栅极绝缘层 107 上形成栅极 108,栅极 108 的材料例如钼铝合金、铬金属、钼金属或者其它低电阻的导电材料,栅极 108 与多晶硅层 106、第一导电层 104 和第二导电层 102 在垂直方向上的投影有重叠。

[0044] 如图 7I 所示,采用 PECVD 法在栅极 108 和栅极绝缘层 107 上形成介质层 109,介质层 109 的材质例如为氮硅化物、氧硅化物等介电材质。通过干法刻蚀形成贯穿介质层 109 和栅极绝缘层 107 的层间过孔 1a,层间过孔 1a 暴露出部分图形化的多晶硅层 106,同时还形成贯穿介质层 109、栅极绝缘层 107 和缓冲层 105 的第一通孔 1b,第一通孔 1b 暴露出部分图形化的第一导电层 104。

[0045] 如图 7J 所示,采用溅射法在第一基板 101 上形成源漏金属层 110,然后通过光刻工艺处理,在所述层间过孔 1a 中形成源极 110a 和漏极 110b,源漏金属层 110 的材质例如钼铝合金、铬金属、钼金属或是其它低电阻的导电材质,源极 110a 和漏极 110b 通过层间过孔 1a 与多晶硅层 106 电连接,同时,漏极 110b 还通过第一通孔 1b 与第一导电层 104 电连接。值得注意的是,源极 110a 和漏极 110b 可以互换,并不仅仅局限于本实施例中所示意的这种情况,在此处仅采用 110a 作为源极、110b 作为漏极这一种情况进行说明。

[0046] 如图 7K 所示,在第一基板 101 上形成平坦化层 111,平坦化层 111 的材质例如为有机膜,并在平坦化层 111 上形成第三通孔 1c,第三通孔 1c 的位置与所述漏极 110b 位置对应,第三通孔 1c 贯穿平坦化层 111 并暴露出部分漏极 110b,优选的,第三通孔 1c 的面积大于等于漏极 110b 所对应的层间过孔 1a 的面积。

[0047] 如图 7L 所示,在平坦化层 111 上形成第二透明电极 112,刻蚀第二透明电极 112 以形成第四通孔 1d,第四通孔 1d 的位置与第三通孔 1c 的位置对应,并暴露出部分平坦化层 111 和漏极 110b。

[0048] 如图 7M 所示,采用 PECVD 法在第二透明电极 112 上和第三通孔 1c、第四通孔 1d 内形成保护层 113,保护层 113 的材质为氮化硅,接着,采用干法刻蚀形成贯穿保护层 113 和平坦化层 111 的第二通孔 1e,第二通孔 1e 暴露出漏极 110b。

[0049] 如图 7N 所示,采用溅射法在所述保护层 113 上和第二通孔 1e 内形成第一透明电

极 114, 第一透明电极 114 通过第二通孔 1e 与漏极 110 相连接, 形成像素电极。

[0050] 至此, 形成了如图 7N 所示的 LTPS 阵列基板 100, 在 LTPS 阵列基板 100 中, 在第一基板 101 上设置了相互绝缘并层叠设置的第一导电层 104 和第二导电层 102, 此二者与位于其中间的第一绝缘层 103 共同形成了存储电容 C_s , 并且该存储电容 C_s 位于黑矩阵 BM 下方, 其有效面积足够大, 该存储电容 C_s 有可能达到总像素电容的 50%, 即在不改变开口率的前提下, 尽最大可能的增加了存储电容 C_s 的大小。此外, 在本实施例中, 在导电沟道下设计了 V_{com} 电极 (第二导电层 102), 可以屏蔽外来电位影响, 有可能防止背沟道开启从而减小了漏流。

[0051] 图 8A 至图 8N 为本发明实施例提供的一种 LTPS 阵列基板 200 的制造方法流程图, 该制造方法与图 7A 至图 7N 所示的 LTPS 阵列基板 100 的制造方法的区别点在于: 如图 8B 所示, 在所述第一基板 201 上形成第二导电层 202。即, 在形成第二导电层 202 后, 不对第二导电层 202 进行图形化处理, 第二导电层 202 保留其最初的整面形状, 但在此种情况下, 第二导电层 202 必须为透明的导电材料, 如 ITO 等。第一导电层 204 为岛状形状, 并且为遮光材料, 例如钼铝合金、铬金属、钼金属或者其它既具有遮光功能又具有导电性能的材料, 其作用是为了防止背光单元发射出的光照射到沟道层上, 因此而产生额外的电流。除以上所述区别点以外, 图 8A 至图 8N 所示的 LTPS 阵列基板 200 的制造方法与图 7A 至图 7N 所示的 LTPS 阵列基板 100 的制造方法完全相同, 具体内容可以参考前述内容, 在此不再进行赘述。采用如 8A 至图 8N 所示的 LTPS 阵列基板 200 的制造方法相较于采用如 7A 至图 7N 所示的 LTPS 阵列基板 100 的制造方法的优势在于: 由于无需对第二导电层 102 进行图形化, 因此省略了一道 MASK, 节省工艺步骤的同时降低成本。

[0052] 图 9A 至图 9N 为本发明实施例提供的一种 LTPS 阵列基板 300 的制造方法流程图。

[0053] 如图 9A 所示, 提供第一基板 301, 基板 301 通常选用透明玻璃基板。如图 9B 所示, 在第一基板 301 上形成第一导电层 302, 对第一导电层 302 进行图形化处理。如图 9C 所示, 在第一导电层 302 和第一基板 301 上形成第一绝缘层 303。如图 9D 所示, 在第一绝缘层 303 上形成第二导电层 304, 对第二导电层 304 进行图形化处理。其中, 第一导电层 302 为岛状形状, 第二导电层 304 为长条状形状, 并与 V_{com} 电极等电位, 第一导电层 302 和第二导电层 304 至少有一层为遮光材料, 例如钼铝合金、铬金属、钼金属或者其它既具有遮光功能又具有导电性能的材料, 其作用是为了防止背光单元发射出的光照射到沟道层上, 因此而产生额外的电流。第二导电层 304 与第一导电层 302 在垂直方向上的投影有重叠, 因此, 在第一导电层 302 和第二导电层 304 以及夹在此二者之间的第一绝缘层 303 共同构成存储电容 C_s 。

[0054] 如图 9E 所示, 在第二导电层 304 上形成缓冲层 305, 以覆盖图形化的第二导电层 304 和第一绝缘层 303, 在沉积缓冲层 305 之前要进行预清洗, 然后采用 PECVD 法在第一基板 301 上沉积形成缓冲层 305。如图 9F 所示, 在缓冲层 305 上采用 PECVD 法沉积一层非晶硅, 采用高温烤箱对所述非晶硅层进行脱氢工艺处理, 以防止在晶化过程中出现氢爆现象以及降低晶化后薄膜内部缺陷态密度作用。脱氢工艺完成后, 进行 LTPS 工艺过程, 采用激光退火工艺 (ELA)、金属诱导结晶工艺 (MIC)、固相结晶工艺 (SPC) 等结晶化手段对非晶硅层进行结晶化处理, 在缓冲层 305 上形成多晶硅层。接着, 在多晶硅层上, 通过曝光的方法形成不同的离子注入区域, 并对所述多晶硅层进行离子注入, 分别形成沟道区和源漏极区

域。接着,对所述多晶硅层进行光刻,在所述缓冲层 305 上形成图形化的多晶硅层 306,多晶硅层 306 与第一导电层 302 和第二导电层 304 在垂直方向上的投影有重叠,优选的,第一导电层 302 或第二导电层 304 中至少一层(不透光的层)在垂直方向上完全覆盖多晶硅层 306。

[0055] 如图 9G 所示,采用 PECVD 法在所述图形化的多晶硅层 306 和缓冲层 305 上形成栅极绝缘层 307,栅极绝缘层 307 的材质例如为氮硅化物、氧硅化物等介电材质。如图 9H 所示,采用溅射工艺在所述栅极绝缘层 307 上形成栅极金属层,然后通过光刻工艺处理,在栅极绝缘层 307 上形成栅极 308,栅极 308 的材料例如钼铝合金、铬金属、钼金属或者其它低电阻的导电材料,栅极 308 与多晶硅层 306、第一导电层 302 和第二导电层 304 在垂直方向上的投影有重叠。

[0056] 如图 9I 所示,采用 PECVD 法在栅极 308 和栅极绝缘层 307 上形成介质层 309,介质层 309 的材质例如为氮硅化物、氧硅化物等介电材质。通过干法刻蚀形成贯穿介质层 309 和栅极绝缘层 307 的层间过孔 1a,层间过孔 1a 暴露出部分图形化的多晶硅层 306,同时还形成贯穿介质层 309、栅极绝缘层 307、缓冲层 305 和第一绝缘层 303 的第一通孔 3b,第一通孔 3b 暴露出部分图形化的第一导电层 302。

[0057] 如图 9J 所示,采用溅射法在第一基板 301 上形成源漏金属层 310,然后通过光刻工艺处理,在所述层间过孔 3a 中形成源极 310a 和漏极 310b,源漏金属层 310 的材质例如钼铝合金、铬金属、钼金属或是其它低电阻的导电材质,源极 310a 和漏极 310b 通过层间过孔 3a 与多晶硅层 306 电连接,同时,漏极 310b 还通过第一通孔 3b 与第一导电层 302 电连接。值得注意的是,源极 310a 和漏极 310b 可以互换,并不仅仅局限于本实施例中所示意的这种情况,在此处仅采用 310a 作为源极、310b 作为漏极这一种情况进行说明。

[0058] 如图 9K 所示,在第一基板 301 上形成平坦化层 311,平坦化层 311 的材质例如为有机膜,并在平坦化层 311 上形成第三通孔 3c,第三通孔 3c 的位置与所述漏极 310b 位置对应,第三通孔 3c 贯穿平坦化层 311 并暴露出部分漏极 310b,优选的,第三通孔 3c 的面积大于等于漏极 310b 所对应的层间过孔 3a 的面积。

[0059] 如图 9L 所示,在平坦化层 311 上形成第二透明电极 312,刻蚀第二透明电极 312 以形成第四通孔 3d,第四通孔 3d 的位置与第三通孔 3c 的位置对应,并暴露出部分平坦化层 311 和漏极 310b。

[0060] 如图 9M 所示,采用 PECVD 法在第二透明电极 312 上和第三通孔 3c、第四通孔 3d 内形成保护层 313,保护层 313 的材质为氮化硅,接着,采用干法刻蚀形成贯穿保护层 313 和平坦化层 311 的第二通孔 3e,第二通孔 3e 暴露出漏极 310b。

[0061] 如图 9N 所示,采用溅射法在所述保护层 313 上和第二通孔 3e 内形成第一透明电极 314,第一透明电极 314 通过第二通孔 3e 与漏极 310 相连接,形成像素电极。

[0062] 至此,形成了如图 9N 所示的 LTPS 阵列基板 300,在 LTPS 阵列基板 300 中,在第一基板 301 上设置了相互绝缘并层叠设置的第一导电层 302 和第二导电层 304,此二者与位于其中间的第一绝缘层 303 共同形成了存储电容 C_s ,并且该存储电容 C_s 位于黑矩阵 BM 下方,其有效面积足够大,该存储电容 C_s 有可能达到总像素电容的 50%,即在不改变开口率的前提下,尽最大可能的增加了存储电容 C_s 的大小。此外,在本实施例中,在导电沟道下设计了 V_{com} 电极(第二导电层 304),可以屏蔽外来电位影响,有可能防止背沟道开启从而减小了

漏流。

[0063] 本发明还提供一种显示装置,该显示装置包括如上述图 1、图 3 和图 5 所述实施例中的 LTPS 阵列基板,该 LTPS 阵列基板的结构和制作工艺流程与前述实施例相同,在此不一一赘述。

[0064] 以上对本发明实施例所提供的一种 LTPS 阵列基板及其制造方法进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

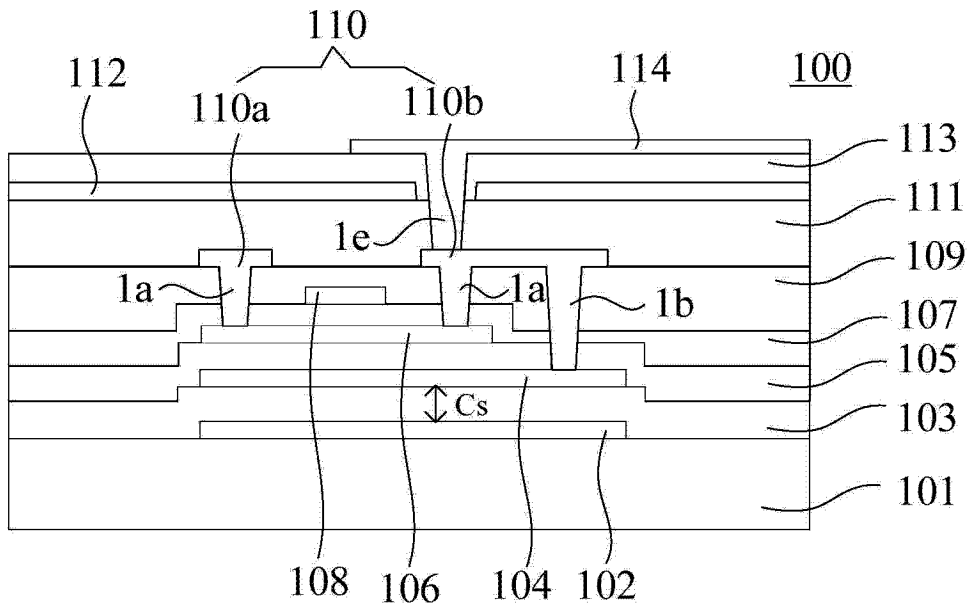


图 1

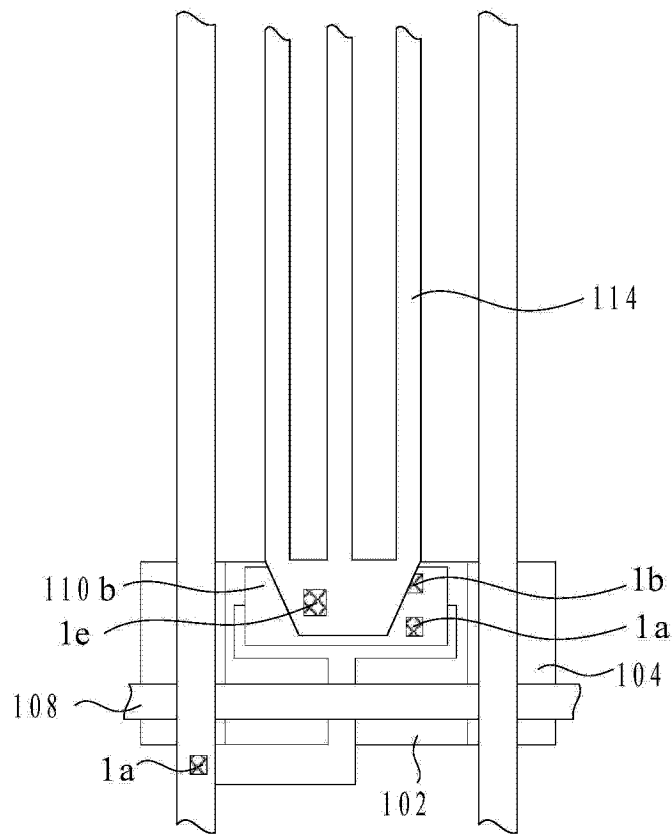


图 2

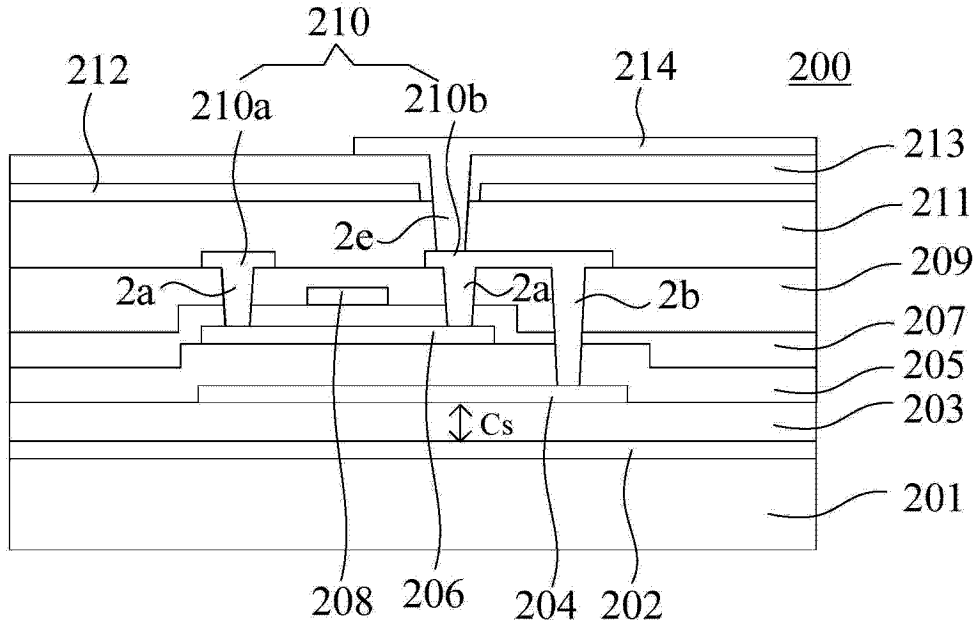


图 3

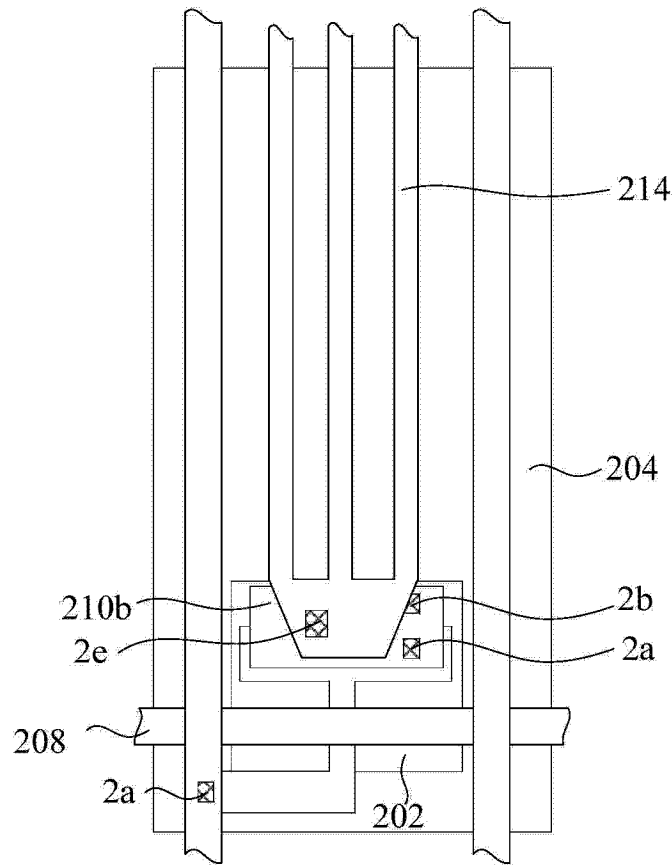


图 4

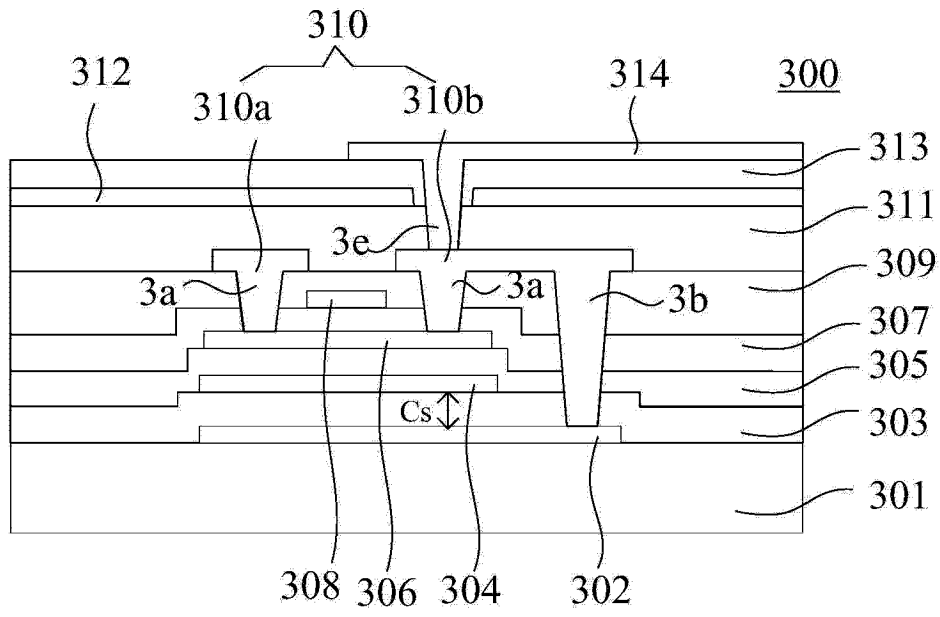


图 5

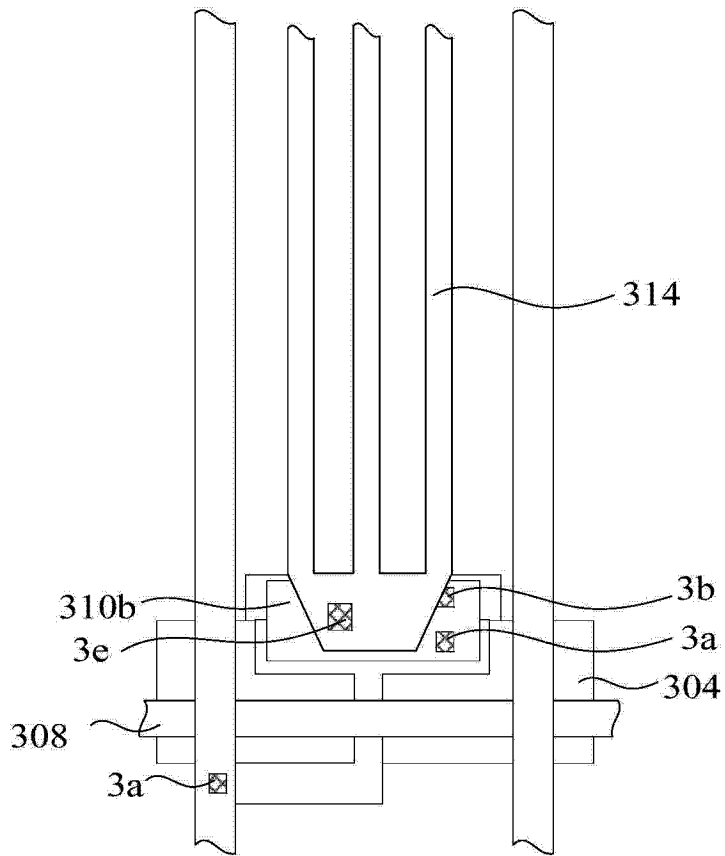


图 6



图 7A

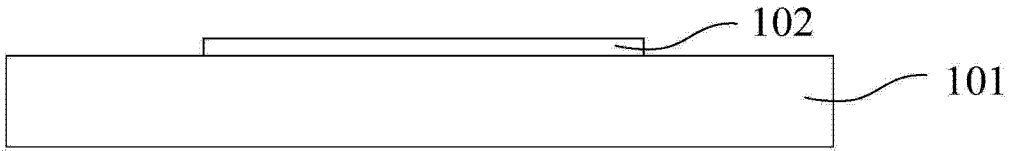


图 7B

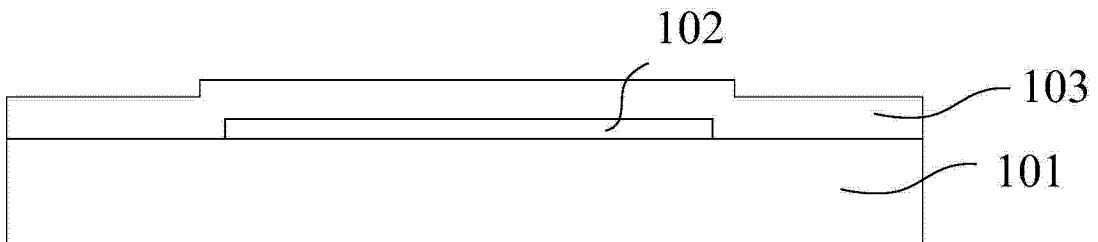


图 7C

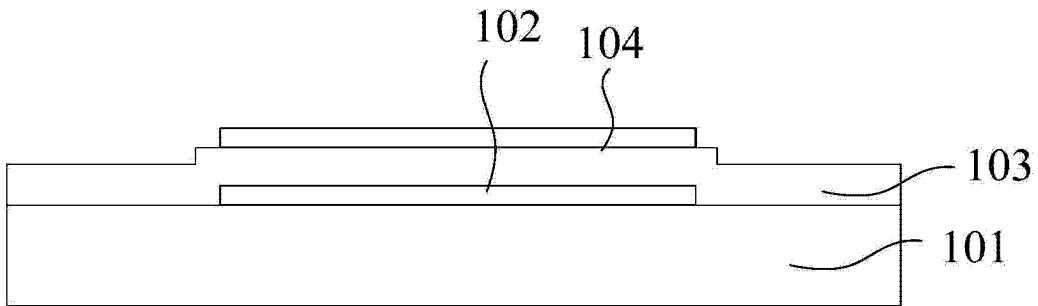


图 7D

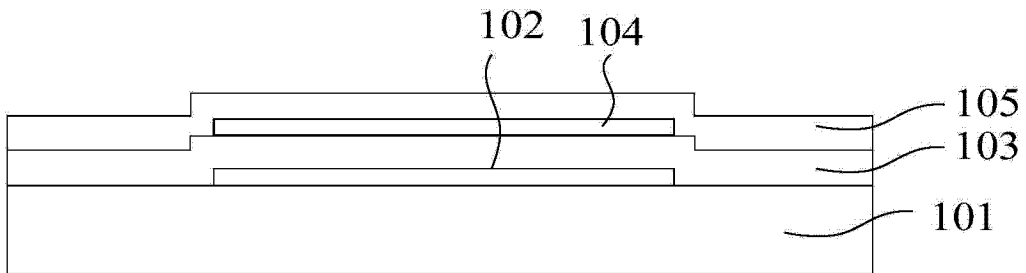


图 7E

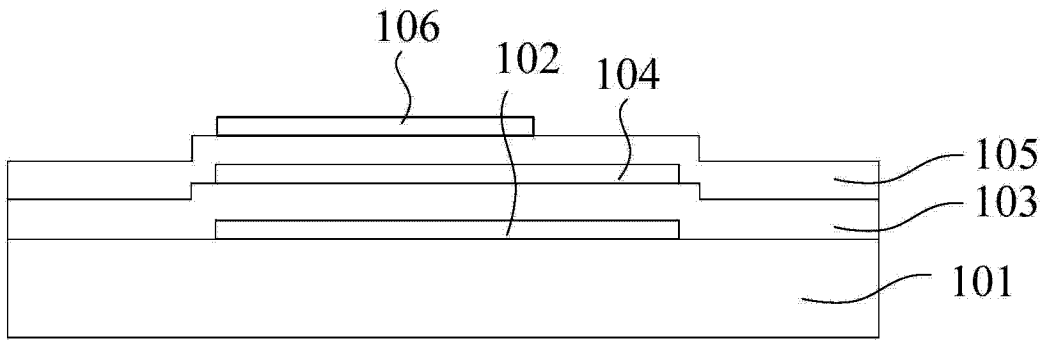


图 7F

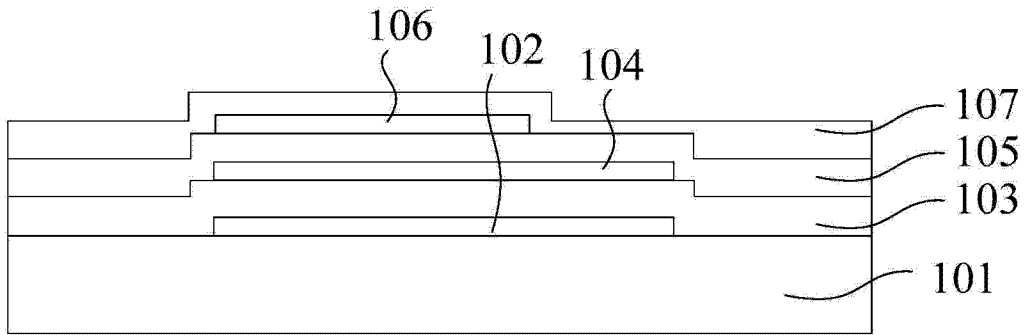


图 7G

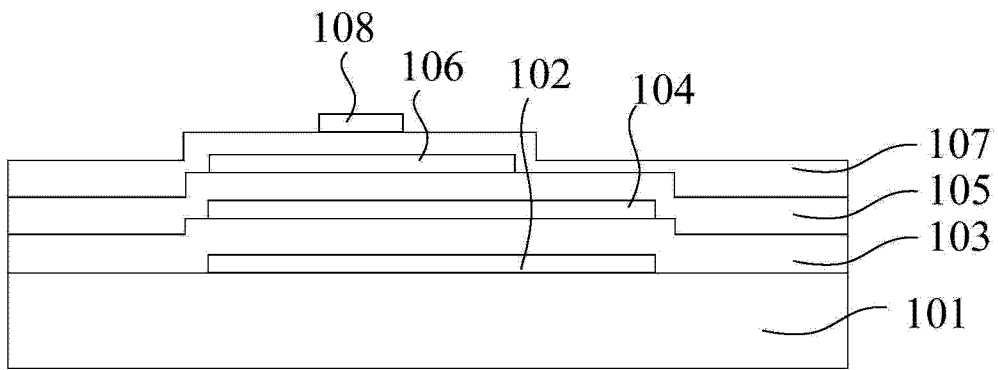


图 7H

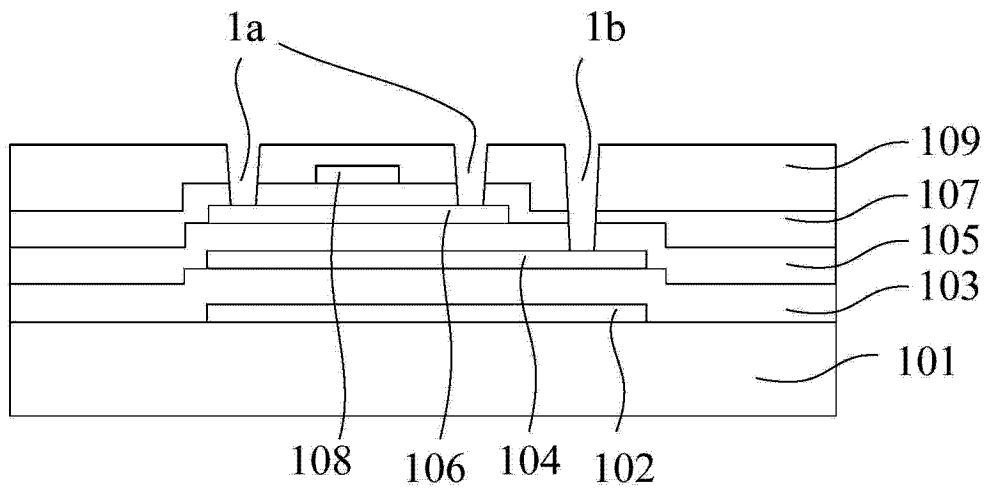


图 7I

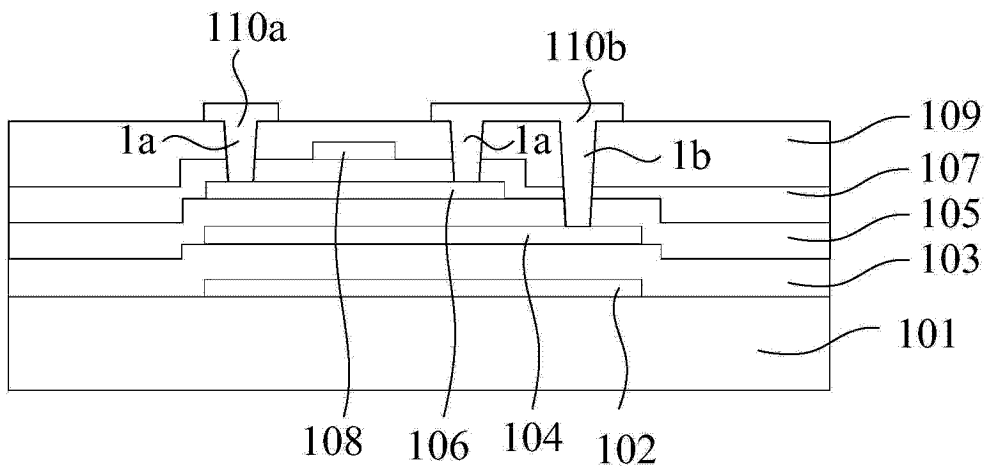


图 7J

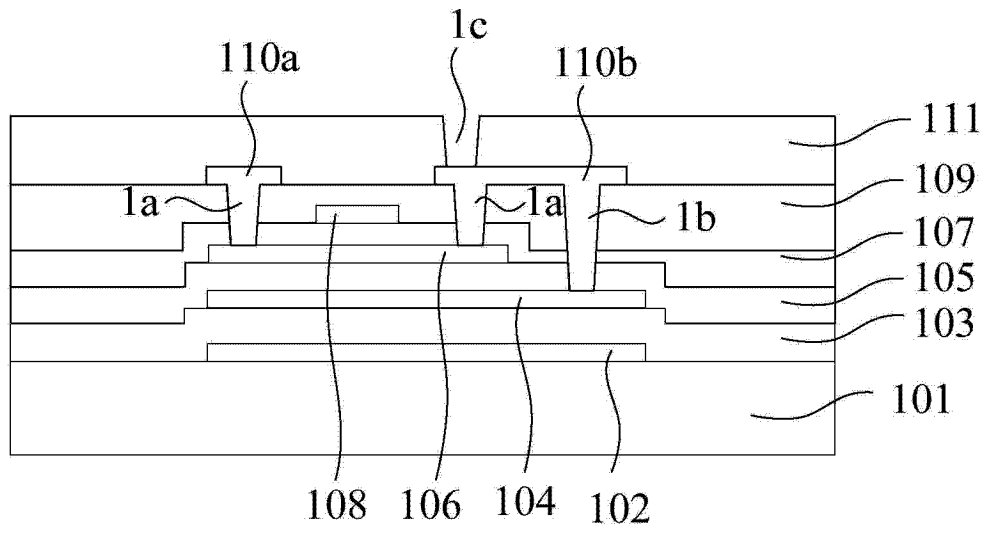


图 7K

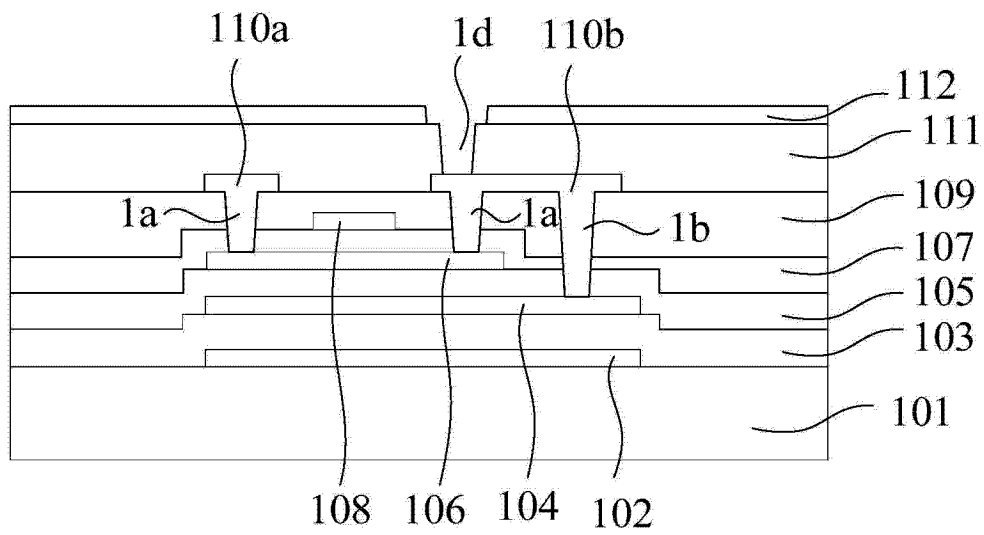


图 7L

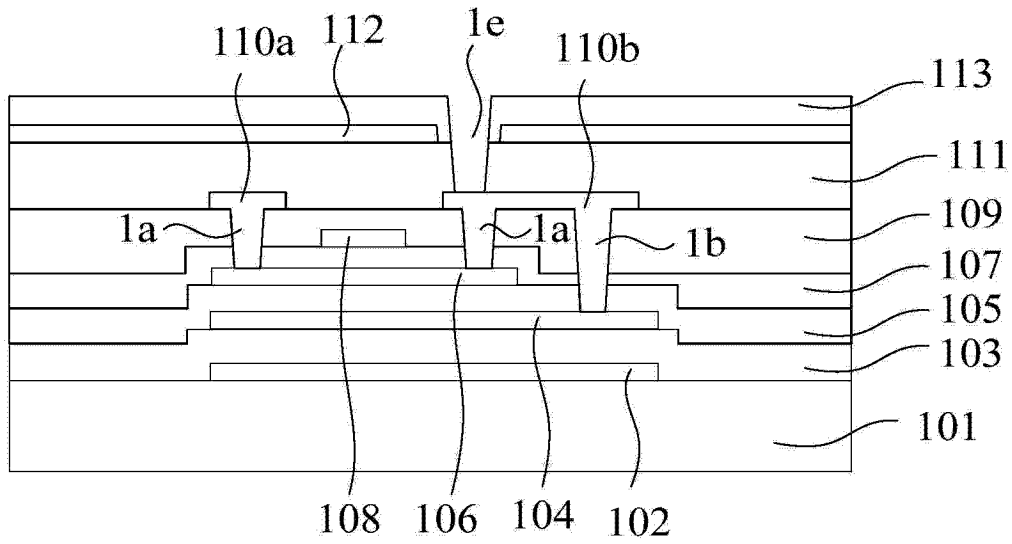


图 7M

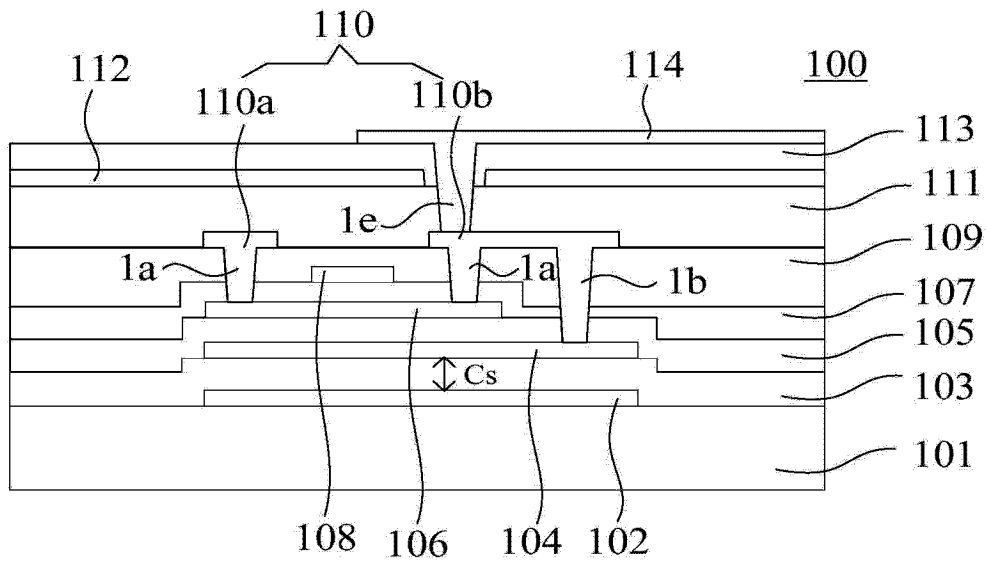


图 7N

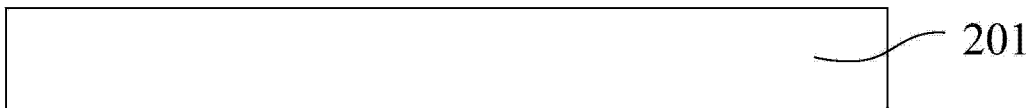


图 8A

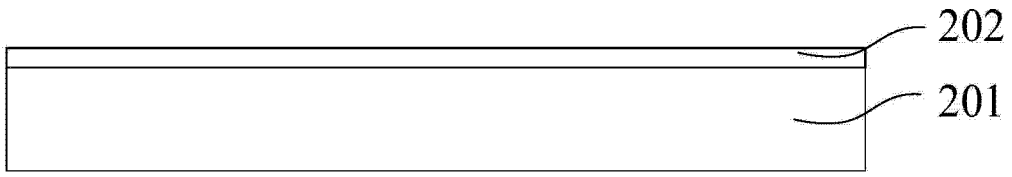


图 8B

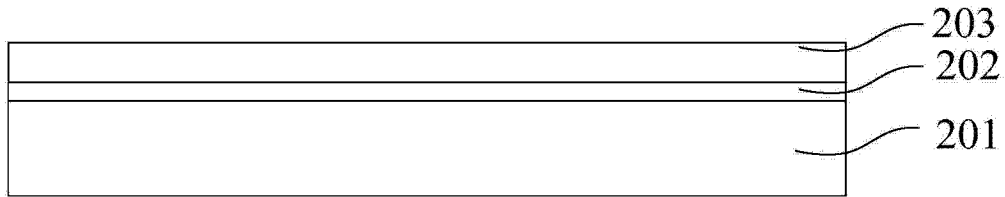


图 8C

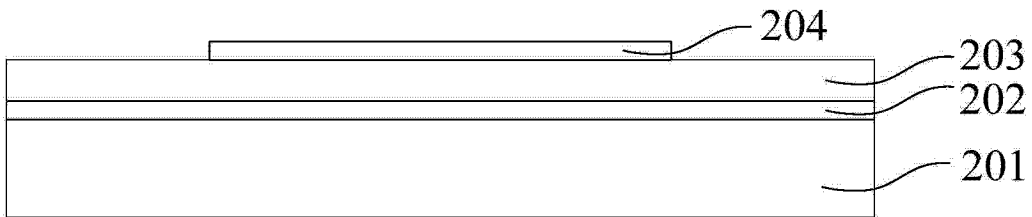


图 8D

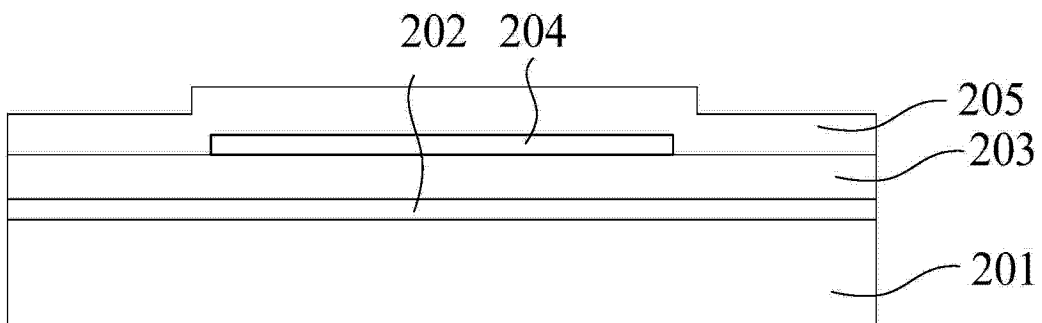


图 8E

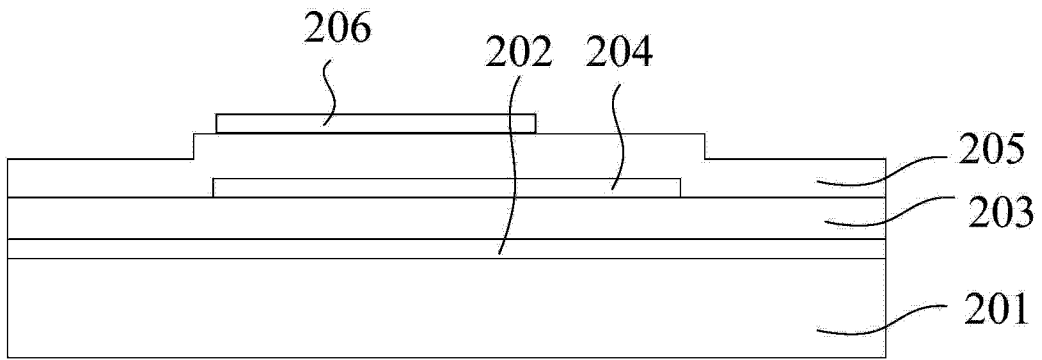


图 8F

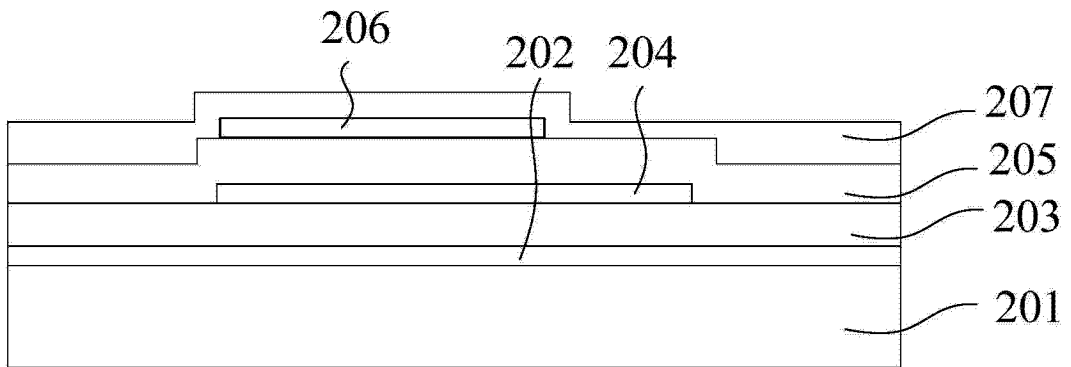


图 8G

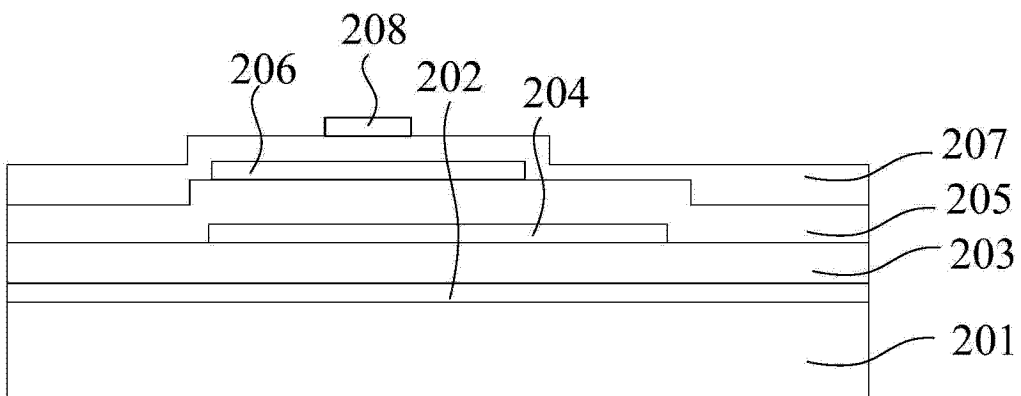


图 8H

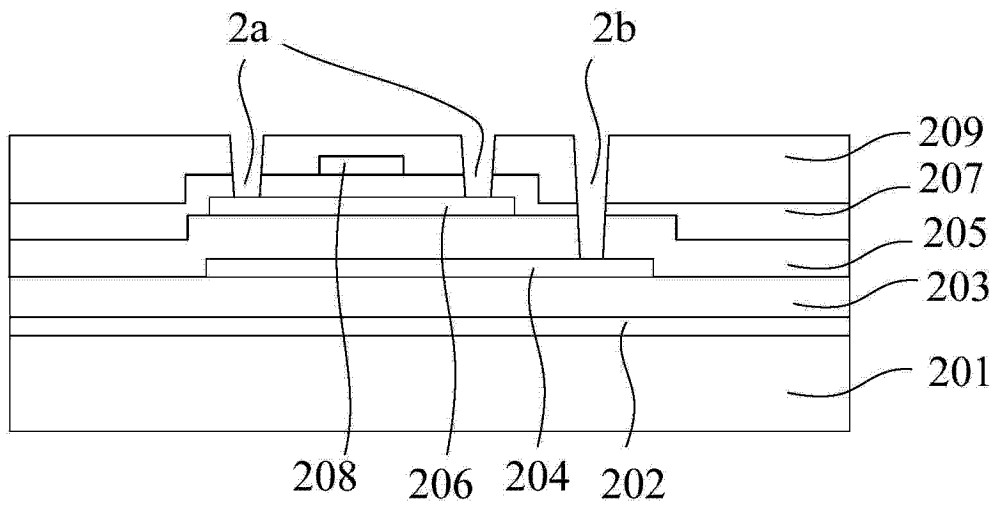


图 8I

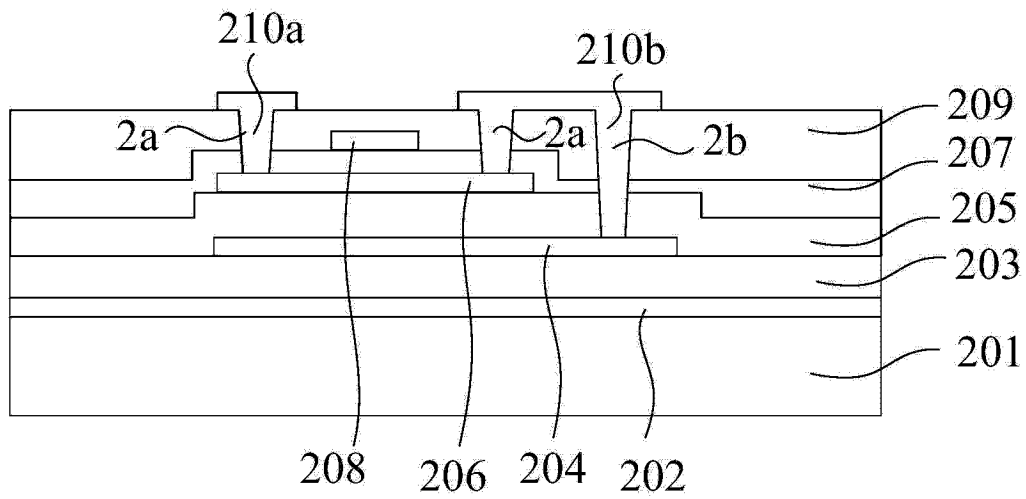


图 8J

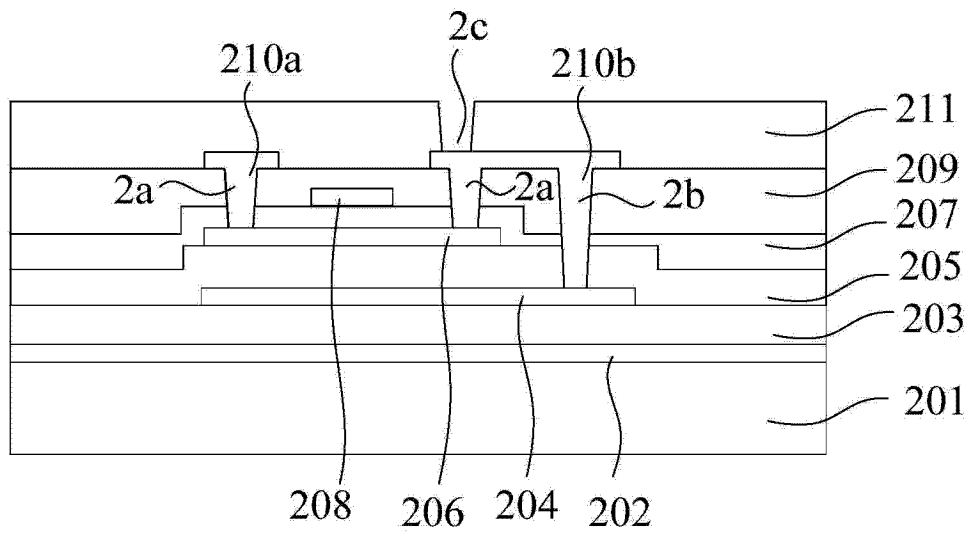


图 8K

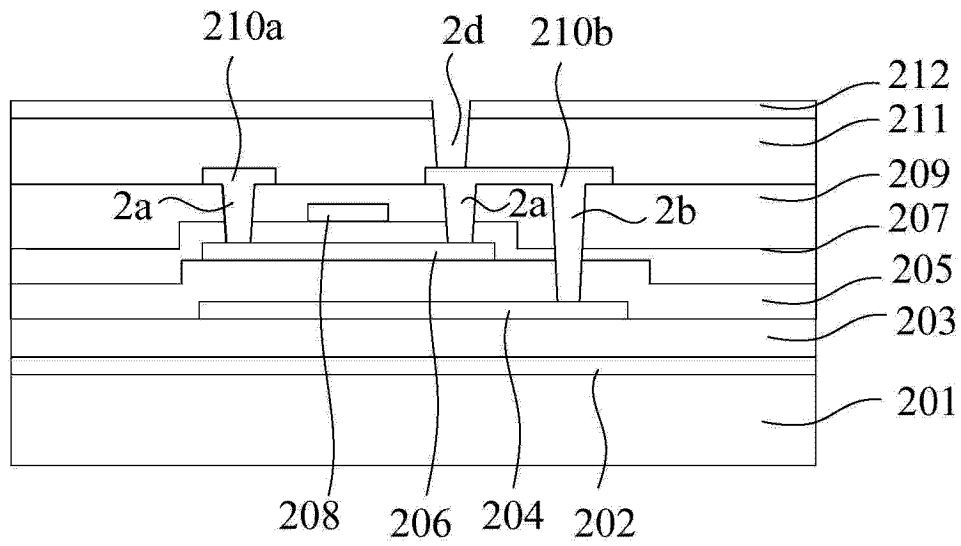


图 8L

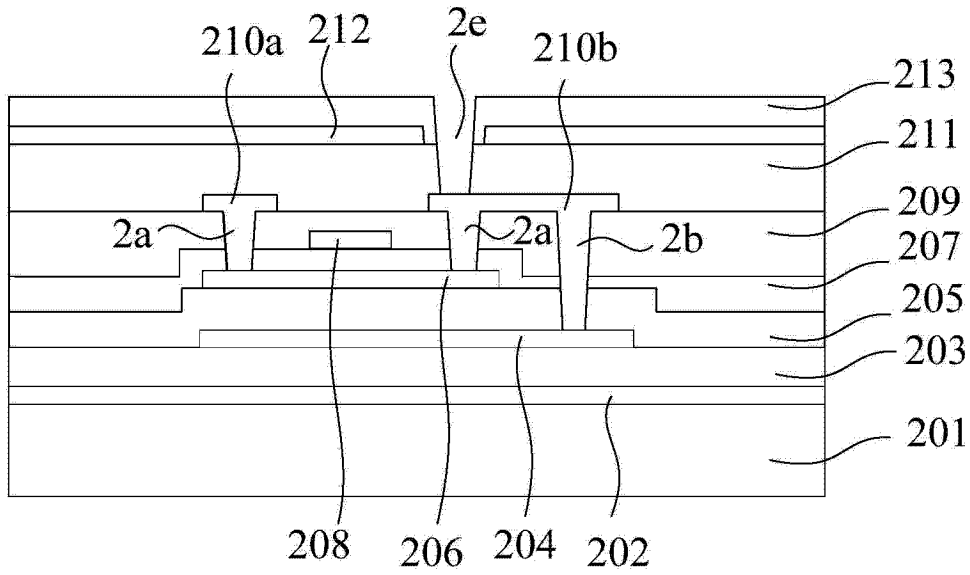


图 8M

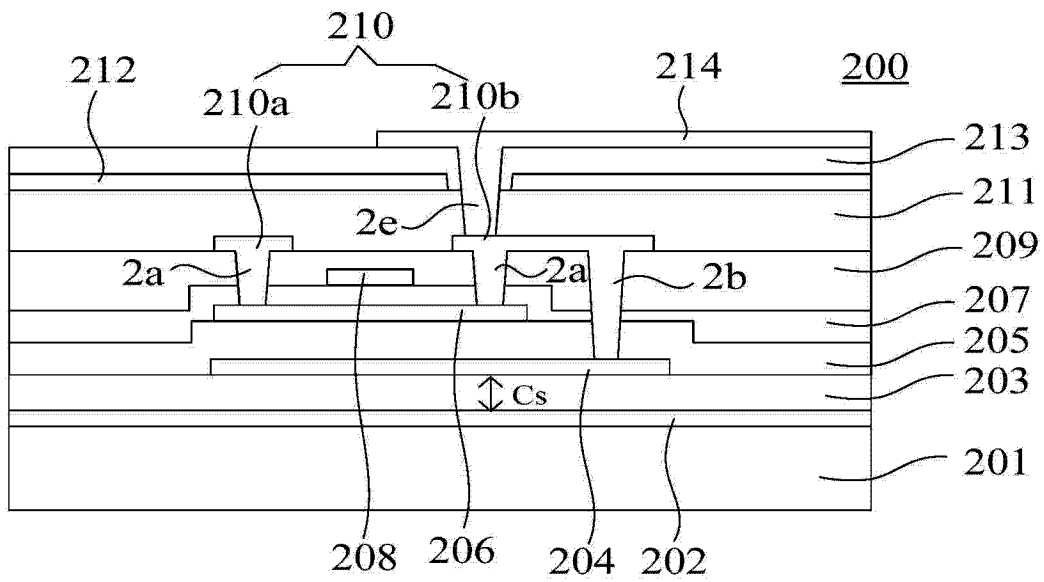


图 8N



图 9A

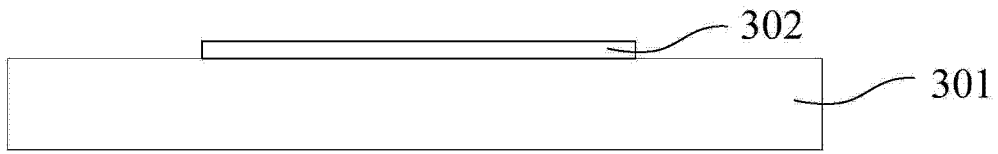


图 9B

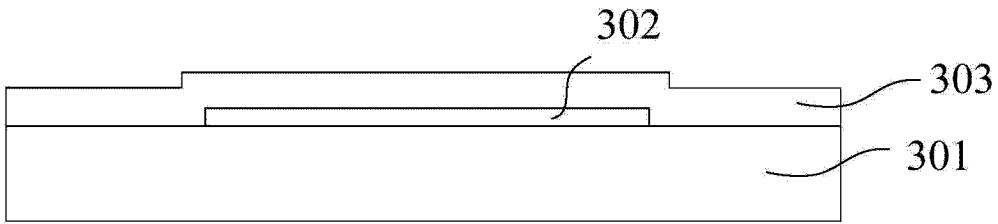


图 9C

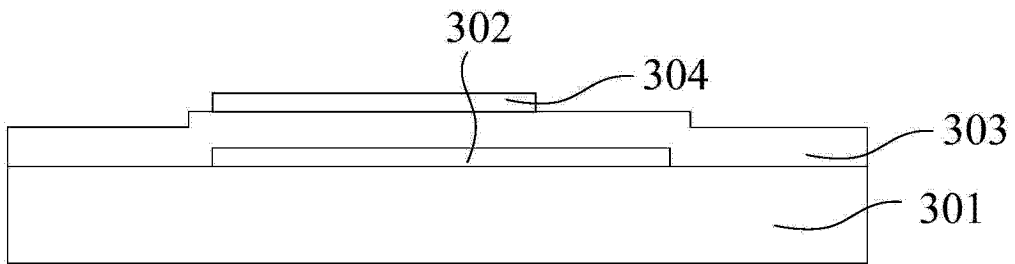


图 9D

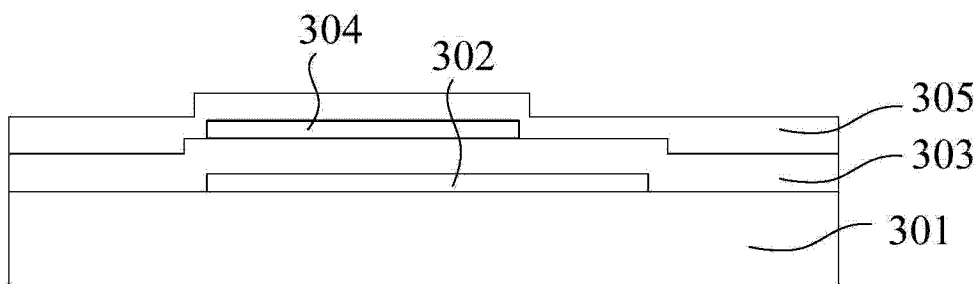


图 9E

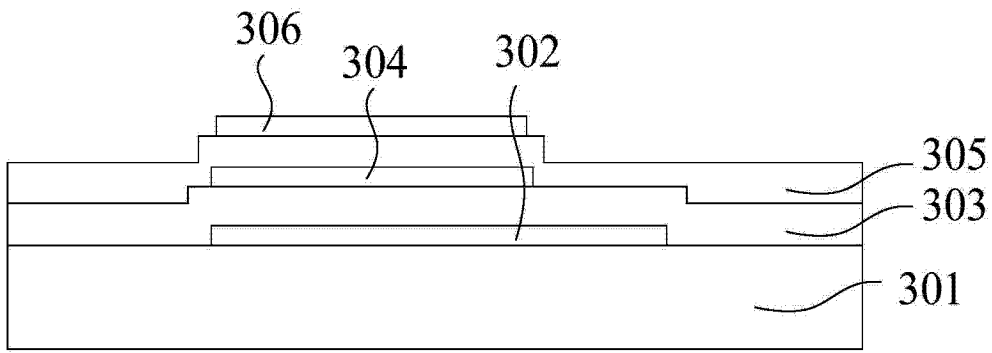


图 9F

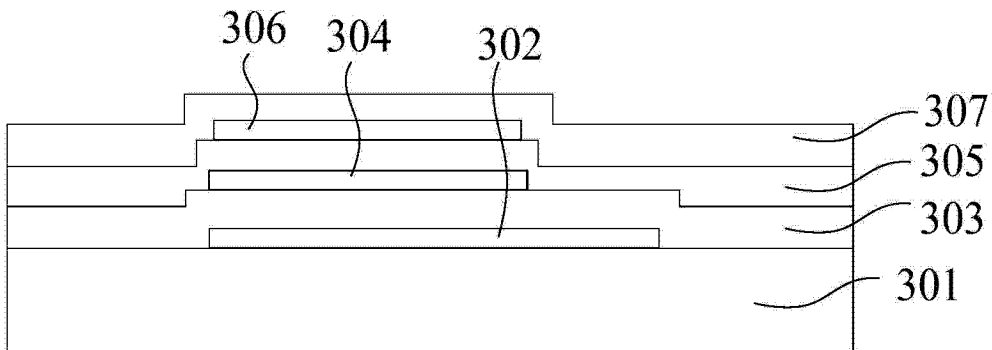


图 9G

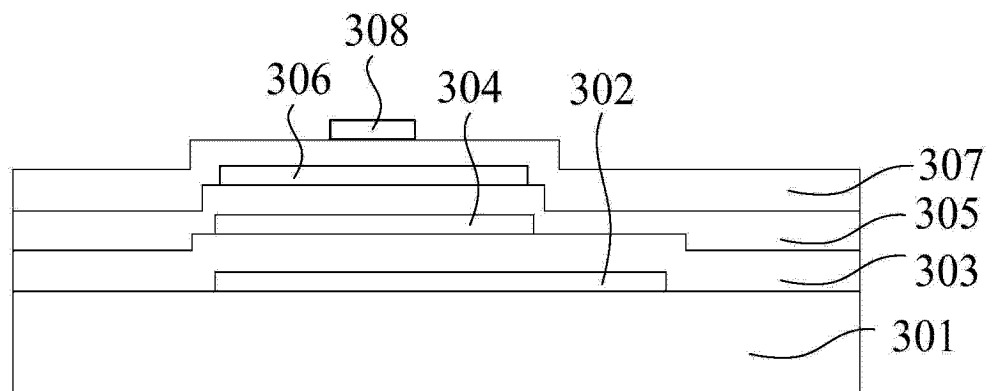


图 9H

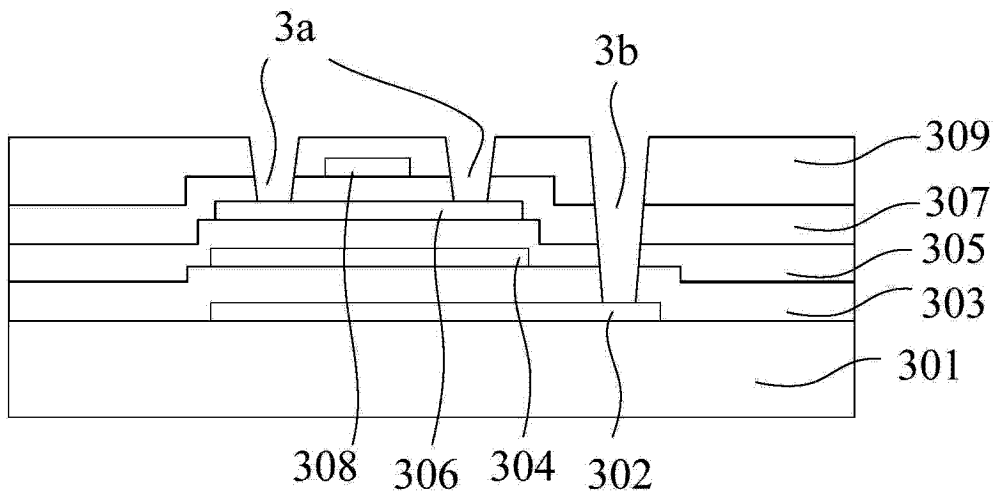


图 9I

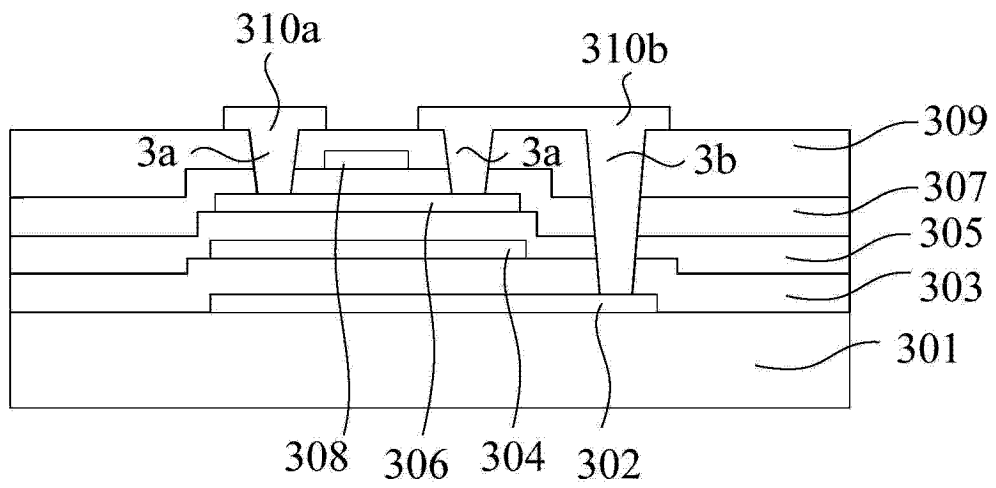


图 9J

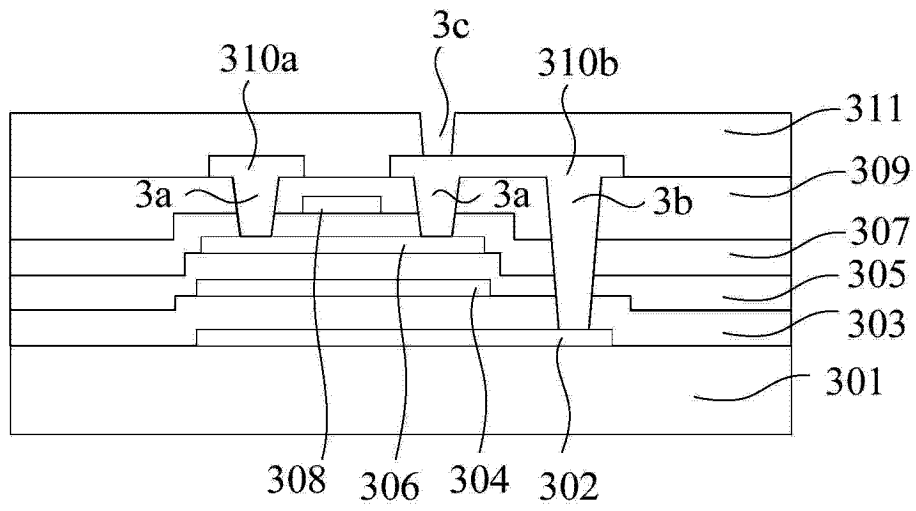


图 9K

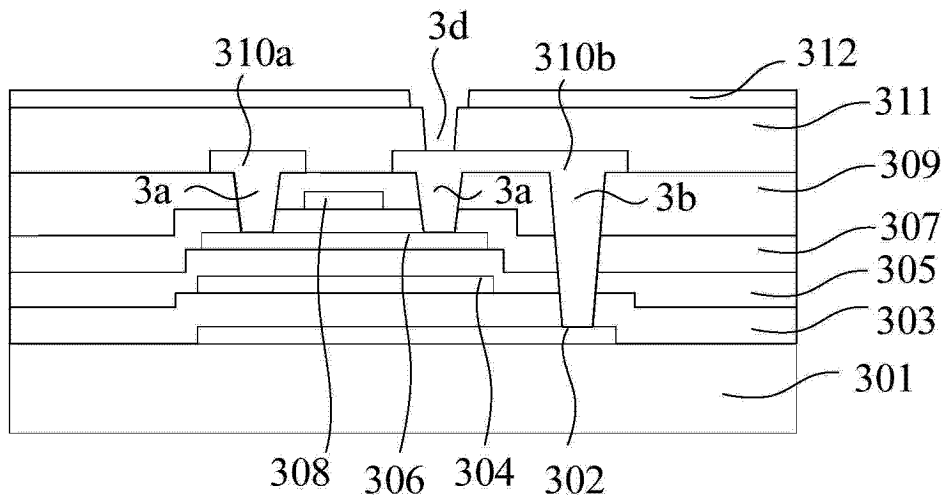


图 9L

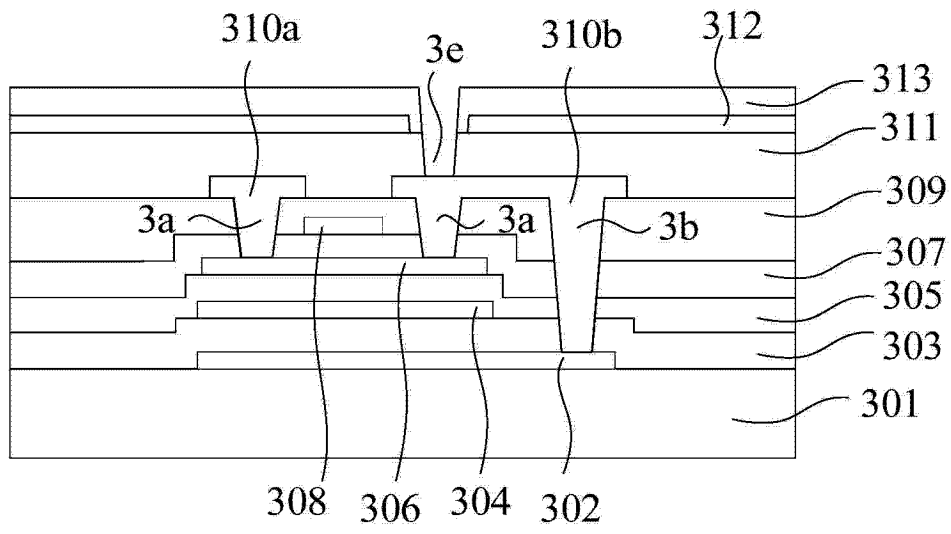


图 9M

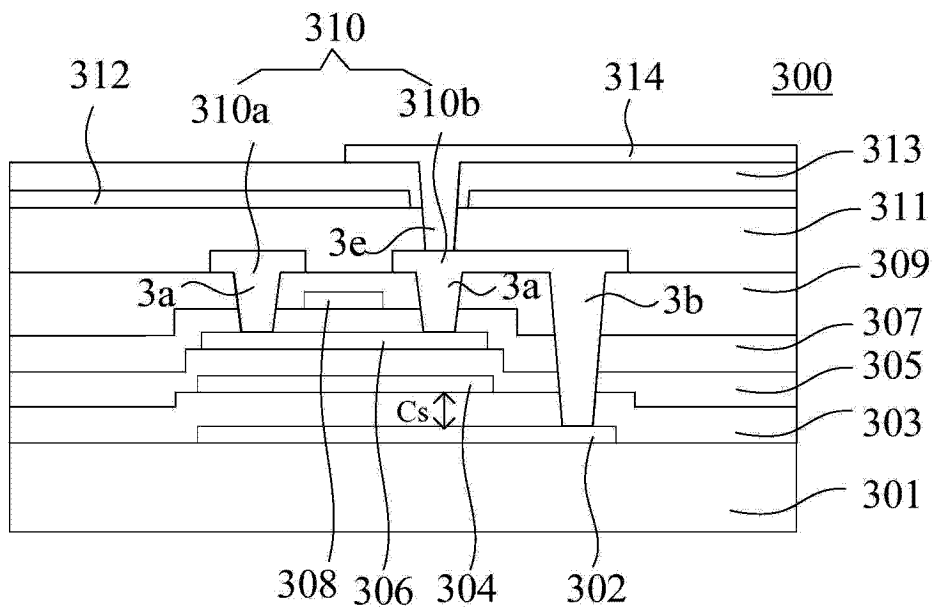


图 9N