



(12) 发明专利申请

(10) 申请公布号 CN 114743976 A

(43) 申请公布日 2022. 07. 12

(21) 申请号 202210507404.4

(22) 申请日 2022.05.10

(71) 申请人 北京知存科技有限公司  
地址 100083 北京市海淀区学院路35号世  
宁大厦1707

(72) 发明人 王春明 王绍迪

(74) 专利代理机构 北京市汉坤律师事务所  
11602

专利代理师 魏小微 吴丽丽

(51) Int. Cl.

H01L 27/11517(2017.01)

H01L 27/11521(2017.01)

权利要求书2页 说明书16页 附图32页

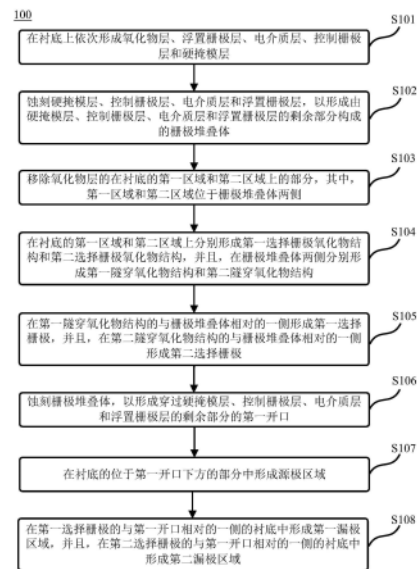
(54) 发明名称

半导体器件及其制造方法

(57) 摘要

提供了一种半导体器件及其制造方法。该制造方法包括：在衬底上依次形成氧化物层、浮置栅极层、电介质层、控制栅极层、电介质层、控制栅极层和硬掩模层；蚀刻硬掩模层、控制栅极层、电介质层和浮置栅极层，以形成由硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分构成的栅极堆叠体；移除氧化物层的在衬底的第一区域和第二区域上的部分，其中，第一区域和第二区域位于栅极堆叠体两侧；在衬底的第一区域和第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构，并且，在栅极堆叠体两侧分别形成隧穿氧化物结构和第二隧穿氧化物结构；在第一隧穿氧化物结构的与栅极堆叠体相对的一侧形成第一选择栅极，并且，在第二隧穿氧化物结构的与栅极堆叠体相对的一侧形成第二选择栅极；蚀刻栅极堆叠体，以形成穿过硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分的第一开口；在衬底的位于第一开口下方的部分中形成源极区域；在第一选择栅极的与第一开口相对的一侧的衬底中形成漏极区域，并且在第二选择栅极的与第一开口相对的一侧的衬底中形成漏极区域。

CN 114743976 A



1. 一种半导体器件的制造方法,包括:

在衬底上依次形成氧化物层、浮置栅极层、电介质层、控制栅极层和硬掩模层;

蚀刻所述硬掩模层、所述控制栅极层、所述电介质层和所述浮置栅极层,以形成由所述硬掩模层、所述控制栅极层、所述电介质层和所述浮置栅极层的剩余部分构成的栅极堆叠体;

移除所述氧化物层的在所述衬底的第一区域和第二区域上的部分,其中,所述第一区域和所述第二区域位于所述栅极堆叠体两侧;

在所述衬底的所述第一区域和所述第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在所述栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构;

在所述第一隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第一选择栅极,并且,在所述第二隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第二选择栅极;

蚀刻所述栅极堆叠体,以形成穿过所述硬掩模层、所述控制栅极层、所述电介质层和所述浮置栅极层的剩余部分的第一开口;

在所述衬底的位于所述第一开口下方的部分中形成源极区域;以及

在所述第一选择栅极的与所述第一开口相对的一侧的衬底中形成第一漏极区域,并且,在所述第二选择栅极的与所述第一开口相对的一侧的衬底中形成第二漏极区域。

2. 根据权利要求1所述的方法,其中,所述在所述衬底的所述第一区域和所述第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在所述栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构包括:

在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜,以形成所述第一选择栅极氧化物结构和所述第二选择栅极氧化物结构;以及

移除所述第一栅极氧化膜和第二栅极氧化膜的在所述栅极堆叠体的上表面上的部分,以形成所述第一隧穿氧化物结构和所述第二隧穿氧化物结构。

3. 根据权利要求2所述的方法,还包括在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:

在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;以及

移除所述第一栅极氧化膜的在所述衬底的所述第一区域和所述第二区域、所述栅极堆叠体的上表面上的部分,并且,移除在所述栅极堆叠体的侧面上的所述第一栅极氧化膜的一部分。

4. 根据权利要求2所述的方法,还包括在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:

在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;

移除所述第一栅极氧化膜的在所述衬底的所述第一区域和所述第二区域、所述栅极堆叠体的上表面和侧面上的部分;以及

在所述栅极堆叠体的侧面上形成侧壁氧化物结构。

5. 根据权利要求2所述的方法,还包括在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:

在所述衬底的所述第一区域、所述第二区域和高压管区域上、以及所述栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;以及

移除所述第一栅极氧化膜的在所述衬底的所述第一区域、所述第二区域、所述栅极堆叠体的上表面和侧面上的部分,并且所述在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜包括:

在所述衬底的所述第一区域、所述第二区域和所述高压管区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜。

6. 根据权利要求5所述的方法,还包括在所述移除所述第一栅极氧化膜的在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的上表面上的部分之前:

在所述衬底的所述第一区域和所述第二区域中执行选择栅极沟道离子注入。

7. 根据权利要求5所述的方法,还包括在所述衬底的所述第一区域、所述第二区域和所述高压管区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之后:

在所述衬底中进行逻辑井植入;

在所述衬底上形成逻辑IO栅极氧化物结构;以及

在所述衬底上形成逻辑核心栅极氧化物结构。

8. 根据权利要求1-7中的任一项所述的方法,其中,所述在所述第一隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第一选择栅极,并且,在所述第二隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第二选择栅极包括:

在所述第一选择栅极氧化物结构和所述第二选择栅极氧化物结构上、以及所述栅极堆叠体上沉积选择栅极多晶硅;以及

移除所沉积的所述选择栅极多晶硅的部分,以形成所述第一选择栅极和所述第二选择栅极。

9. 根据权利要求8所述的方法,其中,所述移除所沉积的所述选择栅极多晶硅的部分,以形成所述第一选择栅极和所述第二选择栅极包括:

对所述所沉积的所述选择栅极多晶硅进行平坦化处理;

蚀刻经过所述平坦化处理的所述选择栅极多晶硅,以形成分别位于所述衬底的第一区域和第二区域上的第一多晶硅结构和第二多晶硅结构;以及

蚀刻所述第一多晶硅结构和第二多晶硅结构,以分别形成所述第一选择栅极和所述第二选择栅极。

10. 一种半导体器件,由根据权利要求1-9中的任一项的方法制造。

## 半导体器件及其制造方法

### 技术领域

[0001] 本公开涉及半导体技术领域,特别是涉及一种半导体器件及其制造方法。

### 背景技术

[0002] 在电子设备中,需要借助存储器来进行数据的读取和存储。因此,随着对电子设备的需求不断增长,对存储器技术的要求也越来越高。

[0003] 闪存是一种可电擦除和重新编程的电非易失性计算机存储介质,即使在供电电源关闭后,仍能保持片内信息。闪存使用方便,既具有读写灵活性和较快的访问速度,又具有在断电后可不丢失信息的特点,因而,闪存技术发展非常迅猛。

[0004] 闪存包括可寻址的存储器单元阵列,其中,每个存储器单元包括用于存储对应信息的浮置栅极晶体管。因此,期望改善制造闪存(尤其是闪存中的存储器单元)的方法。

### 发明内容

[0005] 根据本公开的一些实施例,提供了一种半导体器件的制造方法,包括:在衬底上依次形成氧化物层、浮置栅极层、电介质层、控制栅极层和硬掩模层;蚀刻硬掩模层、控制栅极层、电介质层和浮置栅极层,以形成由硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分构成的栅极堆叠体;移除氧化物层的在衬底的第一区域和第二区域上的部分,其中,第一区域和第二区域位于栅极堆叠体两侧;在衬底的第一区域和第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构;在第一隧穿氧化物结构的与栅极堆叠体相对的一侧形成第一选择栅极,并且,在第二隧穿氧化物结构的与栅极堆叠体相对的一侧形成第二选择栅极;蚀刻栅极堆叠体,以形成穿过硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分的第一开口;在衬底的位于第一开口下方的部分中形成源极区域;以及在第一选择栅极的与第一开口相对的一侧的衬底中形成第一漏极区域,并且,在第二选择栅极的与第一开口相对的一侧的衬底中形成第二漏极区域。

[0006] 根据本公开的一些实施例,提供了一种半导体器件,该半导体器件由如本公开所述的方法制造。

[0007] 根据在下文中所描述的实施例,本公开的这些和其它方面将是清楚明白的,并且将参考在下文中所描述的实施例而被阐明。

### 附图说明

[0008] 在下面结合附图对于示例性实施例的描述中,本公开的更多细节、特征和优点被公开,在附图中:

[0009] 图1是根据本公开的一些实施例的半导体器件的制作方法的示意性流程图;

[0010] 图2A-2H是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图;

- [0011] 图3A-30是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图；
- [0012] 图4A-4B是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图；
- [0013] 图5是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图；
- [0014] 图6是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图；
- [0015] 图7是根据本公开的一些实施例的半导体器件的剖面结构示意图；
- [0016] 图8是根据本公开的一些实施例的存储器单元阵列的电路示意图；
- [0017] 图9A-9B是根据本公开的一些实施例的存储器单元阵列的俯视平面图。

### 具体实施方式

[0018] 将理解的是,尽管术语第一、第二、第三等等在本文中可以用来描述各种元件、部件、区、层和/或部分,但是这些元件、部件、区、层和/或部分不应当由这些术语限制。这些术语仅用来将一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分相区分。因此,下面讨论的第一元件、部件、区、层或部分可以被称为第二元件、部件、区、层或部分而不偏离本公开的教导。

[0019] 诸如“在…下面”、“在…之下”、“较下”、“在…下方”、“在…之上”、“较上”等等之类的空间相对术语在本文中可以为了便于描述而用来描述如图中所图示的一个元件或特征与另一个(些)元件或特征的关系。将理解的是,这些空间相对术语意图涵盖除了图中描绘的取向之外在使用或操作中的器件的不同取向。例如,如果翻转图中的器件,那么被描述为“在其他元件或特征之下”或“在其他元件或特征下面”或“在其他元件或特征下方”的元件将取向为“在其他元件或特征之上”。因此,示例性术语“在…之下”和“在…下方”可以涵盖在…之上和在…之下的取向两者。诸如“在…之前”或“在…前”和“在…之后”或“接着是”之类的术语可以类似地例如用来指示光穿过元件所依的次序。器件可以取向为其他方式(旋转90度或以其他取向)并且相应地解释本文中使用的空间相对描述符。另外,还将理解的是,当层被称为“在两个层之间”时,其可以是在该两个层之间的唯一的层,或者也可以存在一个或多个中间层。

[0020] 本文中使用的术语仅出于描述特定实施例的目的并且不意图限制本公开。如本文中使用的,单数形式“一个”、“一”和“该”意图也包括复数形式,除非上下文清楚地另有指示。将进一步理解的是,术语“包括”和/或“包含”当在本说明书中使用指定所述及特征、整体、步骤、操作、元件和/或部件的存在,但不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组。如本文中使用的,术语“和/或”包括相关联的列出项目中的一个或多个的任意和全部组合,并且短语“A和B中的至少一个”是指仅A、仅B、或A和B两者。

[0021] 将理解的是,当元件或层被称为“在另一个元件或层上”、“连接到另一个元件或层”、“耦合到另一个元件或层”或“邻近另一个元件或层”时,其可以直接在另一个元件或层上、直接连接到另一个元件或层、直接耦合到另一个元件或层或者直接邻近另一个元件或层,或者可以存在中间元件或层。相反,当元件被称为“直接在另一个元件或层上”、“直接连接到另一个元件或层”、“直接耦合到另一个元件或层”、“直接邻近另一个元件或层”时,没

有中间元件或层存在。然而,在任何情况下“在…上”或“直接在…上”都不应当被解释为要求一个层完全覆盖下面的层。

[0022] 本文中参考本公开的理想化实施例的示意性图示(以及中间结构)描述本公开的实施例。正因为如此,应预期例如作为制造技术和/或公差的结果而对于图示形状的变化。因此,本公开的实施例不应当被解释为限于本文中图示的区的特定形状,而应包括例如由于制造导致的形状偏差。因此,图中图示的区本质上是示意性的,并且其形状不意图图示器件的区的实际形状并且不意图限制本公开的范围。

[0023] 除非另有定义,本文中使用的的所有术语(包括技术术语和科学术语)具有与本公开所属领域的普通技术人员所通常理解的相同含义。将进一步理解的是,诸如那些在通常使用的字典中定义的之类的术语应当被解释为具有与其在相关领域和/或本说明书上下文中的含义相一致的含义,并且将不在理想化或过于正式的含义上进行解释,除非本文中明确地如此定义。

[0024] 如本文使用的,术语“衬底”可以表示经切割的晶圆的衬底,或者可以指示未经切割的晶圆的衬底。类似地,术语芯片和裸片可以互换使用,除非这种互换会引起冲突。

[0025] 在现有技术中,闪存单元的常见类型包括叠栅存储器单元和分离栅存储器单元。相对于叠栅存储器单元,分离栅存储器单元具有功耗较低、注入效率较高等技术优势。对于具有分离栅存储器单元的闪存,本公开提供了一种半导体器件的制造方法,包括:在衬底上依次形成氧化物层、浮置栅极层、电介质层、控制栅极层和硬掩模层;蚀刻硬掩模层、控制栅极层、电介质层和浮置栅极层,以形成由硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分构成的栅极堆叠体;移除氧化物层的在衬底的第一区域和第二区域上的部分,其中,第一区域和第二区域位于栅极堆叠体两侧;在衬底的第一区域和第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构;在第一隧穿氧化物结构的与栅极堆叠体相对的一侧形成第一选择栅极,并且,在第二隧穿氧化物结构的与栅极堆叠体相对的一侧形成第二选择栅极;蚀刻栅极堆叠体,以形成穿过硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分的第一开口;在衬底的位于第一开口下方的部分中形成源极区域;以及在第一选择栅极的与第一开口相对的一侧的衬底中形成第一漏极区域,并且,在第二选择栅极的与第一开口相对的一侧的衬底中形成第二漏极区域。

[0026] 图1是根据本公开的一些实施例的半导体器件的制作方法100的示意性流程图。

[0027] 在步骤S101处,在衬底上依次形成氧化物层、浮置栅极层、电介质层、控制栅极层和硬掩模层。

[0028] 根据一些实施例,制造方法100还包括:在衬底上形成氧化物层之前,预先在衬底中形成浅沟槽隔离。根据一些实施例,制造方法100还包括:在衬底上形成氧化物层之前,预先在衬底中植入存储器单元井(memory cell well)。

[0029] 根据一些实施例,形成浅沟槽隔离的工艺可以包括但不限于以下步骤:形成衬垫氧化物、沉积氮化硅、有源区域曝光、浅绝缘沟槽蚀刻、浅绝缘沟槽填充、浅绝缘沟槽平坦化、以及移除氮化硅。

[0030] 根据一些实施例,步骤S101包括:在衬底上形成氧化物层;在氧化物层上形成浮置栅极层;在浮置栅极层上形成电介质层;在电介质层上形成控制栅极层;在控制栅极层上形

成硬掩膜层。

[0031] 根据一些实施例,在衬底的上表面上生长氧化物层;在氧化物层的上表面上沉积浮置栅极多晶硅,并且,对浮置栅极多晶硅进行平坦化,以形成浮置栅极层;在浮置栅极多晶硅的上表面上沉积电介质材料(例如,ONO(氧-氮-氧)材料),以形成电介质层;在电介质层的上表面上沉积控制栅极多晶硅,以形成控制栅极层;在控制栅极层上沉积硬掩模材料(例如,氮化硅材料),以形成硬掩膜层。

[0032] 图2A示出了经步骤S101后所形成的示例性结构的剖面图。如图2A所示,半导体结构200从下至上依次包括:衬底210、氧化物层220、浮置栅极层230、电介质层240、控制栅极层250和硬掩模层260。

[0033] 在步骤S102处,蚀刻硬掩模层、控制栅极层、电介质层和浮置栅极层,以形成由硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分构成的栅极堆叠体。

[0034] 根据一些实施例,首先,在硬掩模层的上表面执行光刻处理,以形成光刻胶图案;接着,以形成的光刻胶图案作为掩模,蚀刻硬掩模层、控制栅极层和电介质层;接着,继续蚀刻浮置栅极层。

[0035] 根据一些实施例,在蚀刻硬掩模层、控制栅极层和电介质层之后,在硬掩模层、控制栅极层和电介质层的剩余部分的两侧形成控制栅极间隔体,例如,在硬掩模层、控制栅极层和电介质层的剩余部分的两侧沉积控制栅极氧化物(例如,氧化硅),并且,蚀刻所沉积的控制栅极氧化物,以形成控制栅极间隔体。

[0036] 图2B示出了经步骤S101~S102后所形成的示例性结构的剖面图。如图2B所示,半导体结构200从下至上依次包括:衬底210、氧化物层220和栅极堆叠体270,其中,栅极堆叠体270从下至上依次包括浮置栅极层230、电介质层240、控制栅极层250和硬掩模层260的剩余部分。

[0037] 在步骤S103处,移除氧化物层的在衬底的第一区域和第二区域上的部分,其中,第一区域和第二区域位于栅极堆叠体两侧。

[0038] 根据一些实施例,通过清洗、光刻和蚀刻等步骤,移除氧化物层的在衬底的第一区域和第二区域上的部分,并且,形成位于栅极堆叠体的衬底氧化物结构。

[0039] 图2C示出了经步骤S101~S103后所形成的示例性结构的剖面图。如图2C所示,半导体结构200从下至上依次包括:衬底210、衬底氧化物结构221和栅极堆叠体270,其中,栅极堆叠体270从下至上依次包括浮置栅极层230、电介质层240、控制栅极层250和硬掩模层260的剩余部分。

[0040] 在步骤S104处,在衬底的第一区域和第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构。

[0041] 根据一些实施例,在衬底的第一区域和第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构包括:在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜,以形成第一选择栅极氧化物结构和第二选择栅极氧化物结构;以及移除第一栅极氧化膜和第二栅极氧化膜的在栅极堆叠体的上表面上的部分,以形成第一隧穿氧化物结构和第二隧穿氧化物结构。

[0042] 根据一些实施例,如本公开所述的半导体器件的制作方法还包括在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:在衬底的第一区域、第二区域和高压管区域上、以及栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;以及移除第一栅极氧化膜的在衬底的第一区域、第二区域、栅极堆叠体的上表面和侧面上的部分,并且,并且在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜包括:在衬底的第一区域、第二区域和高压管区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜。在如本公开所述的实施例中,通过两次氧化膜沉积以及在两次沉积期间移除多余的氧化物,在高压管区域上形成与选择栅极氧化物结构厚度不同的高压管氧化物结构,以便于后续在高压管区域上形成相应的高压逻辑器件(例如,11V供电的高压器件)。

[0043] 根据一些实施例,如本公开所述的半导体器件的制作方法还包括在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;以及移除第一栅极氧化膜的在衬底的第一区域和第二区域、栅极堆叠体的上表面上的部分,并且,移除在栅极堆叠体的侧面上的第一栅极氧化膜的一部分。根据一些实施例,通过蚀刻(例如,干式蚀刻和湿式蚀刻)第一栅极氧化膜,保留栅极堆叠体的侧壁上的第一栅极氧化膜的一部分。根据一些实施例,在蚀刻第一栅极氧化膜之后,进行高温快速热处理,以加强侧壁上的氧化物的质量。

[0044] 根据一些实施例,如本公开所述的半导体器件的制作方法还包括在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;移除第一栅极氧化膜的在衬底的第一区域和第二区域、栅极堆叠体的上表面和侧面上的部分;以及在栅极堆叠体的侧面上形成侧壁氧化物结构。根据一些实施例,通过多晶硅氧化的方式在栅极堆叠体的侧面上形成侧壁氧化物结构。

[0045] 根据如上所述的实施例,通过在衬底的第一区域和第二区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前,在栅极堆叠体的侧面上保留或额外形成氧化物结构,可以使得选择栅极氧化物结构与隧穿氧化物结构厚度不同,例如,较厚的隧穿氧化物结构有利于浮栅数据储存,较薄的选择栅极氧化物结构有利于提高存储器件性能(例如,提供较大的读电流)。

[0046] 根据一些实施例,如本公开所述的半导体器件的制作方法还包括在移除第一栅极氧化膜的在衬底的第一区域和第二区域上、以及栅极堆叠体的上表面上的部分之前:在衬底的第一区域和第二区域中执行选择栅极沟道离子(例如,硼或BF<sub>2</sub>)注入。

[0047] 根据一些实施例,在衬底的第一区域和第二区域中执行选择栅极沟道离子注入包括:进行选择栅极沟道光刻,以形成光刻胶图案,从而保护无需执行离子注入的区域;以所形成的光刻胶图案作为掩模,执行选择栅极沟道离子注入。

[0048] 根据一些实施例,如本公开所述的半导体器件的制作方法还包括在衬底的第一区域、第二区域和高压管区域上、以及栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之后:在衬底中进行逻辑井注入;在衬底上形成逻辑IO栅极氧化物结构;以及在衬底上形成逻辑核心栅极氧化物结构。



[0049] 图2D示出了经步骤S101~S104后所形成的示例性结构的剖面图。如图2D所示,半导体结构200除了包括衬底210、衬底氧化物结构221和栅极堆叠体270,还包括位于栅极堆叠体270左侧的第一区域上的第一选择栅极氧化物结构222a、位于栅极堆叠体270左侧的第一隧穿氧化物结构271a、位于栅极堆叠体270右侧的第二区域上的第二选择栅极氧化物结构222b、以及位于栅极堆叠体270右侧的第二隧穿氧化物结构271b。应当理解,虽然第一选择栅极氧化物结构222a和第一隧穿氧化物结构271a被示出为两个独立的部分,且第二选择栅极氧化物结构222b和第二隧穿氧化物结构271b被示出为两个独立的部分,但是,第一选择栅极氧化物结构222a和第一隧穿氧化物结构271a实际上可以是连续但具有不同厚度的氧化物,第二选择栅极氧化物结构222b和第二隧穿氧化物结构271b实际上可以是连续但具有不同厚度的氧化物,例如,通过上述两次氧化膜沉积步骤所形成的。

[0050] 在步骤S105处,在第一隧穿氧化物结构的与栅极堆叠体相对的一侧形成第一选择栅极,并且,在第二隧穿氧化物结构的与栅极堆叠体相对的一侧形成第二选择栅极。

[0051] 根据一些实施例,在第一隧穿氧化物结构的与栅极堆叠体相对的一侧形成第一选择栅极,并且,在第二隧穿氧化物结构的与栅极堆叠体相对的一侧形成第二选择栅极包括:在第一选择栅极氧化物结构和第二选择栅极氧化物结构上、以及栅极堆叠体上沉积选择栅极多晶硅;以及移除所沉积的选择栅极多晶硅的部分,以形成第一选择栅极和第二选择栅极。

[0052] 根据一些实施例,所沉积的选择栅极多晶硅在第一选择栅极氧化物结构和第二选择栅极氧化物结构、以及栅极堆叠体的表面具有相同的覆盖率,使得所沉积的选择栅极多晶硅呈现“凸”字形。例如,如下文参考图3I所详细描述。

[0053] 根据一些实施例,移除所沉积的选择栅极多晶硅的部分,以形成第一选择栅极和第二选择栅极包括:对所沉积的选择栅极多晶硅进行平坦化处理;蚀刻经过平坦化处理的选择栅极多晶硅,以形成分别位于衬底的第一区域和第二区域上的第一多晶硅结构和第二多晶硅结构;以及蚀刻第一多晶硅结构和第二多晶硅结构,以分别形成第一选择栅极和第二选择栅极。

[0054] 根据一些实施例,对所沉积的选择栅极多晶硅进行平坦化处理,以移除沉积在栅极堆叠体上方的选择栅极多晶硅。根据一些实施例,在对所沉积的选择栅极多晶硅进行平坦化处理的过程中,还可以移除在先前的步骤中沉积在栅极堆叠体上方的氧化物。

[0055] 根据一些实施例,蚀刻经过平坦化处理的选择栅极多晶硅,以形成分别位于衬底的第一区域和第二区域上的第一多晶硅结构和第二多晶硅结构包括:蚀刻栅极堆叠体两侧的呈“L”型的选择栅极多晶硅的肩部,以形成分别位于衬底的第一区域和第二区域上的呈矩形的第一多晶硅结构和第二多晶硅结构,以便于后续使用光刻胶或硬掩模间隔体作为掩模进行蚀刻,以形成第一选择栅极和第二选择栅极。例如,如下文参考图3J所详细描述。

[0056] 根据一些实施例,蚀刻第一多晶硅结构和第二多晶硅结构,以分别形成第一选择栅极和第二选择栅极包括:对第一多晶硅结构和第二多晶硅结构进行第一光刻处理;以第一光刻处理所形成的光刻胶图案作为掩模,蚀刻第一多晶硅结构和第二多晶硅结构,以分别形成第一选择栅极和第二选择栅极;以及移除第一光刻处理所形成的光刻胶图案。例如,如下文参考图3K-3L所详细描述。

[0057] 根据一些实施例,蚀刻第一多晶硅结构和第二多晶硅结构,以分别形成第一选择

栅极和第二选择栅极包括：在栅极堆叠体的两侧分别形成第一硬掩模间隔体和第二硬掩模间隔体，其中，第一硬掩模间隔体位于第一多晶硅结构上，且第二硬掩模间隔体位于第二多晶硅结构上；以及以第一硬掩模间隔体和第二硬掩模间隔体作为掩模，蚀刻第一多晶硅结构和第二多晶硅结构，以分别形成第一选择栅极和第二选择栅极。例如，如下文参考图4A-4B所详细描述。

[0058] 根据一些实施例，移除所沉积的选择栅极多晶硅的部分，以形成第一选择栅极和第二选择栅极包括：自对准蚀刻所沉积的选择栅极多晶硅，以分别形成第一选择栅极和第二选择栅极。例如，如下文参考图5所详细描述。

[0059] 根据一些实施例，如本公开所述的半导体器件的制作方法还包括：在第一选择栅极氧化物结构和第二选择栅极氧化物结构上、以及栅极堆叠体上沉积选择栅极多晶硅的同时，在衬底的逻辑栅极区域上沉积逻辑栅极多晶硅；以及在移除所沉积的选择栅极多晶硅的部分，以形成第一选择栅极和第二选择栅极的同时，移除逻辑栅极多晶硅的部分，以形成逻辑栅极。

[0060] 根据另一些实施例，在第一选择栅极氧化物结构和第二选择栅极氧化物结构上、以及栅极堆叠体上沉积选择栅极多晶硅的同时，在衬底的逻辑栅极区域上沉积逻辑栅极多晶硅；并且，在与移除所沉积的选择栅极多晶硅的部分不同的处理步骤中，移除逻辑栅极多晶硅的部分，以形成逻辑栅极。

[0061] 图2E示出了经步骤S101~S105后所形成的示例性结构的剖面图。如图2E所示，半导体结构200除了包括衬底210、衬底氧化物结构221、栅极堆叠体270、第一选择栅极氧化物结构222a、第一隧穿氧化物结构271a、第二选择栅极氧化物结构222b和第二隧穿氧化物结构271b，还包括在第一隧穿氧化物结构271a的与栅极堆叠体270相对的一侧的第一选择栅极280a，并且，在第二隧穿氧化物结构271b的与栅极堆叠体270相对的一侧形成第二选择栅极280b。

[0062] 在步骤S106处，蚀刻栅极堆叠体，以形成穿过硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分的第一开口。

[0063] 根据一些实施例，蚀刻栅极堆叠体，以形成穿过硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分的第一开口包括：进行源极光刻，以形成光刻胶图案；以所形成的光刻胶图案作为掩模，蚀刻栅极堆叠体，以形成第一开口。

[0064] 图2F示出了经步骤S101~S106后所形成的示例性结构的剖面图。如图2F所示，与图2E相比，第一开口272穿过硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分，其中，硬掩模层、控制栅极层、电介质层和浮置栅极层的剩余部分包括分别属于两侧的存储器单元的栅极结构，即，位于左侧的由第一浮置栅极230a、第一电介质结构240a、第一控制栅极250a和第一硬掩模260a构成的栅极结构和位于右侧的由第二浮置栅极230b、第二电介质结构240b、第二控制栅极250b和第二硬掩模260b构成的栅极结构。

[0065] 在步骤S107处，在衬底的位于第一开口下方的部分中形成源极区域。

[0066] 根据一些实施例，通过源极离子注入（例如，砷和磷）形成源极区域，从而形成衬底中的缓变结，即，在源极区域中，在从衬底氧化物结构到衬底的方向上，源极离子掺杂浓度逐渐降低，以提高半导体器件的承压能力。在如本公开所述的实施例中，由于先形成两侧的存储器单元的栅极结构和氧化物结构，后进行源极区域注入，避免了因形成栅极结构和氧

化物结构的热沉积步骤而影响源极区域的性能。

[0067] 图2G示出了经步骤S101~S107后所形成的示例性结构的剖面图。如图2G所示,与图2F相比,半导体器件200包括在衬底210中的位于第一开口272下方的源极区域212。

[0068] 在步骤S108处,在第一选择栅极的与第一开口相对的一侧的衬底中形成第一漏极区域,并且,在第二选择栅极的与第一开口相对的一侧的衬底中形成第二漏极区域。

[0069] 根据一些实施例,在第一选择栅极的与第一开口相对的一侧的衬底中形成第一漏极区域,并且,在第二选择栅极的与第一开口相对的一侧的衬底中形成第二漏极区域包括:在第一选择栅极的与第一开口相对的一侧的衬底中和第二选择栅极的与第一开口相对的一侧的衬底中执行轻掺杂漏极注入,以形成位于第一选择栅极的一侧的第一轻掺杂漏极区域和位于第二选择栅极的一侧的第二轻掺杂漏极区域;在第一选择栅极的与第一开口相对的一侧形成第一漏极间隔体,并且,在第二选择栅极的与第一开口相对的一侧形成第二漏极间隔体;在第一选择栅极的面对第一开口的一侧形成第一源极间隔体,并且,在第二选择栅极的面对第一开口的一侧形成第二源极间隔体;以及在第一漏极间隔体的与第一开口相对的一侧的衬底中和第二漏极间隔体的与第一开口相对的一侧的衬底中执行重掺杂漏极注入,以形成位于第一漏极间隔体的一侧的第一重掺杂漏极区域和位于第二漏极间隔体的一侧的第二重掺杂漏极区域。

[0070] 图2H示出了经步骤S101~S108后所形成的示例性结构的剖面图。如图2H所示,与图2G相比,半导体器件200包括在第一选择栅极280a的与第一开口272相对的一侧的衬底210中形成的第一漏极区域211a和在第二选择栅极280b的与第一开口272相对的一侧的衬底210中形成的第二漏极区域211b。

[0071] 根据一些实施例,如本公开所述的半导体器件的制作方法还包括:在第一选择栅极、第一漏极区域、源极区域、第二选择栅极和第二漏极区域上形成硅化物结构。

[0072] 在现有的半导体器件的制造方法中,先形成位于两个相邻存储器单元之间的开口及开口下方的源极区域,再形成位于每个存储器单元的一侧的选择栅极,将会在沉积选择栅极材料以形成选择栅极时,在两个相邻存储器单元之间的开口中沉积多余的选择栅极材料。在如本公开所述的半导体器件的制作方法中,由于先形成栅极堆叠体两侧的选择栅极,再形成穿过栅极堆叠体的开口和位于开口下方的源极区域,将不会如上面参考现有的制造方法所描述的在开口中沉积多余的选择栅极材料,因此,减少用于移除多余的选择栅极材料的步骤,降低生产成本;并且,避免在更多沟槽区域沉积导电多晶硅并使用例如干蚀刻的方式移除所沉积的多晶硅,减少蚀刻过程中增加的工艺风险和蚀刻后晶圆表面产生缺陷的几率,提高芯片良率。

[0073] 另外,在现有的半导体器件的制造方法中,由于先形成位于两个相邻存储器单元之间的开口下方的源极区域,再进行沉积以形成存储器单元的剩余结构,在形成源极区域之后进行的沉积处理将会影响源极区域的性能(例如,使得源极区域进一步扩大),从而对形成源极区域的工艺要求较高(即,在后续经受后续多次工艺步骤(例如,沉积)的热处理后仍能保持期望的性能)。在如本公开所述的半导体器件的制作方法中,由于在形成源极区域之前进行各沉积处理,避免所形成的源极区域受到后续的沉积处理的影响,从而降低了对源极区域的工艺要求。

[0074] 图3A-30是根据本公开的一些实施例的半导体器件300的制作方法的步骤的示意

剖面图。

[0075] 根据一些实施例,如图3A所示,和参考图2A描述的类似,半导体结构300从下至上依次包括:衬底210、氧化物层220、浮置栅极层230、电介质层240、控制栅极层250和硬掩模层260。

[0076] 根据一些实施例,如图3B所示,在硬掩模层260的上表面涂覆光刻胶,进行光刻处理,以形成光刻胶图案290,并且,以光刻胶图案290作为掩模,蚀刻硬掩模层260、控制栅极层250和电介质层240。

[0077] 根据一些实施例,如图3C所示,移除如图3B所示的光刻胶图案,在硬掩模层260、控制栅极层250和电介质层240的剩余部分的两侧形成第一控制栅极间隔体273a和第二控制栅极间隔体273b,例如,沉积控制栅极氧化物,并且,蚀刻所沉积的控制栅极氧化物,以形成控制栅极间隔体。

[0078] 根据一些实施例,如图3D所示,蚀刻浮置栅极层230,以形成包括浮置栅极层230、电介质层240、控制栅极层250和硬掩模层260的栅极堆叠体。

[0079] 根据一些实施例,如图3E所示,移除(例如,通过清洗、光刻和蚀刻等处理)氧化物层的在衬底210的第一区域和第二区域(即,将要在其上形成选择栅极的区域)、以及高压管区域的部分,以形成衬底氧化物结构221。

[0080] 根据一些实施例,如图3F所示,在衬底210的第一区域和第二区域、以及高压管区域上和硬掩模层280的上表面上,形成覆盖半导体器件300的第一栅极氧化膜291。

[0081] 根据一些实施例,如图3G所示,在衬底210的第一区域和第二区域中执行选择栅极沟道离子注入包括:进行选择栅极沟道光刻,以形成光刻胶图案,从而保护无需执行离子注入的区域;以所形成的光刻胶图案作为掩模,执行选择栅极沟道离子注入;接着,移除第一栅极氧化膜291的位于第一区域和第二区域、以及栅极堆叠体的侧壁和上表面上的部分。应当理解,虽然未示出,但是第一栅极氧化膜291的在衬底210的高压管区域上的部分被保留,以用于后续形成高压管区域对应的氧化物结构。

[0082] 根据一些实施例,如图3H所示,在衬底210的第一区域和第二区域、以及高压管区域上和硬掩模层280的上表面上,形成覆盖半导体器件300的第二栅极氧化膜292。根据一些实施例,虽然图3H未示出,但是可以在衬底210中进行逻辑井植入,在衬底210上形成逻辑IO栅极氧化物结构,以及在衬底210上形成逻辑核心栅极氧化物结构。

[0083] 根据一些实施例,如图3I所示,在第二栅极氧化膜292上沉积选择栅极硅化物280,其中,选择栅极硅化物280具有基本一致的覆盖率。根据一些实施例,可以与图3I中的选择栅极硅化物280一起,沉积用于后续形成逻辑栅极的逻辑栅极多晶硅。

[0084] 根据一些实施例,如图3J所示,对半导体结构300进行平坦化和多晶硅蚀刻,以移除选择栅极硅化物280的部分,以形成位于第一区域上的第一多晶硅结构281a和位于第二区域上的第二多晶硅结构281b,并且移除第一栅极氧化膜291和第二栅极氧化膜292的位于硬掩模层260上的部分。

[0085] 根据一些实施例,如图3K所示,对第一多晶硅结构281a和第二多晶硅结构281b进行光刻处理;以光刻处理所形成的光刻胶图案293作为掩模,蚀刻第一多晶硅结构281a和第二多晶硅结构281b,以分别形成第一选择栅极280a和第二选择栅极280b。根据一些实施例,可以与图3K所示出的步骤一起,形成逻辑栅极。

[0086] 根据一些实施例,如图3L所示,进行源极区域的光刻处理(例如,对应于如图3L所示出的光刻胶图案294a和294b)和相应的蚀刻,以形成第一开口272,并且,在第一开口272下方的衬底210的部分中执行源极离子注入,以形成源极区域212。根据一些实施例,源极离子注入可以为N型离子注入。根据另一些实施例,除了N型离子注入,源极离子注入还可以包括适当增加的P型离子注入,以调节浮栅沟道阈值电压。

[0087] 根据一些实施例,如图3M所示,进行轻掺杂漏极(lightly doped drain,LDD)注入光刻(例如,对应于图3M所示出的光刻胶图案295),并且,在第一选择栅极280a的与第一开口272相对的一侧的衬底210中和第二选择栅极280b的与第一开口272相对的一侧的衬底210中执行轻掺杂漏极注入(例如,砷),以形成位于第一选择栅极280a的一侧的第一轻掺杂漏极区域2111a和位于第二选择栅极280b的一侧的第二轻掺杂漏极区域2111b。根据一些实施例,在执行轻掺杂漏极注入之后,可以进行形成逻辑I0/核心器件的相关工艺。根据一些实施例,在执行轻掺杂漏极注入之后,可以移除光刻胶图案295。

[0088] 根据一些实施例,如图3N所示,首先,在第一选择栅极280a的与第一开口272相对的一侧形成第一漏极间隔体273a,并且,在第二选择栅极280b的与第一开口272相对的一侧形成第二漏极间隔体273b,在第一选择栅极280a的面对第一开口272的一侧形成第一源极间隔体274a,并且,在第二选择栅极280b的面对第一开口272的一侧形成第二源极间隔体274b;接着,进行重掺杂漏极注入光刻(例如,对应于图3N所示出的光刻胶图案296),并且在第一漏极间隔体273a的与第一开口272相对的一侧的衬底210中和第二漏极间隔体273b的与第一开口272相对的一侧的衬底210中执行重掺杂漏极注入,以形成位于第一漏极间隔体273a的一侧的第一重掺杂漏极区域2112a和位于第二漏极间隔体273b的一侧的第二重掺杂漏极区域2112b。根据一些实施例,可以在执行重掺杂漏极注入之后,进行基线逻辑工艺(baseline logic process)。

[0089] 根据一些实施例,在第一选择栅极、第一漏极区域、源极区域、第二选择栅极和第二漏极区域上形成硅化物结构。如图30所示,在第一选择栅极280a、第一重掺杂漏极区域2112a、源极区域223c、第二选择栅极280b和第二重掺杂漏极区域2112b上形成硅化物结构223a-223e。根据一些实施例,如图30所示,移除第一源极间隔体274a和第二源极间隔体274b之间、以及第一轻掺杂漏极区域2111a、第一重掺杂漏极区域2112a、第二轻掺杂漏极区域2111b以及第二重掺杂漏极区域2112b上的氧化物层220的部分,并在移除氧化物层220所暴露出的衬底210上形成硅化物结构223c。

[0090] 根据一些实施例,在如图30所示出的半导体结构中,由于栅极堆叠体在源极一侧单独蚀刻,可以仅在控制栅极的一侧形成不对称的控制栅极间隔体(即,无需源极侧形成控制栅极间隔体),增加了控制栅极对浮置栅极的耦合电容比率,从而增加了写入操作时电子注入的效率,或者在保持同样效率时减小控制栅极的电压值,以降低对高压管的要求。

[0091] 图4A-4B是根据本公开的一些实施例的半导体器件400的制作方法的步骤的示意剖面图。

[0092] 根据一些实施例,在如图3J所示的形成位于第一区域上的第一多晶硅结构281a和位于第二区域上的第二多晶硅结构281b之后,如图4A所示,在半导体器件200两侧分别形成第一硬掩模间隔体282a和第二硬掩模间隔体282b,其中,第一硬掩模间隔体282a位于第一多晶硅结构281a上,且第二硬掩模间隔体282b位于第二多晶硅结构281b上,例如,通过沉积

硬掩模材料,并蚀刻硬掩模材料,以形成第一硬掩模间隔体282a和第二硬掩模间隔体282b。

[0093] 根据一些实施例,如图4B所示,以第一硬掩模间隔体282a和第二硬掩模间隔体282b作为掩模,蚀刻第一多晶硅结构281a和第二多晶硅结构281b,以分别形成第一选择栅极280a和第二选择栅极280b。

[0094] 根据一些实施例,在形成如图4B所示的半导体结构400以后,可以执行如上面参考图3L-30所描述的工艺步骤,以形成闪存半导体器件。

[0095] 图5是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图。

[0096] 根据一些实施例,在如图3I所示的形成位于第一区域上的第一多晶硅结构281a和位于第二区域上的第二多晶硅结构281b之后,如图5所示,自对准蚀刻所沉积的选择栅极多晶硅,以分别形成第一选择栅极280a和第二选择栅极280b。

[0097] 根据一些实施例,在形成如图5所示的半导体结构500以后,可以执行如上面参考图3L-30所描述的工艺步骤,以形成闪存半导体器件。

[0098] 图6是根据本公开的一些实施例的半导体器件的制作方法的步骤的示意剖面图。

[0099] 根据一些实施例,在如图3F所示的形成覆盖半导体器件300的第一栅极氧化膜291之后,如图6所示,在衬底210的第一区域和第二区域中执行选择栅极沟道离子注入,包括:进行选择栅极沟道光刻,以形成光刻胶图案,从而保护无需执行离子注入的区域;以所形成的光刻胶图案作为掩模,执行选择栅极沟道离子注入;接着,移除第一栅极氧化膜291的位于第一区域和第二区域、以及栅极堆叠体的上表面上的部分,并且,移除在栅极堆叠体的侧面上的第一栅极氧化膜291的一部分,以形成栅极间隔体两侧的侧壁氧化物结构291a和291b。根据一些实施例,通过蚀刻(例如,干式蚀刻和湿式蚀刻)第一栅极氧化膜291,保留栅极堆叠体的侧壁上的第一栅极氧化膜291的一部分。根据另一些实施例,代替部分移除在栅极堆叠体的侧面上的第一栅极氧化膜291,先完全移除在栅极堆叠体的侧面上的第一栅极氧化膜291,再通过例如多晶硅氧化的方式在浮栅侧壁形成一定厚度的氧化物。

[0100] 根据一些实施例,在形成如图6所示的半导体结构600以后,可以执行如上面参考图3H-30所描述的工艺步骤,以形成闪存半导体器件。

[0101] 如本公开的实施例,还提供了一种半导体器件,由如本公开所述的半导体器件的制造方法而制造。

[0102] 图7是根据本公开的一些实施例的半导体器件700的剖面结构示意图。

[0103] 根据一些实施例,半导体器件700包括衬底210、形成在衬底210上方的衬底氧化物结构221、位于衬底氧化物结构221上的栅极堆叠体270a和270b、第一选择栅极280a、第二选择栅极280b、位于衬底210之中的第一漏极区域211a、第二漏极区域211b和源极区域212,其中,第一栅极堆叠体270a包括第一浮置栅极230a、第一电介质结构240a、第一控制栅极250a和第一硬掩模260a,第二栅极堆叠体270b包括第二浮置栅极230b、第二电介质结构240b、第二控制栅极250b和第二硬掩模260b。

[0104] 根据一些实施例,半导体器件700还包括位于第一栅极堆叠体270a和第二栅极堆叠体270b下方的衬底栅极氧化物结构221、位于第一选择栅极280a和第一栅极堆叠体270a之间的第一隧穿氧化物结构271a、位于第二选择栅极280b和第二栅极堆叠体270b之间的第二隧穿氧化物结构271b、位于第一选择栅极280a下方的第一选择栅极氧化物结构222a、以及位于第二选择栅极280b下方的第二选择栅极氧化物结构222b。

[0105] 根据一些实施例,半导体器件700包括共享源极区域212的两个存储器单元。根据一些实施例,半导体器件700包括对应于左侧的存储器单元的第一编程通道213a、第二编程通道213b、第一擦除通道214a和对应于右侧的存储器单元的第二编程通道213c、第二编程通道213d、第二擦除通道214b。根据一些实施例,第一编程通道213a从第一漏极区域211a延伸到第一浮置栅极230a的面对第一选择栅极280a的边缘部位,第二编程通道213b从第一漏极区域211a延伸到源极区域212,第一擦除通道214a从第一浮置栅极230a延伸到第一选择栅极280a,第三编程通道213b从第二漏极区域211b延伸到第二浮置栅极230b的面对第二选择栅极280b的边缘部位,第四编程通道213b从第二漏极区域211b延伸到源极区域212,第二擦除通道214b从第二浮置栅极230b延伸到第二选择栅极280b。其中,对左侧的存储器单元和右侧的存储器单元进行编程操作、擦除操作和读取操作的过程类似。以下以左侧的存储器单元为例,分别说明编程操作、擦除操作和读取操作。

[0106] 根据一些实施例,当进行编程操作时,在第一选择栅极280a上施加一个比阈值电压高的正电压(例如,1.0~1.6V),而在源端(即,源极区域212)施加正电压(例如,4.5~7V)提供横向的强电场,在第一漏极区域211a灌入负电流(例如,1 $\mu$ A),此时,由于电子源测注入效应,一部分热电子通过第一编程通道211a注入第一浮置栅极230a中,而一部分热电子通过第二编程通道211b迁移到源端。

[0107] 根据一些实施例,当进行擦除操作时,在第一选择栅极280a上施加一个较高的正电压(例如,7~11V),在第一控制栅极250a上施加一个较高的负电压(例如,-7V~11V),以形成第一选择栅极280a与第一浮置栅极230a之间的电压差,而将第一漏极区域211a和源极区域212均设置为0V,此时,由于FN(Fowler-Nordheim)隧穿效应,在第一选择栅极280a和第一浮置栅极230a之间的电压差的作用下,电子被拉离第一浮置栅极230a。

[0108] 根据一些实施例,当进行读取操作时,通过在第一选择栅极280a上施加一个正电压(例如,1.8V),在第一控制栅极250a上施加一个正电压(例如,1.8V),在第一漏极区域211a上施加较低的正电压(例如,0.6V),而将源极区域212设置为0V,此时,通过源端与漏端之间的电流值大小,来判断存储器单元所处的状态。

[0109] 图8是根据本公开的一些实施例的存储器单元阵列800的电路示意图。应当理解,图8中的存储器单元、字线、位线、源线和擦除线的数量仅为示意性的,并且,可以根据实际应用需求调整上述数量中的任一者,以实现更大或更小规模的存储器单元阵列。

[0110] 如图8所示,存储器单元阵列800包括多个存储器单元(例如,图8所示的存储器单元810)。根据一些实施例,每个存储器单元包括串联连接的选择晶体管和浮置晶体管,例如,图8中的存储器单元810包括选择晶体管811和浮栅晶体管812,其中,通过选择晶体管811可以选择固定地址的存储器单元进行操作,而浮栅晶体管812可以存储信息。

[0111] 根据一些实施例,每一行的存储器单元对应于一条字线,例如,在图8中,上面一行的存储器单元对应于字线 $WL_{n-1}$ ,下面一行的存储器单元对应于字线 $WL_n$ ,而每条字线连接到对应的存储器单元中的选择晶体管的栅极。根据一些实施例,每一列的存储器单元对应于一条位线,例如,在图8中,左边一列的存储器单元对应于位线 $BL_{n-1}$ ,中间一列的存储器单元对应于位线 $BL_n$ ,右边一列的存储器单元对应于位线 $BL_{n+1}$ ,而每条位线连接到对应的存储器单元中的选择晶体管的漏极。根据一些实施例,相邻两行的存储器单元对应于一条源线,例如,在图8中,上下两行的存储器单元均对应于源线 $SL$ ,而每条源线连接到对应的存

存储器单元中的浮栅晶体管的源极。根据一些实施例,存储器中的每个扇区中的全部存储器单元的源线电连接在一起。根据一些实施例,在存储器单元阵列800中,每一行的存储器单元对应于一条控制线,例如,在图8中,上面一行的存储器单元对应于控制线CGn-1,下面一行的存储器单元对应于控制线CGn,而每条控制线连接到对应的存储器单元中的浮置晶体管的控制栅极;

[0112] 根据一些实施例,存储器单元中的选择晶体管的漏极对应于例如图7所示的半导体器件700中的第一漏极区域211a,存储器单元中的选择晶体管的栅极对应于例如图7所示的半导体器件700中的第一选择栅极280a,存储器单元中的浮置晶体管的浮置栅极对应于图7所示的半导体器件700中的第一浮置栅极230a,存储器单元中的浮置晶体管的控制栅极对应于图7所示的半导体器件700中的第一控制栅极230a,存储器单元中的浮置晶体管的源极对应于图7所示的半导体器件700中的源极区域212。

[0113] 图9A-9B是根据本公开的一些实施例的存储器单元阵列的俯视平面图。如图9A所示,存储器单元阵列900包括多条位线BLn-1、BLn和BLn+1、多条字线WLn-1和WLn、多个浮置栅极FG1-FG6和源线SL。

[0114] 根据一些实施例,每一列的存储器单元对应于同一位线,例如,如图9A所示,左边一列的两个存储器单元均对应于位线BLn-1。应当理解,虽然未示出,但是同一列的存储器单元的位线结构电连接。

[0115] 根据一些实施例,每一行的存储器单元对应于同一字线,例如,如图9A所示,上面一行的三个存储器单元均对应于字线WLn-1。根据一些实施例,如图9A所示,每条字线延伸穿过同一行中的多个存储器单元。

[0116] 根据一些实施例,每一行的存储器单元对应于一条控制线,例如,在图9A中,上面一行的存储器单元对应于控制线CGn-1,下面一行的存储器单元对应于控制线CGn,而每条控制线连接到对应的存储器单元中的浮置栅极。

[0117] 根据一些实施例,相邻行的存储器单元对应于同一源线,例如,如图9A所示,上下两行中的六个存储器单元均对应于源线SL。根据一些实施例,如图9A所示,源线SL在衬底中延伸穿过相邻行的存储器单元,其中,源线连通多个位线中源极区域。

[0118] 如9B图9B所示的存储器单元阵列900与图9A所示的存储器单元阵列900的区别在于:代替在衬底中延伸穿过多个位线的源线SL,在每个位线上设置对应的钨栓塞(例如,位线BLn-1的对应钨栓塞Wn-1),并且通过金属线连接各个钨栓塞,以连通多个位线中的源极区域。

[0119] 以下描述本公开的一些示例性方面。

[0120] 方面1.一种半导体器件的制造方法,包括:

[0121] 在衬底上依次形成氧化物层、浮置栅极层、电介质层、控制栅极层和硬掩模层;

[0122] 蚀刻所述硬掩模层、所述控制栅极层、所述电介质层和所述浮置栅极层,以形成由所述硬掩模层、所述控制栅极层、所述电介质层和所述浮置栅极层的剩余部分构成的栅极堆叠体;

[0123] 移除所述氧化物层的在所述衬底的第一区域和第二区域上的部分,其中,所述第一区域和所述第二区域位于所述栅极堆叠体两侧;

[0124] 在所述衬底的所述第一区域和所述第二区域上分别形成第一选择栅极氧化物结



构和第二选择栅极氧化物结构,并且,在所述栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构;

[0125] 在所述第一隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第一选择栅极,并且,在所述第二隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第二选择栅极;

[0126] 蚀刻所述栅极堆叠体,以形成穿过所述硬掩模层、所述控制栅极层、所述电介质层和所述浮置栅极层的剩余部分的第一开口;

[0127] 在所述衬底的位于所述第一开口下方的部分中形成源极区域;以及

[0128] 在所述第一选择栅极的与所述第一开口相对的一侧的衬底中形成第一漏极区域,并且,在所述第二选择栅极的与所述第一开口相对的一侧的衬底中形成第二漏极区域。

[0129] 方面2.根据方面1所述的方法,其中,所述在所述衬底的所述第一区域和所述第二区域上分别形成第一选择栅极氧化物结构和第二选择栅极氧化物结构,并且,在所述栅极堆叠体两侧分别形成第一隧穿氧化物结构和第二隧穿氧化物结构包括:

[0130] 在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜,以形成所述第一选择栅极氧化物结构和所述第二选择栅极氧化物结构;以及

[0131] 移除所述第一栅极氧化膜和第二栅极氧化膜的在所述栅极堆叠体的上表面上的部分,以形成所述第一隧穿氧化物结构和所述第二隧穿氧化物结构。

[0132] 方面3.根据方面2所述的方法,还包括在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:

[0133] 在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;以及

[0134] 移除所述第一栅极氧化膜的在所述衬底的所述第一区域和所述第二区域、所述栅极堆叠体的上表面上的部分,并且,移除在所述栅极堆叠体的侧面上的所述第一栅极氧化膜的一部分。

[0135] 方面4.根据方面2所述的方法,还包括在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:

[0136] 在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;

[0137] 移除所述第一栅极氧化膜的在所述衬底的所述第一区域和所述第二区域、所述栅极堆叠体的上表面和侧面上的部分;以及

[0138] 在所述栅极堆叠体的侧面上形成侧壁氧化物结构。

[0139] 方面5.根据方面2所述的方法,还包括在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之前:

[0140] 在所述衬底的所述第一区域、所述第二区域和高压管区域上、以及所述栅极堆叠体的侧面和上表面上沉积第一栅极氧化膜;以及

[0141] 移除所述第一栅极氧化膜的在所述衬底的所述第一区域、所述第二区域、所述栅极堆叠体的上表面和侧面上的部分,并且所述在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜包括:

[0142] 在所述衬底的所述第一区域、所述第二区域和所述高压管区域上、以及所述栅极

堆叠体的侧面和上表面上沉积第二栅极氧化膜。

[0143] 方面6.根据方面5所述的方法,还包括在所述移除所述第一栅极氧化膜的在所述衬底的所述第一区域和所述第二区域上、以及所述栅极堆叠体的上表面上的部分之前:

[0144] 在所述衬底的所述第一区域和所述第二区域中执行选择栅极沟道离子注入。

[0145] 方面7.根据方面5所述的方法,还包括在所述衬底的所述第一区域、所述第二区域和所述高压管区域上、以及所述栅极堆叠体的侧面和上表面上沉积第二栅极氧化膜之后:

[0146] 在所述衬底中进行逻辑井植入;

[0147] 在所述衬底上形成逻辑I0栅极氧化物结构;以及

[0148] 在所述衬底上形成逻辑核心栅极氧化物结构。

[0149] 方面8.根据方面1-7中的任一项所述的方法,其中,所述在所述第一隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第一选择栅极,并且,在所述第二隧穿氧化物结构的与所述栅极堆叠体相对的一侧形成第二选择栅极包括:

[0150] 在所述第一选择栅极氧化物结构和所述第二选择栅极氧化物结构上、以及所述栅极堆叠体上沉积选择栅极多晶硅;以及

[0151] 移除所沉积的所述选择栅极多晶硅的部分,以形成所述第一选择栅极和所述第二选择栅极。

[0152] 方面9.根据方面8所述的方法,其中,所述移除所沉积的所述选择栅极多晶硅的部分,以形成所述第一选择栅极和所述第二选择栅极包括:

[0153] 对所述所沉积的所述选择栅极多晶硅进行平坦化处理;

[0154] 蚀刻经过所述平坦化处理的所述选择栅极多晶硅,以形成分别位于所述衬底的第一区域和第二区域上的第一多晶硅结构和第二多晶硅结构;以及

[0155] 蚀刻所述第一多晶硅结构和第二多晶硅结构,以分别形成所述第一选择栅极和所述第二选择栅极。

[0156] 方面10.根据方面9所述的方法,其中,所述蚀刻所述第一多晶硅结构和第二多晶硅结构,以分别形成所述第一选择栅极和所述第二选择栅极包括:

[0157] 对所述第一多晶硅结构和所述第二多晶硅结构进行第一光刻处理;

[0158] 以所述第一光刻处理所形成的光刻胶图案作为掩模,蚀刻所述第一多晶硅结构和第二多晶硅结构,以分别形成所述第一选择栅极和所述第二选择栅极;以及

[0159] 移除所述第一光刻处理所形成的光刻胶图案。

[0160] 方面11.根据方面9所述的方法,其中,所述蚀刻所述第一多晶硅结构和第二多晶硅结构,以分别形成所述第一选择栅极和所述第二选择栅极包括:

[0161] 在所述栅极堆叠体的两侧分别形成第一硬掩模间隔体和第二硬掩模间隔体,其中,所述第一硬掩模间隔体位于所述第一多晶硅结构上,且所述第二硬掩模间隔体位于所述第二多晶硅结构上;以及

[0162] 以所述第一硬掩模间隔体和所述第二硬掩模间隔体作为掩模,蚀刻所述第一多晶硅结构和第二多晶硅结构,以分别形成所述第一选择栅极和所述第二选择栅极。

[0163] 方面12.根据方面8所述的方法,其中,所述移除所沉积的所述选择栅极多晶硅的部分,以形成所述第一选择栅极和所述第二选择栅极包括:

[0164] 自对准蚀刻所述所沉积的选择栅极多晶硅,以分别形成所述第一选择栅极和所述

第二选择栅极。

[0165] 方面13.根据方面8所述的方法,还包括:

[0166] 在所述第一选择栅极氧化物结构和所述第二选择栅极氧化物结构上、以及所述栅极堆叠体上沉积所述选择栅极多晶硅的同时,在所述衬底的逻辑栅极区域上沉积逻辑栅极多晶硅;以及

[0167] 在所述移除所沉积的所述选择栅极多晶硅的部分,以形成所述第一选择栅极和所述第二选择栅极的同时,移除所述逻辑栅极多晶硅的部分,以形成所述逻辑栅极。

[0168] 方面14.根据方面1-7中的任一项所述的方法,其中,所述在所述第一选择栅极的与所述第一开口相对的一侧的衬底中形成第一漏极区域,并且,在所述第二选择栅极的与所述第一开口相对的一侧的衬底中形成第二漏极区域包括:

[0169] 在所述第一选择栅极的与所述第一开口相对的一侧的衬底中和所述第二选择栅极的与所述第一开口相对的一侧的衬底中执行轻掺杂漏极注入,以形成位于所述第一选择栅极的一侧的第一轻掺杂漏极区域和位于所述第二选择栅极的一侧的第二轻掺杂漏极区域;

[0170] 在所述第一选择栅极的与所述第一开口相对的一侧形成第一漏极间隔体,并且,在所述第二选择栅极的与所述第一开口相对的一侧形成第二漏极间隔体;

[0171] 在所述第一选择栅极的面对所述第一开口的一侧形成第一源极间隔体,并且,在所述第二选择栅极的面对所述第一开口的一侧形成第二源极间隔体;以及

[0172] 在所述第一漏极间隔体的与所述第一开口相对的一侧的衬底中和所述第二漏极间隔体的与所述第一开口相对的一侧的衬底中执行重掺杂漏极注入,以形成位于所述第一漏极间隔体的一侧的第一重掺杂漏极区域和位于所述第二漏极间隔体的一侧的第二重掺杂漏极区域。

[0173] 方面15.根据方面1-7中的任一项所述的方法,还包括:

[0174] 在所述第一选择栅极、所述第一漏极区域、所述源极区域、所述第二选择栅极和所述第二漏极区域上形成硅化物结构。

[0175] 方面16.一种半导体器件,由根据方面1-15中的任一项的方法制造。

[0176] 虽然在附图和前面的描述中已经详细地说明和描述了本公开,但是这样的说明和描述应当被认为是说明性的和示意性的,而非限制性的;本公开不限于所公开的实施例。通过研究附图、公开内容和所附的权利要求书,本领域技术人员在实践所要求保护的主体时,能够理解和实现对于所公开的实施例的变型。在权利要求书中,词语“包括”不排除未列出的其他元件或步骤,不定冠词“一”或“一个”不排除多个,并且术语“多个”是指两个或两个以上。在相互不同的从属权利要求中记载了某些措施的仅有事实并不表明这些措施的组合不能用来获益。

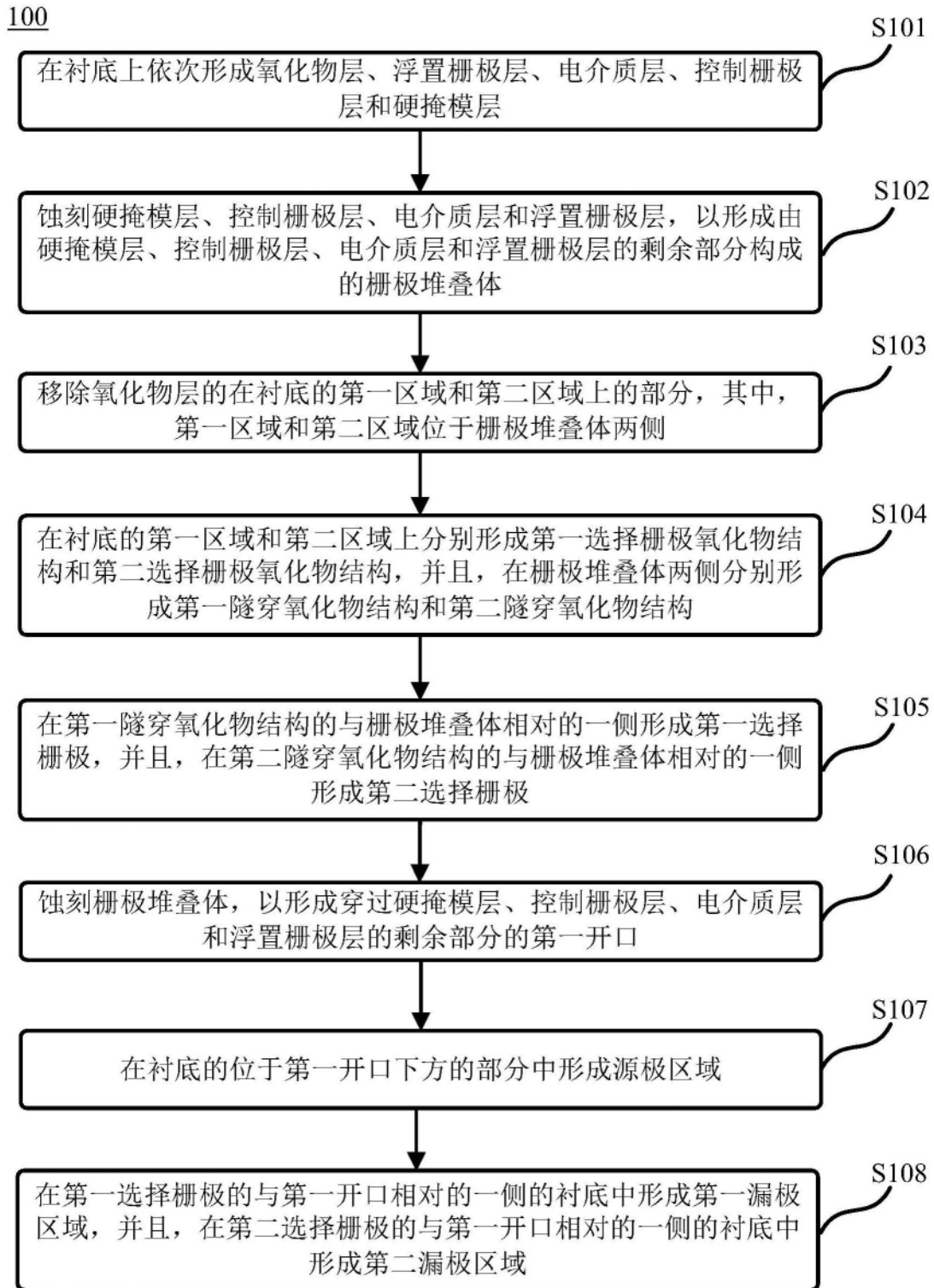


图1

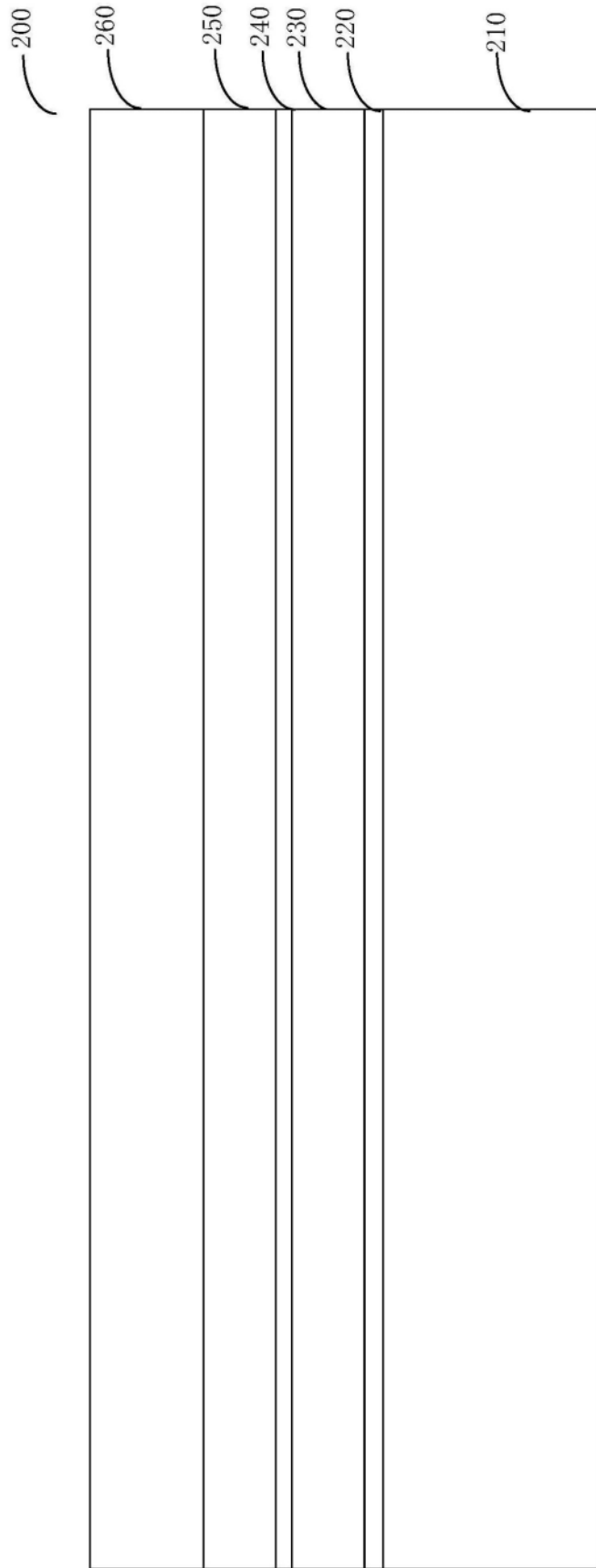


图2A

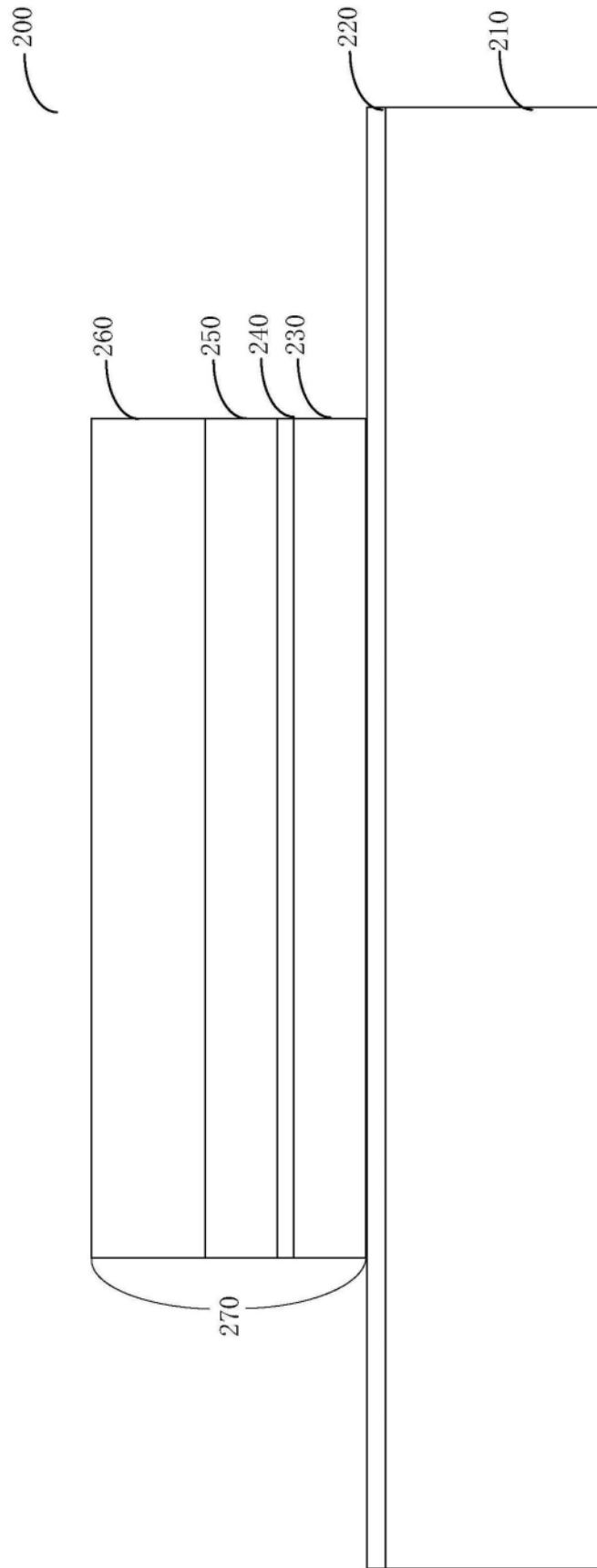


图2B

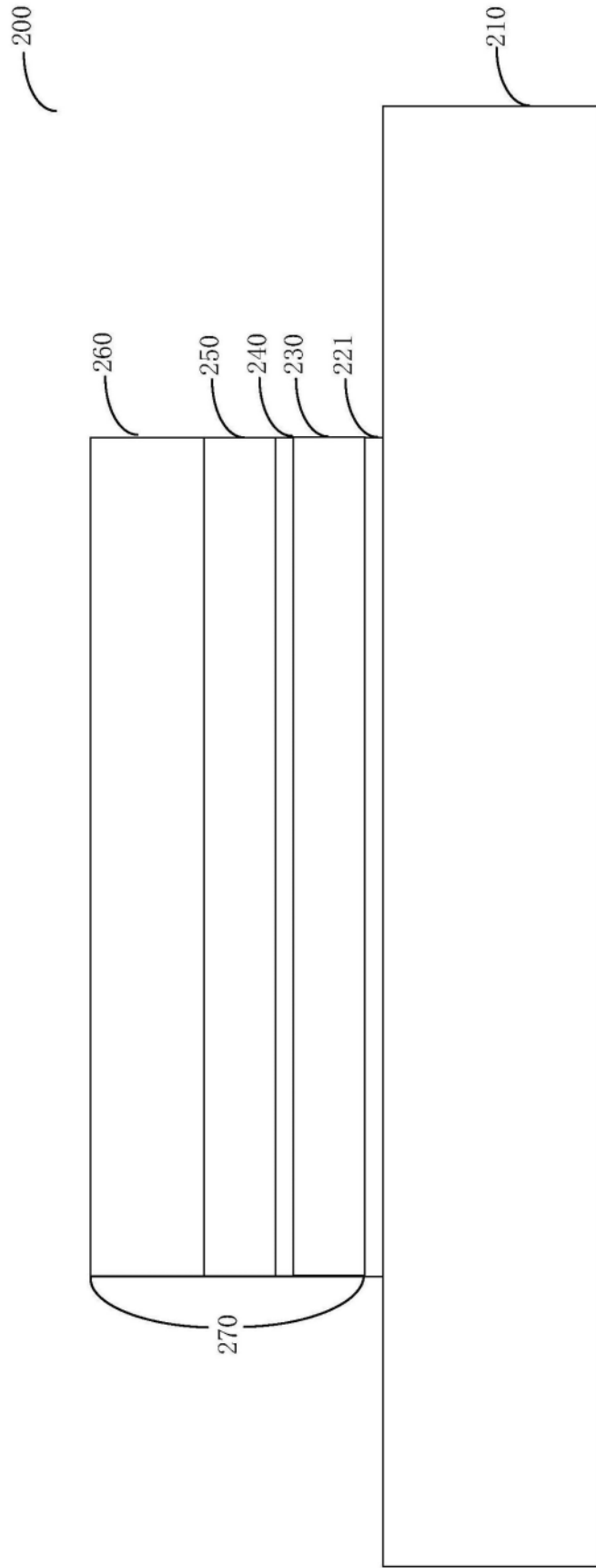


图2C

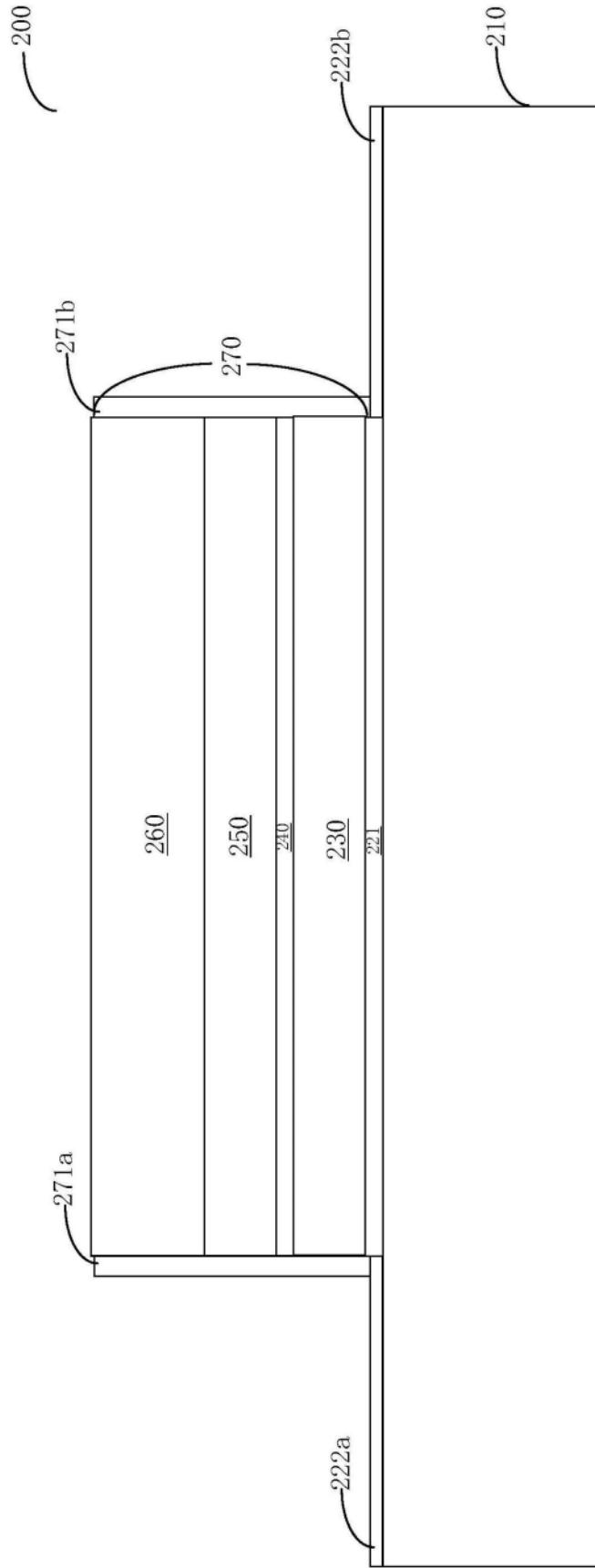


图2D



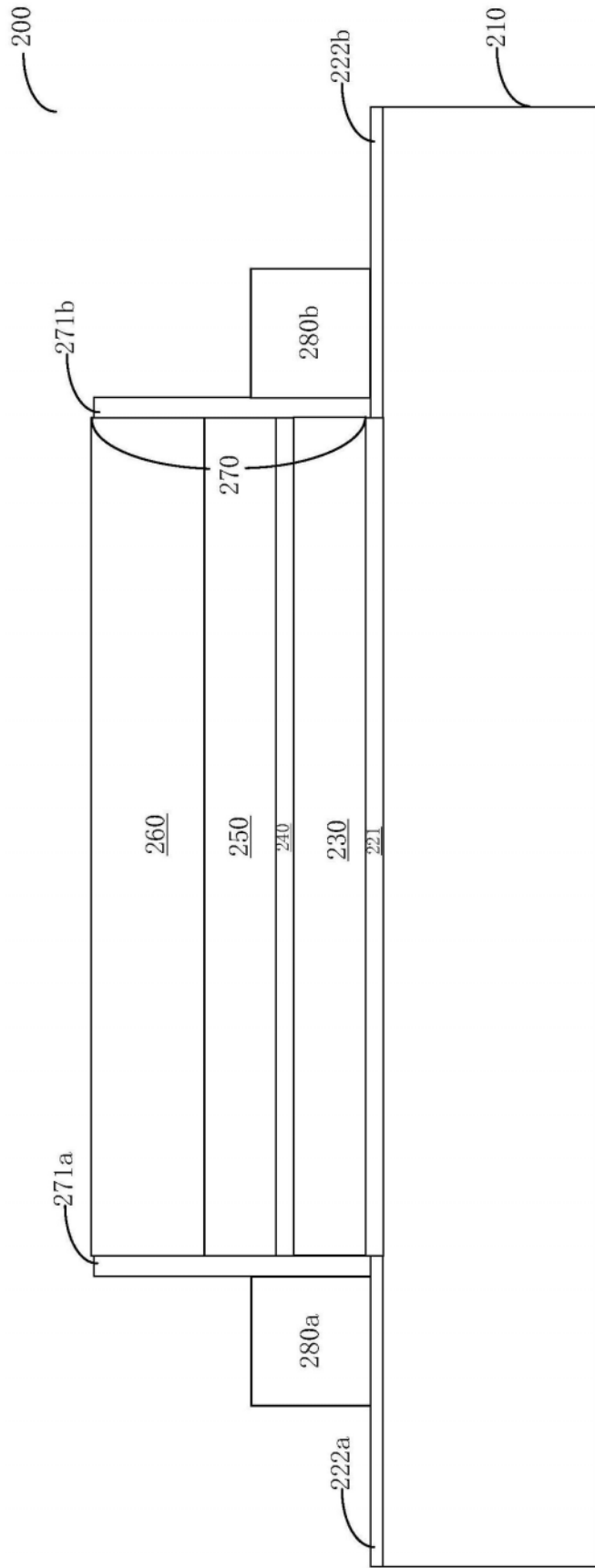


图2E

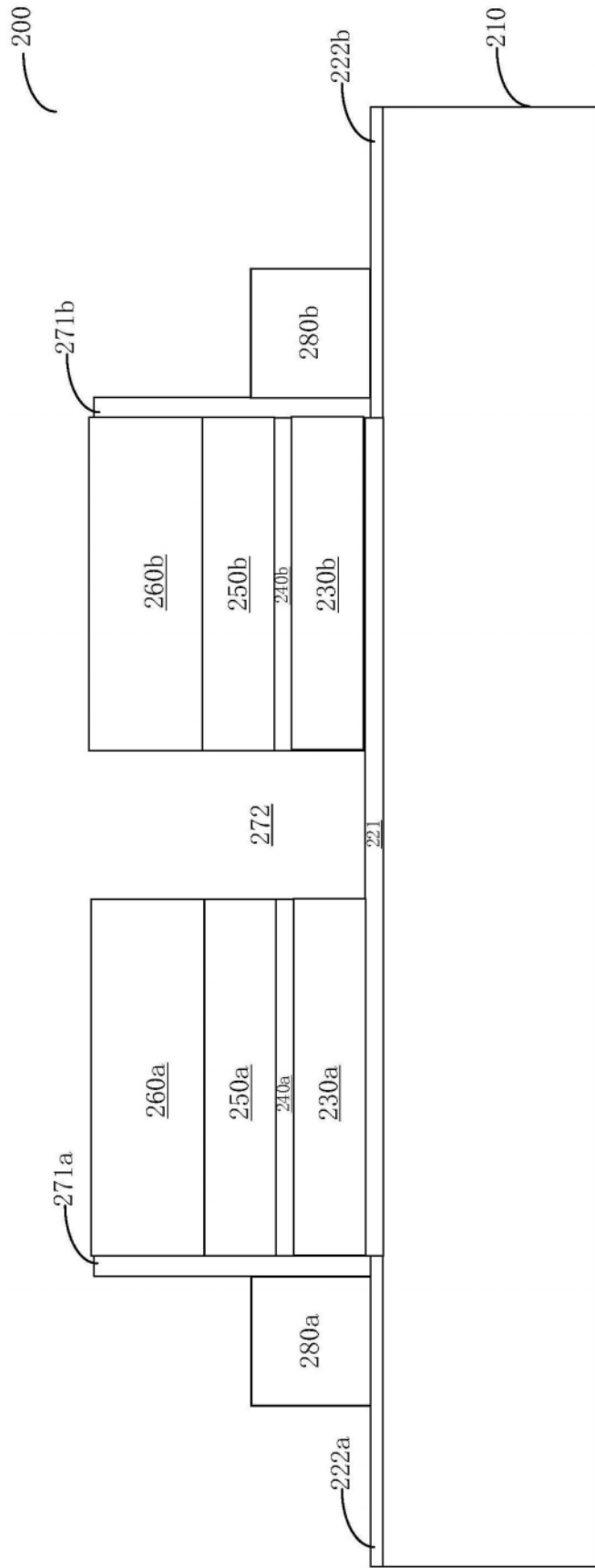


图2F

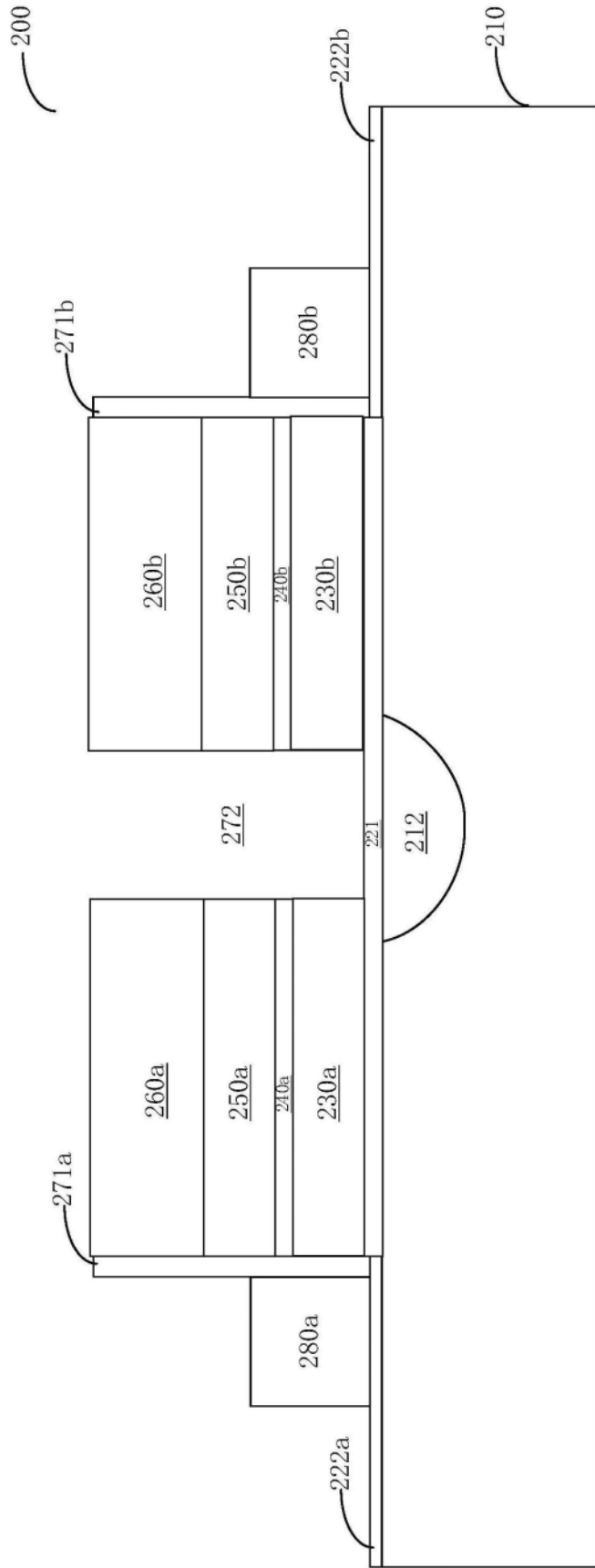


图2G

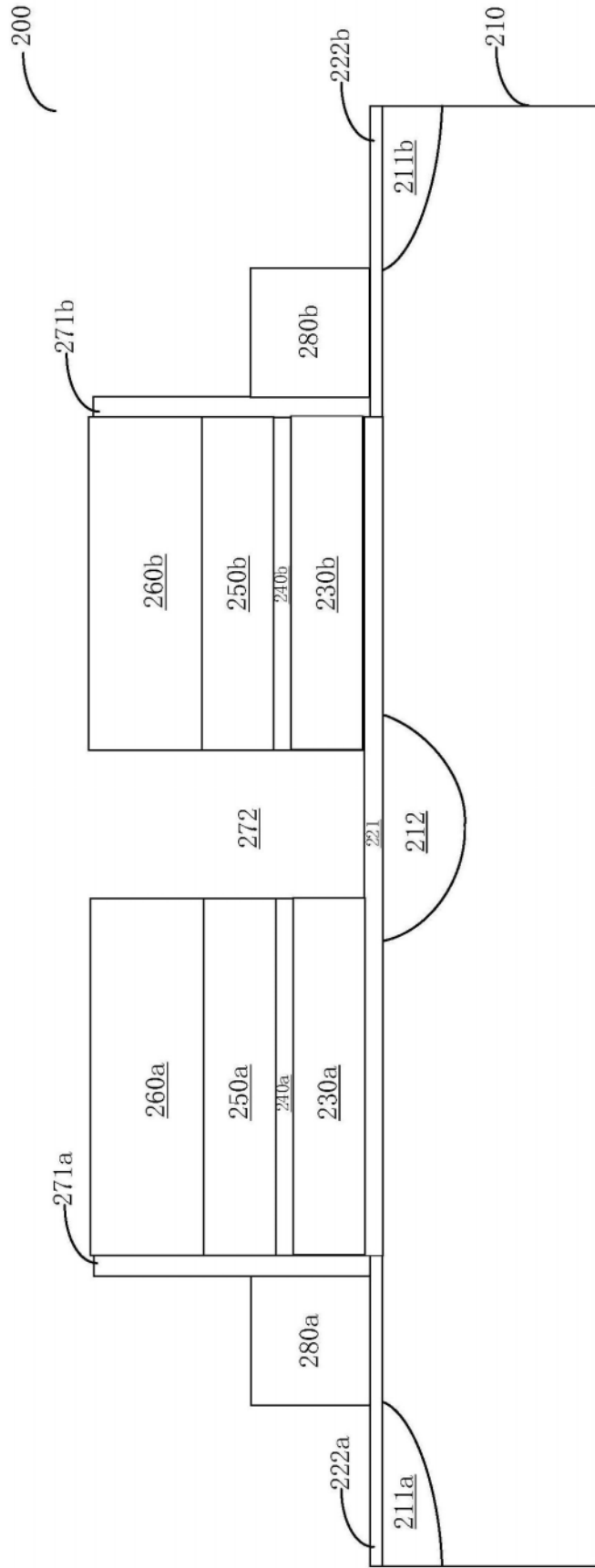


图2H

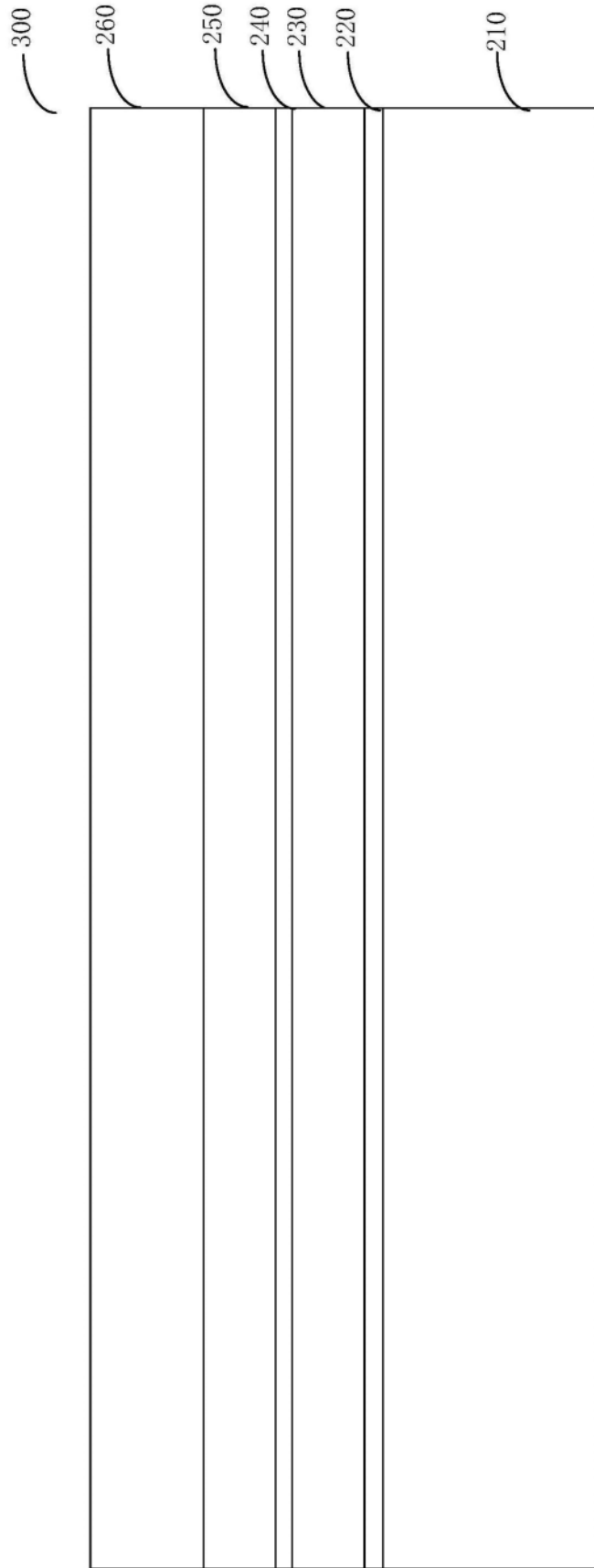


图3A

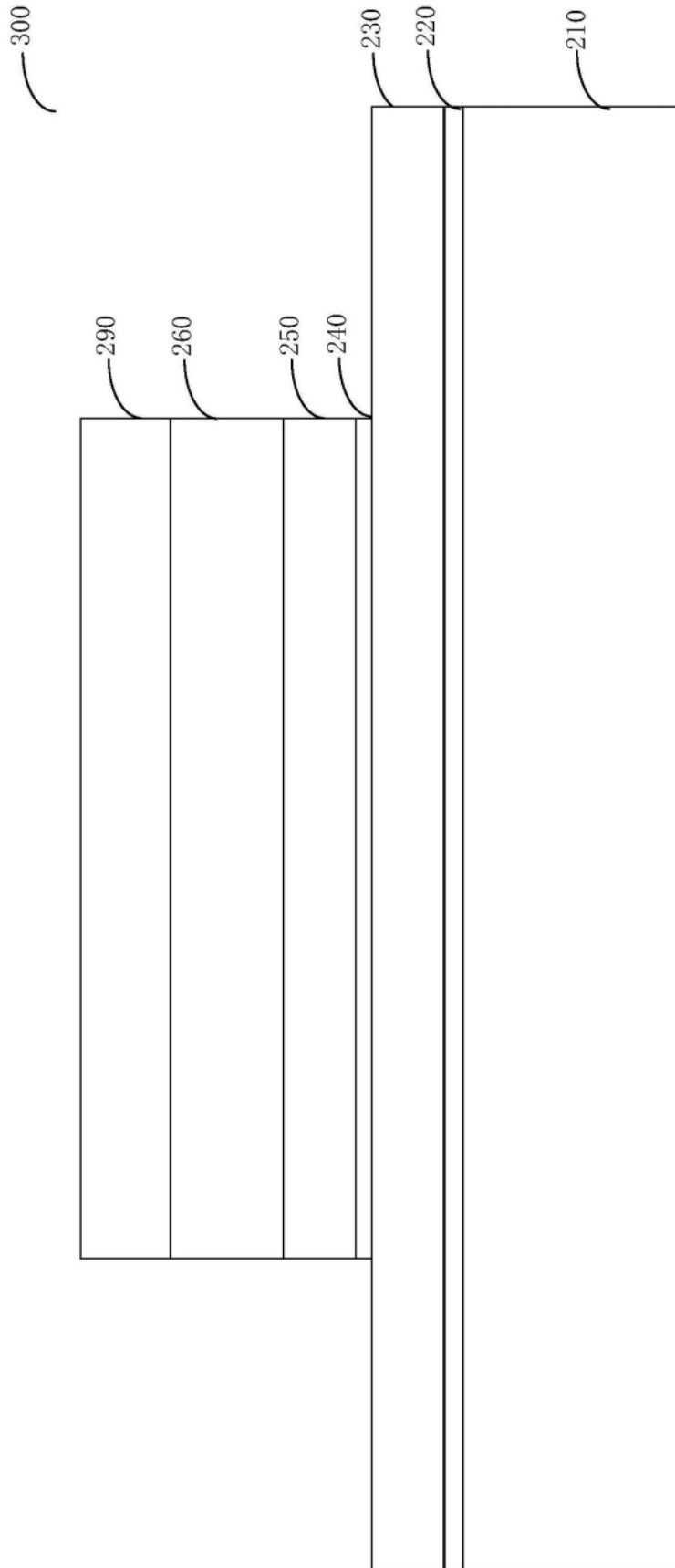


图3B

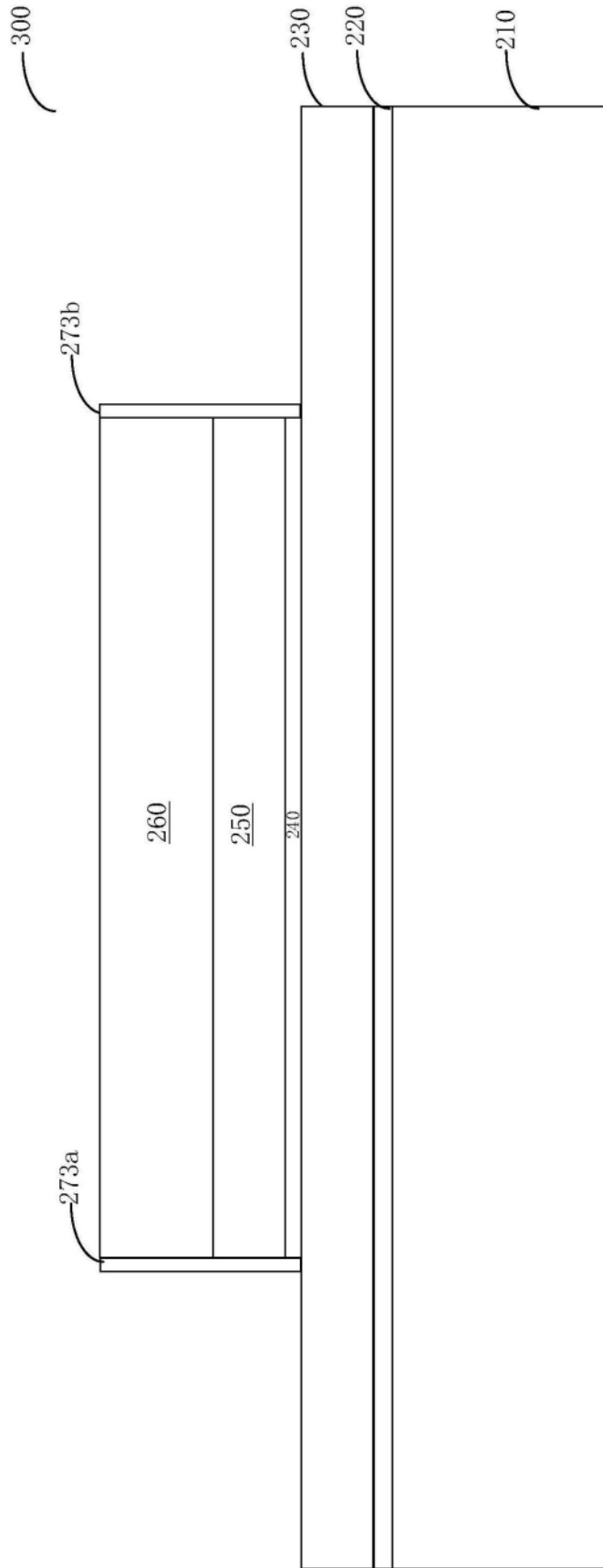


图3C

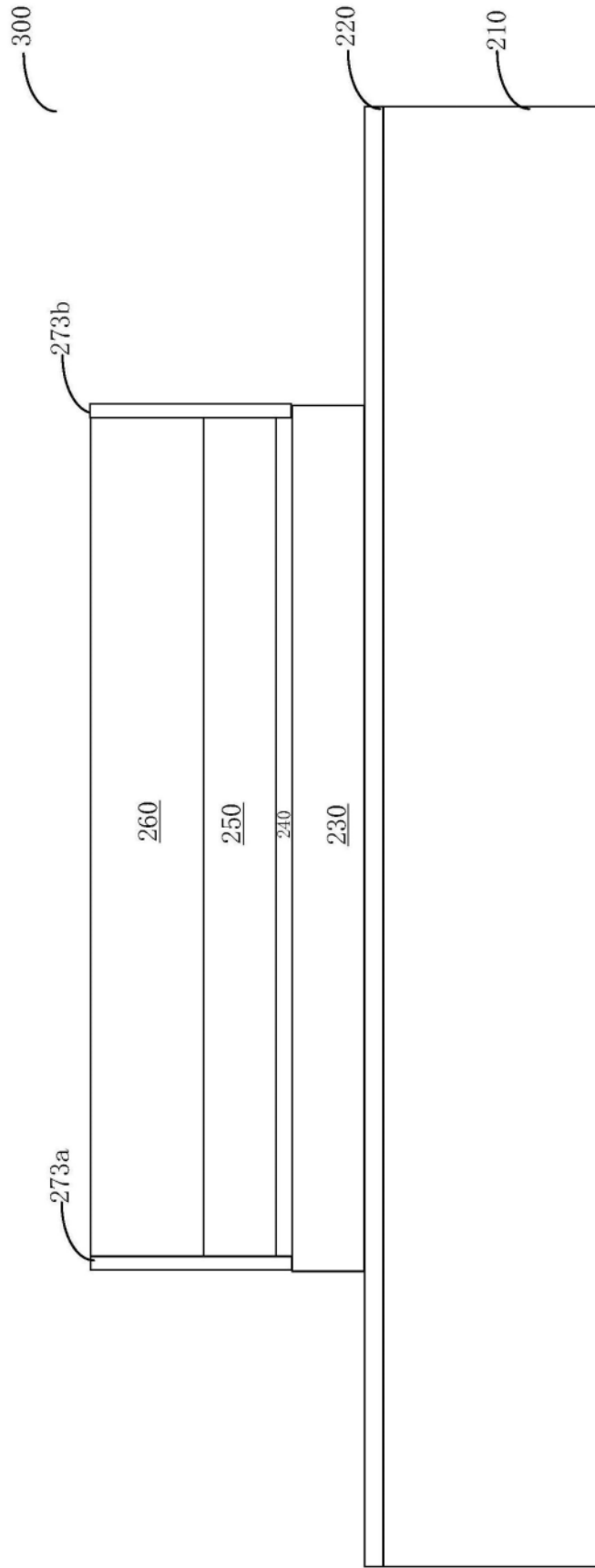


图3D



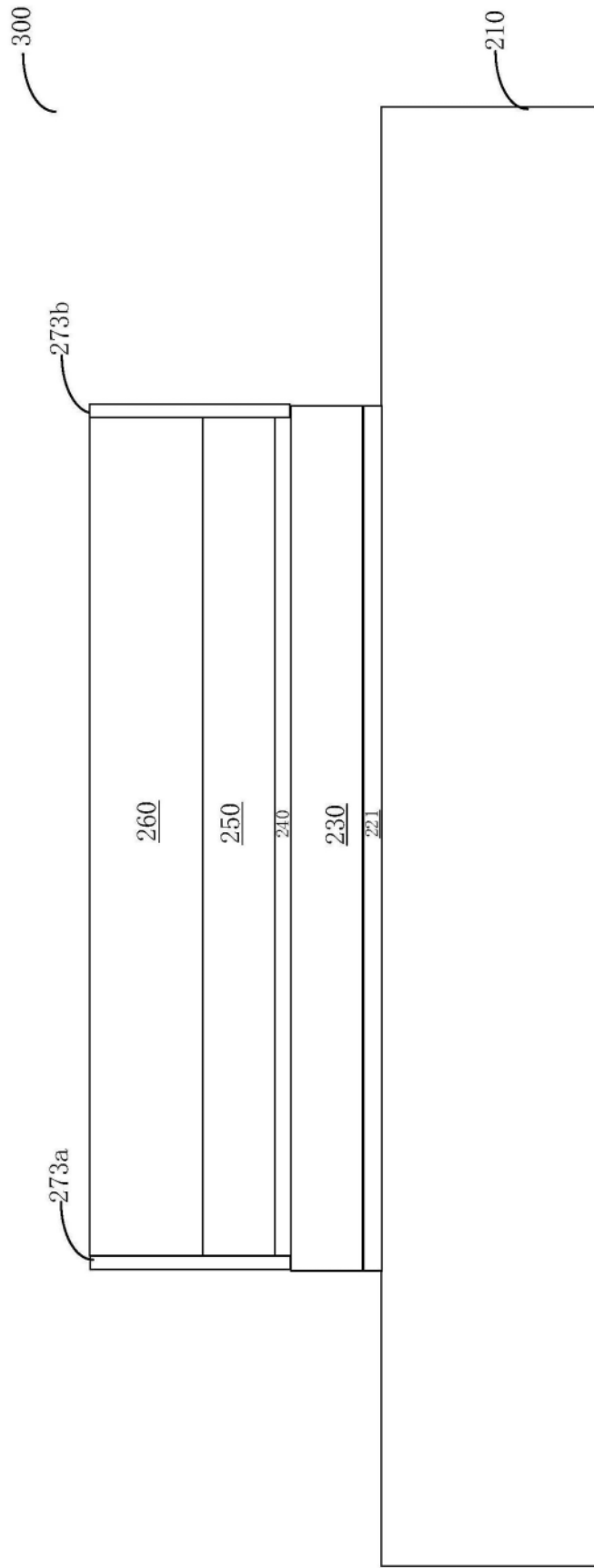


图3E

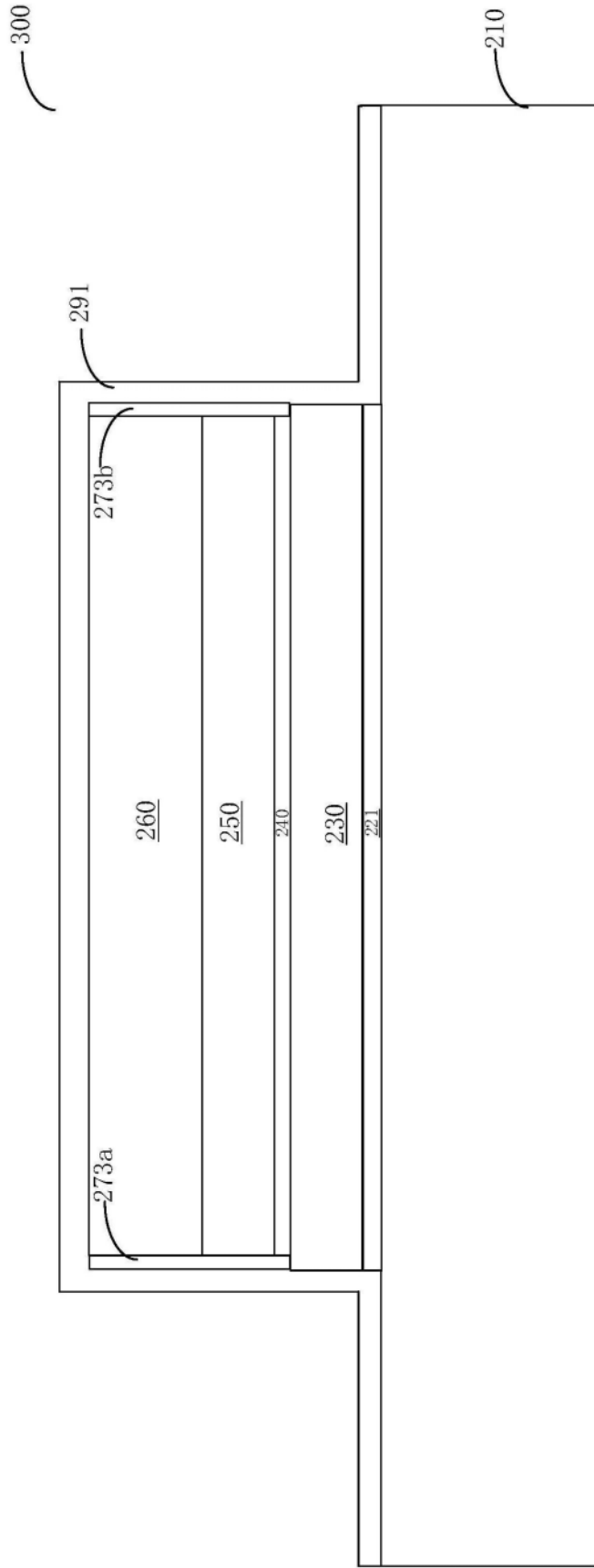


图3F

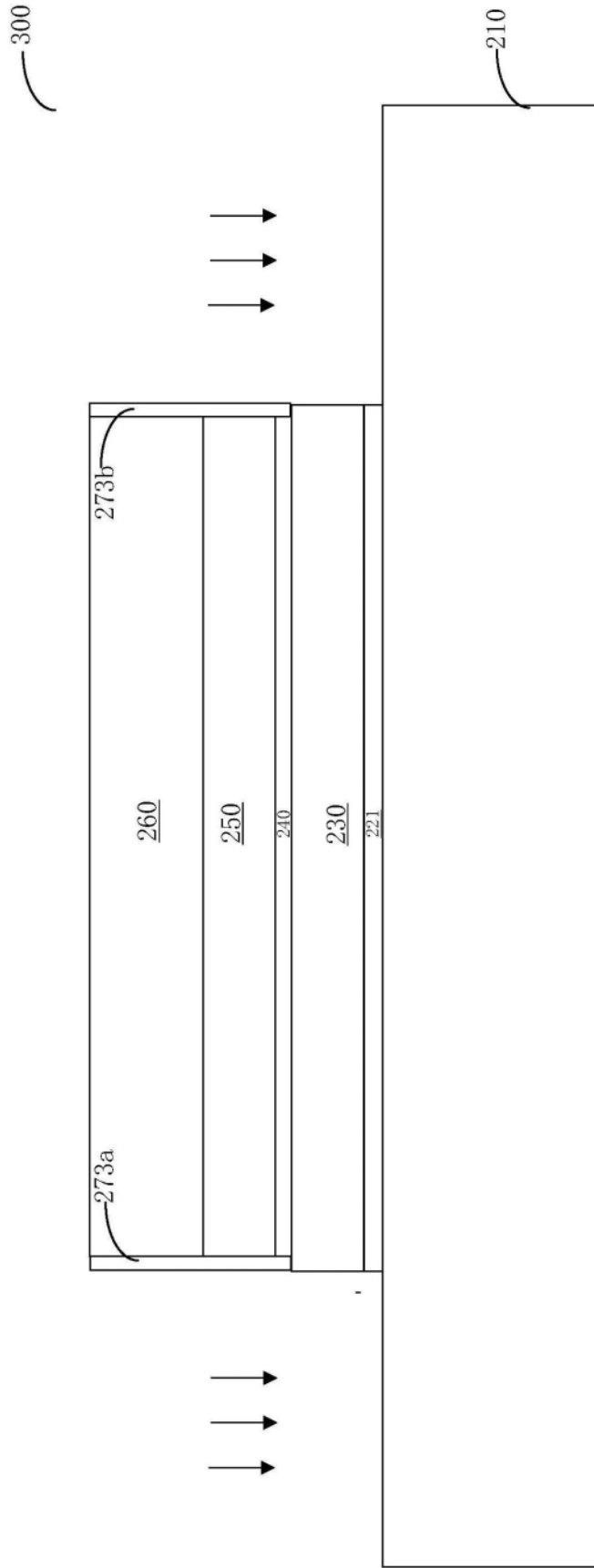


图3G

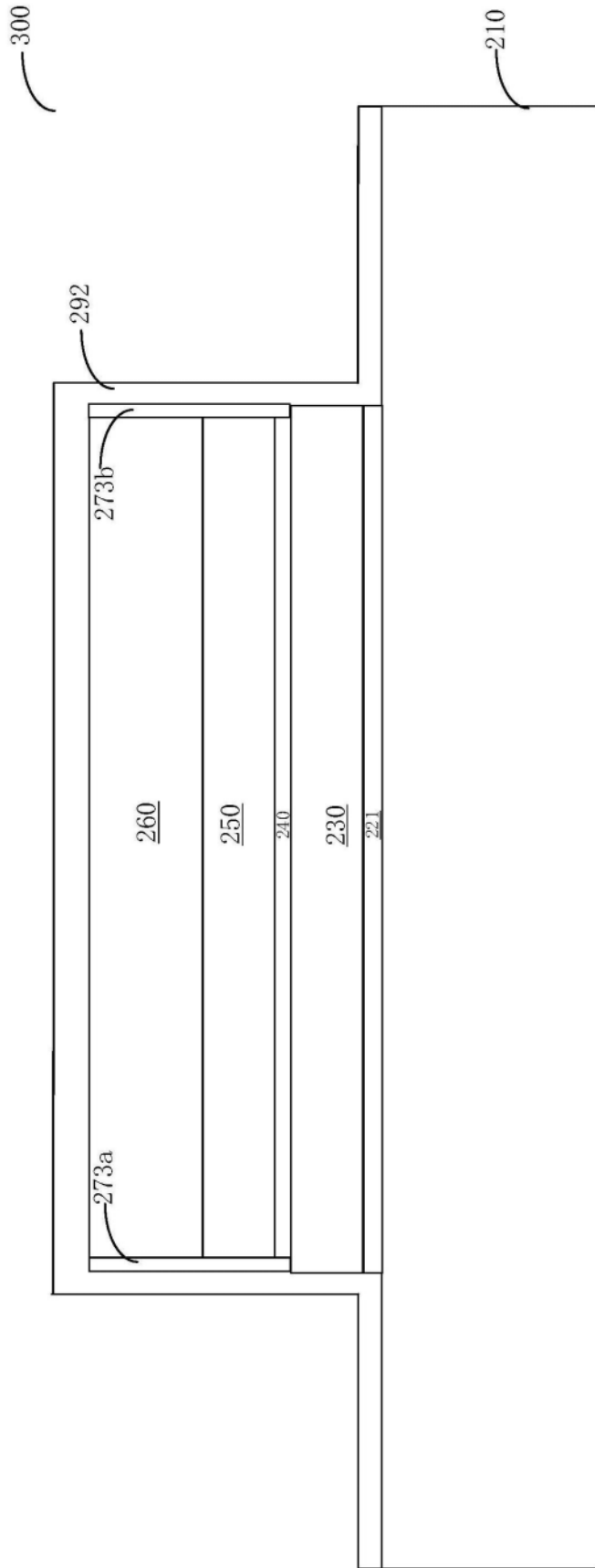


图3H

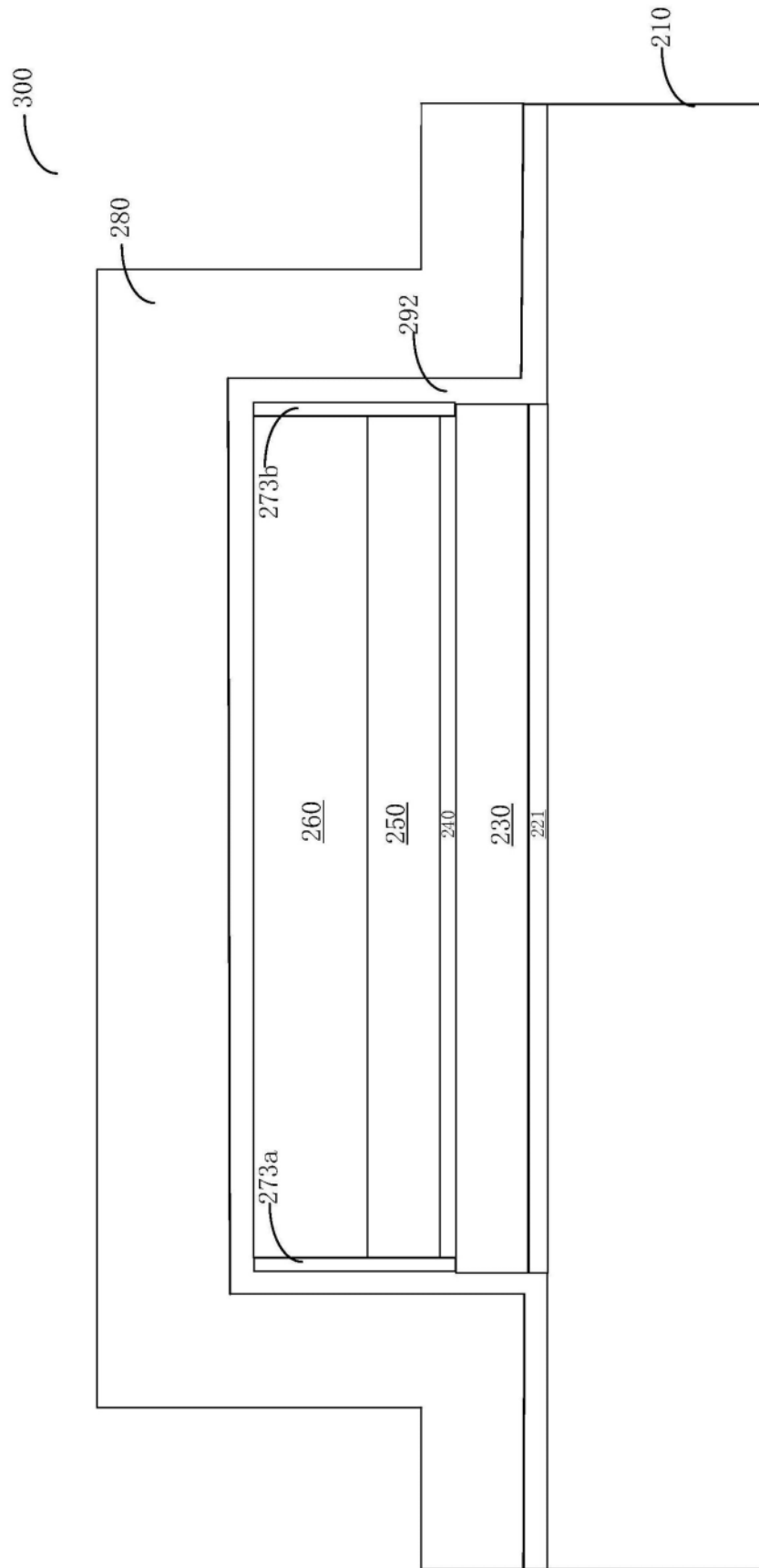


图3I

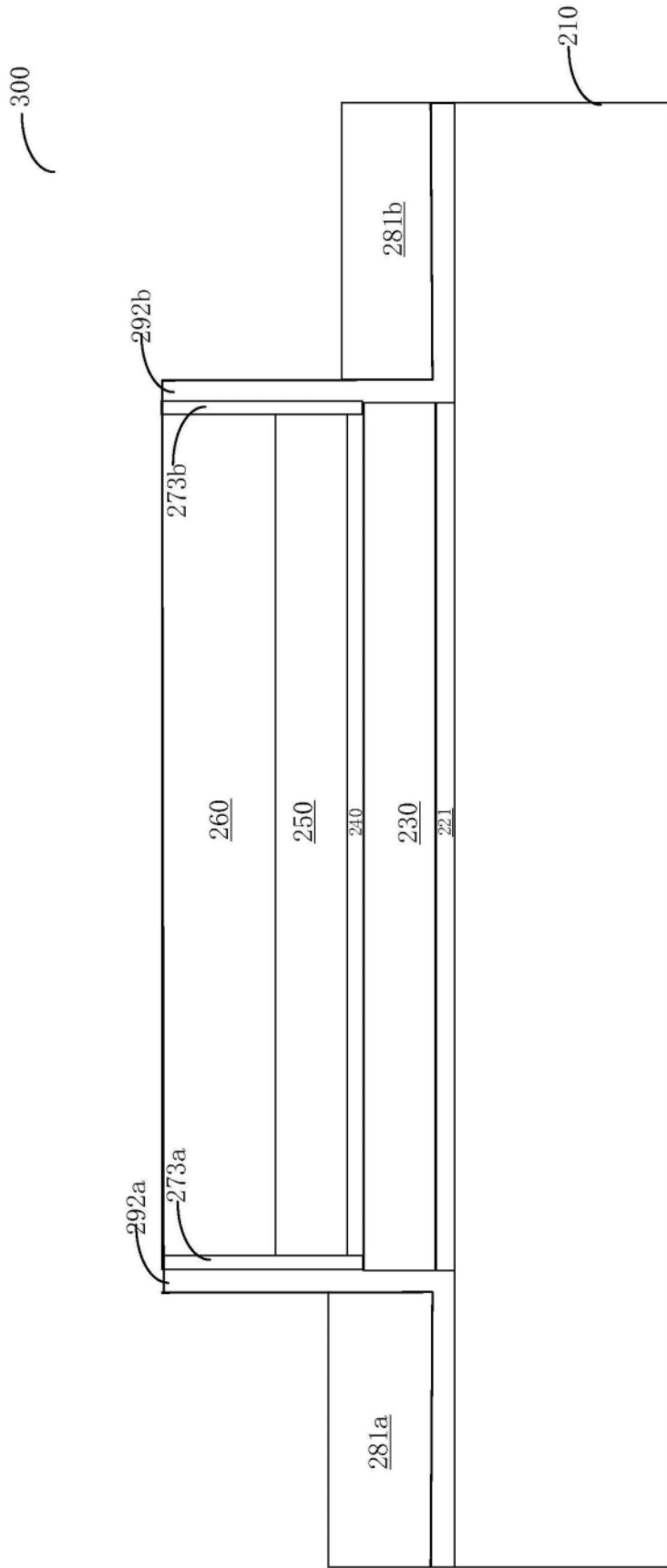


图3J

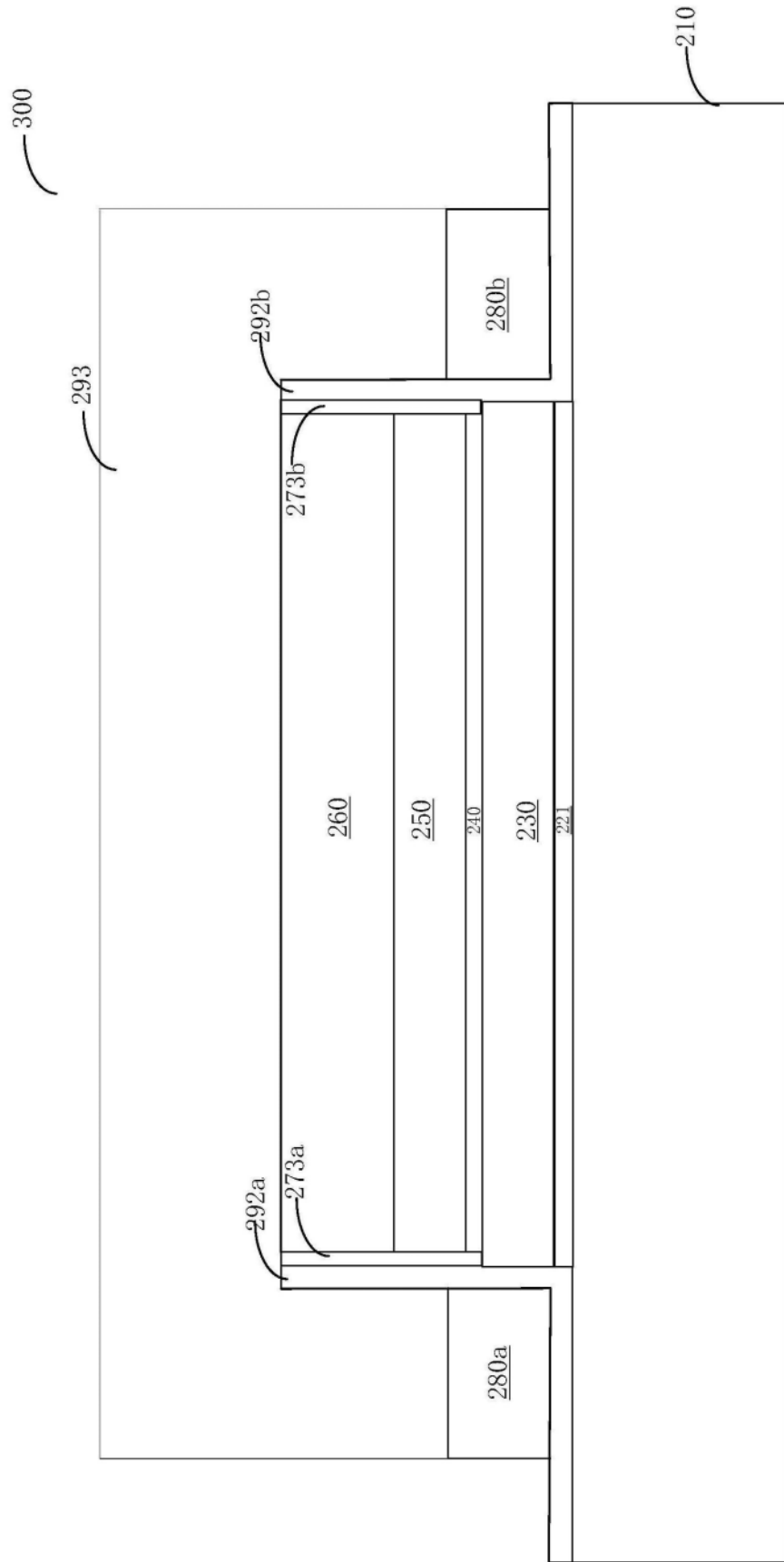


图3K

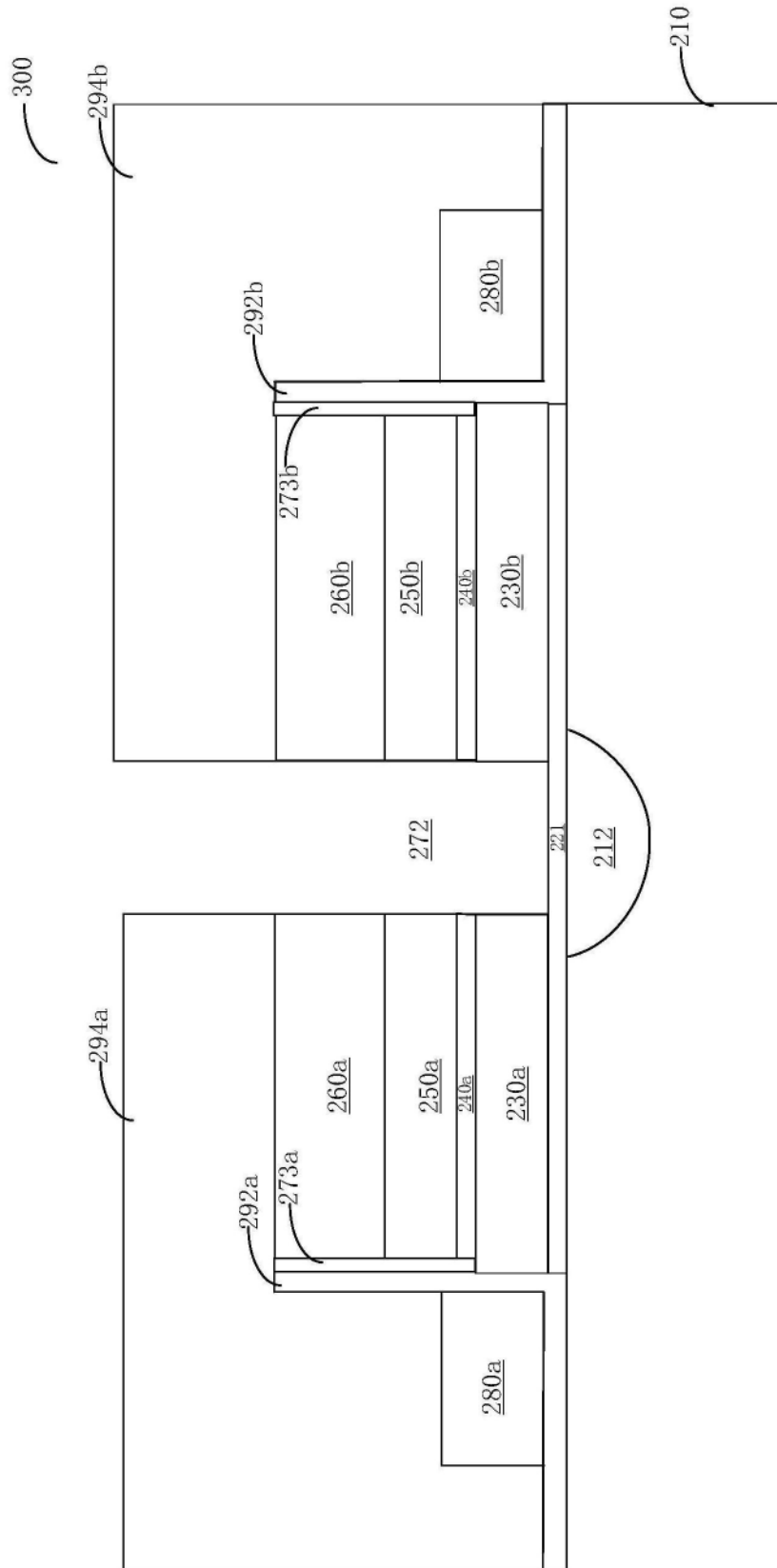


图3L



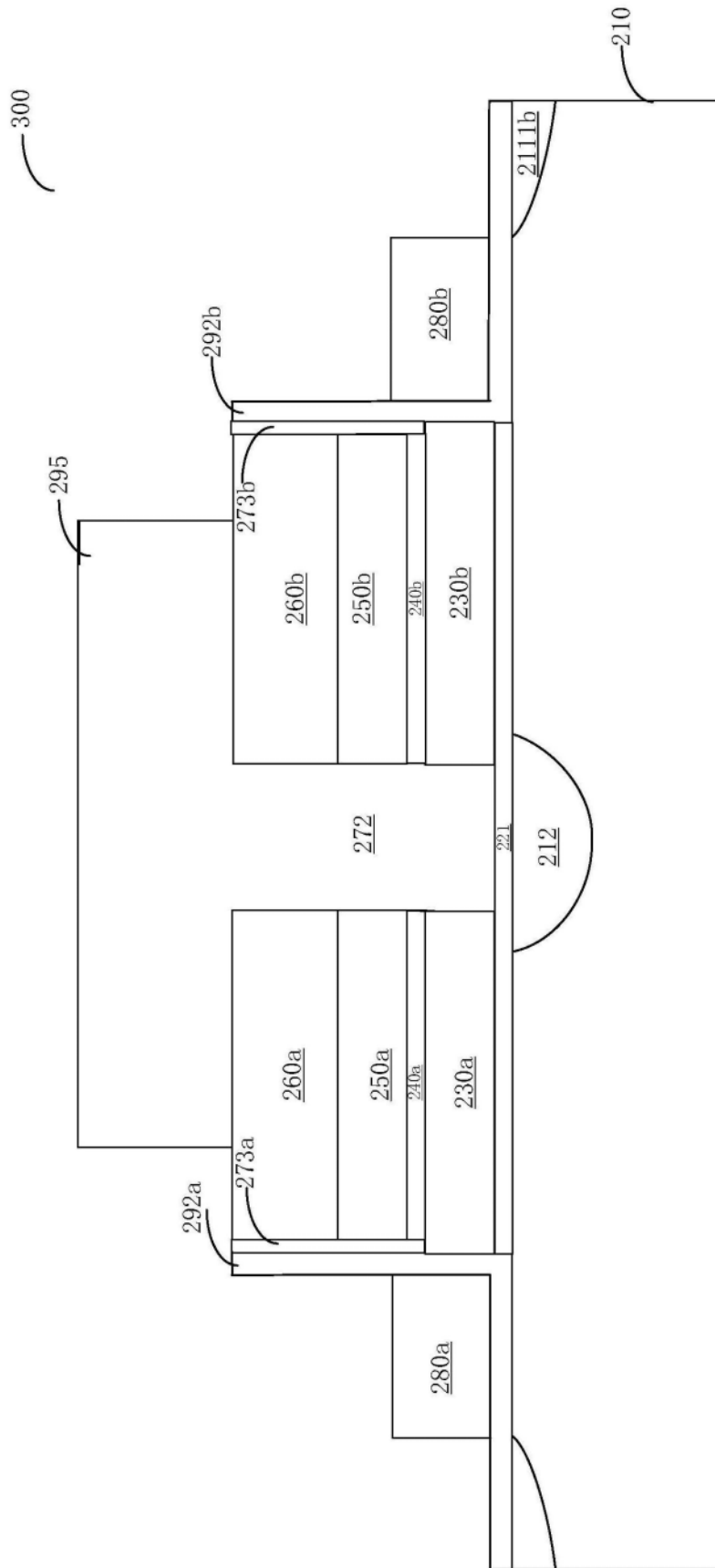


图3M

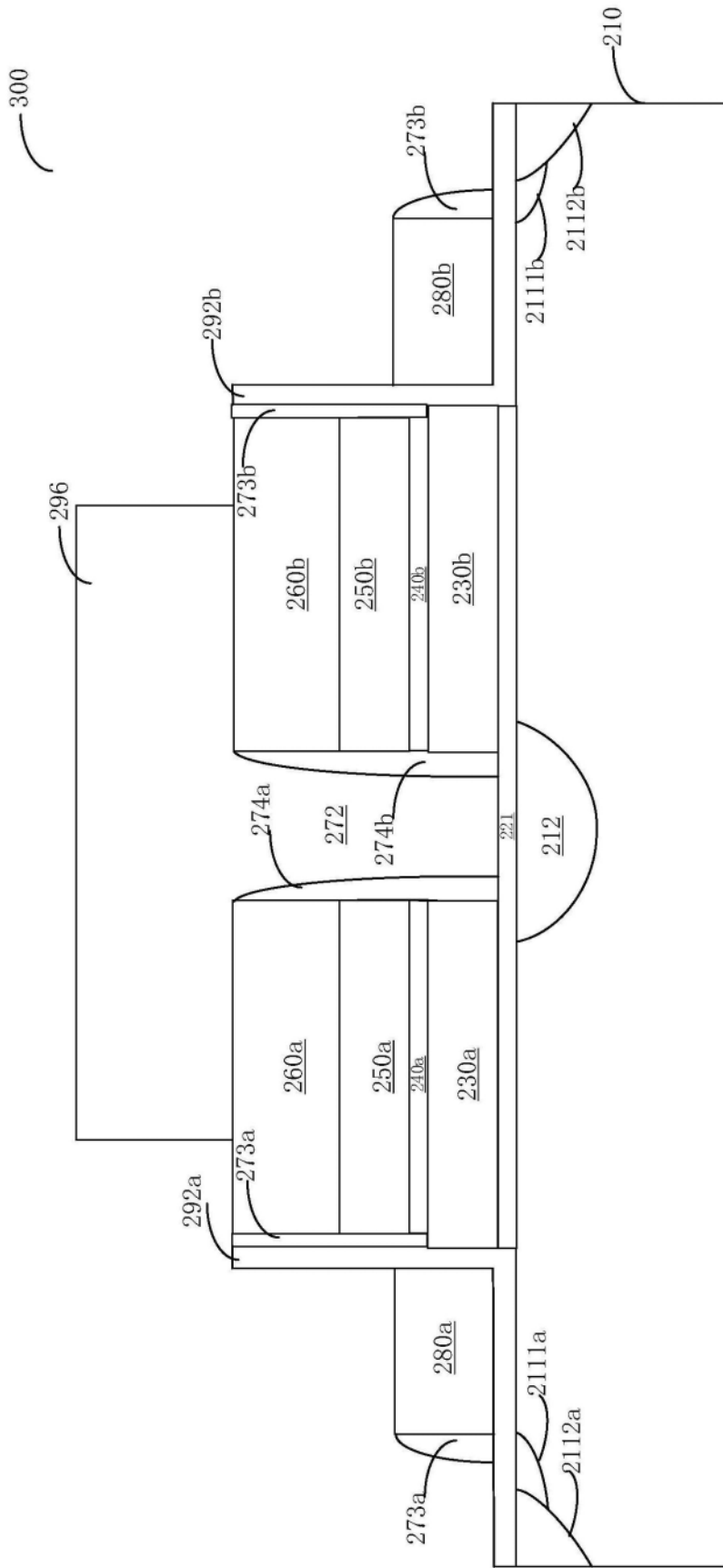


图3N

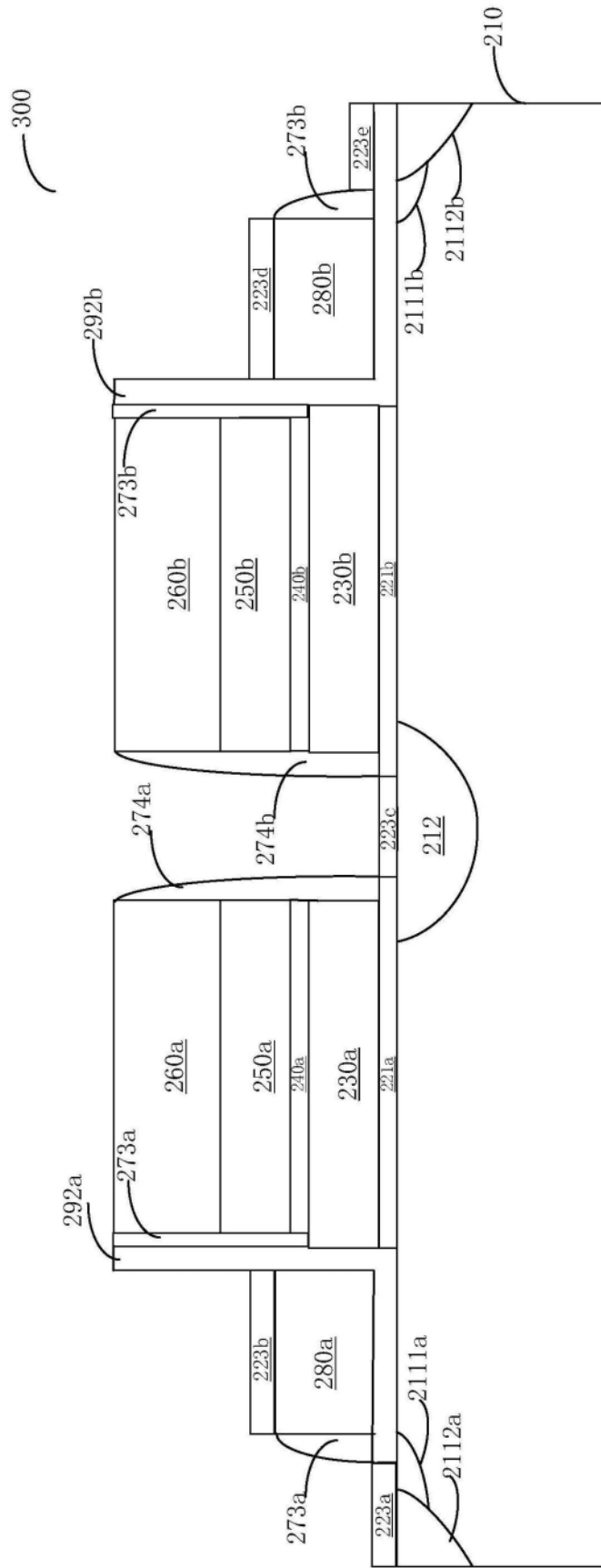


图30

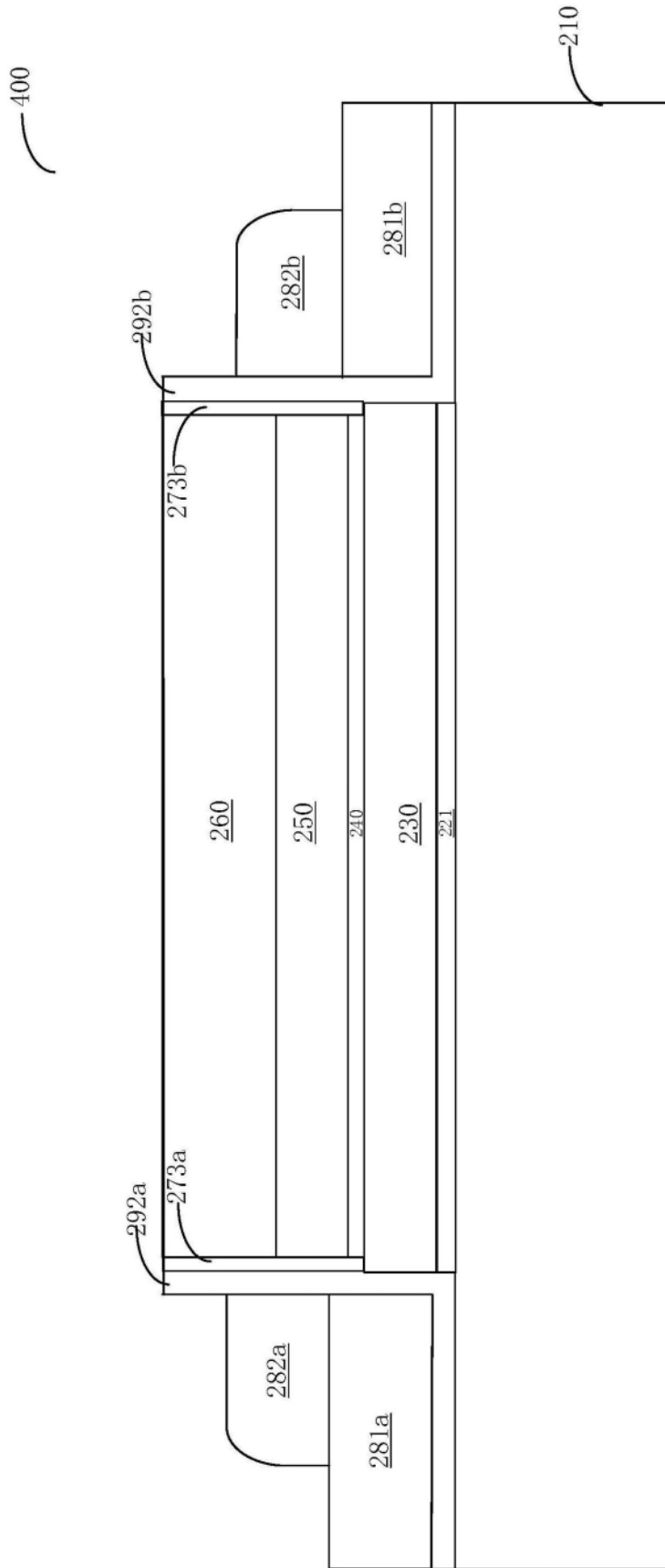


图4A

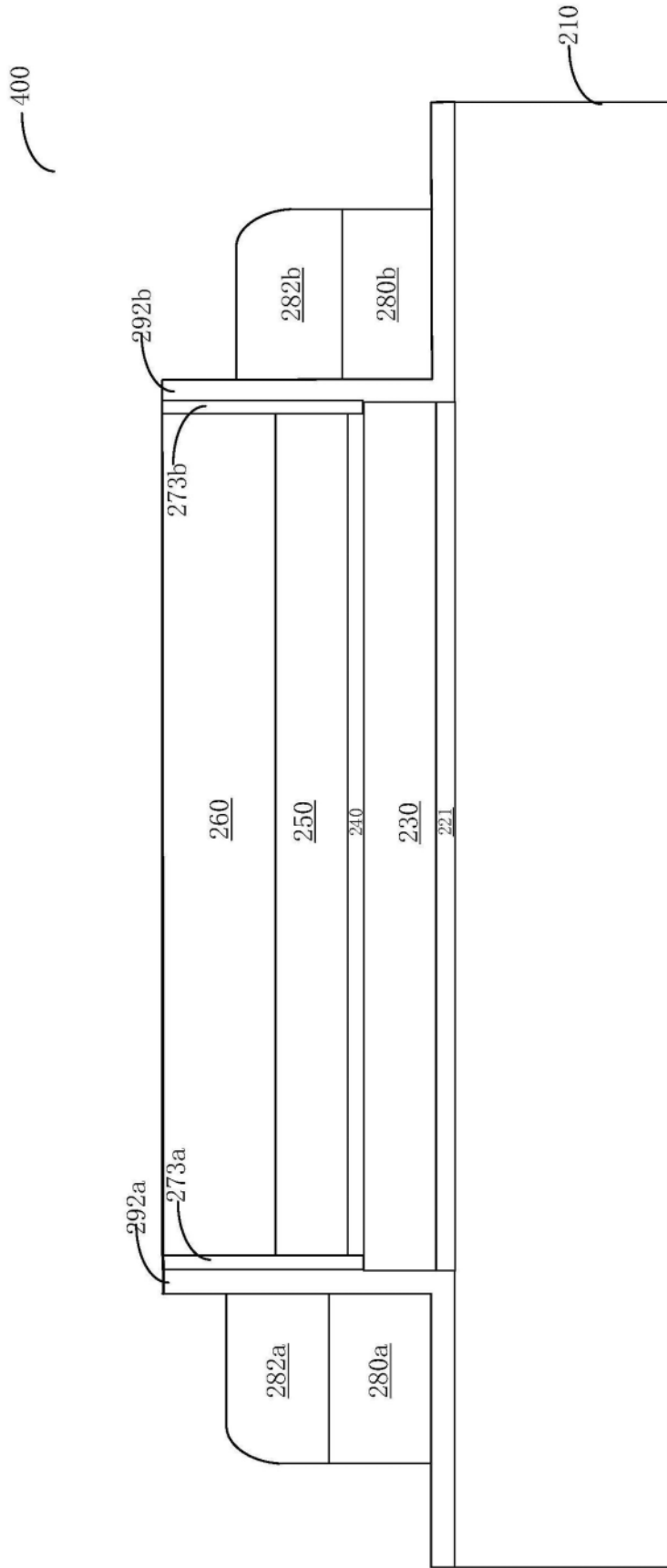


图4B

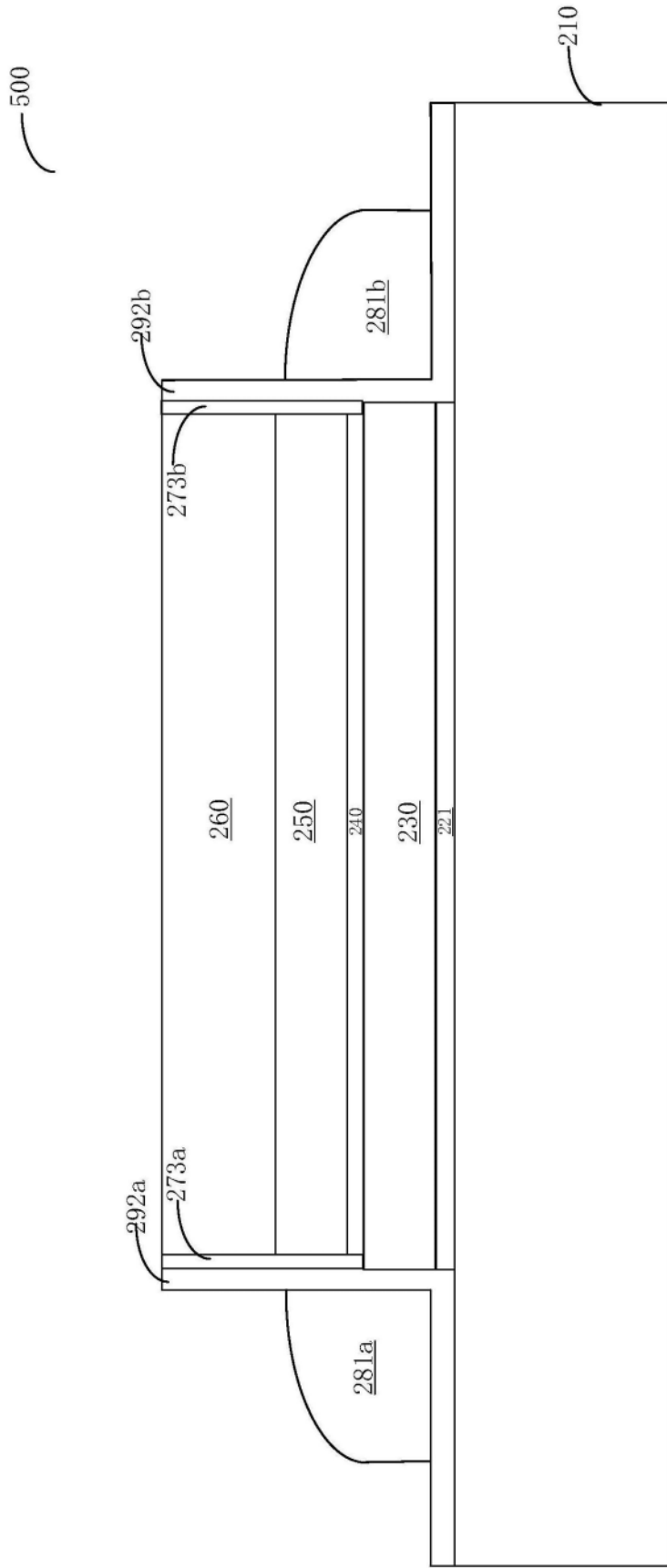


图5

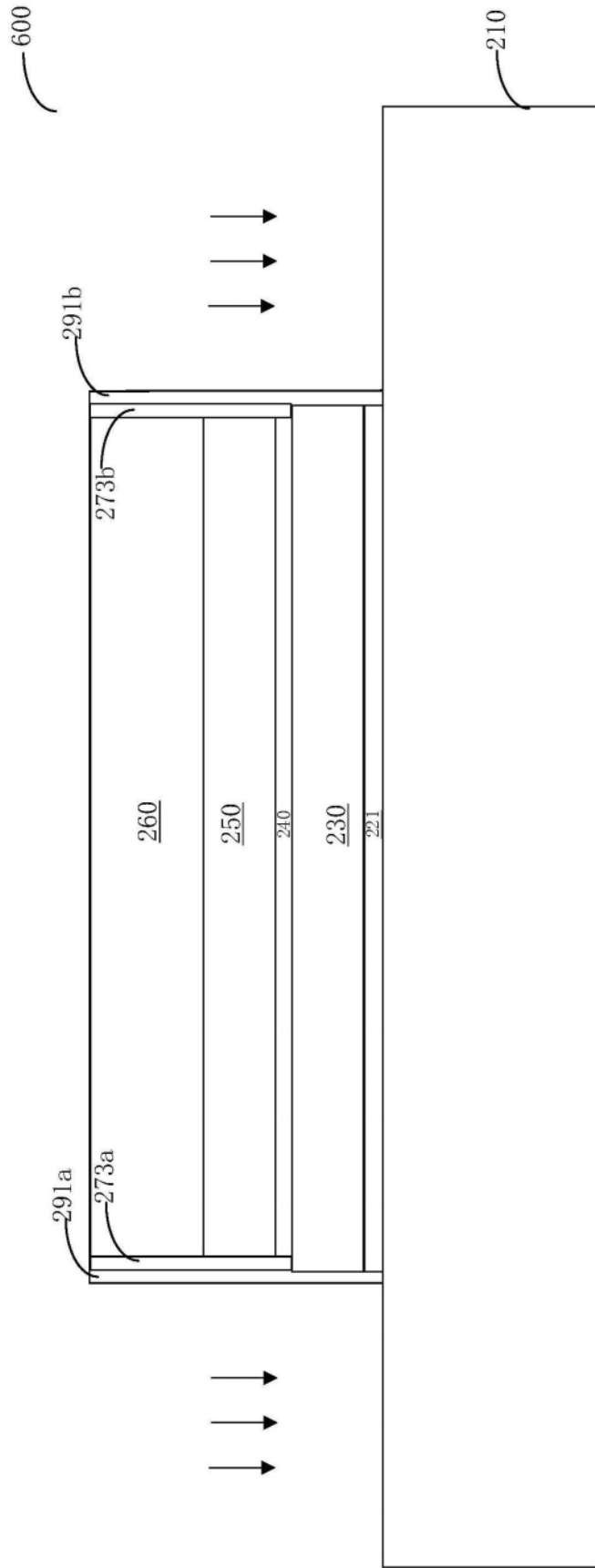


图6

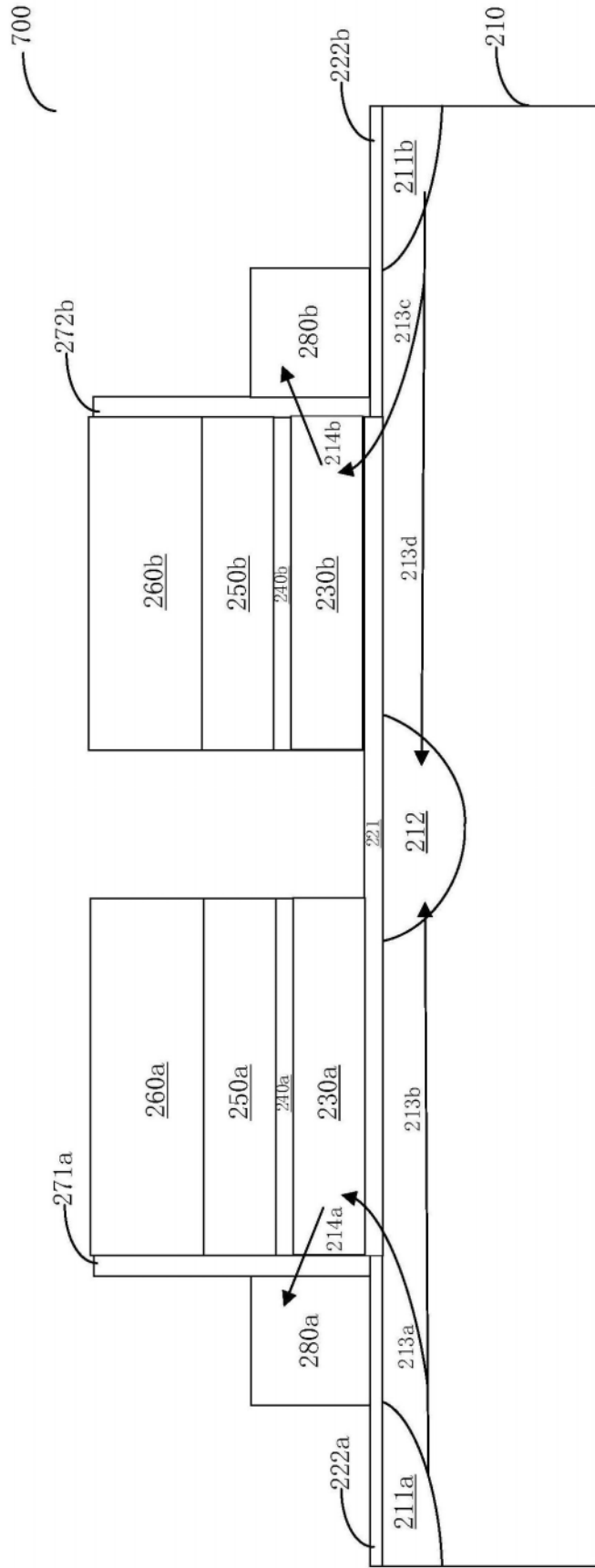


图7



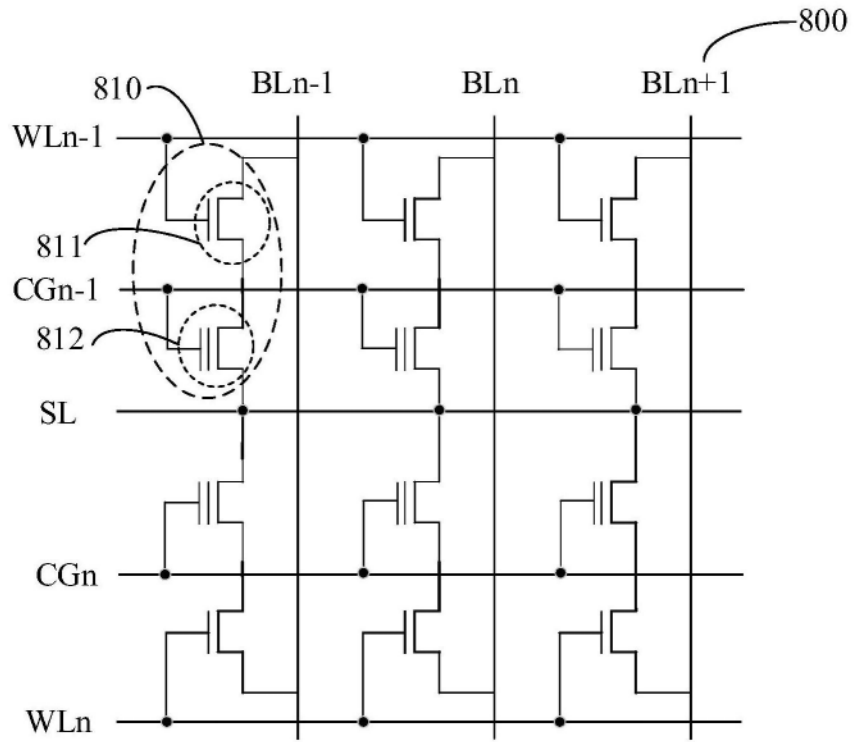


图8

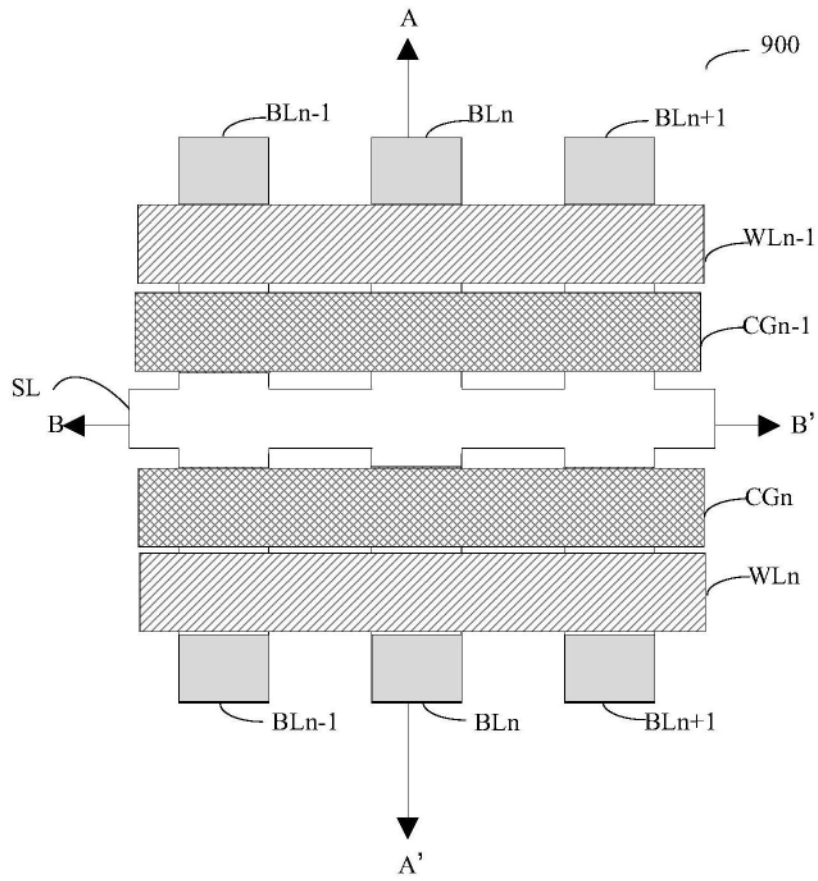


图9A

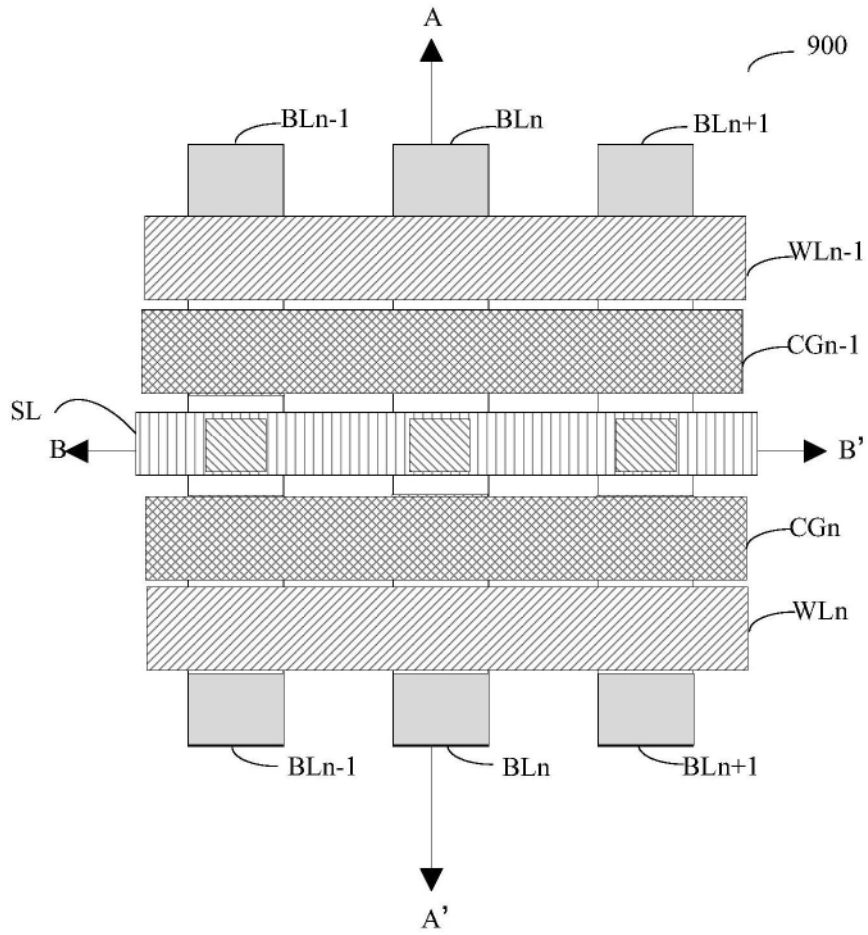


图9B