



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월03일  
(11) 등록번호 10-2345617  
(24) 등록일자 2021년12월27일

(51) 국제특허분류(Int. Cl.)  
G09F 9/30 (2006.01) H01L 29/786 (2006.01)  
(21) 출원번호 10-2014-0004083  
(22) 출원일자 2014년01월13일  
심사청구일자 2019년01월11일  
(65) 공개번호 10-2015-0084256  
(43) 공개일자 2015년07월22일  
(56) 선행기술조사문헌  
KR1020120112050 A\*  
KR1020130034277 A\*  
KR1020130136063 A\*  
KR1020120130128 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
조승환  
경기 수원시 영통구 봉영로1744번길 16, 244동 602호 (영통동, 황골마을2단지아파트)  
강윤호  
경기 용인시 수지구 동천로153번길 6, 1411동 401호 (동천동, 한빛마을래미안이스트팰리스4단지)  
(뒷면에 계속)  
(74) 대리인  
특허법인 고려

전체 청구항 수 : 총 20 항

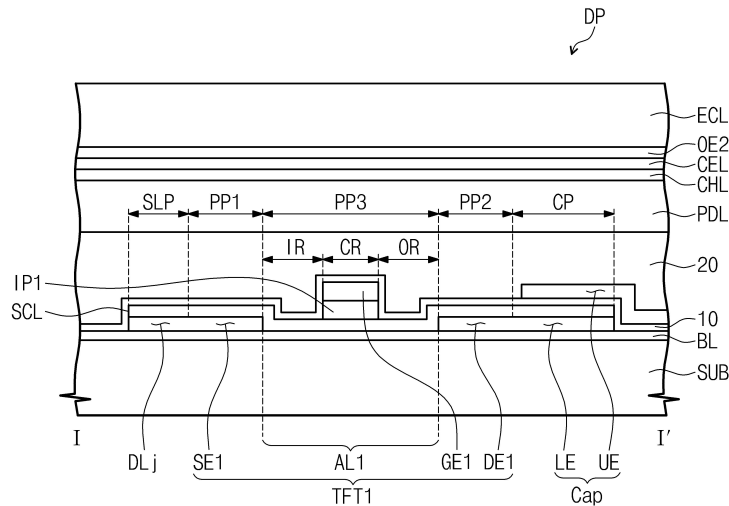
심사관 : 김재호

(54) 발명의 명칭 표시패널

(57) 요약

표시패널은 베이스 기판, 반도체층, 표시소자, 및 적어도 하나의 박막 트랜지스터를 포함한다. 상기 반도체층은 상기 베이스 기판의 일부분 상에 배치된다. 상기 박막 트랜지스터는 입력전극, 출력전극, 및 제어전극을 포함한다. 상기 반도체층은 상기 입력전극 상에 배치된 제1 부분, 상기 출력전극 상에 배치된 제2 부분, 및 상기 제어전극에 중첩하는 제3 부분을 포함한다. 상기 제3 부분은 상기 제1 부분과 상기 제2 부분을 연결하고, 상기 박막 트랜지스터의 채널을 정의한다.

대표도 - 도4



(72) 발명자

**나현재**

서울 도봉구 우이천로 304, 6동 207호 (쌍문동, 한양1차아파트)

**신영기**

경기 화성시 동탄숲속로 68, 867동 201호 (능동, 숲속마을자연앤데시아파트)

**심동환**

경기 용인시 기흥구 삼성2로 95, 남자사와 기숙사 월계수동 334호 (농서동, 삼성전자(주)기흥캠퍼스)

## 명세서

### 청구범위

#### 청구항 1

화소영역과 주변영역을 포함하는 베이스 기판;

상기 화소영역에 배치된 표시소자;

상기 표시소자를 제어하며, 입력전극, 출력전극, 및 제어전극을 포함하는 제1 박막 트랜지스터를 포함하고,

상기 출력전극 상에 배치된 화소전극; 및

상기 입력전극 상에 배치된 제1 부분, 상기 출력전극 상에 배치된 제2 부분, 및 상기 제1 부분과 상기 제2 부분을 연결하며, 상기 제어전극에 중첩하고, 상기 제1 박막 트랜지스터의 채널을 정의하는 제3 부분을 포함하는 반도체층; 을 포함하고,

상기 제2 부분은 상기 출력전극과 상기 화소전극 사이에 배치되고,

상기 출력전극은 상기 제2 부분을 통해 상기 화소전극에 전기적으로 연결된 표시패널.

#### 청구항 2

제1 항에 있어서,

상기 반도체층은 금속 산화물 반도체를 포함하는 것을 특징으로 하는 표시패널.

#### 청구항 3

제2 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제3 부분의 적어도 일부에 중첩하도록 상기 반도체층 상에 배치된 절연패턴부를 더 포함하고,

상기 제어전극은 상기 절연패턴부 상에 배치된 것을 특징으로 하는 표시패널.

#### 청구항 4

제3 항에 있어서,

상기 제3 부분은,

상기 제1 부분에 연결되며, 상기 금속 산화물 반도체로부터 환원된 금속을 포함하는 입력영역;

상기 제2 부분에 연결되며, 상기 금속 산화물 반도체로부터 환원된 금속을 포함하는 출력영역; 및

상기 입력영역과 상기 출력영역을 연결하도록 상기 입력영역과 상기 출력영역 사이에 배치되며, 상기 절연패턴부에 중첩하는 채널영역을 포함하는 표시패널.

#### 청구항 5

제2 항에 있어서,

상기 제어전극은, 상기 제3 부분의 하측에 배치된 것을 특징으로 하는 표시패널.

#### 청구항 6

제5 항에 있어서,

상기 제3 부분은,

상기 제1 부분에 연결되고, 상기 금속 산화물 반도체로부터 환원된 금속을 포함하는 입력영역;

상기 제2 부분에 연결되고, 상기 금속 산화물 반도체로부터 환원된 금속을 포함하는 출력영역; 및

상기 입력영역과 상기 출력영역을 연결하도록 상기 입력영역과 상기 출력영역 사이에 배치되며, 상기 제어전극과 중첩하는 채널영역을 포함하는 표시패널.

**청구항 7**

제6 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제3 부분의 상기 채널영역 상에 배치된 보호패턴부를 더 포함하는 표시패널.

**청구항 8**

제2 항에 있어서,

상기 주변영역에 배치되고, 상기 제1 박막 트랜지스터의 상기 입력전극에 연결되며 제1 방향으로 연장된 데이터 라인을 더 포함하고,

상기 반도체층은 상기 제1 부분에 연결되고 상기 데이터 라인에 중첩하는 배선 부분을 더 포함하는 것을 특징으로 하는 표시패널.

**청구항 9**

제8 항에 있어서,

상기 배선 부분의 상기 제1 방향에 직교하는 제2 방향의 너비는 상기 데이터 라인의 상기 제2 방향의 너비와 실질적으로 동일한 것을 특징으로 하는 표시패널.

**청구항 10**

제9 항에 있어서,

상기 주변영역에 배치되고, 상기 제어전극에 연결되며 상기 제2 방향으로 연장된 게이트 라인을 더 포함하는 것을 특징으로 하는 표시패널.

**청구항 11**

제9 항에 있어서,

상기 배선 부분은 상기 금속 산화물 반도체로부터 환원된 금속을 포함하는 것을 특징으로 하는 표시패널.

**청구항 12**

제1 항에 있어서,

상기 표시소자의 구동전류를 제어하는 제2 박막 트랜지스터; 및

상기 출력전극에 연결된 하부전극 및 상기 제어전극에 연결된 상부전극을 포함하는 커패시터를 더 포함하고,

상기 표시소자는 유기발광 다이오드를 포함하는 것을 특징으로 하는 표시패널.

**청구항 13**

제12 항에 있어서,

상기 유기발광 다이오드는,

상기 제2 박막 트랜지스터의 출력전극에 연결된 제1 전극;

상기 제1 전극 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치된 제2 전극;

을 포함하는 것을 특징으로 하는 표시패널.

**청구항 14**

제12 항에 있어서,

상기 반도체층은 상기 제2 부분에 연결되며 상기 하부 전극 상에 배치된 용량 부분을 더 포함하는 것을 특징으로 하는 표시패널.

**청구항 15**

제1 항에 있어서,

상기 베이스 기판에 마주하는 대향기관 및 상기 베이스 기판과 상기 대향기관 사이에 배치된 액정층을 더 포함하고,

상기 표시소자는 액정 커패시터를 포함하는 것을 특징으로 하는 표시패널.

**청구항 16**

화소영역과 주변영역을 포함하는 베이스 기판;

상기 베이스 기판 상에 배치된 도전층;

부분적으로 상기 도전층 상에 배치된 금속 산화물 반도체층;

상기 금속 산화물 반도체층 상에 배치된 화소전극;

상기 화소영역에 배치된 표시소자; 및

상기 표시소자를 제어하는 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는,

상기 도전층의 제1 부분 및 상기 도전층의 상기 제1 부분 상에 배치된 상기 금속 산화물 반도체층의 제1 부분을 포함하는 입력전극;

상기 도전층의 제2 부분 및 상기 도전층의 상기 제2 부분 상에 배치된 상기 금속 산화물 반도체층의 제2 부분을 포함하는 출력전극;

상기 금속 산화물 반도체층의 상기 제1 부분과 상기 금속 산화물 반도체층의 상기 제2 부분을 연결하며, 상기 박막 트랜지스터의 채널을 정의하는 상기 금속 산화물 반도체층의 제3 부분; 및

상기 금속 산화물 반도체층의 상기 제3 부분과 중첩하며, 상기 금속 산화물 반도체층의 상기 제3 부분과 절연되게 배치된 제어전극을 포함하고,

상기 금속 산화물 반도체층의 상기 제2 부분은 상기 도전층의 상기 제2 부분과 상기 화소전극 사이에 배치되고,

상기 도전층의 상기 제2 부분은 상기 금속 산화물 반도체층의 상기 제2 부분을 통해 상기 화소전극에 전기적으로 연결된 표시패널.

**청구항 17**

제16 항에 있어서,

상기 박막 트랜지스터는 상기 금속 산화물 반도체층의 상기 제3 부분의 적어도 일부에 중첩하도록 상기 금속 산화물 반도체층 상에 배치된 절연패턴부를 더 포함하고,

상기 제어전극은 상기 절연패턴부 상에 배치된 것을 특징으로 하는 표시패널.

**청구항 18**

제16 항에 있어서,

상기 금속 산화물 반도체층의 상기 제3 부분은,

상기 금속 산화물 반도체층의 상기 제1 부분에 연결되며, 상기 금속 산화물 반도체층으로부터 환원된

금속을 포함하는 입력영역;

상기 금속 산화물 반도체층의 상기 제2 부분에 연결되며, 상기 금속 산화물 반도체층으로부터 환원된 금속을 포함하는 출력영역; 및

상기 입력영역과 상기 출력영역을 연결하도록 상기 입력영역과 상기 출력영역 사이에 배치된 채널영역을 포함하는 표시패널.

**청구항 19**

제16 항에 있어서,

상기 제어전극은, 상기 제3 부분의 하측에 배치된 것을 특징으로 하는 표시패널.

**청구항 20**

제16 항에 있어서,

상기 주변영역에 배치되고, 상기 박막 트랜지스터의 상기 입력전극에 연결되며 제1 방향으로 연장된 데이터 라인 및 상기 박막 트랜지스터 상기 제어전극에 연결되며 상기 제1 방향과 교차하는 제2 방향으로 연장된 게이트 라인을 더 포함하고,

상기 산화물 반도체층은 상기 데이터 라인에 중첩하는 배선 부분을 더 포함하는 것을 특징으로 하는 표시패널.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시패널에 관한 것으로, 좀더 상세히 표시품질이 향상된 표시패널에 관한 것이다.

**배경 기술**

[0002] 표시패널은 베이스 기판 상에 배치된 복수 개의 화소들을 포함한다. 상기 베이스 기판은 복수 개의 화소영역들과 이에 인접한 주변영역으로 구분될 수 있다. 상기 복수 개의 화소들은 상기 복수 개의 화소영역들에 대응하게 배치된다.

[0003] 상기 복수 개의 화소들 각각은 표시소자 및 표시소자를 제어하는 회로부를 포함한다. 어느 하나의 화소의 상기 표시소자 및 상기 회로부는 상기 복수 개의 화소영역들 중 대응하는 화소영역에 배치된다. 평면상에서, 상기 대응하는 화소영역의 면적에 대한 상기 표시소자의 면적에 따라 상기 대응하는 화소영역의 개구율이 결정된다. 상기 회로부가 복잡할수록 개구율이 낮아진다.

**발명의 내용**

**해결하려는 과제**

[0004] 따라서, 본 발명의 목적은 높은 개구율을 갖는 화소를 포함하고, 콘택 저항이 감소된 박막 트랜지스터를 포함하는 표시패널을 제공하는 것이다.

**과제의 해결 수단**

[0005] 발명의 일 실시예에 따른 표시패널은 베이스 기판, 반도체층, 표시소자, 및 적어도 하나의 박막 트랜지스터를 포함한다. 상기 표시패널은 상기 표시소자를 제어하는 제1 박막 트랜지스터를 포함한다. 상기 베이스 기판은 화소영역과 주변영역을 포함한다. 상기 표시소자는 상기 화소영역에 배치된다. 상기 반도체층은 상기 베이스 기판의 일부분 상에 배치된다. 상기 반도체층은 금속 산화물 반도체를 포함할 수 있다.

[0006] 상기 제1 박막 트랜지스터는 입력전극, 출력전극, 및 제어전극을 포함한다. 상기 반도체층은 상기 입력전극 상에 배치된 제1 부분, 상기 출력전극 상에 배치된 제2 부분, 및 상기 제어전극에 중첩하는 제3 부분을 포함한다. 상기 제3 부분은 상기 제1 부분과 상기 제2 부분을 연결하고, 상기 제1 박막 트랜지스터의 채널을 정의한다.

[0007] 상기 제1 박막 트랜지스터는 상기 제3 부분의 적어도 일부에 중첩하도록 상기 반도체층 상에 배치된 절연패턴부

를 더 포함할 수 있다. 상기 제어전극은 상기 절연패턴부 상에 배치된다.

- [0008] 상기 제3 부분은 입력영역, 출력영역, 및 채널영역을 포함한다. 상기 입력영역은 상기 제1 부분에 연결되며, 상기 금속 산화물 반도체로부터 환원된 금속을 포함한다. 상기 출력영역은 상기 제2 부분에 연결되며, 상기 금속 산화물 반도체로부터 환원된 금속을 포함한다. 상기 채널영역은 상기 입력영역과 상기 출력영역을 연결하도록 상기 입력영역과 상기 출력영역 사이에 배치되며, 상기 절연패턴부에 중첩한다.
- [0009] 상기 제어전극은 상기 반도체층과 절연층을 사이에 두고 배치되며, 상기 제3 부분의 하측에 배치될 수 있다.
- [0010] 상기 제1 박막 트랜지스터는 상기 제3 부분의 상기 채널영역 상에 배치된 보호패턴부를 더 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 따른 표시패널은 상기 주변영역에 배치되고, 상기 제1 박막 트랜지스터의 상기 입력전극에 연결되며 제1 방향으로 연장된 데이터 라인을 더 포함한다. 상기 반도체층은 상기 제1 부분에 연결되고 상기 데이터 라인에 중첩하는 배선 부분을 더 포함할 수 있다. 상기 배선 부분은 상기 금속 산화물 반도체로부터 환원된 금속을 포함할 수 있다.
- [0012] 상기 배선 부분의 상기 제1 방향에 직교하는 제2 방향의 너비는 상기 데이터 라인의 상기 제2 방향의 너비와 실질적으로 동일할 수 있다.
- [0013] 본 발명의 일 실시예에 따른 표시패널은 상기 주변영역에 배치되고, 상기 제어전극에 연결되며 상기 제2 방향으로 연장된 게이트 라인을 더 포함할 수 있다.
- [0014] 상기 표시소자는 유기발광 다이오드를 포함할 수 있다. 본 발명의 일 실시예에 따른 표시패널은 상기 표시소자의 구동전류를 제어하는 제2 박막 트랜지스터 및 상기 출력전극에 연결된 하부전극 및 상기 제어전극에 연결된 상부전극을 포함하는 커패시터를 더 포함할 수 있다.
- [0015] 상기 반도체층은 상기 제2 부분에 연결되며 상기 하부 전극 상에 배치된 용량 부분을 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 표시패널은 상기 베이스 기판에 마주하는 대향기판 및 상기 베이스 기판과 상기 대향기판 사이에 배치된 액정층을 더 포함할 수 있다. 상기 표시소자는 액정 커패시터를 포함할 수 있다.

**발명의 효과**

- [0017] 상술한 바에 따르면, 상기 반도체층의 일부분들이 상기 박막 트랜지스터의 상기 입력전극과 상기 출력전극 상에 각각 직접 배치된다. 상기 입력전극 상에 배치된 상기 반도체층의 제1 부분, 상기 출력전극 상에 배치된 상기 반도체층의 제2 부분은 상기 박막 트랜지스터의 채널의 정의하는 상기 반도체층의 제3 부분과 연결된다. 상기 입력전극과 상기 출력전극은 콘택홀 없이 상기 채널의 정의하는 상기 반도체층의 상기 제3 부분과 연결된다. 상기 콘택홀이 생략됨으로써 상기 화소의 개구율이 증가된다.
- [0018] 상기 출력전극은 상기 반도체층의 상기 제1 부분을 통해 다른 전극(예컨대, 화소전극)과 전기적으로 연결될 수 있다. 상기 박막 트랜지스터의 전류 경로는 상기 입력전극, 상기 반도체층의 상기 제3 부분, 상기 출력전극, 및 상기 화소전극으로 형성된다. 상기 반도체층을 통해 전류 경로가 형성되는 박막 트랜지스터에 비해, 본 발명에 따른 박막 트랜지스터는 상대적으로 낮은 상기 출력전극과 상기 화소 전극 사이의 콘택 저항을 갖는다. 상기 출력전극과 상기 화소전극이 상기 출력전극 상에 배치된 상기 반도체층의 상기 제2 부분을 사이에 두고 전기적으로 연결되더라도, 상기 박막 트랜지스터의 신호지연(RC 딜레이)은 발생 되지 않는다.

**도면의 간단한 설명**

- [0019] 도 1은 본 발명의 일 실시예에 따른 표시패널의 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 화소의 등가회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 화소의 레이아웃이다.
- 도 4는 본 발명의 일 실시예에 따른 화소의 제1 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 화소의 제2 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 표시패널의 부분 사시도이다.
- 도 7은 본 발명의 일 실시예에 따른 화소의 등가회로도이다.

도 8은 본 발명의 일 실시예에 따른 화소의 레이아웃이다.

도 9는 본 발명의 일 실시예에 따른 화소의 단면도이다.

도 10은 본 발명의 일 실시예에 따른 화소의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 표시장치를 설명한다.
- [0021] 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 일부 구성요소의 스케일을 과장하거나 축소하여 나타내었다. 명세서 전체에 걸쳐 유사한 참조 부호는 유사한 구성 요소를 지칭한다. 그리고, 어떤 층이 다른 층의 '상에' 형성된다(배치된다)는 것은, 두 층이 접해 있는 경우뿐만 아니라 두 층 사이에 다른 층이 존재하는 경우도 포함한다. 또한, 도면에서 어떤 층의 일면이 평평하게 도시되었지만, 반드시 평평할 것을 요구하지 않으며, 적층 공정에서 하부층의 표면 형상에 의해 상부층의 표면에 단차가 발생할 수도 있다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 표시패널의 평면도이다. 도 1에 도시된 것과 같이, 표시패널(DP)은 제1 방향(DR1)과 상기 제1 방향(DR1)에 직교하는 제2 방향(DR2)이 정의하는 평면상에서 복수 개의 화소영역들(PXA(i,j)-PXA(i+1,j+2))과 상기 복수 개의 화소영역들(PXA(i,j)-PXA(i+1,j+2))에 인접한 주변영역들(PA)로 구분된다. 상기 복수 개의 화소영역들(PXA(i,j)-PXA(i+1,j+2))은 매트릭스 형태로 배열될 수 있다.
- [0023] 도 1에는 6개의 화소영역들(PXA(i,j)-PXA(i+1,j+2))이 예시적으로 도시되었다. 상기 표시패널(DP)은 상기 제1 방향(DR1)과 상기 제2 방향(DR2)이 정의하는 표시면을 포함한다. 상기 표시패널(DP)은 상기 표시면으로 영상을 표시한다.
- [0024] 상기 복수 개의 화소영역들(PXA(i,j)-PXA(i+1,j+2)) 중 동일한 행에 배열된 3개의 화소영역들로부터 서로 다른 컬러들이 표시될 수 있다. 예컨대, 상기 3개의 화소영역들(PXA(i,j)-PXA(i,j+2))로부터 레드, 그린, 블루가 각각 표시될 수 있다.
- [0025] 상기 표시패널(DP)은 상기 복수 개의 화소영역들(PXA(i,j)-PXA(i+1,j+2))에 배치된 화소들(미 도시) 및 상기 주변영역들(PA)에 배치된 신호배선들(미 도시)을 포함한다. 상기 신호배선들은 상기 화소들에 신호들을 제공한다. 상기 신호배선들은 상기 제1 방향(DR1)으로 연장된 게이트 라인들 및 상기 제2 방향(DR2)을 연장된 데이터 라인들을 포함할 수 있다. 그밖에 신호배선들은 상기 제2 방향(DR2)으로 연장된 전원 라인을 더 포함할 수 있다.
- [0026] 본 실시예에서 상기 화소들은 유기발광 화소일 수 있다. 상기 유기발광 화소는 표시소자으로써 유기발광 다이오드를 포함한다. 또한 상기 유기발광 화소는 상기 유기발광 다이오드를 제어하는 적어도 하나의 박막 트랜지스터를 포함한다. 한편, 상기 화소들은 상기 유기발광 화소에 제한되지 않는다.
- [0027] 도 2는 본 발명의 일 실시예에 따른 화소의 등가회로도이다. 도 2는 유기발광 화소(PX(i,j), 이하 화소)의 등가회로를 도시하였다. 상기 화소(PX(i,j))는 제1 박막 트랜지스터(TFT1), 커패시터(Cap), 제2 박막 트랜지스터(TFT2), 및 유기발광 다이오드(OLED(i,j))를 포함할 수 있다. 상기 제1 박막 트랜지스터(TFT1), 상기 커패시터(Cap), 및 상기 제2 박막 트랜지스터(TFT2)는 상기 유기발광 다이오드(OLED(i,j))를 제어하기 위한 회로부를 구성한다.
- [0028] 상기 화소(PX(i,j))는 i번째 게이트 라인(GLi) 및 j번째 데이터 라인(DLj)에 연결된다. 상기 i번째 게이트 라인(GLi)은 상기 표시패널(DP)에 구비된 상기 복수 개의 게이트 라인들 중 어느 하나이고, 상기 j번째 데이터 라인(DLj)은 상기 표시패널(DP)에 구비된 상기 복수 개의 데이터 라인들 중 어느 하나이다.
- [0029] 상기 제1 박막 트랜지스터(TFT1)는 상기 i번째 게이트 라인(GLi)에 인가된 게이트 신호에 응답하여 상기 j번째 데이터 라인(DLj)에 인가된 데이터 신호를 출력한다. 상기 제2 박막 트랜지스터(TFT2)는 상기 유기발광 다이오드(OLED(i,j))에 흐르는 구동전류를 제어한다. 상기 화소(PX(i,j))는 서로 다른 레벨의 제1 전압(ELVDD)과 제2 전압(ELVSS)을 수신한다. 상기 화소(PX(i,j))는 전원 라인(KL)으로부터 상기 제1 전압(ELVDD)을 수신한다.
- [0030] 상기 유기발광 다이오드(OLED(i,j))의 제1 전극은 상기 제2 박막 트랜지스터(TFT2)로부터 상기 제1 전압(ELVDD)에 대응하는 전압을 수신하고, 상기 유기발광 다이오드(OLED(i,j))의 제2 전극은 상기 제2 전압(ELVSS)을 수신한다. 상기 유기발광 다이오드(OLED(i,j))는 상기 제2 박막 트랜지스터(TFT2)의 턴-온 구간 동안 발광한다. 상기 커패시터(Cap)는 상기 제2 박막 트랜지스터(TFT2)의 턴-온 구간 또는 활성화 정도를 제어한다. 결과적으로 상기 유기발광 다이오드(OLED(i,j))의 휘도는 상기 제1 박막 트랜지스터(TFT1)로부터 출력된 전압의 레벨에 따



라 제어될 수 있다. 상기 화소(PX(i,j))의 구성은 변경될 수 있다.

- [0031] 도 3은 본 발명의 일 실시예에 따른 화소의 레이아웃이다. 도 3에서 유기발광 다이오드의 일부 구성은 미 도시되었고, 상기 표시패널 상에 공통적으로 배치된 몇몇의 층들은 미 도시되었다.
- [0032] 도 4는 본 발명의 일 실시예에 따른 표시패널의 제1 단면도이고, 도 5는 본 발명의 일 실시예에 따른 표시패널의 제2 단면도이다. 도 4는 도 3의 I-I'에 대응하는 단면을, 도 5는 도 3의 II-II'에 대응하는 단면을 각각 도시하였다.
- [0033] 도 3 내지 도 5에 도시된 것과 같이, 상기 표시패널(DP)은 베이스 기판(SUB)을 포함한다. 상기 베이스 기판(SUB)은 유리 기판, 플라스틱 기판, 스테인레스 스틸 기판 등일 수 있다.
- [0034] 상기 베이스 기판(SUB)의 일면 상에 버퍼층(BL)이 배치된다. 상기 베이스 기판(SUB)의 일면 상에 상기 화소(PX(i,j))를 구성하는 복수 개의 도전층들 및 반도체층(SCL)이 배치된다. 상기 버퍼층(BL)은 상기 복수 개의 도전층들 또는 상기 반도체층(SCL)의 접촉력을 향상시킨다. 상기 버퍼층(BL)을 구성하는 물질은 상기 버퍼층(BL) 상에 배치되는 구성에 따라 선택될 수 있다. 상기 버퍼층(BL)은 생략될 수도 있다.
- [0035] 상기 복수 개의 도전층들 각각은 패터닝된다. 상기 패터닝된 도전층들의 일부분들은 상기 제1 박막 트랜지스터(TFT1) 및 제2 박막 트랜지스터(TFT2)의 일부를 구성하거나, 상기 커패시터(Cap)의 일부를 구성할 수 있다. 상기 패터닝된 도전층들의 다른 일부분들은 상기 i번째 게이트 라인(GLi), 상기 j번째 데이터 라인(DLj) 또는 상기 전원 라인(KL)을 구성할 수 있다.
- [0036] 상기 반도체층(SCL)은 패터닝됨으로써 상기 베이스 기판(SUB)의 일부분 상에 중첩하게 배치된다. 상기 패터닝된 반도체층(SCL)의 일부분들은 상기 제1 박막 트랜지스터(TFT1) 및 제2 박막 트랜지스터(TFT2)를 구성할 수 있다. 상기 패터닝된 반도체층(SCL)의 다른 일부분들은 상기 i번째 게이트 라인(GLi), 상기 j번째 데이터 라인(DLj) 또는 상기 전원 라인(KL)에 중첩하게 배치될 수 있다.
- [0037] 도 3에 도시된 것과 같이, 상기 제1 박막 트랜지스터(TFT1)는 입력전극(SE1, 이하, 제1 입력전극), 출력전극(DE1, 이하, 제1 출력전극), 활성화부(AL1, 이하, 제1 활성화부), 및 제어전극(GE1, 이하, 제1 제어전극)을 포함한다. 상기 제2 박막 트랜지스터(TFT2)는 입력전극(SE2, 이하, 제2 입력전극), 출력전극(DE2, 이하, 제2 출력전극), 활성화부(AL2, 이하, 제2 활성화부), 및 제어전극(GE2, 이하, 제2 제어전극)을 포함한다. 상기 커패시터(Cap)는 하부전극(LE)과 상부전극(UE)을 포함한다.
- [0038] 상기 제1 입력전극(SE1)은 상기 j번째 데이터 라인(DLj)으로부터 분기된다. 상기 제1 제어전극(GE1)은 상기 i번째 게이트 라인(GLi)으로부터 분기된다. 상기 제1 출력전극(DE1)은 상기 제1 입력전극(SE1)으로부터 이격되어 배치된다. 상기 제1 출력전극(DE1)에 상기 커패시터(Cap)의 상기 하부전극(LE)이 연결된다. 상기 하부전극(LE)과 상기 제1 출력전극(DE1)은 동일한 층 상에 배치된다. 상기 하부전극(LE)과 상기 제1 출력전극(DE1)은 일체의 형상을 가질 수 있다. 상기 커패시터(Cap)의 상기 상부전극(UE)은 상기 하부전극(LE)에 중첩한다.
- [0039] 상기 제2 입력전극(SE2)은 상기 전원 라인(KL)으로부터 분기된다. 상기 제2 제어전극(GE2)은 상기 상부전극(UE)에 연결된다. 상기 제2 출력전극(DE2)은 상기 제2 입력전극(SE2)으로부터 이격되어 배치된다. 상기 제2 출력전극(DE2)은 콘택홀(CH)에 중첩한다.
- [0040] 도 4에 도시된 것과 같이, 상기 버퍼층(BL) 상에 상기 j번째 데이터 라인(DLj), 상기 제1 입력전극(SE1), 및 상기 제1 출력전극(DE1)이 배치된다. 상기 버퍼층(BL) 상에 상기 제1 출력전극(DE1)에 연결된 상기 하부전극(LE)이 배치된다.
- [0041] 상기 버퍼층(BL) 상에 상기 반도체층(SCL)의 일부분들이 배치된다. 상기 반도체층(SCL)의 제1 부분(PP1)이 상기 제1 입력전극(SE1) 상에 배치되고, 상기 반도체층(SCL)의 제2 부분(PP2)이 상기 제1 출력전극(DE1) 상에 배치된다. 상기 반도체층(SCL)의 제3 부분(PP3)이 상기 버퍼층(BL) 상에 배치된다. 상기 제3 부분(PP3)은 상기 제1 부분(PP1)과 상기 제2 부분(PP2)를 연결한다.
- [0042] 상기 반도체층(SCL)의 배선 부분(SLP)이 상기 j번째 데이터 라인(DLj) 상에 배치된다. 상기 배선 부분(SLP)은 상기 제1 부분(PP1)에 연결된다. 상기 반도체층(SCL)의 용량 부분(CP)이 상기 하부전극(LE) 상에 배치된다. 상기 용량 부분(CP)은 상기 제2 부분(PP2)에 연결된다.
- [0043] 상기 제3 부분(PP3) 상에는 상기 제3 부분(PP3)의 적어도 일부에 중첩하는 절연패턴부(IP)가 배치된다. 상기 절연패턴부(IP) 상에 상기 제1 제어전극(GE1)이 배치된다. 상기 버퍼층(BL) 상에 상기 반도체층(SCL)을 커버하는

제1 절연층(10)이 배치된다. 상기 제1 절연층(10) 상에 상기 하부전극(LE)에 중첩하는 상기 상부전극(UE)이 배치된다.

- [0044] 상기 제1 절연층(10)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 상기 제1 절연층(10)은 유기막이거나, 무기막일 수 있다. 상기 제1 절연층(10)은 다층 구조를 가질 수도 있다. 상기 제1 절연층(10)은 다층의 유기막을 포함하거나, 다층의 무기막을 포함하거나, 적어도 하나의 유기막과 적어도 하나의 무기막을 포함할 수 있다.
- [0045] 상기 j번째 데이터 라인(DLj) 상기 제1 입력전극(SE1), 상기 제1 출력전극(DE1), 상기 하부전극(LE) 등을 포함하는 도전층은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다. 상기 i번째 게이트 라인(GLi) 상기 제1 제어전극(GE1), 상기 상부전극(UE) 역시 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다.
- [0046] 상기 반도체층(SCL)은 금속 산화물 반도체를 포함할 수 있다. 예컨대, 상기 금속 산화물 반도체는, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다. 상기 반도체층(SCL)은 인듐-주석 산화물(ITO), 인듐-갈륨-아연 산화물(IGZO), 또는 인듐-아연 산화물(IZO) 등을 포함할 수 있다.
- [0047] 상기 제3 부분(PP3)은 상기 제1 박막 트랜지스터(TFT1)의 상기 제1 활성화부(AL1)를 구성한다. 상기 제1 활성화부(AL1)는 상기 제1 박막 트랜지스터(TFT1)의 채널을 정의한다. 상기 제3 부분(PP3)은 3개의 영역들로 구분될 수 있다. 상기 제3 부분(PP3)은 상기 제1 부분(PP1)에 인접하는 입력영역(IR), 상기 제2 부분(PP2)에 인접하는 출력영역(OR), 및 상기 입력영역(IR)과 상기 출력영역(OR) 사이에 배치된 채널영역(CR)으로 구분될 수 있다. 상기 채널영역(CR)은 상기 절연패턴부(IP)가 배치된 영역이다. 상기 채널영역(CR)은 상기 절연패턴부(IP)를 형성하는 과정에서 형성될 수 있다.
- [0048] 상기 표시패널(DP)의 제조공정 중, 예컨대 플라즈마 공정에 의해 상기 제1 절연층(10)을 형성할 때, 상기 제3 부분(PP3)의 상기 입력영역(IR)과 상기 출력영역(OR)은 환원된다. 뿐만 아니라, 상기 제1 부분(PP1), 상기 제2 부분(PP2), 상기 배선 부분(SLP), 및 상기 용량 부분(CP)은 환원된다. 상기 제3 부분(PP3)의 상기 채널영역(CR)은 상기 절연패턴부(IP)에 의해 보호되므로 환원되지 않는다. 본 발명의 일 실시예에서 상기 반도체층(SCL)의 일부분들은 특정한 환원 처리를 통해 환원될 수도 있다.
- [0049] 상기 제3 부분(PP3)의 상기 입력영역(IR)과 상기 출력영역(OR)은 상기 금속 산화물 반도체로부터 환원된 금속을 포함한다. 상기 제1 부분(PP1), 상기 제2 부분(PP2), 상기 배선 부분(SLP), 및 상기 용량 부분(CP) 역시 상기 금속 산화물 반도체로부터 환원된 금속을 포함한다. 상기 환원된 금속은 상기 부분들의 상면으로부터 소정의 두께를 갖고, 금속층을 구성할 수도 있다. 상기 금속층의 두께는 상기 반도체층(SCL)의 환원된 정도에 따라 결정될 수 있다.
- [0050] 환원되지 않은 상기 제3 부분(PP3)의 상기 채널영역(CR)은 상기 제1 박막 트랜지스터(TFT1)의 실질적인 채널에 해당한다. 본 실시예에서, 상기 제1 입력전극(SE1)과 상기 제1 출력전극(DE1)은 별도의 콘택홀을 구비하지 않고, 상기 제1 활성화부(AL1)에 접속된다. 콘택홀이 생략됨으로써 상기 화소(PX(i, j))의 구조가 단순해지고 개구율이 증가된다.
- [0051] 도 3 및 도 4를 참조하면, 평면 상에서, 상기 제3 부분(PP3)은 상기 제1 입력전극(SE1)과 상기 제1 출력전극(DE1) 사이에 배치된다. 상기 제1 부분(PP1)과 상기 제2 부분(PP2)의 상기 제2 방향(DR2)의 너비는 상기 제1 입력전극(SE1)과 상기 제1 출력전극(DE1)의 상기 제2 방향(DR2)의 너비와 각각 실질적으로 동일할 수 있다. 상기 배선 부분(SLP)의 상기 제1 방향(DR1)의 너비는 상기 j번째 데이터 라인(DLj)의 상기 제1 방향(DR1)의 너비와 실질적으로 동일할 수 있다. 평면 상에서, 상기 용량 부분(CP)의 형상은 상기 하부전극(LE)의 형상과 실질적으로 동일할 수 있다.
- [0052] 본 발명의 다른 실시예에서, 상기 반도체의 일부분들은 상기 박막 트랜지스터의 일부분들 또는 신호배선의 일부분 또는 커패시터의 일부분으로 정의될 수 있다. 다시 말해, 상기 제1 입력전극(SE1) 및 상기 제1 출력전극(DE1) 등은 도전층의 일부분들과 그에 적층된 상기 반도체층의 일부분들을 포함하도록 정의될 수 있다.
- [0053] 예컨대, 상기 제1 입력전극(SE1)과 상기 제1 입력전극(SE1) 상에 적층된 상기 제1 부분(PP1)이 상기 제1 박막 트랜지스터(TFT1)의 입력전극으로 정의될 수 있다. 상기 제1 출력전극(DE1)과 상기 제1 출력전극(DE1) 상에 적층된 상기 제2 부분(PP2)이 상기 제1 박막 트랜지스터(TFT1)의 출력전극으로 정의될 수 있다. 상기 j번째 데이

터 라인(DL<sub>j</sub>)과 상기 j번째 데이터 라인(DL<sub>j</sub>) 상에 적층된 상기 배선 부분(SLP)이 데이터 라인으로 정의될 수 있다.

- [0054] 도 5에 도시된 것과 같이, 상기 버퍼층(BL) 상에 상기 제2 박막 트랜지스터(TFT2)의 입력전극(SE2, 이하, 제2 입력전극), 및 출력전극(DE2, 이하, 제2 출력전극)이 배치된다. 상기 버퍼층(BL) 상에 상기 반도체층(SCL)의 일부분들이 배치된다. 상기 반도체층(SCL)의 제4 부분(PP4)이 상기 제2 입력전극(SE2) 상에 배치되고, 상기 반도체층(SCL)의 제5 부분(PP5)이 상기 제2 출력전극(DE2) 상에 배치된다.
- [0055] 상기 반도체층(SCL)의 제6 부분(PP6)이 상기 버퍼층(BL) 상에 배치된다. 상기 제6 부분(PP6)은 상기 제4 부분(PP4)과 상기 제5 부분(PP5)을 연결한다. 상기 제6 부분(PP6)은 상기 제2 박막 트랜지스터(TFT2)의 활성화부(AL2, 이하 제2 활성화부)를 구성한다. 상기 제6 부분(PP6)은 3개의 영역들로 구분될 수 있다. 상기 제6 부분(PP6)은 입력영역(IR10), 출력영역(OR10), 및 채널영역(CR10)으로 구분될 수 있다.
- [0056] 상기 제1 절연층(10)은 상기 제4 부분(PP4), 상기 제5 부분(PP5), 및 상기 제6 부분(PP6)을 커버한다. 상기 제1 절연층(10) 상에 상기 제2 박막 트랜지스터(TFT2)의 제어전극(GE2, 이하, 제2 제어전극)이 배치된다. 상기 제2 제어전극(GE2)은 상기 채널영역(CR10)에 중첩한다. 상기 표시패널(DP)의 제조공정 중 상기 제6 부분(PP6)의 상기 입력영역(IR10)과 상기 출력영역(OR10)은 환원된다. 뿐만 아니라, 상기 제4 부분(PP4) 및 상기 제5 부분(PP5)은 환원된다. 상기 제6 부분(PP6)의 상기 채널영역(CR10)은 상기 제2 제어전극(GE2)에 의해 보호되므로 환원되지 않는다.
- [0057] 도 4 및 도 5에 도시된 것과 같이, 상기 제1 절연층(10) 상에 제2 절연층(20)이 배치된다. 상기 제2 절연층(20)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 상기 제2 절연층(20)은 유기막일 수 있고, 이때, 상기 제2 절연층(20)은 평탄면을 제공할 수 있다.
- [0058] 상기 제2 절연층(20) 상에 상기 유기발광 다이오드(OLED(i, j))가 배치된다. 상기 유기발광 다이오드(OLED(i, j))는 제1 전극(OE1), 제2 전극(OE2) 및 상기 제1 전극(OE1)과 제2 전극(OE2) 사이에 배치된 유기발광층(EML)을 포함한다. 본 실시예에서 상기 제1 전극(OE1)은 애노드로 상기 제2 전극(OE2)은 캐소드로 설명된다. 상기 제1 전극(OE1)은 발광방향에 따라 투명한 도전성 물질 또는 금속을 포함할 수 있다.
- [0059] 상기 제2 절연층(20) 상에 상기 제1 전극(OE1)이 배치된다. 상기 제1 전극(OE1)은 상기 제1 절연층(10) 및 상기 제2 절연층(20)을 관통하는 콘택홀(CH)을 통해 상기 제5 부분(PP5)에 연결된다. 상기 콘택홀(CH)은 상기 제1 절연층(10) 및 상기 제2 절연층(20)을 각각 통과하는 2개의 관통홀이 연장되어 정의된다.
- [0060] 상기 제2 출력전극(DE2)은 상기 제5 부분(PP5)을 통해 상기 제1 전극(OE1)과 전기적으로 연결될 수 있다. 상기 제2 박막 트랜지스터(TFT2)가 턴-온될 때, 상기 제2 박막 트랜지스터(TFT2)의 전류 경로는 상기 제2 입력전극(SE2), 상기 제6 부분(PP6), 상기 제2 출력전극(DE2), 및 상기 제1 전극(OE1)으로 형성된다.
- [0061] 상기 제6 부분(PP6)에 연결된 상기 제5 부분(PP5)이 상기 제2 출력전극(DE2) 상에 배치되더라도, 상기 전류 경로는 상기 제2 출력전극(DE2) 통해 형성되기 때문에 상기 제2 박막 트랜지스터(TFT2)와 상기 제1 전극(OE1)의 콘택 저항은 실질적으로 증가되지 않는다. 따라서, 상기 제2 박막 트랜지스터(TFT2)의 신호지연(RC 딜레이)은 발생 되지 않는다.
- [0062] 상기 제2 절연층(20) 상에 화소 정의막(PDL)이 배치된다. 상기 화소 정의막(PDL)은 상기 화소영역(PXA(i, j)) 및 상기 주변영역(PA)에 중첩할 수 있다. 상기 화소 정의막(PDL)에 개구부(PDL-OP)가 정의된다. 상기 개구부(PDL-OP)는 상기 제1 전극(OE1)을 노출시킨다.
- [0063] 상기 개구부(PDL-OP)에 중첩하게 상기 제1 전극(OE1) 상에 상기 유기발광층(EML)이 배치된다. 상기 유기발광층(EML) 상에 상기 제2 전극(OE2)이 배치된다. 상기 제1 전극(OE1)과 상기 유기발광층(EML) 사이에 배치된 제1 공통층(CHL)을 더 포함할 수 있다. 상기 유기발광층(EML)과 상기 제2 전극(OE2) 사이에 배치된 제2 공통층(CEL)을 더 포함할 수 있다. 상기 제1 공통층(CHL)과 상기 제2 공통층(CEL)은 하나의 화소영역(PXA(i, j)) 및 그 주변영역(PA) 뿐만 아니라, 다른 화소영역들에도 공통적으로 배치될 수 있다. 상기 제2 전극(OE2) 역시 모든 화소영역들에 공통적으로 배치될 수 있다.
- [0064] 상기 제1 공통층(CHL)은 적어도 정공 주입층을 포함하고, 상기 제2 공통층(CEL)은 적어도 전자 주입층을 포함한다. 상기 제1 공통층(CHL)은 상기 정공 주입층과 상기 유기발광층(EML) 사이에 배치된 정공 수송층을 더 포함하고, 상기 제2 공통층(CEL)은 상기 전자 주입층과 상기 유기발광층(EML) 사이에 배치된 전자 수송층을 더 포함할 수 있다.

- [0065] 상기 제2 전극(OE2) 상에 상기 유기발광 다이오드(OLED(i, j))를 커버하는 봉지층(ECL)이 배치된다. 상기 봉지층(ECL)은 상기 베이스 기판(SUB)에 공통적으로 배치된다. 예컨대, 상기 봉지층(ECL)은 도 1에 도시된 상기 복수 개의 화소영역들(PXA(i, j)~PXA(i+1, j+2))과 그에 인접한 주변영역들(PA)을 공통적으로 커버할 수 있다. 상기 봉지층(ECL)은 상기 베이스 기판(SUB) 상에 배치된 모든 화소영역들을 커버할 수 있다.
- [0066] 별도로 도시되지는 않았으나, 상기 표시패널(DP)은 상기 베이스 기판(SUB)에 마주하는 대향기판을 더 포함할 수 있다. 상기 대향기판은 상기 봉지층(ECL) 상에 배치될 수 있다. 상기 대향기판은 컬러필터들을 포함할 수 있다. 또한, 본 발명의 다른 실시예에 따른 표시패널은 상기 봉지층을 생략할 수 있다. 또한, 상기 대향기판은 봉지기의 기능을 가질 수 있다.
- [0067] 도 6은 본 발명의 일 실시예에 따른 표시패널의 부분 사시도이다. 도 7은 본 발명의 일 실시예에 따른 화소의 등가회로도이다.
- [0068] 도 6에 도시된 것과 같이, 본 실시예에 따른 표시패널(DP10)은 제1 표시기판(DS1)과 제2 표시기판(DS2)을 포함한다. 상기 제1 표시기판(DS1)과 상기 제2 표시기판(DS2)은 두께 방향(DR3, 이하 제3 방향)으로 서로 이격되어 배치된다. 상기 제1 표시기판(DS1)과 상기 제2 표시기판(DS2) 사이에 액정층(LCL)이 배치된다.
- [0069] 상기 표시패널(DP10)은 영상을 표시하는 표시영역들(TA)과 상기 표시영역들(TA)에 인접한 비표시영역(LSA)으로 구분된다. 상기 표시영역들(TA)은 백라이트 유닛(미 도시)으로부터 생성된 광을 통과시킨다. 상기 비표시영역(LSA)은 상기 백라이트 유닛으로부터 생성된 광을 차단시킨다.
- [0070] 상기 표시패널(DP10)은 화소들과 상기 화소들에 신호를 제공하는 신호배선들을 포함한다. 상기 화소들은 상기 표시영역들(TA)에 대응하게 배치된다. 상기 화소들 각각은 표시소자 및 상기 표시소자를 제어하는 회로부를 포함한다. 상기 표시소자는 상기 표시영역(TA)에 중첩한다. 상기 신호배선들은 상기 비표시영역(LSA)에 중첩한다.
- [0071] 도 6에 도시된 것과 같이, 화소영역(PXA)은 그에 대응하는 하나의 표시영역(TA)보다 좀더 넓은 면적의 영역으로 정의될 수 있다. 상기 화소영역(PXA)은 상기 회로부가 차지하는 면적만큼 상기 표시영역(TA)보다 좀더 넓은 면적을 가질 수 있다.
- [0072] 상기 화소들 각각은 도 7에 도시된 화소(PX10(i, j))와 동일한 등가회로를 가질 수 있다. 상기 화소(PX10(i, j))는 상기 표시소자로서 액정 커패시터(C1c)를 포함하고, 상기 회로부로서 박막 트랜지스터(TFT)를 포함한다. 또한, 상기 화소(PX10(i, j))는 상기 액정 커패시터(C1c)에 병렬연결된 스토리지 커패시터(Cst)를 포함한다. 상기 스토리지 커패시터(Cst)는 생략될 수 있다.
- [0073] 상기 박막 트랜지스터(TFT)는 대응하는 게이트 라인(GLi)과 대응하는 데이터 라인(DLj)에 연결된다. 상기 박막 트랜지스터(TFT)는 상기 대응하는 게이트 라인(GLi)에 인가된 게이트 신호에 응답하여 상기 대응하는 데이터 라인(DLj)으로 인가된 데이터 신호를 출력한다.
- [0074] 상기 액정 커패시터(C1c)는 상기 데이터 신호에 대응하는 전압을 충전한다. 상기 액정 커패시터(C1c)는 2개의 전극들과 액정층을 포함한다. 상기 스토리지 커패시터(Cst)는 하나의 전극과, 또 다른 전극에 해당하는 공통라인, 및 그 사이에 배치된 절연층을 포함한다.
- [0075] 상기 대응하는 게이트 라인(GLi)과 상기 대응하는 데이터 라인(DLj)은 상기 제1 표시기판(DS1)과 상기 제2 표시기판(DS2) 중 어느 하나의 표시기판 상에 배치될 수 있다. 상기 액정 커패시터(C1c)의 상기 2개의 전극들은 상기 표시패널(DP10)의 동작모드에 따라 상기 제1 표시기판(DS1)과 상기 제2 표시기판(DS2) 중 어느 하나의 표시기판 상에 배치되거나, 상기 제1 표시기판(DS1)과 상기 제2 표시기판(DS2)에 각각 배치될 수 있다. 이에 대한 상세한 설명은 후술한다.
- [0076] 도 8은 본 발명의 일 실시예에 따른 화소의 레이아웃이다. 도 9는 본 발명의 일 실시예에 따른 표시패널의 단면도이다. 도 9는 도 8의 III-III'에 대응하는 단면을 각각 도시하였다. 이하, 도 1 내지 도 5를 참조하여 설명한 구성과 동일한 구성에 대한 상세한 설명은 생략한다.
- [0077] 도 8 및 도 9는 도 7에 도시된 등가회로의 화소(PX10(i, j))를 예시적으로 도시하였다. 또한, 도 8 및 9는 VA(Vertical Alignment) 모드의 표시패널을 예시적으로 도시하였다.
- [0078] 도 8 및 도 9에 도시된 것과 같이, 상기 제1 표시기판(DS1)은 제1 베이스 기판(SUB1), i번째 게이트 라인(GLi), j번째 데이터 라인(DLj), 공통라인(CLi), 박막 트랜지스터(TFT), 복수 개의 절연층들(10, 20), 및 화소전극(P E)을 포함한다.

- [0079] 상기 버퍼층(BL) 상에 상기 j번째 데이터 라인(DLj), 상기 박막 트랜지스터(TFT)가 배치된다. 상기 박막 트랜지스터(TFT)는 입력전극(SE), 출력전극(DE), 활성화부(AL), 및 제어전극(GE)을 포함한다.
- [0080] 상기 박막 트랜지스터(TFT)의 상기 입력전극(SE), 상기 출력전극(DE), 상기 활성화부(AL), 및 상기 제어전극(GE)은 도 4에 도시된 상기 제1 박막 트랜지스터(TFT1)의 제1 입력전극(SE1), 제1 출력전극(DE1), 제1 활성화부(AL1), 및 상기 제1 제어전극(GE1)에 각각 대응한다. 다만, 도 9에 도시된 것과 같이, 상기 박막 트랜지스터(TFT)의 출력전극(DE)은 상기 출력전극(DE) 상에 배치된 반도체층(SCL)의 제2 부분(PP2)을 통해 상기 화소전극(PE)에 전기적으로 연결된다.
- [0081] 상기 제1 절연층(10)은 상기 박막 트랜지스터(TFT)를 커버하도록 상기 버퍼층(BL) 상에 배치된다. 상기 제1 절연층(10) 상에 상기 공통라인(CLi)이 배치된다. 상기 공통라인(CLi)은 후술하는 공통전극(CE)에 인가된 전압과 동일한 전압을 수신할 수 있다. 상기 제1 절연층(10) 상에 제2 절연층(20)이 배치된다. 상기 제2 절연층(20)은 평탄면을 제공할 수 있다. 상기 화소전극(PE)은 상기 평탄면 상에 배치된다. 상기 화소전극(PE)은 상기 제1 절연층(10) 및 상기 제2 절연층(20)을 관통하는 콘택홀(CH10)을 통해 상기 반도체층(SCL)의 상기 제2 부분(PP2)에 연결된다.
- [0082] 상기 제2 표시기판(DS2)은 제2 베이스 기판(SUB2), 블랙 매트릭스(BM), 컬러필터(CF), 및 공통전극(CE)를 포함한다. 상기 블랙 매트릭스(BM)가 배치된 영역은 상기 비표시영역(LSA)으로 정의되고, 상기 블랙 매트릭스(BM)가 배치되지 않은 영역이 상기 표시영역(TA)으로 정의될 수 있다. 상기 컬러필터(CF)는 상기 표시영역(TA)에 중첩할 수 있다. 상기 제2 표시기판(DS2)은 서로 다른 컬러를 갖는 컬러필터들을 포함할 수 있다. 예컨대, 상기 컬러필터들 중 일부는 레드, 다른 일부는 그린, 또 다른 일부는 블루 컬러를 가질 수 있다.
- [0083] 상기 공통전극(CE)은 상기 블랙 매트릭스(BM)와 상기 컬러필터(CF) 상에 배치된다. 별도로 도시하지 않았으나, 상기 제2 표시기판(DS2)은 상기 블랙 매트릭스(BM)와 상기 컬러필터(CF)를 커버하는 평탄화층을 더 포함할 수 있다. 상기 공통전극(CE)은 상기 평탄화층 상에 배치될 수 있다.
- [0084] 상기 공통전극(CE)은 투명한 도전성 물질을 포함한다. 상기 공통전극(CE)은 투명한 도전성 무기물을 포함할 수 있다. 예컨대, 상기 공통전극(CE)은 인듐-주석 산화물(ITO), 또는 인듐-아연 산화물(IZO) 등을 포함할 수 있다.
- [0085] 상기 표시패널(DP10)의 동작모드에 따라, 예컨대 IPS(In-Plane Switching) 모드 또는 FFS(Fringe-Field Switching) 모드, 및 PLS(Plane to Line Switching) 모드의 표시패널의 상기 공통전극(CE)은 상기 제1 베이스 기판(SUB1) 상에 배치될 수도 있다.
- [0086] 상기 박막 트랜지스터(TFT)가 도 9에 도시된 구조를 가짐으로써, 상기 반도체층(SCL)의 일부분들과 상기 입력전극(SE), 상기 출력전극(DE)을 접속하기 위한 콘택홀들이 생략된다. 따라서, 상기 박막 트랜지스터(TFT)의 구조가 단순해지고, 상기 화소(PX10(i, j))의 개구율이 높아진다.
- [0087] 또한, 상기 박막 트랜지스터(TFT)가 턴-온될 때, 상기 박막 트랜지스터(TFT)의 전류 경로는 상기 입력전극(SE), 상기 반도체층(SCL)의 제2 부분(PP2), 상기 출력전극(DE1), 및 상기 화소전극(PE)으로 형성된다. 상기 박막 트랜지스터(TFT)와 상기 화소전극(PE)의 콘택 저항은 실질적으로 증가되지 않는다. 따라서, 상기 박막 트랜지스터(TFT)의 신호지연(RC 딜레이)은 발생 되지 않는다.
- [0088] 도 10은 본 발명의 일 실시예에 따른 화소의 단면도이다. 도 10은 도 4에 대응하는 단면을 도시하였다. 이하, 도 1 내지 도 5를 참조하여 설명한 구성과 동일한 구성에 대한 상세한 설명은 생략한다.
- [0089] 본 실시예에 따른 표시패널(DP20)은 바텀-게이트 구조의 박막 트랜지스터를 포함한다. 도 4에 도시된 상기 제1 박막 트랜지스터(TFT1)가 탑-게이트 구조인 것과 달리, 도 10에 도시된 제1 박막 트랜지스터(TFT10)는 바텀-게이트 구조를 갖는다.
- [0090] 도 10에 도시된 것과 같이, 상기 버퍼층(BL) 상에 제1 제어전극(GE10)이 배치된다. 상기 버퍼층(BL) 상에 상기 제1 제어전극(GE10)을 커버하는 절연층(GIL, 이하, 게이트 절연층)이 배치된다. 상기 게이트 절연층(GIL) 상에 j번째 데이터 라인(DLj), 제1 입력전극(SE10), 제1 출력전극(DE10), 및 하부전극(LE)이 배치된다.
- [0091] 상기 게이트 절연층(GIL) 상에 상기 반도체층(SCL)의 일부분들이 배치된다. 상기 반도체층(SCL)의 제1 부분(PP1)이 상기 제1 입력전극(SE1) 상에 배치되고, 상기 반도체층(SCL)의 제2 부분(PP2)이 상기 제1 출력전극(DE1) 상에 배치된다. 상기 반도체층(SCL)의 제3 부분(PP3)이 상기 게이트 절연층(GIL) 상에 배치된다.
- [0092] 상기 반도체층(SCL)의 배선 부분(SLP)이 상기 j번째 데이터 라인(DLj) 상에 배치된다. 상기 반도체층(SCL)의 용

량 부분(CP)이 상기 하부전극(LE) 상에 배치된다. 상기 반도체층(SCL)의 제3 부분(PP3) 상에 보호패턴부(PP)가 배치된다. 상기 보호패턴부(PP)는 상기 제3 부분(PP3)의 채널영역(CR)에 중첩한다. 상기 제3 부분(PP3)의 상기 채널영역(CR)은 상기 보호패턴부(PP)에 의해 보호되므로 환원되지 않는다.

[0093] 상기 게이트 절연층(GIL) 상에 상기 반도체층(SCL) 및 상기 보호패턴부(PP)를 커버하는 제1 절연층(10)이 배치된다. 상기 제1 절연층(10) 상에 상기 하부전극(LE)에 중첩하는 상기 상부전극(UE)이 배치된다.

[0094] 상기 제1 박막 트랜지스터(TFT10)가 도 10에 도시된 구조를 가짐으로써, 콘택홀들이 생략될 수 있다. 따라서, 콘택홀들이 생략됨으로써 상기 화소(PX10(i, j))의 회로부가 단순해지고, 상기 화소(PX10(i, j))의 개구율이 높아진다. 또한, 상기 제1 박막 트랜지스터(TFT10)의 신호지연(RC 딜레이)은 발생 되지 않는다.

[0095] 별도로 도시하지는 않았으나, 도 5에 도시된 제2 박막 트랜지스터(TFT2) 역시 바텀-게이트 구조를 가질 수 있다. 또한, 도 9에 도시된 액정표시패널의 박막 트랜지스터(TFT) 역시 바텀-게이트 구조를 가질 수 있다.

[0096] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

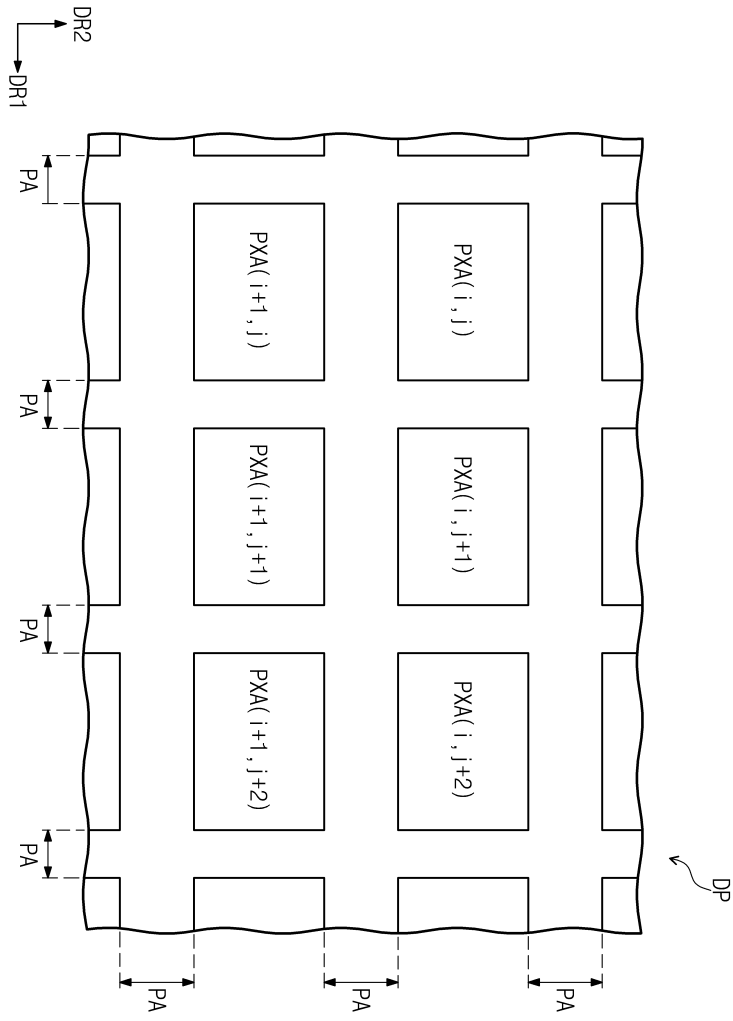
[0097] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

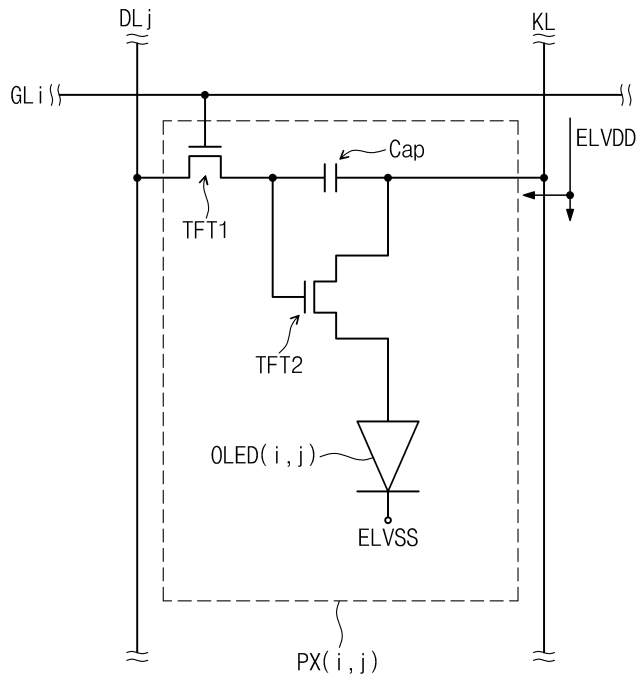
- |        |                       |              |
|--------|-----------------------|--------------|
| [0098] | DP: 표시패널              | SCL: 반도체층    |
|        | SE: 입력전극              | DE: 출력전극     |
|        | AL: 활성화부              | GE: 제어전극     |
|        | OLED(i, j): 유기발광 다이오드 | Clc: 액정 커패시터 |

도면

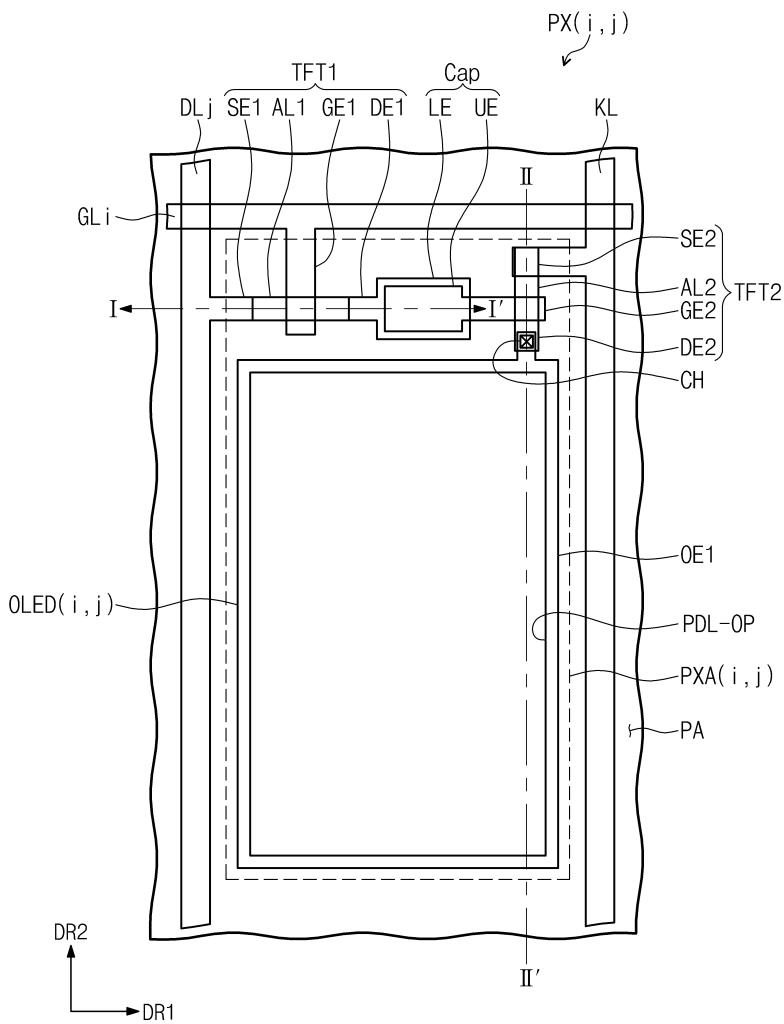
도면1



도면2

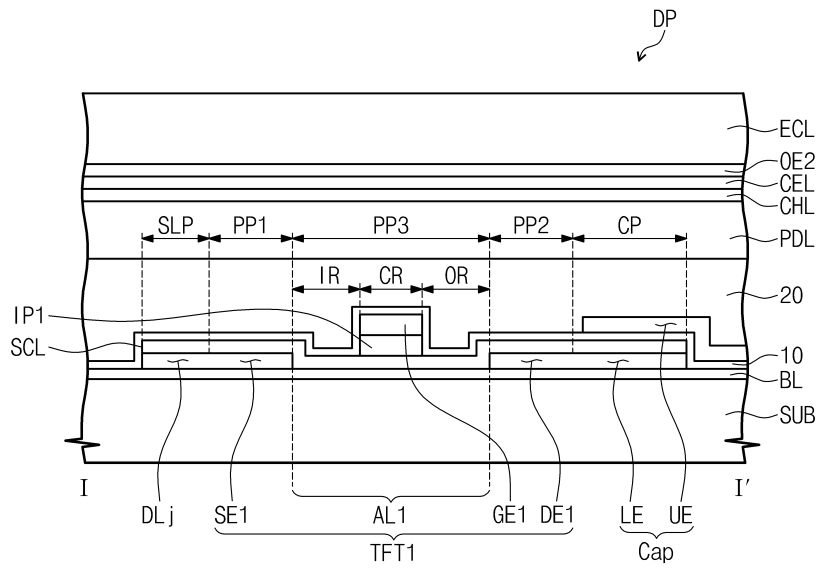


도면3

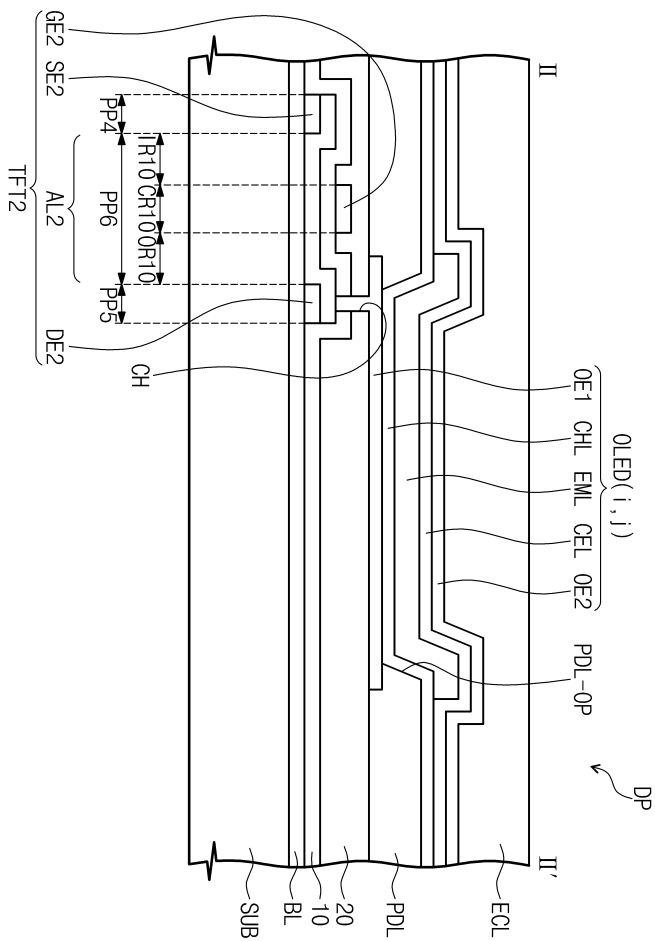




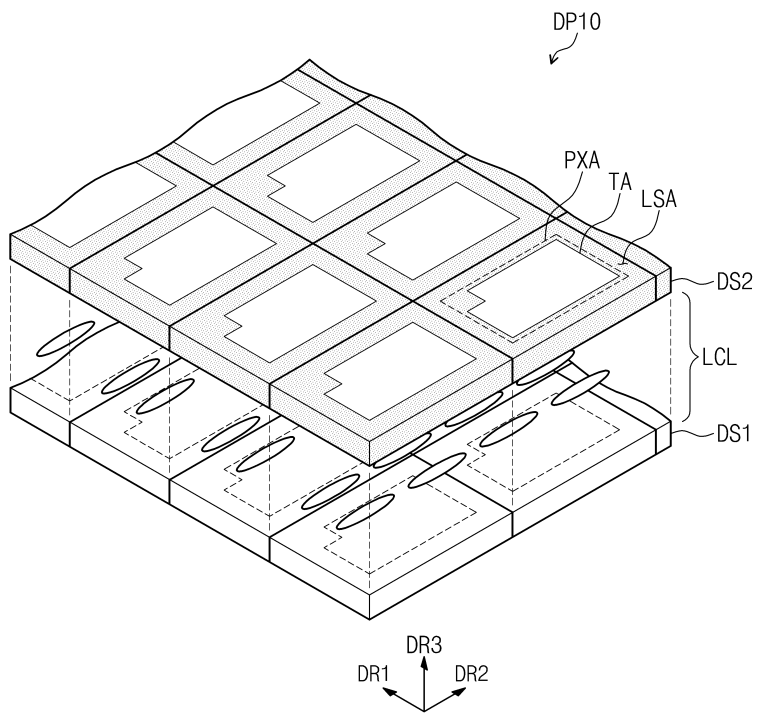
도면4



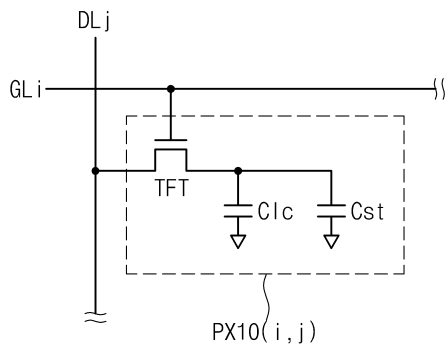
도면5



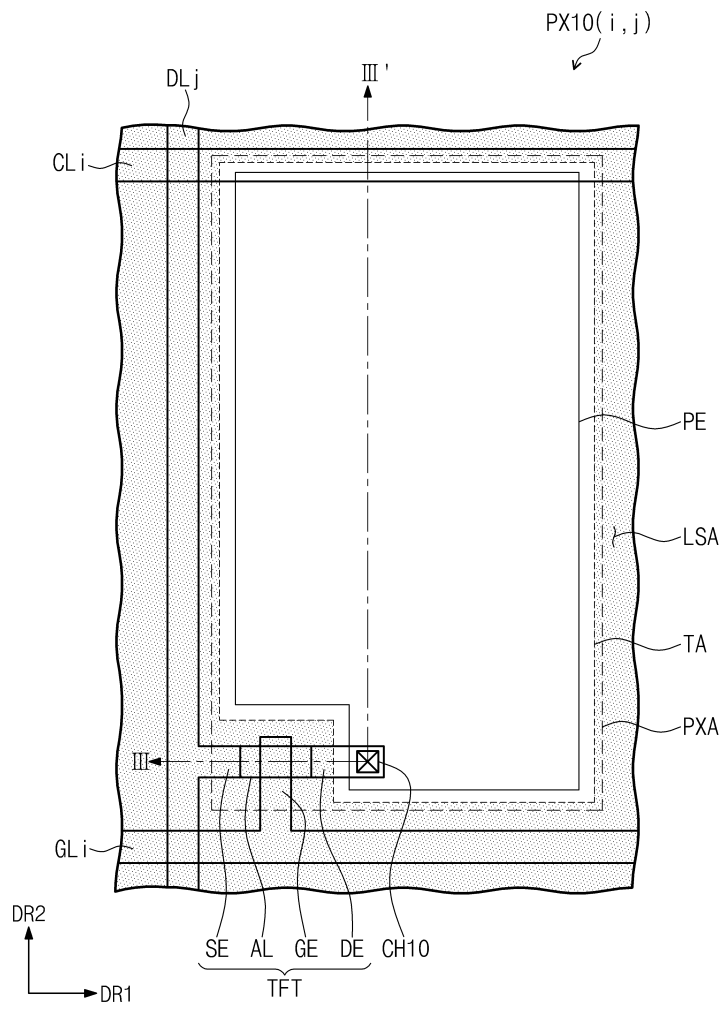
도면6



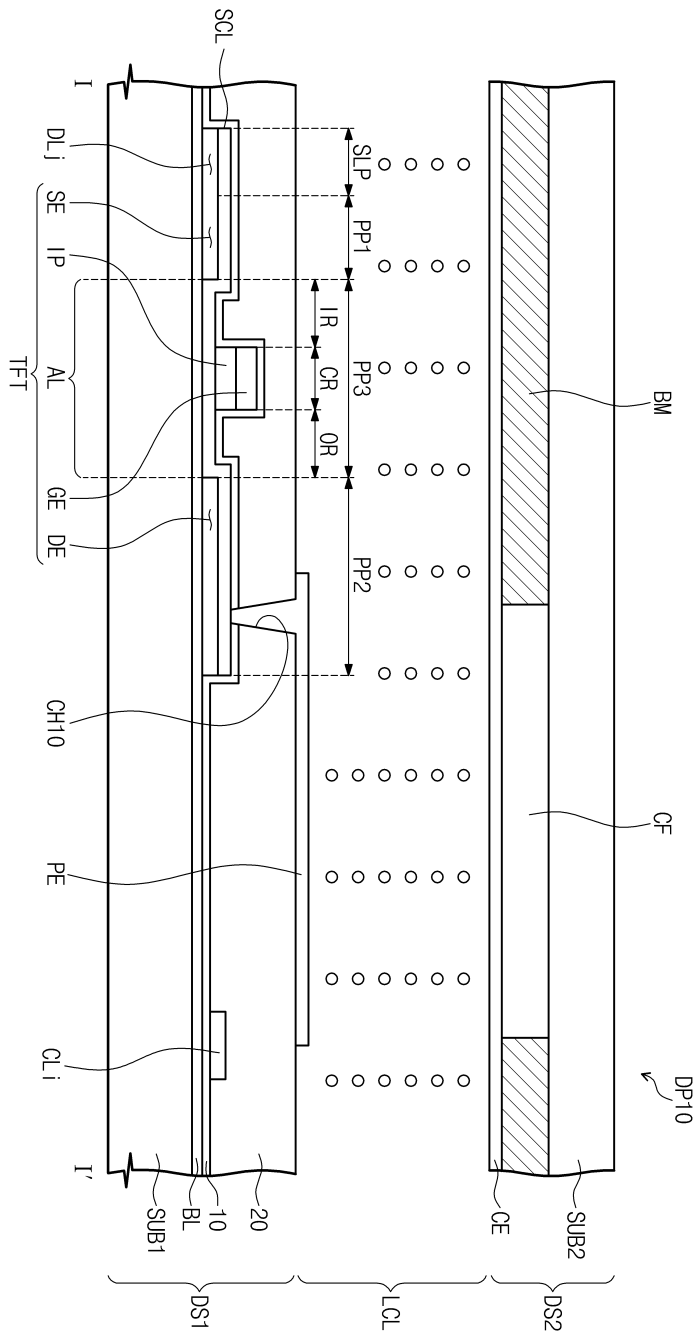
도면7



도면8



도면9



도면10

