

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6540571号
(P6540571)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl.	F I				
HO 1 L 21/318 (2006.01)	HO 1 L	21/318			C
HO 1 L 21/31 (2006.01)	HO 1 L	21/31			C
C 2 3 C 16/56 (2006.01)	C 2 3 C	16/56			
HO 1 L 21/336 (2006.01)	HO 1 L	29/78		6 5 8 F	
HO 1 L 29/78 (2006.01)	HO 1 L	29/78		6 5 3 A	
請求項の数 7 (全 15 頁) 最終頁に続く					

(21) 出願番号 特願2016-59901 (P2016-59901)
 (22) 出願日 平成28年3月24日 (2016.3.24)
 (65) 公開番号 特開2017-174988 (P2017-174988A)
 (43) 公開日 平成29年9月28日 (2017.9.28)
 審査請求日 平成30年4月23日 (2018.4.23)

(73) 特許権者 000241463
 豊田合成株式会社
 愛知県清須市春日長畑1番地
 (74) 代理人 110000028
 特許業務法人明成国際特許事務所
 (72) 発明者 西井 潤弥
 愛知県清須市春日長畑1番地 豊田合成株式会社内
 審査官 佐藤 靖史

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

窒化ガリウムから主に形成された半導体層と、前記半導体層に接する絶縁膜と、を備える半導体装置であって、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmまでの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmの仮想面から、前記半導体層と接する面まで深さが20nmまでの仮想面までの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の前記半導体層とは接しない面から深さが20nmまでの前記絶縁膜の領域における平均水素濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{21} \text{ cm}^{-3}$ 未満である、半導体装置。

【請求項2】

窒化ガリウムから主に形成された半導体層と、前記半導体層に接する絶縁膜と、を備える半導体装置であって、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmまでの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmの仮想面から、前記半導体層と接する面まで深さが20nmまでの仮想面までの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 未満であり、

10

20

前記絶縁膜の上に、金属から形成された電極を備え、
前記半導体層は、溝部を備え、前記絶縁膜は、前記溝部の内側に形成されている、半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置であって、
前記絶縁膜の上に、金属から形成された電極を備える、半導体装置。

【請求項 4】

請求項 1 又は請求項 2 に記載の半導体装置であって、
前記半導体装置は、縦型トレンチ MOS FET である、半導体装置。

【請求項 5】

請求項 1 から請求項 4 までのいずれか一項に記載の半導体装置の製造方法であって、
前記半導体層の上に、窒素を含む有機金属を原料として原子層堆積法により前記絶縁膜を成膜する第 1 工程と、
前記絶縁膜を、酸素とオゾンとの少なくとも一つを含む雰囲気下において酸素プラズマ処理する第 2 工程と、
前記第 2 工程の後、窒素含有雰囲気下において、前記絶縁膜を熱処理する第 3 工程と、
を備える、半導体装置の製造方法。

10

【請求項 6】

請求項 5 に記載の半導体装置の製造方法であって、
前記酸素プラズマ処理において、リモートプラズマを用いる、半導体装置の製造方法。

20

【請求項 7】

請求項 6 に記載の半導体装置の製造方法であって、
前記酸素プラズマ処理において、電子サイクロトロン共鳴プラズマを用いる、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置に関する。

【背景技術】

【0002】

従来から、絶縁膜を備える半導体装置が知られており、絶縁膜を形成する方法としては、例えば、原子層成膜 (Atomic Layer Deposition: ALD) 法が知られている。しかし、ALD 法により成膜した絶縁膜の中には、成膜原料に由来する不純物が含まれ、これらの不純物が絶縁膜の CV ヒステリシスを増大させることが知られている (例えば、特許文献 1)。このため、特許文献 1 では、成膜原料に含まれる炭素 (C) に着目し、炭素 (C) を減らす方法が開示されている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2004 - 288884 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、特許文献 1 に記載された方法は、絶縁膜の CV ヒステリシスを抑制する方法として十分ではなく、絶縁膜の CV ヒステリシスをさらに抑制し、動作の安定した半導体装置を製造する技術が望まれていた。

【課題を解決するための手段】

【0005】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態として実現することが可能である。

50

本発明の第1の形態は、半導体装置であって、
窒化ガリウムから主に形成された半導体層と、前記半導体層に接する絶縁膜と、を備える半導体装置であって、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmまでの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmの仮想面から、前記半導体層と接する面まで深さが20nmまでの仮想面までの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の前記半導体層とは接しない面から深さが20nmまでの前記絶縁膜の領域における平均水素濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{21} \text{ cm}^{-3}$ 未満である、半導体装置である。

10

本発明の第2の形態は、窒化ガリウムから主に形成された半導体層と、前記半導体層に接する絶縁膜と、を備える半導体装置であって、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmまでの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の前記半導体層とは接しない面から深さが30nmの仮想面から、前記半導体層と接する面まで深さが20nmまでの仮想面までの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 未満であり、

前記絶縁膜の上に、金属から形成された電極を備え、

前記半導体層は、溝部を備え、前記絶縁膜は、前記溝部の内側に形成されている、半導体装置である。

20

また、本発明は、以下の形態としても実現できる。

【0006】

(1) 本発明の一形態によれば、半導体装置の製造方法が提供される。この半導体装置の製造方法は、半導体層の上に、窒素を含む有機金属を原料として原子層堆積法により絶縁膜を成膜する第1工程と、前記絶縁膜を、酸素とオゾンとの少なくとも一つを含む雰囲気下において酸素プラズマ処理する第2工程と、前記第2工程の後、窒素含有雰囲気下において、前記絶縁膜を熱処理する第3工程と、を備える。この形態の半導体装置の製造方法によれば、絶縁膜のCVヒステリシスを抑制できるため、動作の安定した半導体装置を製造できる。

30

【0007】

(2) 上述の製造方法であって、前記酸素プラズマ処理において、リモートプラズマを用いてもよい。この形態の半導体装置の製造方法によれば、酸素プラズマ処理時の絶縁膜へのプラズマによるダメージを軽減できる。

【0008】

(3) 上述の製造方法であって、前記酸素プラズマ処理において、電子サイクロトロン共鳴プラズマを用いてもよい。この形態の半導体装置の製造方法によれば、酸素プラズマ処理時の絶縁膜へのプラズマによるダメージをさらに軽減できる。

【0009】

(4) 本発明の他の形態によれば、半導体層と、前記半導体層に接する絶縁膜と、を備える半導体装置が提供される。この半導体装置は、前記絶縁膜の前記半導体層とは接しない面から深さが30nmまでの前記絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 未満であり、前記絶縁膜の前記半導体層とは接しない面から深さが30nmの仮想面から、前記半導体層と接する面まで深さが20nmまでの仮想面までの絶縁膜の領域における平均窒素濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 未満である。この形態の半導体装置によれば、絶縁膜のCVヒステリシスを抑制できるため、高い動作安定性を備えることができる。

40

【0010】

(5) 上述の半導体装置において、前記絶縁膜の前記半導体層とは接しない面から深さが20nmまでの前記絶縁膜の領域における平均水素濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上

50

、かつ、 $1.0 \times 10^{21} \text{ cm}^{-3}$ 未満であってもよい。この形態の半導体装置によれば、絶縁膜のCVヒステリシスを抑制できるため、高い動作安定性を備えることができる。

【0011】

(6) 上述の半導体装置において、前記絶縁膜の上に、金属から形成された電極を備えてもよい。この形態の半導体装置によれば、絶縁膜のCVヒステリシスを抑制できるため、高い動作安定性を備えることができる。

【0012】

(7) 上述の半導体装置において、前記半導体層は、溝部を備え、前記絶縁膜は、前記溝部の内側に形成されていてもよい。この形態の半導体装置によれば、絶縁膜のCVヒステリシスを抑制できるため、高い動作安定性を備えることができる。

10

【0013】

(8) 上述の半導体装置は、縦型トレンチMOSFETであってもよい。この形態の半導体装置によれば、絶縁膜のCVヒステリシスを抑制できるため、高い動作安定性を備えることができる。

【0014】

本発明は、半導体装置の製造方法や半導体装置以外の種々の形態で実現することも可能である。例えば、上述の製造方法を用いて半導体装置を製造する装置などの形態で実現することができる。

【発明の効果】

【0015】

20

本発明の半導体装置の製造方法によれば、絶縁膜のCVヒステリシスを抑制できるため、動作の安定した半導体装置を製造できる。また、本発明の半導体装置によれば、絶縁膜のCVヒステリシスを抑制できるため、高い動作安定性を備えることができる。

【図面の簡単な説明】

【0016】

【図1】第1実施形態における半導体装置の構成を模式的に示す断面図。

【図2】第1実施形態における半導体装置の製造方法を示す工程図。

【図3】第1実施形態における絶縁膜の形成工程を示す工程図。

【図4】絶縁膜の形成工程後における絶縁膜の濃度分布を模式的に示す断面図。

【図5】評価試験の結果を示す図。

30

【図6】評価試験の結果を示す図。

【図7】評価試験の結果を示す図。

【図8】評価試験の結果を示す図。

【図9】評価試験の結果を示す図。

【図10】評価試験の結果を示す図。

【発明を実施するための形態】

【0017】

A. 第1実施形態

A-1. 半導体装置の構成

図1は、第1実施形態における半導体装置100の構成を模式的に示す断面図である。図1には、相互に直交するXYZ軸が図示されている。図1のXYZ軸のうち、X軸は、図1の紙面左から紙面右に向かう軸である。+X軸方向は、紙面右に向かう方向であり、-X軸方向は、紙面左に向かう方向である。図1のXYZ軸のうち、Y軸は、図1の紙面手前から紙面奥に向かう軸である。+Y軸方向は、紙面奥に向かう方向であり、-Y軸方向は、紙面手前に向かう方向である。図1のXYZ軸のうち、Z軸は、図1の紙面下から紙面上に向かう軸である。+Z軸方向は、紙面上に向かう方向であり、-Z軸方向は、紙面下に向かう方向である。図1のXYZ軸は、他の図のXYZ軸に対応する。

40

【0018】

本実施形態では、半導体装置100は、窒化ガリウム(GaN)を用いて形成されたGaN系の半導体装置である。本実施形態では、半導体装置100は、縦型トレンチMOS

50

F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) である。本実施形態では、半導体装置 100 は、電力制御に用いられ、パワーデバイスとも呼ばれる。

【0019】

半導体装置 100 は、基板 110 と、n 型半導体層 112 と、p 型半導体領域 113 と、p 型半導体層 114 と、n 型半導体層 116 とを備える。半導体装置 100 は、これらの半導体層に形成された構造として、トレンチ 122 と、リセス 124 とを有する。半導体装置 100 は、更に、絶縁膜 130 と、ゲート電極 142 と、ボディ電極 144 と、ソース電極 146 と、ドレイン電極 148 とを備える。

【0020】

半導体装置 100 の基板 110 は、X 軸および Y 軸に沿って広がる板状の半導体である。本実施形態では、基板 110 は、窒化ガリウム (GaN) から主に形成されている。本明細書の説明において、「A (例えば、窒化ガリウム (GaN)) から主に形成されている」とは、モル分率において A (例えば、窒化ガリウム (GaN)) を 90% 以上含有することを意味する。本実施形態では、基板 110 は、ケイ素 (Si) をドナー元素として含有する n 型半導体である。本実施形態では、基板 110 に含まれるケイ素 (Si) 濃度の平均値は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。基板 110 の厚さ (Z 軸方向の長さ) は、 $100 \mu\text{m}$ (マイクロメートル) 以上であり、本実施形態では、 $300 \mu\text{m}$ である。

【0021】

半導体装置 100 の n 型半導体層 112 は、n 型の特性を有する半導体である。本実施形態では、n 型半導体層 112 は、基板 110 の + Z 軸方向側に位置し、X 軸および Y 軸に沿って広がる。本実施形態では、主に、n 型半導体層 112 は、窒化ガリウム (GaN) により形成されている。本実施形態では、n 型半導体層 112 は、ケイ素 (Si) をドナー元素 (n 型不純物) として含有する。本実施形態では、n 型半導体層 112 に含まれるケイ素 (Si) 濃度の平均値は、約 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ である本実施形態では、n 型半導体層 112 の厚さ (Z 軸方向の長さ) は、 $10 \mu\text{m}$ である。

【0022】

半導体装置 100 の p 型半導体領域 113 は、n 型半導体層 112 の一部に対するイオン注入によって形成された領域である。p 型半導体領域 113 における半導体は、p 型の特性を有する。本実施形態では、p 型半導体領域 113 は、トレンチ 122 から離れた位置に形成され、n 型半導体層 112 および p 型半導体層 114 に隣接する。本実施形態では、p 型半導体領域 113 は、n 型半導体層 112 と同様に、窒化ガリウム (GaN) から主に形成されている。本実施形態では、p 型半導体領域 113 は、マグネシウム (Mg) をアクセプタ元素 (p 型不純物) として含有する。p 型半導体領域 113 において、p 型不純物の濃度は、n 型不純物の濃度より高い。本実施形態では、p 型半導体領域 113 における p 型不純物の濃度は、n 型不純物の濃度に対して 100 倍以上である。本実施形態では、p 型半導体領域 113 におけるマグネシウム (Mg) の濃度の平均値は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。

【0023】

半導体装置 100 の p 型半導体層 114 は、p 型の特性を有する半導体である。本実施形態では、p 型半導体層 114 は、n 型半導体層 112 および p 型半導体領域 113 の + Z 軸方向側に位置し、X 軸および Y 軸に沿って広がる。本実施形態では、p 型半導体層 114 は、窒化ガリウム (GaN) から主に形成されている。本実施形態では、p 型半導体層 114 は、マグネシウム (Mg) をアクセプタ元素として含有する。本実施形態では、p 型半導体層 114 に含まれるマグネシウム (Mg) 濃度の平均値は、約 $4 \times 10^{18} \text{ cm}^{-3}$ 以下である。本実施形態では、p 型半導体層 114 の厚さ (Z 軸方向の長さ) は、約 $1.0 \mu\text{m}$ である。

【0024】

半導体装置 100 の n 型半導体層 116 は、n 型の特性を有する半導体である。本実施形態では、n 型半導体層 116 は、p 型半導体層 114 の + Z 軸方向側に位置し、X 軸お

10

20

30

40

50

よびY軸に沿って広がる。本実施形態では、n型半導体層116は、窒化ガリウム(GaN)から主に形成されている。本実施形態では、n型半導体層116は、ケイ素(Si)をドナー元素として含有する。本実施形態では、n型半導体層116に含まれるケイ素(Si)濃度の平均値は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であり、約 $3 \times 10^{18} \text{ cm}^{-3}$ である。本実施形態では、n型半導体層116の厚さ(Z軸方向の長さ)は、 $0.4 \mu\text{m}$ 以下であり、約 $0.2 \mu\text{m}$ である。

【0025】

半導体装置100のトレンチ122は、n型半導体層116の+Z軸方向側の面からn型半導体層116及びp型半導体層114を貫通し、n型半導体層112にまで落ち込んだ溝部である。本実施形態では、トレンチ122は、n型半導体層116、p型半導体層114、及びn型半導体層112に対するドライエッチングによって形成された構造である。

10

【0026】

半導体装置100のリセス124は、n型半導体層116の+Z軸方向側の面からn型半導体層116を貫通し、p型半導体層114にわたって窪んだ溝部である。本実施形態では、リセス124は、n型半導体層116及びp型半導体層114に対するドライエッチングによって形成された構造である。

【0027】

半導体装置100の絶縁膜130は、トレンチ122の内側に形成され、電気絶縁性を有する膜である。本実施形態では、絶縁膜130は、トレンチ122の内側からn型半導体層116の+Z軸方向側の表面の一部にわたって形成されている。本実施形態では、絶縁膜130は、半導体層112、114、116に接しており、二酸化ケイ素(SiO_2)から主に形成されている。

20

【0028】

半導体装置100のゲート電極142は、絶縁膜130を介してトレンチ122の内側に形成された電極である。本実施形態では、ゲート電極142は、トレンチ122の内側に加え、トレンチ122の外側である絶縁膜130の+Z軸方向側の面の一部にわたって形成されている。ゲート電極142は、金属から形成されており、本実施形態では、アルミニウム(Al)から主に形成されている。ゲート電極142に電圧が印加された場合、p型半導体層114に反転層が形成され、この反転層がチャネルとして機能することによって、ソース電極146とドレイン電極148との間に導通経路が形成される。換言すると、ゲート電極142に電圧が印加された場合、電流は基板110の鉛直方向(Z軸方向)に流れる。

30

【0029】

半導体装置100のボディ電極144は、リセス124に形成され、p型半導体層114に対してオーミック接触する電極である。本実施形態では、ボディ電極144は、パラジウム(Pd)から主に形成された層に熱処理が加えられることにより形成された電極である。

【0030】

半導体装置100のソース電極146は、n型半導体層116に対してオーミック接触する電極である。本実施形態では、ソース電極146は、ボディ電極144の上からn型半導体層116の+Z軸方向側の面の一部にわたって形成されている。ソース電極146は、ボディ電極144から離れた部位に形成されていてもよい。本実施形態では、ソース電極146は、チタン(Ti)から主に形成された層に、アルミニウム(Al)から主に形成された層を積層した後に熱処理が加えられることによって形成された電極である。

40

【0031】

半導体装置100のドレイン電極148は、基板110の-Z軸方向側の裏面に対してオーミック接触する電極である。本実施形態では、ドレイン電極148は、チタン(Ti)から主に形成された層に、アルミニウム(Al)から主に形成された層を積層した後に熱処理が加えられることによって形成された電極である。

50

【 0 0 3 2 】

A - 2 . 半 導 体 装 置 の 製 造 方 法

図 2 は、第 1 実 施 形 態 に お け る 半 導 体 装 置 1 0 0 の 製 造 方 法 を 示 す 工 程 図 で あ る 。 ま ず、製 造 者 は、基 板 1 1 0 の 上 に n 型 半 導 体 層 1 1 2 を 結 晶 成 長 に よ っ て 形 成 す る (工 程 P 1 1 0) 。 本 実 施 形 態 で は、製 造 者 は、基 板 1 1 0 に お け る + Z 軸 方 向 側 の 表 面 に n 型 半 導 体 層 1 1 2 を 形 成 す る 。 本 実 施 形 態 で は、製 造 者 は、有 機 金 属 気 相 成 長 法 (M O C V D : Metal Organic Chemical Vapor Deposition) に よ っ て n 型 半 導 体 層 1 1 2 を 形 成 す る 。 本 実 施 形 態 で は、n 型 半 導 体 層 1 1 2 は、主 に、窒 化 ガ リ ウ ム (G a N) か ら 形 成 さ れ て い る。

【 0 0 3 3 】

n 型 半 導 体 層 1 1 2 を 形 成 し た 後 (工 程 P 1 1 0)、製 造 者 は、イ オ ン 注 入 に よ っ て n 型 半 導 体 層 1 1 2 の 一 部 に p 型 半 導 体 領 域 1 1 3 を 形 成 す る (工 程 P 1 2 0) 。 本 実 施 形 態 で は、製 造 者 は、n 型 半 導 体 層 1 1 2 に お け る + Z 軸 方 向 側 の 一 部 の 領 域 に p 型 半 導 体 領 域 1 1 3 を 形 成 す る。

【 0 0 3 4 】

p 型 半 導 体 領 域 1 1 3 を 形 成 し た 後 (工 程 P 1 2 0)、製 造 者 は、n 型 半 導 体 層 1 1 2 お よ び p 型 半 導 体 領 域 1 1 3 の 表 面 に、p 型 半 導 体 層 1 1 4 を 形 成 す る (工 程 P 1 3 0) 。 本 実 施 形 態 で は、製 造 者 は、有 機 金 属 気 相 成 長 法 (M O C V D) に よ っ て、主 に 窒 化 ガ リ ウ ム (G a N) に よ り p 型 半 導 体 層 1 1 4 を 形 成 す る。

【 0 0 3 5 】

p 型 半 導 体 層 1 1 4 を 形 成 し た 後 (工 程 P 1 3 0)、製 造 者 は、p 型 半 導 体 層 1 1 4 の 上 に n 型 半 導 体 層 1 1 6 を 形 成 す る (工 程 P 1 4 0) 。 本 実 施 形 態 で は、製 造 者 は、有 機 金 属 気 相 成 長 法 (M O C V D) に よ っ て n 型 半 導 体 層 1 1 6 を 形 成 す る。

【 0 0 3 6 】

n 型 半 導 体 層 1 1 6 を 形 成 し た 後 (工 程 P 1 4 0)、製 造 者 は、エ ッ チ ン グ に よ っ て ト レ ン チ 1 2 2 お よ び リ セ ス 1 2 4 を 形 成 す る (工 程 P 1 5 0) 。 本 実 施 形 態 で は、製 造 者 は、ド ラ イ エ ッ チ ン グ に よ っ て ト レ ン チ 1 2 2 お よ び リ セ ス 1 2 4 を 形 成 す る。

【 0 0 3 7 】

ト レ ン チ 1 2 2 お よ び リ セ ス 1 2 4 を 形 成 し た 後 (工 程 P 1 5 0)、製 造 者 は、絶 縁 膜 を 形 成 す る (工 程 P 1 6 0) 。 本 実 施 形 態 で は、製 造 者 は、ト レ ン チ 1 2 2 に よ り 露 出 し た n 型 半 導 体 層 1 1 2 の 面 及 び 半 導 体 層 1 1 6 の + Z 軸 方 向 側 の 一 部 の 領 域 に 絶 縁 膜 1 3 0 を 形 成 す る 。 な お、絶 縁 膜 1 3 0 の 形 成 工 程 (工 程 P 1 6 0) に お い て、ト レ ン チ 1 2 2 に よ り 露 出 し た p 型 半 導 体 層 1 1 4 及 び n 型 半 導 体 層 1 1 6 の 側 面 に お い て も 絶 縁 膜 1 3 0 が 形 成 さ れ る。

【 0 0 3 8 】

図 3 は、第 1 実 施 形 態 に お け る 絶 縁 膜 1 3 0 の 形 成 工 程 (工 程 P 1 6 0) を 示 す 工 程 図 で あ る 。 絶 縁 膜 1 3 0 の 形 成 工 程 (工 程 P 1 6 0) に お い て、製 造 者 は、ま ず、半 導 体 層 1 1 2、1 1 6 の 上 に、窒 素 (N) を 含 む 有 機 金 属 を 原 料 と し て 原 子 層 堆 積 (A L D) 法 に よ り 絶 縁 膜 1 3 0 を 成 膜 す る (工 程 P 1 6 1) 。 工 程 P 1 6 1 は、第 1 工 程 と も 呼 ぶ 。 絶 縁 膜 1 3 0 の 厚 さ (Z 軸 方 向 の 長 さ) は、5 0 n m 以 上 2 0 0 n m 以 下 で あ り、本 実 施 形 態 で は、1 0 0 n m で あ る。

【 0 0 3 9 】

本 明 細 書 に お い て、窒 素 (N) を 含 む 有 機 金 属 と は、金 属 と ア ミ ノ 基 と の 結 合 を 有 す る 化 合 物 を 示 す 。 窒 素 (N) を 含 む 有 機 金 属 と し て は、例 え ば、S A M . 2 4 (登 録 商 標)、ピ ス タ ー シ ャ ル プ チ ル ア ミ ノ シ ラ ン (B T B A S)、ト リ ス ジ メ チ ル ア ミ ノ シ ラ ン (T D M A S) を 挙 げ る こ と が で き る。

【 0 0 4 0 】

絶 縁 膜 1 3 0 を 成 膜 し た 後 (工 程 P 1 6 1)、製 造 者 は、絶 縁 膜 1 3 0 を、酸 素 (O₂) と オ ゾ ン (O₃) と の 少 な く と も 一 つ を 含 む 雰 囲 気 下 に お い て 酸 素 プ ラ ズ マ 処 理 す る (工 程 P 1 6 3) 。 工 程 P 1 6 3 を、第 2 工 程 と も 呼 ぶ 。 酸 素 プ ラ ズ マ 処 理 は、絶 縁 膜 1 3

10

20

30

40

50

0 中の窒素 (N) 濃度を制御することを目的としており、絶縁膜 1 3 0 の形状を加工する目的は無い。このため、酸素プラズマ処理は、ドライエッチングと異なる。

【 0 0 4 1 】

本実施形態において、酸素プラズマ処理は、酸素 (O_2) を含む雰囲気下において行われる。酸素プラズマ処理においては、例えば、ダイレクトプラズマを用いる方法や、リモートプラズマを用いる方法が挙げられる。絶縁膜 1 3 0 や半導体層 1 1 2 , 1 1 4 , 1 1 6 へのプラズマによるダメージを軽減する観点から、酸素プラズマ処理においては、リモートプラズマを用いることが好ましい。また、絶縁膜 1 3 0 や半導体層 1 1 2 , 1 1 4 , 1 1 6 へのプラズマによるダメージをより軽減する観点から、酸素プラズマ処理においては、電子サイクロトロン共鳴 (Electron Cyclotron Resonance : E C R) プラズマを用いることが好ましい。

10

【 0 0 4 2 】

本実施形態の第 2 工程 (工程 P 1 6 3) では、E C R プラズマを用い、マイクロ波の励起パワーは 5 0 0 W であり、酸素流量を 2 0 s c c m である。第 2 工程 (工程 P 1 6 3) は、減圧雰囲気で行うことが好ましく、本実施形態では、圧力は 5.0×10^{-2} Pa 以下である。第 2 工程 (工程 P 1 6 3) を経ることにより、絶縁膜 1 3 0 中の窒素 (N) や水素 (H) を絶縁膜 1 3 0 外に脱離させることが可能となり、絶縁膜 1 3 0 中の窒素 (N) 濃度や水素 (H) 濃度を制御することができる。なお、本実施形態において、基板 1 1 0 ハイオンを引き込むためのバイアスパワーは印加されていないが、絶縁膜 1 3 0 や半導体層 1 1 2 , 1 1 4 , 1 1 6 へのプラズマによるダメージが許容できる範囲であれば印加

20

【 0 0 4 3 】

第 2 工程 (工程 P 1 6 3) において、絶縁膜 1 3 0 は室温でもよく、加熱されていてもよい。絶縁膜 1 3 0 の加熱は、絶縁膜 1 3 0 を備える半導体装置 1 0 0 の中間製品が設置されているステージを加熱することにより行われる。絶縁膜 1 3 0 中の水素 (H) や窒素 (N) を効率的に脱離させる観点から、第 2 工程 (工程 P 1 6 3) における絶縁膜 1 3 0 の温度は、3 0 0 以上が好ましく、4 0 0 以上がより好ましく、また、5 0 0 以下が好ましい。本実施形態では、絶縁膜 1 3 0 と間接的に接する基板 1 1 0 が 3 0 0 に達した状態において 6 0 分間、第 2 工程 (工程 P 1 6 3) を行う。

【 0 0 4 4 】

第 2 工程 (工程 P 1 6 3) を行った後、製造者は、窒素 (N) 含有雰囲気下において、絶縁膜 1 3 0 を熱処理する (工程 P 1 6 5) 。工程 P 1 6 5 を、第 3 工程とも呼ぶ。熱処理の温度は、4 0 0 以上 5 0 0 以下が好ましく、本実施形態では、5 0 0 である。第 3 工程 (工程 P 1 6 5) を経ることにより、第 1 工程 (工程 P 1 6 1) における絶縁膜 1 3 0 や半導体層 1 1 2 , 1 1 4 , 1 1 6 へのダメージが回復し、絶縁膜 1 3 0 の電気特性が安定する。第 3 工程 (工程 P 1 6 5) を行うことにより、絶縁膜 1 3 0 の形成工程 (工程 P 1 6 0) が完了する。

30

【 0 0 4 5 】

図 4 は、絶縁膜 1 3 0 の形成工程 (工程 P 1 6 0) 後における絶縁膜 1 3 0 の濃度分布を模式的に示す断面図である。図 4 に記載されている領域 R は、図 1 に記載されている領域 R に対応する。

40

【 0 0 4 6 】

絶縁膜 1 3 0 の n 型半導体層 1 1 6 とは接しない面 S 1 (+ Z 軸方向側の面) からの深さ (Z 軸方向) が 3 0 n m までの絶縁膜 1 3 0 の領域 1 3 2 は、窒素 (N) が低濃度な領域である。このため、領域 1 3 2 は、窒素低濃度領域 1 3 2 とも呼ぶ。窒素低濃度領域 1 3 2 における平均窒素 (N) 濃度は、 3.0×10^{18} cm^{-3} 未満であり、本実施形態では、約 2.1×10^{18} cm^{-3} である。領域 1 3 2 の窒素 (N) 濃度が低い原因としては、第 2 工程 (工程 P 1 6 3) 及び第 3 工程 (工程 P 1 6 5) を経ることにより、絶縁膜 1 3 0 中の窒素 (N) が絶縁膜 1 3 0 外に離脱している点が挙げられる。

【 0 0 4 7 】

50

また、絶縁膜130のCVヒステリシスを抑制する観点から、絶縁膜130のn型半導体層116とは接しない面S1(+Z軸方向側の面)から深さ(Z軸方向)が20nmまでの絶縁膜130の領域における平均水素(H)濃度は、 $1.0 \times 10^{21} \text{ cm}^{-3}$ 未満であることが好ましく、 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上であることが好ましい。領域132の水素(H)濃度が低い原因は、領域132の窒素(N)濃度が低い原因と同様に、第2工程(工程P163)及び第3工程(工程P165)を経ることにより、絶縁膜130中の水素(H)が絶縁膜130外に離脱している点が挙げられる。

【0048】

絶縁膜130のn型半導体層116とは接しない面S1からの深さである30nmの仮想面S2から、n型半導体層116と接する面S4までの深さが20nmである仮想面S3までの絶縁膜130の領域134における平均窒素(N)濃度は、 $3.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 未満であり、本実施形態では、約 $5.7 \times 10^{18} \text{ cm}^{-3}$ である。領域134は、膜中領域134とも呼ぶ。

10

【0049】

仮想面S3から面S4までの絶縁膜130の領域136は、窒素(N)が高濃度な領域である。このため、領域136は、窒素高濃度領域136とも呼ぶ。領域136の窒素(N)濃度が高い原因としては、第2工程(工程P163)及び第3工程(工程P165)を経ることにより、膜中領域134中の窒素(N)の一部がn型半導体層116へ移行している点が考えられる。

【0050】

絶縁膜130を形成した後(工程P160、図2参照)、製造者は、ゲート電極142、ボディ電極144、ソース電極146およびドレイン電極148を形成する(工程P170)。本実施形態では、スパッタ法と蒸着法を用いる。これらの工程を経て、半導体装置100が完成する。

20

【0051】

A-3. 効果

以上説明した第1実施形態の製造方法では、第1工程(工程P161)において絶縁膜130を成膜した後、第2工程(工程P163)において酸素プラズマ処理を行い、その後、第3工程(工程P165)において窒素(N)含有雰囲気下において絶縁膜130を熱処理する。このようにすることにより、絶縁膜130中の窒素(N)を好ましい濃度分布とすることができる。この結果、第1実施形態の製造方法では、絶縁膜130のCVヒステリシスを抑制できるため、動作の安定した半導体装置100を製造できる。以下、第1工程(工程P161)において絶縁膜130を成膜した後、第2工程(工程P163)及び第3工程(工程P165)を経ることにより、絶縁膜130のCVヒステリシスを抑制することを裏付ける評価試験の結果を示す。

30

【0052】

A-4. 試験結果

図5から図10は、評価試験の結果を示す図である。評価試験には、以下の試料1から試料3を用いた。具体的には、試験者は、まず、n型半導体層116の上に絶縁膜130を成膜した。絶縁膜130の厚さは、100nmである。次に、試験者は、試料1及び試料2の絶縁膜130を酸素プラズマ処理した。具体的には、試験者は、上記実施形態と同様に、試料1の絶縁膜130を300℃に加熱した状態においてプラズマ処理した(工程P163)。また、試験者は、試料2の絶縁膜130を常温でプラズマ処理した(工程P163)。なお、試料1及び試料2は実施例であるのに対し、試料3は、比較例であるため、試験者は、試料3の絶縁膜130にプラズマ処理(工程P163)を行わなかった。なお、試験者は、いずれの試料においても、熱処理(工程P165)を行った。

40

【0053】

300℃に加熱した状態においてプラズマ処理を行った試料1の試験結果を図5及び図8に示す。常温でプラズマ処理(工程P163)を行った試料2の試験結果を図6及び図9に示す。プラズマ処理(工程P163)を行わなかった試料3の試験結果を図7及び図

50

10に示す。

【0054】

図5から図7は、各試料の絶縁膜130における窒素(N)濃度及び水素(H)濃度を二次イオン質量分析法(Secondary Ion Mass Spectrometry: SIMS)により測定した結果を示す。図5から図7において、横軸は絶縁膜130の-Z軸方向の深さ(nm)を示し、縦軸は窒素(N)濃度及び水素(H)濃度(cm^{-3})を示す。深さ0nmは、絶縁膜130の+Z軸方向側の表面である。

【0055】

図8から図10は、絶縁膜130のCVヒステリシス特性の結果を示す。この結果は、絶縁膜130の表面(+Z軸方向側の面)とn型半導体層116の裏面(-Z軸方向側の面)とに電圧を加えることにより測定した結果である。図8から図10において、縦軸は、絶縁膜容量(C_i)で正規化した容量を示し、横軸は印加電圧を示す。この測定は、以下の条件で行った。

- ・周波数：100kHz
- ・電圧掃引方向：0V +4V -6V +8V -10V +12V -16V
- ・掃引ステップ：0.2V/ステップ
- ・測定時温度：室温(25)
- ・測定環境：遮光環境

【0056】

図5から図7の結果から、以下のことが分かる。つまり、プラズマ処理(工程P163)を経ない試料3(比較例)の結果(図7参照)と比較して、プラズマ処理(工程P163)を経た試料1,2(実施例)の結果(図5,6参照)では、深さが0nmから30nmまでの領域において窒素(N)濃度が低くなること分かる。具体的には、この領域における試料3(比較例)の平均窒素濃度(図7参照)は $3.0 \times 10^{18} \text{cm}^{-3}$ 以上であり、約 $3.0 \times 10^{19} \text{cm}^{-3}$ であるのに対して、この領域における試料1,2(実施例)の平均窒素濃度(図5,6参照)は $3.0 \times 10^{18} \text{cm}^{-3}$ 以下である。この結果から、プラズマ処理(工程P163)を経ることにより、絶縁膜130の表面近傍の窒素(N)が脱離していることが分かる。

【0057】

同様に、図5から図7の結果から、以下のことが分かる。つまり、プラズマ処理(工程P163)を経ない試料3(比較例)の結果(図7参照)と比較して、プラズマ処理(工程P163)を経た試料1,2(実施例)の結果(図5,6参照)では、深さが0nmから20nmまでの領域において水素(H)濃度が低くなること分かる。具体的には、この領域における試料3(比較例)の平均水素濃度(図7参照)は $1.0 \times 10^{21} \text{cm}^{-3}$ より大きいものに対して、この領域における試料1,2(実施例)の平均水素濃度(図5,6参照)は $1.0 \times 10^{21} \text{cm}^{-3}$ 以下である。この結果から、プラズマ処理(工程P163)を経ることにより、絶縁膜130の表面近傍の水素(H)が脱離していることが分かる。なお、図5から図7の結果において、深さが0nmから数nmまでの窒素濃度及び水素濃度が高い理由としては、絶縁膜130の表面付着物に起因するノイズの影響があると考えられる。

【0058】

また、図8から図10の結果から、以下のことが分かる。つまり、プラズマ処理(工程P163)を経ない試料3(比較例)の結果(図10参照)と比較して、プラズマ処理(工程P163)を経た試料1,2(実施例)の結果(図8,9参照)の方が、ヒステリシス・ループを一回描くことによって、そのループに閉じられた面積が小さいことがわかる。この結果から、プラズマ処理(工程P163)を経ない試料3(比較例)と比較して、プラズマ処理(工程P163)を経た試料1,2(実施例)の方が、CVヒステリシスが抑制されていることが分かる。

【0059】

また、常温でプラズマ処理(工程P163)を行った試料2の試験結果(図9参照)と

10

20

30

40

50

比較して、絶縁膜 130 を加熱した状態においてプラズマ処理（工程 P163）を行った試料 1 の試験結果（図 8 参照）の方が、ヒステリシス・ループを一回描くことによって、そのループに閉じられた面積がさらに小さくなるのが分かる。この結果から、常温でプラズマ処理（工程 P163）を行った場合と比較して、絶縁膜 130 を加熱した状態においてプラズマ処理（工程 P163）を行った場合の方が、CVヒステリシスがさらに抑制されていることが分かる。

【0060】

B. その他の実施形態

本発明は、上述の実施形態に限られるものではなく、その趣旨を逸脱しない範囲において種々の構成で実現することができる。例えば、発明の概要の欄に記載した各形態中の技術的特徴に対応する実施形態、実施例、変形例中の技術的特徴は、上述の課題の一部または全部を解決するために、あるいは、上述の効果の一部または全部を達成するために、適宜、差し替えや、組み合わせを行うことが可能である。また、その技術的特徴が本明細書中に必須なものとして説明されていなければ、適宜、削除することが可能である。

10

【0061】

上述の実施形態では、半導体として窒化ガリウムを用いているが、本発明はこれに限られない。半導体としては、例えば、ケイ素（Si）、サファイア（ Al_2O_3 ）および炭化ケイ素（SiC）などであってもよい。

【0062】

本発明が適用される半導体装置は、上述の実施形態で説明した縦型トレンチMOSFETに限られず、例えば、縦型ショットキーバリアダイオード、絶縁ゲートバイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）、MESFET（metal-semiconductor field effect transistor）などであってもよい。本発明の半導体装置は、半導体層の上に絶縁膜を備える半導体装置に適用することができ、本発明の製造方法は、半導体層の上に絶縁膜を形成する工程を備える製造方法に適用できる。

20

【0063】

上述の実施形態において、各電極の材質は、上述の実施形態の材質に限らず、他の材質であってもよい。

【符号の説明】

【0064】

30

100 ... 半導体装置

110 ... 基板（半導体層）

112 ... n型半導体層（半導体層）

113 ... p型半導体領域（半導体層）

114 ... p型半導体層（半導体層）

116 ... n型半導体層（半導体層）

122 ... トレンチ

124 ... リセス

130 ... 絶縁膜

132 ... 領域（窒素低濃度領域）

40

134 ... 領域（膜中領域）

136 ... 領域（窒素高濃度領域）

142 ... ゲート電極

144 ... ボディ電極

146 ... ソース電極

148 ... ドレイン電極

R ... 領域

S1 ... 面

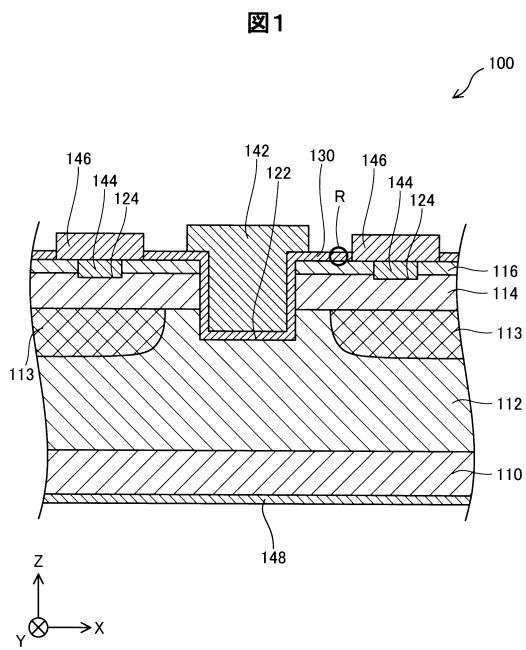
S2 ... 仮想面

S3 ... 仮想面

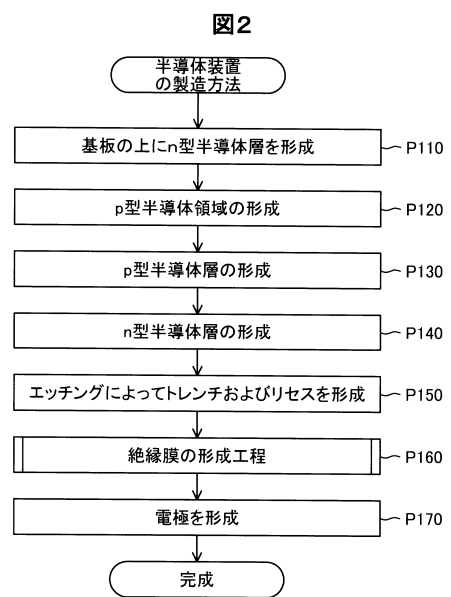
50

S 4 ... 面

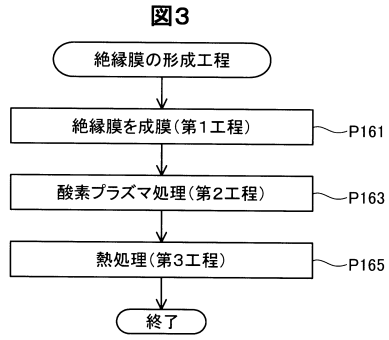
【図1】



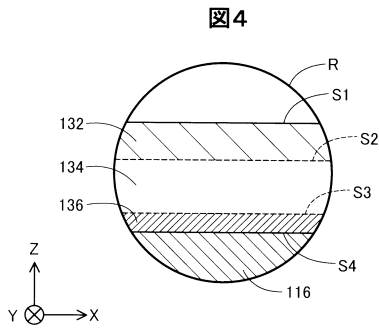
【図2】



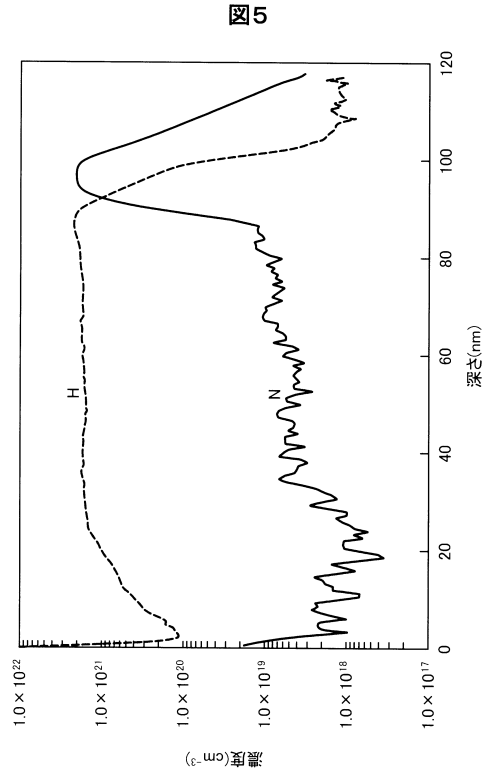
【 図 3 】



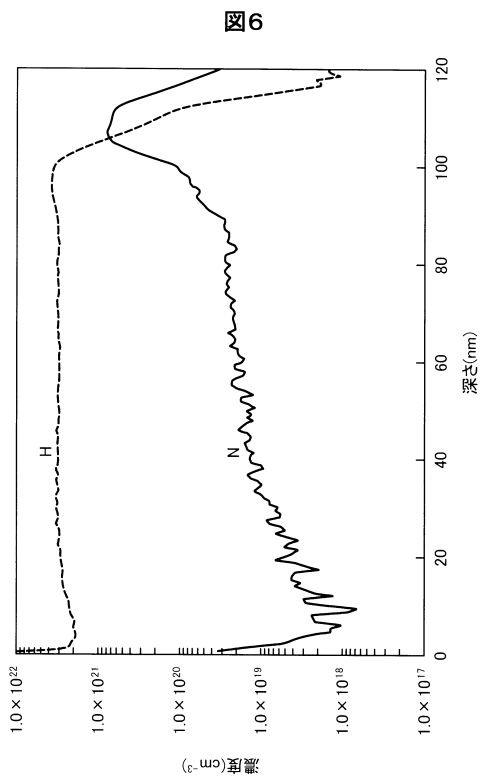
【 図 4 】



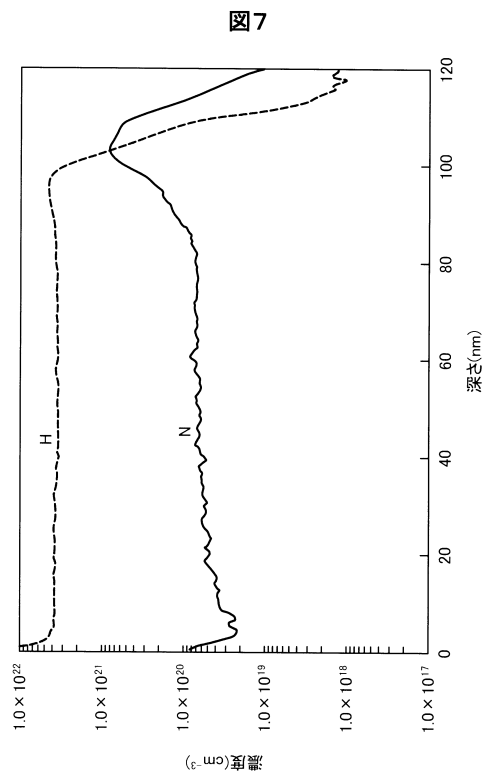
【 図 5 】



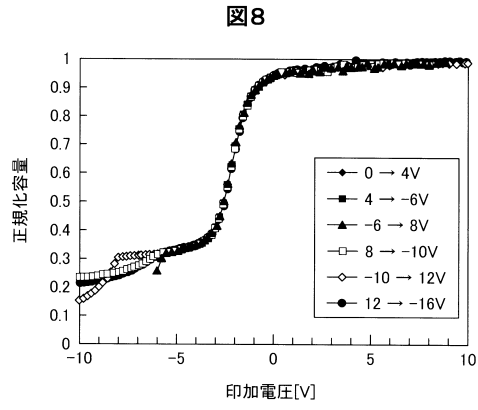
【 図 6 】



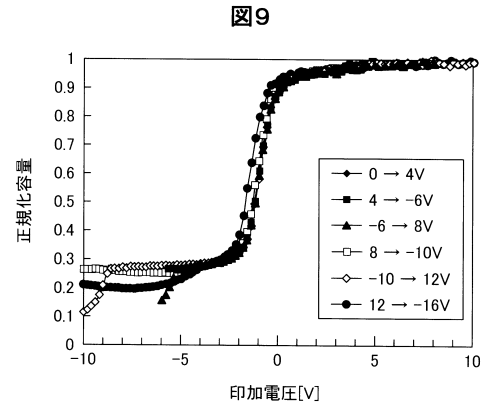
【 図 7 】



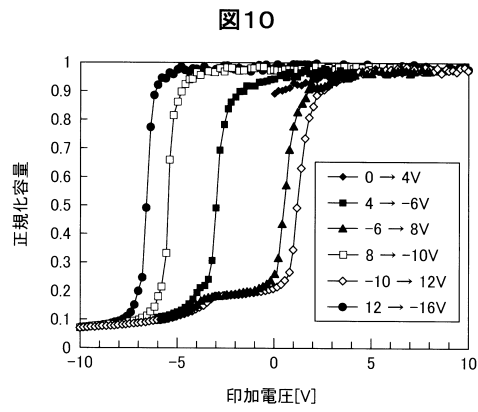
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/12 (2006.01) H 0 1 L 29/78 6 5 2 T
H 0 1 L 29/78 6 5 2 K
H 0 1 L 29/78 6 5 2 J
H 0 1 L 29/78 6 5 2 C

(56) 参考文献 特開 2 0 1 2 - 1 5 6 2 4 5 (J P , A)
特開平 0 4 - 1 9 9 6 7 2 (J P , A)
特表 2 0 1 4 - 5 3 2 3 0 4 (J P , A)
特開平 0 8 - 2 2 2 5 5 4 (J P , A)
特開平 0 8 - 0 5 5 8 4 6 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 1 8
C 2 3 C 1 6 / 5 6
H 0 1 L 2 1 / 3 1
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8