

(19) 日本国特許庁(JP)

(12) 特許公報(B1)

(11) 特許番号

特許第6210186号  
(P6210186)

(45) 発行日 平成29年10月11日(2017.10.11)

(24) 登録日 平成29年9月22日(2017.9.22)

(51) Int.Cl. F I  
**HO1S 5/026 (2006.01)** HO1S 5/026 618

請求項の数 8 (全 13 頁)

<p>(21) 出願番号 特願2017-537524 (P2017-537524)</p> <p>(86) (22) 出願日 平成29年3月23日 (2017.3.23)</p> <p>(86) 国際出願番号 PCT/JP2017/011825</p> <p>審査請求日 平成29年7月14日 (2017.7.14)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 100082175 弁理士 高田 守</p> <p>(74) 代理人 100106150 弁理士 高橋 英樹</p> <p>(74) 代理人 100148057 弁理士 久野 淑己</p> <p>(72) 発明者 境野 剛 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>(72) 発明者 中村 直幹 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 光半導体素子

(57) 【特許請求の範囲】

【請求項1】

n型半導体基板と、前記n型半導体基板の上に順に積層されたn型クラッド層、活性層及びp型クラッド層とを有する半導体レーザと、

前記n型半導体基板の上であって前記半導体レーザの光出力側に設けられ、不純物がドーピングされず前記活性層よりも禁制帯幅の大きなコア層と、前記コア層の上に設けられ前記p型クラッド層よりもキャリア濃度が低いクラッド層とを有する光導波路と、

電極とを備え、

前記半導体レーザは、キャリア注入領域と、前記キャリア注入領域と前記光導波路との間に設けられた非キャリア注入領域とを有し、

前記電極は、前記n型半導体基板の下面において前記キャリア注入領域に設けられ、前記非キャリア注入領域及び前記光導波路には設けられていないことを特徴とする光半導体素子。

【請求項2】

前記非キャリア注入領域及び前記光導波路において前記n型半導体基板の前記下面に設けられた絶縁体を更に備えることを特徴とする請求項1に記載の光半導体素子。

【請求項3】

前記非キャリア注入領域及び前記光導波路において前記n型半導体基板の前記下面に設けられた金属酸化膜を更に備えることを特徴とする請求項1に記載の光半導体素子。

【請求項4】

10

20

前記非キャリア注入領域及び前記光導波路において前記 n 型半導体基板の前記下面にショットキー接合された金属層を更に備えることを特徴とする請求項 1 に記載の光半導体素子。

【請求項 5】

前記非キャリア注入領域及び前記光導波路において前記 n 型半導体基板の前記下面に設けられた p 型半導体層を更に備えることを特徴とする請求項 1 に記載の光半導体素子。

【請求項 6】

前記半導体レーザ及び前記光導波路において前記 n 型半導体基板の前記下面が平坦であることを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の光半導体素子。

【請求項 7】

前記非キャリア注入領域及び前記光導波路において前記 n 型半導体基板の前記下面に凹部が形成されていることを特徴とする請求項 1 に記載の光半導体素子。

【請求項 8】

n 型半導体基板と、前記 n 型半導体基板の上に順に積層された n 型クラッド層、活性層及び p 型クラッド層とを有する半導体レーザと、

前記 n 型半導体基板の上であって前記半導体レーザの光出力側に設けられ、不純物がドーピングされず前記活性層よりも禁制帯幅の大きなコア層と、前記コア層の上に設けられ前記 p 型クラッド層よりもキャリア濃度が低いクラッド層と、前記コア層の下方に設けられ前記 n 型半導体基板の下面に接しない p 型半導体層とを有する光導波路とを備えることを特徴とする光半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体レーザと光導波路層を集積した光半導体素子に関し、特に活性層内のキャリア密度の不均一を抑制して特性を向上させることができる光半導体素子に関する。

【背景技術】

【0002】

光半導体素子において、半導体レーザと、光導波路、光合波器又は光変調器などを集積することにより小型化及び高性能化が進んでいる。このような集積構造光半導体素子では、発光に寄与する半導体レーザに効果的にキャリアを注入し、十分な発光効率を得ることが重要である。そのため、半導体レーザ以外の光導波路にキャリアを注入しないことが有効である。一方、半導体レーザの活性層には均一にキャリアを注入することで、しきい値電流が低く、良好な特性を得ることが可能となる。

【0003】

光通信用光半導体素子では、前述のように半導体レーザと光合波器などを集積した構造が必要となっている。このような集積型光半導体素子では、半導体レーザからの出射光を導くための光導波路が必要となる。半導体レーザの端部と光導波路の端部が接合されてバットジョイント部が形成される。

【0004】

光の吸収を避けるために光導波路には不純物を注入しないので、光導波路にはキャリアの注入がなされない。従って、光導波路の下方から供給された電子は活性層に迂回して注入される。この迂回して注入される電子は、特にバットジョイント部から数  $\mu\text{m}$  程度の位置に集中する。このような電子密度が極めて高い箇所が活性層内に発生すると、発光に寄与するホールの供給が不足し、半導体レーザのレーザ発振のしきい値電流が増加する。また、非発光再結合による発熱が増加し、動作電流の増大による消費電力の増大又は変調特性の劣化を招く。

【0005】

なお、活性層が素子端面まで形成された半導体レーザの光出射端面部の破壊又は劣化を抑制する方法が提案されている（例えば、特許文献 1, 2 参照）。端面まで活性層が存在すると端面領域にキャリアが注入されるが、活性層上部のキャリアが注入される層を除去

10

20

30

40

50

するか又は活性層下部に p 型半導体層を形成することで、端面部へのキャリア注入を抑制することができる。また、光半導体素子の端部での光吸収による端部の破壊又は劣化を防ぐために、活性層の端部に不純物を注入して窓構造を形成する方法が提案されている（例えば、特許文献 3～5 参照）。しかし、不純物を注入した窓構造は、不純物を注入しない光導波路とは全く異なる。

【0006】

また、キャリア密度が局所的に高くなる状態について、半導体基板と対向する素子上面の電極内部のキャリア密度が開示されている（例えば、特許文献 6 参照）。しかし、特性低下に影響する活性層内のキャリア密度の局所的な増大とこれを抑制する解決方法については開示されていない。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】日本特開平 06 - 260715 号公報

【特許文献 2】日本特開昭 63 - 084087 号公報

【特許文献 3】日本特開平 07 - 058402 号公報

【特許文献 4】日本特開 2003 - 142774 号公報

【特許文献 5】日本特開平 03 - 208390 号公報

【特許文献 6】日本特開 2002 - 261379 号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0008】

半導体レーザと光導波路を集積した光半導体素子では、活性層に局所的なキャリア密度の高い部分が発生することで特性が低下するという問題があった。このような活性層内のキャリア密度の不均一を抑制することが、しきい値電流などの特性の向上につながる。

【0009】

本発明は、上述のような課題を解決するためになされたもので、その目的は活性層内のキャリア密度の不均一を抑制して特性を向上させることができる光半導体素子を得るものである。

【課題を解決するための手段】

30

【0010】

本発明に係る光半導体素子は、n 型半導体基板と、前記 n 型半導体基板の上に順に積層された n 型クラッド層、活性層及び p 型クラッド層とを有する半導体レーザと、前記 n 型半導体基板の上であって前記半導体レーザの光出力側に設けられ、不純物がドーピングされず前記活性層よりも禁制帯幅の大きなコア層と、前記コア層の上に設けられ前記 p 型クラッド層よりもキャリア濃度が低いクラッド層とを有する光導波路と、電極とを備え、前記半導体レーザは、キャリア注入領域と、前記キャリア注入領域と前記光導波路との間に設けられた非キャリア注入領域とを有し、前記電極は、前記 n 型半導体基板の下面において前記キャリア注入領域に設けられ、前記非キャリア注入領域及び前記光導波路には設けられていないことを特徴とする。

40

【発明の効果】

【0011】

本発明では、非キャリア注入領域及び光導波路において n 型半導体基板の下面からキャリアが注入されない。これにより、非キャリア注入領域及び光導波路の下部からキャリア注入領域側に迂回して活性層に流入する電子の流れを抑制することができる。この結果、活性層内のキャリア密度の不均一を抑制して特性を向上させることができる。

【図面の簡単な説明】

【0012】

【図 1】本発明の実施の形態 1 に係る光半導体素子を示す断面図である。

【図 2】本発明の実施の形態 1 に係る光半導体素子を示す下面図である。

50

- 【図3】図1のI - I Iに沿った断面図である。
- 【図4】図1のI I I - I Vに沿った断面図である。
- 【図5】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図6】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図7】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図8】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図9】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図10】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図11】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。
- 【図12】本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。 10
- 【図13】比較例に係る半導体光素子を示す断面図である。
- 【図14】半導体レーザの後端面からの距離と電子密度との関係を計算した結果を示す図である。
- 【図15】本発明の実施の形態2に係る光半導体素子を示す断面図である。
- 【図16】本発明の実施の形態2に係る光半導体素子を示す下面図である。
- 【図17】本発明の実施の形態2に係る光半導体素子の変形例を示す下面図である。
- 【図18】本発明の実施の形態3に係る光半導体素子を示す断面図である。
- 【図19】本発明の実施の形態4に係る光半導体素子を示す断面図である。
- 【図20】本発明の実施の形態5に係る光半導体素子を示す断面図である。
- 【図21】本発明の実施の形態6に係る光半導体素子を示す断面図である。 20
- 【図22】本発明の実施の形態7に係る光半導体素子を示す断面図である。
- 【図23】距離X3と電子密度最大値との関係を計算した結果を示す図である。
- 【図24】距離X4と電子密度最大値との関係を計算した結果を示す図である。
- 【図25】本発明の実施の形態1 + 7と従来構成の効果の違いを示す図である。
- 【発明を実施するための形態】
- 【0013】
- 本発明の実施の形態に係る光半導体素子について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。
- 【0014】
- 実施の形態1 . 30
- 図1は、本発明の実施の形態1に係る光半導体素子を示す断面図である。図1はレーザ光の進行方向と平行な方向、即ち共振器方向に沿った断面図である。本実施の形態に係る光半導体素子は、n型InP基板1上に半導体レーザ2と光導波路3が集積された集積型光半導体素子である。光導波路3は半導体レーザ2の光出力側に設けられている。
- 【0015】
- 半導体レーザ2は、n型InP基板1と、その上に順に積層されたn型クラッド層4、活性層5、p型クラッド層6及び導電性InP層7とを有する。n型クラッド層4の中に回折格子8が設けられており、半導体レーザ2は分布帰還型半導体レーザである。n型クラッド層4はキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のn型InPクラッド層である。活性層5はAlGaInAs歪量子井戸活性層である。p型クラッド層6はキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のp型InPクラッド層である。導電性InP層7は、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のp型InPクラッド層である。例えば、活性層5の厚さは $0.2 \mu\text{m}$ 、p型クラッド層6の厚さは $0.2 \mu\text{m}$ である。 40
- 【0016】
- 光導波路3は、n型InP基板1と、その上に順に積層されたn型クラッド層4、コア層9、クラッド層10及び導電性InP層7とを有する。コア層9は、不純物がドーピングされず、活性層5よりも禁制帯幅が大きいInGaAsP層である。例えば、コア層9の厚さは $0.2 \mu\text{m}$ である。半導体レーザ2の活性層5の端面と光導波路3のコア層9の端面が接合されてバットジョイント部が形成される。クラッド層10は、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下のInP層であり、半導体レーザ2のp型クラッド層6よりも 50

キャリア濃度が低く、電気抵抗が高い。

【0017】

導電性InP層7の上にp型電極11が設けられている。n型InP基板1の下面にn型電極12が設けられている。半導体レーザ2は、キャリア注入領域X1と、キャリア注入領域X1と光導波路3との間に設けられた非キャリア注入領域X2とを有する。即ち、非キャリア注入領域X2は光導波路3の近傍に設けられている。キャリア注入領域X1は、バットジョイント部から非キャリア注入領域X2の幅だけ離れている。非キャリア注入領域X2の幅は50μm以上である。

【0018】

図2は、本発明の実施の形態1に係る光半導体素子を示す下面図である。n型電極12はキャリア注入領域X1のみに設けられ、非キャリア注入領域X2及び光導波路3には設けられていない。n型電極12の光導波路3側端部はバットジョイント部から50μmの位置であり、反対側の端部は半導体レーザ2の端部である。従って、キャリア注入領域X1においてn型半導体基板1の下面から活性層5にキャリアが注入され、非キャリア注入領域X2及び光導波路3においてn型半導体基板1の下面からキャリアが注入されない。

10

【0019】

図3は、図1のI-Iに沿った断面図である。即ち、図3は半導体レーザ2を共振器方向と垂直に切断した断面図である。半導体レーザ2は活性層5等がメサストライプ状に加工されている。その両側がキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のp型InP埋め込み層13、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ のFeドープInP埋め込み層14、及びキャリア濃度 $5 \times 10^{18} \text{ cm}^{-3}$ のn型InP埋め込み層15で埋め込まれている。

20

【0020】

図4は、図1のIII-IVに沿った断面図である。即ち、図4は光導波路3を共振器方向と垂直に切断した断面図である。光導波路3はコア層9等がメサストライプ状に加工されている。その両側が、半導体レーザ2と同様に、p型InP埋め込み層13、FeドープInP埋め込み層14及びn型InP埋め込み層15で埋め込まれている。

【0021】

続いて、本実施の形態1に係る光半導体素子の製造方法を説明する。図5～図12は、本発明の実施の形態1に係る光半導体素子の製造工程を示す断面図である。図8～図11は図7のI-Iに沿った断面図に対応し、半導体レーザ2が形成される部分を共振器方向と垂直に切断した断面図である。

30

【0022】

まず、図5に示すように、n型InP基板1上にMOCVD法によりn型クラッド層4を結晶成長する。電子ビーム露光を用いて回折格子8を形成した後、n型クラッド層4を再成長する。n型クラッド層4の上に活性層5とp型クラッド層6を順に結晶成長する。

【0023】

次に、図6に示すように、p型クラッド層6の上にSiO<sub>2</sub>絶縁膜16を形成し、パターンニング、ドライエッチングを行うことにより活性層5とp型クラッド層6の紙面右側部分をエッチング除去する。このエッチング除去された部分に、図7に示すように、MOCVD法によりコア層9とクラッド層10を順に結晶成長する。その後、SiO<sub>2</sub>絶縁膜16をエッチング除去する。

40

【0024】

次に、図8に示すように、SiO<sub>2</sub>絶縁膜17を成膜し、パターンニングする。次に、図9に示すように、ドライエッチング等により半導体層をメサストライプ状に加工する。次に、図10に示すように、MOCVD法によりp型InP埋め込み層13、FeドープInP埋め込み層14及びn型InP埋め込み層15を成長する。その後、SiO<sub>2</sub>絶縁膜17をエッチング除去する。次に、図11に示すように、MOCVD法により導電性InP層7を成長する。

【0025】

次に、図12に示すように、Ti/Pt/Auのp型電極11を形成する。さらに、T

50

i / P t / A u の n 型電極 1 2 を形成する。例えば、n 型電極 1 2 を基板の裏面全面に形成し、レジストなどを用いてイオンミリングなどで非キャリア注入領域 X 2 及び光導波路 3 の n 型電極 1 2 を部分的に除去する。または、レジストなどを用いたリフトオフを行ってもよい。以上により、本実施の形態に係る光半導体素子が製造される。

#### 【 0 0 2 6 】

製造した光半導体素子の n 型電極 1 2 は、はんだなどの導電性接合材料を用いてパッケージに固定される。p 型電極 1 1 にワイヤボンディングが行われる。n 型電極 1 2 と p 型電極 1 1 の間で電圧を印加すると、導電性 I n P 層 7、p 型クラッド層 6、活性層 5 の順に電流が流れ、活性層 5 からレーザー光が放射される。そのレーザー光は、コア層 9 を通って図 1 の右側に向かって進行する。

10

#### 【 0 0 2 7 】

続いて、本実施の形態の効果を比較例と比較して説明する。図 1 3 は、比較例に係る半導体光素子を示す断面図である。比較例では n 型電極 1 2 が n 型 I n P 基板 1 の下面全面に形成されている。n 型電極 1 2 からキャリアである電子が活性層 5 に注入されるが、n 型電極 1 2 から光導波路 3 の下部に注入された電子は、電子を通さないコア層 9 の下側を迂回して活性層 5 に流入する。この迂回して活性層 5 に流入する電子が、活性層 5 のパッドジョイント部から 3 μ m 程度離れた部分に集中する。これにより特性の低下が発生する。

#### 【 0 0 2 8 】

これに対して、本実施の形態では、n 型電極 1 2 はキャリア注入領域 X 1 のみに設けられ、非キャリア注入領域 X 2 及び光導波路 3 には設けられていない。従って、非キャリア注入領域 X 2 及び光導波路 3 において n 型半導体基板 1 の下面からキャリアが注入されない。これにより、非キャリア注入領域 X 2 及び光導波路 3 の下部からキャリア注入領域 X 1 側に迂回して活性層 5 に流入する電子の流れを抑制することができる。この結果、活性層 5 内のキャリア密度の不均一を抑制して特性を向上させることができる。

20

#### 【 0 0 2 9 】

図 1 4 は、半導体レーザーの後端面からの距離と電子密度との関係を計算した結果を示す図である。距離 X 2 を + 5 0 μ m とした場合が従来構造であり、- 5 0 μ m とした場合が実施の形態 1 である。実施の形態 1 では、活性層 5 内の電子密度が従来構造の 5 0 % 程度まで低減できている。この電子密度の上昇抑制により特性の低下を防ぐことができる。

30

#### 【 0 0 3 0 】

なお、光導波路 3 の近傍に非キャリア注入領域 X 2 を設けず、半導体レーザー 2 全面をキャリア注入領域 X 1 にすると、電界が光導波路 3 の下部にまで広がってしまう。このため、電子が光導波路 3 の下部からキャリア注入領域 X 1 側に迂回して活性層 5 に流入してしまい、上記の効果が得られない。

#### 【 0 0 3 1 】

また、本実施の形態では、半導体レーザー 2 及び光導波路 3 において n 型 I n P 基板 1 の下面が面一で平坦である。このため、光半導体素子の製造が容易である。

#### 【 0 0 3 2 】

実施の形態 2 .

40

図 1 5 は、本発明の実施の形態 2 に係る光半導体素子を示す断面図である。図 1 6 は、本発明の実施の形態 2 に係る光半導体素子を示す下面図である。n 型電極 1 2 が設けられていない非キャリア注入領域 X 2 及び光導波路 3 において n 型 I n P 基板 1 の下面に絶縁体 1 8 が設けられている。例えば、n 型 I n P 基板 1 の下面全面に S i O <sub>2</sub> などの絶縁体 1 8 を形成した後、部分的に形成したレジストをマスクとして用いたイオンミリングなどにより絶縁体 1 8 の一部を除去する。

#### 【 0 0 3 3 】

はんだなどの導電性接合材料により光半導体素子の下面をパッケージと接合する際に、実施の形態 1 では露出した n 型 I n P 基板 1 の下面と接合材料との間で通電して、注入される電子の流れを十分に制御できなくなる可能性がある。そこで、本実施の形態では非キ

50

キャリア注入領域X2及び光導波路3において素子下面に絶縁体18を設けている。絶縁体18により非キャリア注入領域X2及び光導波路3から活性層5への電子の注入を確実に抑制することができる。従って、活性層5内のキャリア密度の不均一を抑制して特性を向上させることができる。

【0034】

図17は、本発明の実施の形態2に係る光半導体素子の变形例を示す下面図である。基板下面のn型電極12と絶縁体18は、キャリアの注入抑制効果を妨げない範囲で、光半導体素子のパッケージへの固定強度と放熱性を考慮して、図17のような形状にしてもよい。これにより、チップ裏面のパターン間の段差によって発生する図面上下方向へのチップの傾きを軽減することができる。後述の実施の形態3～6についても同様である。

10

【0035】

実施の形態3

図18は、本発明の実施の形態3に係る光半導体素子を示す断面図である。n型電極12が設けられていない非キャリア注入領域X2及び光導波路3においてn型InP基板1の下面に金属酸化膜19が設けられている。例えば、n型InP基板1の下面全面にTiなどの金属膜を形成し、キャリア注入領域X1を絶縁膜などで覆い、表面に露出した金属層を熱酸化又は陽極酸化などにより酸化することで金属酸化膜19を部分的に形成する。

【0036】

はんだなどの導電性接合材料により光半導体素子の下面をパッケージと接合する際に、素子下面にSiO<sub>2</sub>などの酸化層を形成していると十分な接合強度が得られない。そこで、本実施の形態では非キャリア注入領域X2及び光導波路3において素子下面に金属酸化膜19を設けている。金属酸化膜19により非キャリア注入領域X2及び光導波路3から活性層5への電子の注入を確実に抑制することができる。従って、接合強度を確保しつつ、活性層5内のキャリア密度の不均一を抑制して特性を向上させることができる。

20

【0037】

実施の形態4

図19は、本発明の実施の形態4に係る光半導体素子を示す断面図である。n型電極12が設けられていない非キャリア注入領域X2及び光導波路3において、n型InP基板1の下面にショットキー接合された金属層20が設けられている。金属層20は例えばZnを含む材料である。例えば、n型InP基板1の下面全面に金属層20を形成した後、部分的に形成したレジストをマスクとして用いたイオンミリングなどにより金属層20の一部を除去する。

30

【0038】

はんだなどの導電性接合材料により光半導体素子の下面をパッケージと接合する際に、非キャリア注入領域X2及び光導波路3において素子下面が接合できる表面状態でないと十分な接合強度が得られない。そこで、本実施の形態では非キャリア注入領域X2及び光導波路3において素子下面に金属層20を設けている。n型InP基板1と金属層20との間がショットキー接合により高抵抗となるため、非キャリア注入領域X2及び光導波路3から活性層5への電子の注入を確実に抑制することができる。従って、接合強度を確保しつつ、活性層5内のキャリア密度の不均一を抑制して特性を向上させることができる。

40

【0039】

実施の形態5

図20は、本発明の実施の形態5に係る光半導体素子を示す断面図である。非キャリア注入領域X2及び光導波路3においてn型InP基板1の下面にp型半導体層21が設けられている。例えばn型InP基板1の下面に部分的にZnO等の拡散元となる層を形成して熱処理することで、この層からZnを固相拡散することでp型半導体層21を形成する。

【0040】

p型半導体層21により非キャリア注入領域X2及び光導波路3から活性層5への電子の注入を確実に抑制することができる。従って、活性層5内のキャリア密度の不均一を抑

50

制して特性を向上させることができる。また、p型半導体層21を用いることで、金属層20と比べて、材料に依存せず高抵抗を実現することができる。

【0041】

実施の形態6.

図21は、本発明の実施の形態6に係る光半導体素子を示す断面図である。n型電極12を形成しない非キャリア注入領域X2及び光導波路3において、n型InP基板1の一部が厚さ方向に除去されてn型InP基板1の下面に凹部22が形成されている。例えば、部分的に形成したレジストをマスクとして用いたイオンミリングなどによりn型InP基板1の一部を除去する。

【0042】

実施の形態1の構造では、非キャリア注入領域X2及び光導波路3においてn型InP基板1の下面がパッケージと接触して電子が注入される場合がある。これに対して、凹部22を形成することでパッケージから隔離されるため、非キャリア注入領域X2及び光導波路3における電子の注入を確実に抑制して、活性層5内のキャリア密度の不均一を抑制して特性を向上させることができる。その他の構成及び効果は実施の形態1と同様である。

【0043】

実施の形態7.

図22は、本発明の実施の形態7に係る光半導体素子を示す断面図である。実施の形態1とは異なり、n型電極12がn型InP基板1の下面全面に設けられている。光導波路3は、コア層9の下方に設けられ、n型InP基板1の下面に接しないp型半導体層23を有する。p型半導体層23の半導体レーザ2側の先端は、バットジョイント部から距離X3だけ離れている。このX3は光導波路3側にプラス、半導体レーザ2側にマイナスとして、0 $\mu$ mから2 $\mu$ mの範囲が望ましい。また、p型半導体層23の上面から活性層5の下面までの距離X4は-3 $\mu$ mから-5 $\mu$ mの範囲が望ましい。これらの距離X3、X4は電子の注入制御の効果を考慮して設定する。例えば、コア層9の成長前にp型半導体層23を部分的に選択成長して形成する。また、p型半導体層23を実施の形態4のようにZnの固相拡散で形成してもよい。

【0044】

コア層9の下方に設けられたp型半導体層23により光導波路3から活性層5への電子の注入を抑制することができる。従って、活性層5内のキャリア密度の不均一を抑制して特性を向上させることができる。また、n型InP基板1の下面に接しない内部構造としてp型半導体層23を形成することで、パッケージとの接合強度の低下と光半導体素子に発生する熱応力分布による特性低下を回避できる。

【0045】

なお、p型半導体層23の半導体レーザ2側の先端がバットジョイント部に一致するX3=0 $\mu$ mであることが好ましい。しかし、p型半導体層23が半導体レーザ2の活性層5の下方まで延びると、むしろ活性層5での部分的な電子密度の上昇が発生する。

【0046】

図23は、距離X3と電子密度最大値との関係を計算した結果を示す図である。図24は、距離X4と電子密度最大値との関係を計算した結果を示す図である。それぞれ図14と同様に活性層5内の電子密度の最大値とその位置が示されている。これらの図から、本実施の形態により電子密度の最大値を従来構造の50%程度まで低減できることが分かる。これにより特性の低下を防ぐことができる。

【0047】

なお、実施の形態1~7にかかる半導体光素子は、半導体レーザ2と光導波路3が集積された光導波路集積型半導体光素子である。しかし、本発明はこれに限られない。光変調器又は光増幅器などの光能動素子と光導波路とが隣接して集積された構成にも、実施の形態1~7に係る構成を組み合わせることができる。また、製造方法及び使用する材料は実施の形態1~7で示したものに限られず、同様の効果が得られれば構成及び製造方法は必

10

20

30

40

50



ずしも上述の内容に限定されない。また、実施の形態 1 ~ 7 を組み合わせた構造、例えば、実施の形態 1 と実施の形態 7 を組み合わせることも有効である。図 25 は、本発明の実施の形態 1 + 7 と従来構成の効果の違いを示す図である。このように実施の形態 1 + 7 は従来構造に比べて電子密度の最大値を 30 % 程度まで低減可能であり、高い効果が認められる。

【0048】

また、p 型電極 11 は光半導体素子の導電性 InP 層 7 の上部全面に形成されているが、これに限らず、本発明における効果への影響がない範囲で導電性 InP 層 7 の一部に形成してもよい。さらに、n 型電極 12 から実効的にキャリア注入が行われない領域が基板下面に設けられている実施の形態 2 ~ 5 の構造では、本発明の効果が妨げられない範囲でそれらの領域に n 型電極 12 を形成してもよい。

10

【0049】

また、実施の形態 1 ~ 7 では、メサストライプの両側が電流狭窄層で埋め込まれた構造の例を示したが、これに限らず本発明は電流狭窄層を用いないリッジ型の構造にも適用することができる。

【符号の説明】

【0050】

1 n 型半導体基板、2 半導体レーザ、3 光導波路、4 n 型クラッド層、5 活性層、6 p 型クラッド層、9 コア層、10 クラッド層、12 n 型電極、18 絶縁体、19 金属酸化膜、20 金属層、21, 23 p 型半導体層、22 凹部、X1 キャリア注入領域、X2 非キャリア注入領域

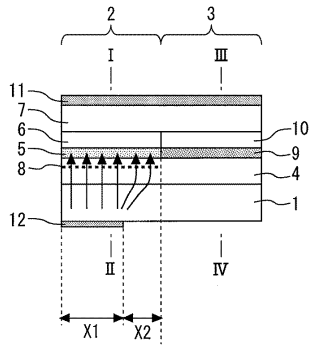
20

【要約】

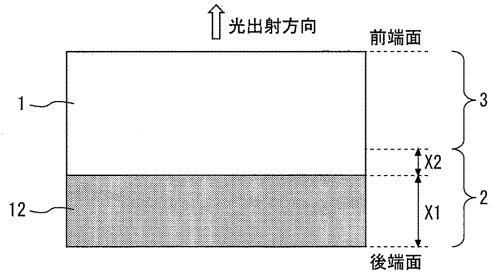
半導体レーザ(2)は、n 型半導体基板(1)と、n 型半導体基板(1)の上に順に積層された n 型クラッド層(4)、活性層(5)及び p 型クラッド層(6)とを有する。光導波路(3)は、n 型半導体基板(1)の上であって半導体レーザ(2)の光出力側に設けられ、不純物がドーピングされず活性層(5)よりも禁制帯幅の大きなコア層(9)と、コア層(9)の上に設けられ p 型クラッド層(6)よりもキャリア濃度が低いクラッド層(10)とを有する。半導体レーザ(2)は、キャリア注入領域(X1)と、キャリア注入領域(X1)と光導波路(3)との間に設けられた非キャリア注入領域(X2)とを有する。

30

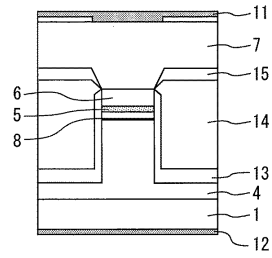
【図1】



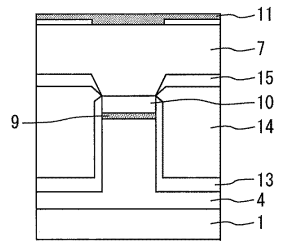
【図2】



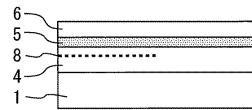
【図3】



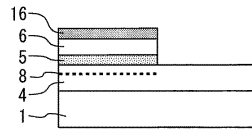
【図4】



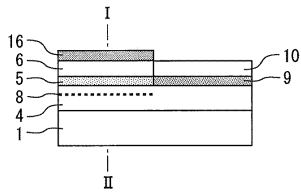
【図5】



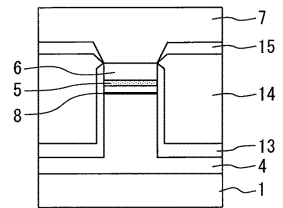
【図6】



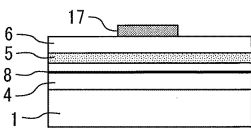
【図7】



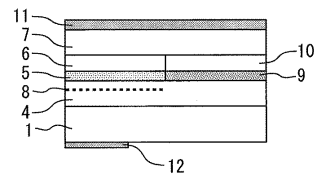
【図11】



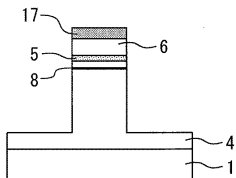
【図8】



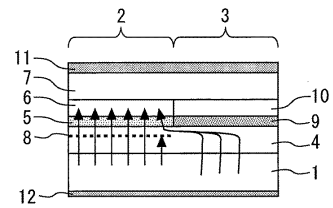
【図12】



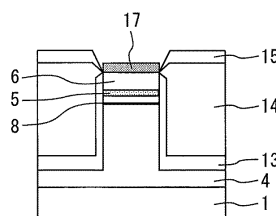
【図9】



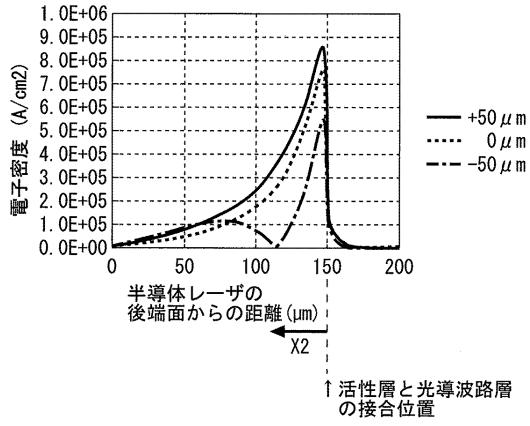
【図13】



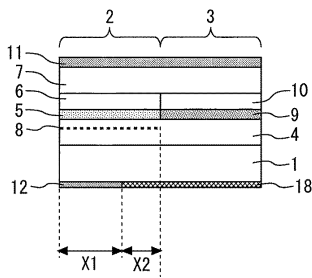
【図10】



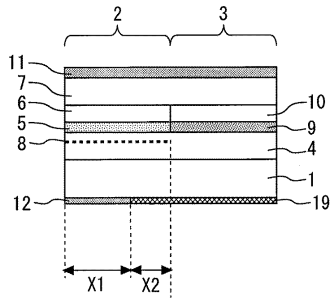
【図14】



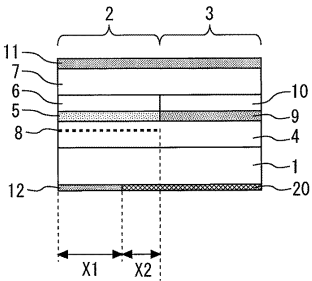
【図15】



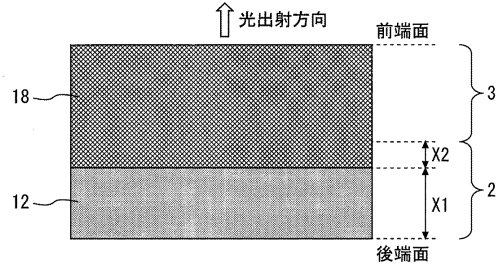
【図18】



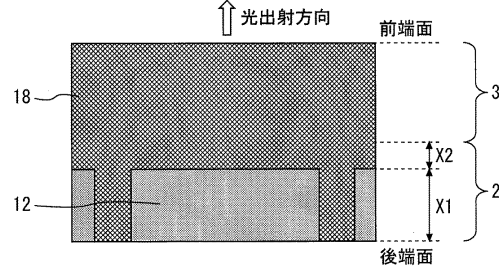
【図19】



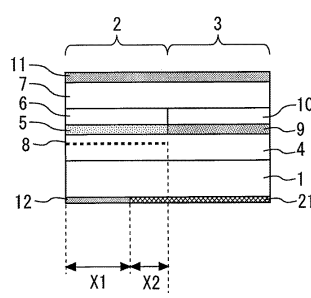
【図16】



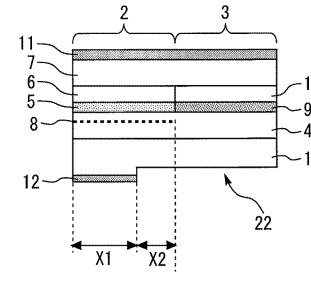
【図17】



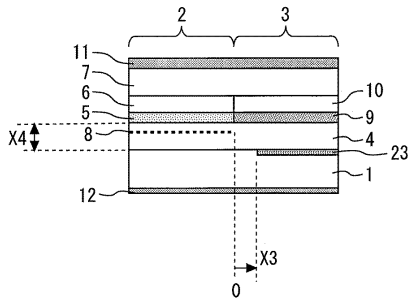
【図20】



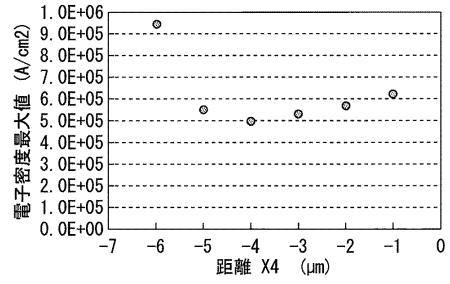
【図21】



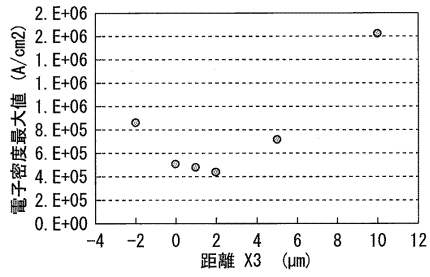
【図22】



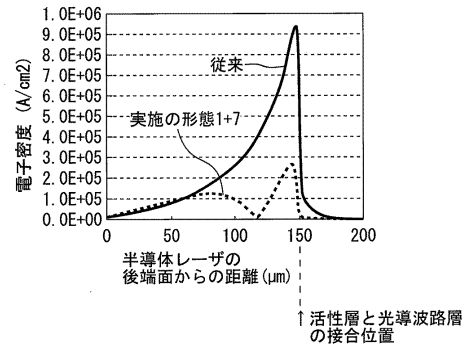
【図24】



【図23】



【図25】



---

フロントページの続き

(72)発明者 奥貴 雄一郎  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 大西 孝宣

(56)参考文献 特開2016-152360(JP,A)  
国際公開第2009/116140(WO,A1)  
特開2016-134522(JP,A)  
特開2011-119312(JP,A)  
特開2002-064241(JP,A)  
特開2002-261379(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01S 5/00 - 5/50