

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本發明是有關於一種覆晶封裝(Flip Chip Package)基板，且特別是有關於一種高密度覆晶封裝基板及應用此基板之高密度覆晶球格陣列式封裝。

[先前技術]

晶片封裝技術的發展趨勢朝向尺寸縮小及輸入/輸出接點增加，因而覆晶(flip chip)技術成為主流之一。覆晶技術主要是在晶圓上對外的接點(通常是金屬焊墊)上成長凸塊，並透過凸塊與基板(substrate)電性連接。運用覆晶技術可以高密度地連接輸入/輸出接點，並可建立低電感連接。

習知封裝基板的構成係以壓合方式(laminated)或是積層方式(build up)製成，所以越外層的部份由於平坦度(uniformity)漸差，所以精度控制困難。以此封裝基板應用於覆晶封裝之高密度(high density)及小間距(fine pitch)的需求時，製作困難度高，並對良率造成影響。

此外，習知的高密度基板應用於覆晶技術時，為達成層間對位之穩定性，必須使用較厚之內層基板，因此基板之總厚度高，造成電訊性能不良。

又因習知高密度基板之硬度高，植入覆晶晶片之後，在運作時由於基板與晶片熱膨脹係數之差異，其所產生的應力與應變會造成晶片上絕緣層之損害。

[發明內容]

為解決習知的問題點，本發明的目的之一係，提出



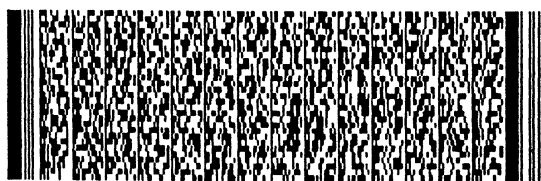
五、發明說明 (2)

一種高密度覆晶封裝基板，藉由此基板，可降低封裝於其上之晶片所承受的應力及應變，以提高封裝之良率及可靠度。

本發明的目的之一係，提出一種高密度覆晶封裝基板，可適用於封裝具微間距凸塊之覆晶晶片。藉由此基板，可達成薄型覆晶封裝，並具有高電訊性能。

為達成上述及其他目的，本發明提出一種高密度覆晶封裝基板，包括：一基板、一薄膜內連線層、一積層結構層以及一防焊層。其中，基板具有一晶片放置開口，此晶片放置開口具有一晶片放置區、一點膠區及一抽真空區，其中點膠區及抽真空區係與晶片放置區相連，並為沿晶片放置區之對角往外延伸之一對區域。薄膜內連線層係，具有一第一介電層以及一第一導線層。第一介電層覆於基板之表面，第一導線層覆於第一介電層。晶片放置開口係暴露出部份之第一介電層，且在晶片放置開口所暴露出之部份的第一介電層內更具有多個凸塊開口。積層結構層係覆於薄膜內連線層，具有多個第二介電層以及多個第二導線層彼此交替，每二個相鄰之第二導線層之間具有一個第二介電層。防焊層係覆於積層結構層，防焊層具有多個開口，以暴露出部份之最遠離基板之第二導線層。其中薄膜內連線層之第一介電層之熱膨脹係數大於基板之熱膨脹係數，且積層結構層之熱膨脹係數大於基板之熱膨脹係數。

為達本發明對於熱膨脹係數之要求，本發明人經實



五、發明說明 (3)

驗後，針對本發明之薄膜內連線層之第一介電層之材質，選用自包括具環氧基的聚合物、聚亞醯胺，及聚四氟乙烯 (polytetrafluoroethylene, PTFE) 等，且配合其熱膨脹係數，適當地選用包括矽、玻璃、陶瓷、金屬等材質作為上述基板之材質，以達成上述特徵。

上述各導線層的線路圖案在對應晶片放置開口的邊緣處係呈波浪狀。

依照本發明的特徵，在晶片放置區的對角延伸有一對點膠區及抽真空區，因而應用本發明之高密度覆晶封裝基板進行封裝時，本發明可在晶片放置區的一隅進行點膠，而在相對的另一隅進行抽真空，以此方式，可縮短填底膠的時間，且可有效防止氣泡發生。

同理如上，因為在晶片放置開口已設置了點膠區及抽真空區，可將晶片放置區最小化，而提高封裝的可靠度。

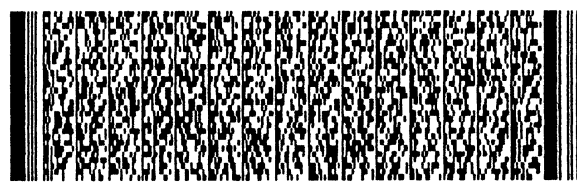
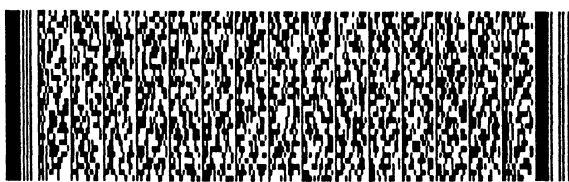
依照本發明的特徵，各導線層在對應晶片放置開口的邊緣處係呈波浪狀，在基板形變時，具有緩衝作用，因而可提高基板之忍受應變的能力。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

[實施方式]

[第一實施例]

請依序參考第1~4圖，其繪示依照本發明之較佳實施



五、發明說明 (4)

例的高密度覆晶封裝基板之製程流程剖視圖。

請參考第1圖，提供一基板200，具有一第一表面200a及一第二表面200b。以薄膜沈積法形成一內連線層202，覆於基板200之第一表面200a。例如以塗佈的方式形成一第一介電層204，以及例如利用濺鍍並配合半加成的方法形成一第一導線層206。第一介電層204係覆於基板200之第一表面200a。第一導線層206係覆於第一介電層204。

在此，可以壓合一環氧樹脂乾膜或是沈積一環氧樹脂液態膜(包括塗佈及硬化製程)以形成一第一介電層204。此第一介電層204之厚度為10微米至50微米，以使此第一介電層204的熱膨脹係數大於基板200之熱膨脹係數。其目的在於，在沈積環氧樹脂層之後冷卻至室溫時，可使此環氧樹脂層保持在伸張狀態(承受張力)。藉此，則可使介電層及導線層保持穩定，因此層內各導線層及開口位置可保持在固定位置上，不受環境影響。

為達本發明對於熱膨脹係數之要求，針對薄膜內連線層202之第一介電層204之材質，可選用自包括有環氧基的聚合物、聚亞醯胺，及聚四氟乙烯等，且配合其熱膨脹係數，適當地選用包括矽、玻璃、陶瓷、金屬等材質作為上述基板之材質，以達成上述特徵。

請參考第2~3圖，以積層(built up)法形成一積層結構層208(見第3圖)，其係以介電層及導線層交替形成，覆於內連線層202，且同理如上，使積層結構層208之熱膨脹



五、發明說明 (5)

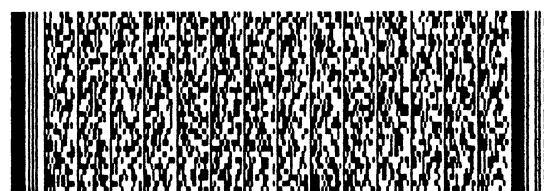
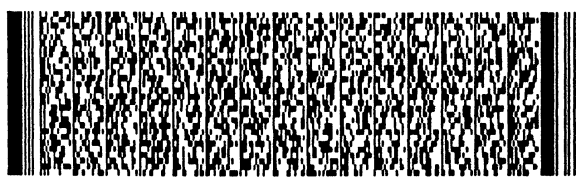
係數大於基板200之熱膨脹係數。如第2圖，形成一圖案化的第二介電層210，覆於內連線層202，接著形成一圖案化的第二導線層212，覆於第二介電層210。

在形成積層結構208的途中，若選用導體材質(例如金屬)作為基板的材質，尚可進行如下的步驟(見第2圖)，以進一步提昇晶片的電流輸送效果。

如第2圖所例示，以雷射鑽孔配合電鍍的方式，形成一貫孔218，位於基板200之晶片放置開口250之晶片放置區250a(詳如後述之第6圖)之外，貫穿第一介電層204及與之相鄰之第二介電層210，以接觸最接近基板200之第二導線層212及基板200，並同時接觸第一導線層206。在此，配合上述貫孔218的結構特徵，可再使基板200連接至接地，如此則可形成路徑短且寬廣的接地連線，因而可大大提升晶片之電流輸送效能。

如第3圖所示，進行後續形成積層結構208的步驟，續形成一圖案化的第二介電層214，覆於第二導線層212，接著，形成一圖案化的第二導線層216，覆於第二介電層212。並形成一防焊層220，覆於積層結構層208，此防焊層具有多個開口220a以暴露出部份之最遠離基板200之第二導線層216。於開口220a所暴露出之第二導線層216上形成焊球墊222。

請參考第4圖，形成一晶片放置開口250，於基板200之第二表面200b，以暴露出部份之第一介電層204。藉由使上述內連線層202之第一介電層204的熱膨脹係數大於基



五、發明說明 (6)

板200之熱膨脹係數。此暴露於晶片放置開口250底部的第一介電層204亦呈受張力的狀態。

請同時參考第6圖，晶片放置開口250具有一晶片放置區250a、一點膠區250b及一抽真空區250c，其中標號260係表示此區域中所欲貼附的覆晶晶片。晶片放置開口250的形狀為，其中晶片放置區250a係呈略大於欲貼附之覆晶晶片260(見第5圖)的形狀，點膠區250a及抽真空區250b為與晶片放置區250a相連，並為沿晶片放置區250a之對角往外延伸之一對區域。

接著，形成多個凸塊開口252，於暴露出之第一介電層內204，以暴露出部份之第一導線層206。形成凸塊開口的方法，舉例而言，包括雷射鑽孔。

請參考第8圖，其繪示各導線層對應於晶片放置開口周圍處的線路圖案之一例示，圖中係以第一導線層為例子。在此值得注意的是，在形成上述導線層(206、212、216)時，各導線層在對應晶片放置開口250的邊緣處(如圖中虛線248)係呈波浪狀的線路圖案。

各導線層在對應晶片放置開口的邊處，形成此波浪狀線圖案的原因是：依本發明的特徵，在本發明之覆晶球格陣列式封裝中，在晶片放置開口以外的部份，皆包括了金屬基板、薄膜內連線層及積層結構層，然而，在晶片放置開口中，並無金屬基板的部份，所以此封裝結構在對應晶片放置開口周圍處則成為結構中較弱的部份。

依照本發明之精神，利用在晶片放置開口250的邊緣



五、發明說明 (7)

處248呈波浪狀拉長的線路圖案，在基板形變(例如受熱膨脹)時，具有緩衝作用，可不致使導線因形變而被破壞，因而可提高產品之可靠度。由此可知，本發明亦不需限定此波浪狀，簡言之如鋸齒狀，或是其他彎摺形狀者皆屬之。

[第二實施例]

在第一實施例中係例示出形成依照本發明之較佳實施例之一種高密度覆晶封裝基板之製程。在第二實施例中則將例示應用第一實施例之高密度覆晶封裝基板進行封裝所得的高密度覆晶球格陣列式封裝之結構。在第二實施例中和第一實施例相同的元件係採用相同的標號，在此便省略重覆的說明。

請參考第6圖，貼附一覆晶晶片260於晶片放置開口250中之晶片放置區域250a內。覆晶晶片260具有一主動表面260a，多個凸塊262形成於主動表面260a上。藉由一回焊步驟，使凸塊262與凸塊開口252所暴露出之第一導線層206電性連接。

接著，進行一填底膠步驟，於晶片放置開口250之點膠區250b進行點膠，並於抽真空區250c進行抽真空，以將一底膠270填入凸塊262之間的間隙。

依本發明之精神可知，並不需限定晶片放置開口250的形狀，其關鍵在於晶片放置區250a係接近並略大於覆晶晶片260之外形。而點膠區250a及抽真空區250b係與晶片放置區250a相連，並分別位於晶片放置區250a之相對的兩



五、發明說明 (8)

側，以利於抽真空作業。

接著進行一封膠步驟，以一封膠材料290填入晶片放置開口250，以包覆底膠270，包圍覆晶晶片260，並暴露出部份之覆晶晶片260。之後，進行一植球步驟，透過焊球墊222將多個焊球280電性連接至防焊層220所暴露出之部份之最遠離基板200之第二導線層216，至此以完成高密度覆晶球格陣列式封裝。

由實施例之揭露可知，本發明至少具有如下之優點：

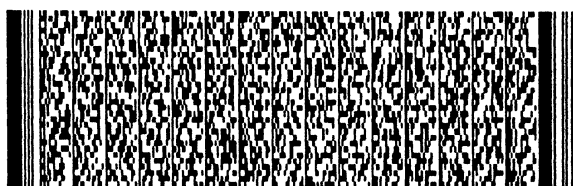
- (1). 本發明中薄膜內連線層之第一介電層的熱膨脹係數大於基板之熱膨脹係數。因而，在形成第一介電層之後冷卻至室溫時，可使此第一介電層保持在伸張狀態(承受張力)。藉此，則可使介電層及導線層保持穩定，因此層內各導線及開口位置可保持在固定位置上，不受環境影響。
- (2). 同理如上，本發明中積層結構層的熱膨脹係數大於基板之熱膨脹係數，可加強上述第1點之效果。
- (3). 本發明在晶片放置區的對角延伸有一對點膠區及抽真空區，因而本發明係在晶片放置區的一隅進行點膠，而在相對的另一隅進行抽真空，以此方式，可縮短填底膠的時間，且可有效防止氣泡發生。
- (4). 同理如上，因為在晶片放置開口已設置了點膠區及抽真空區，可將晶片放置區最小化，而提高封裝的可靠度。
- (5). 本發明的各導線層在對應晶片放置開口處係呈波浪狀，在基板形變時，具有緩衝作用，因而可提高基板之忍受應變的能力，因而提高產品之可靠度。



五、發明說明 (9)

(6). 當選用導體材料(例如金屬)作為基板之材料時,本發明可利用貫孔使積層結構層的導線層和金屬基板相接觸,並使薄膜內連線層的導線層透過此積層結構層的導線層和金屬基板相連接,再使金屬基板接地俾便簡化製程,可使覆晶晶片獲得良好的電流輸送效果。

雖然本發明已以較佳實施例揭露如上,然其並非用以限定本發明,任何熟習此技藝者,在不脫離本發明之精神和範圍內,當可作些許之更動與潤飾,因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1~4圖繪示依照本發明之較佳實施例的一種高密度覆晶封裝基板之製程流程剖視圖；

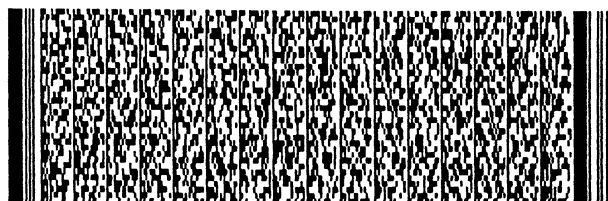
第5圖繪示依照本發明之較佳實施例的一種高密度覆晶球格陣列封裝之結構剖視圖；

第6圖繪示依照本發明之較佳實施例的晶片放置開口之一例示的平面圖；以及

第7圖繪示依照本發明之較佳實施例的各導線層之線路圖案之一例示的平面圖。

[圖式標示說明]

- | | |
|-----------------|--------------------|
| 200 : 基板 | 202 : 內連線層(薄膜內連線層) |
| 204 : 第一介電層 | 206 : 第一導線層 |
| 208 : 積層結構層 | 210、214 : 第二介電層 |
| 212、216 : 第二導線層 | 218 : 貫孔 |
| 220 : 防焊層 | 220a : 開口 |
| 222 : 焊球墊 | 248 : 晶片放置開口的邊緣處 |
| 250 : 晶片放置開口 | 250a : 晶片放置區 |
| 250b : 點膠區 | 250c : 抽真空區 |
| 252 : 凸塊開口 | 260 : 覆晶晶片 |
| 260a : 主動表面 | 262 : 凸塊 |
| 270 : 底膠 | 280 : 焊球 |
| | 290 : 封膠 |



四、中文發明摘要 (發明名稱：高密度覆晶封裝基板)

一種高密度覆晶封裝基板，包括：一基板200、一薄膜內連線層202、一積層結構層208以及一防焊層220。基板具有一晶片放置開口250，此晶片放置開口具有一晶片放置區、一點膠區及一抽真空區。薄膜內連線層202具有一第一介電層204，覆於基板200之表面。晶片放置開口250係暴露出部份之第一介電層204。積層結構層208係覆於薄膜內連線層202。薄膜內連線層202之第一介電層204之熱膨脹係數大於基板200之熱膨脹係數，且積層結構層208之熱膨脹係數大於基板200之熱膨脹係數。

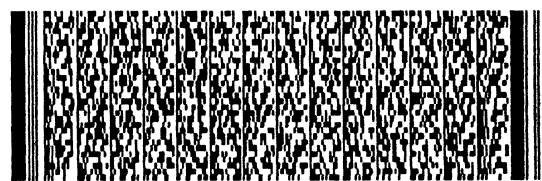
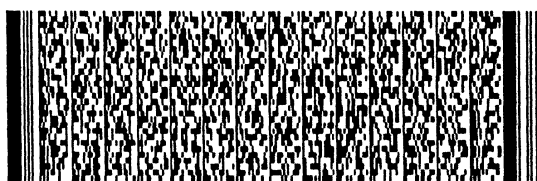
伍、(一)、本案代表圖為：第___5___圖

(二)、本案代表圖之元件代表符號簡單說明：

200	：	基板	202	：	內連線層(薄膜內連線層)
204	：	第一介電層	206	：	第一導線層
208	：	積層結構層	210、214	：	第二介電層

六、英文發明摘要 (發明名稱：HIGH DENSITY SUBSTRATE FOR FLIP CHIP)

A high-density substrate for flip chip is provided with a substrate 200, a thin film interconnect layer 202, a built-up structure layer 208 and a solder mask layer 220. A chip placement opening 250 formed with a placement region, a dispensing region, and a vacuum region is arranged in the substrate 200. The thin film interconnect layer 202 including a first dielectric layer 204

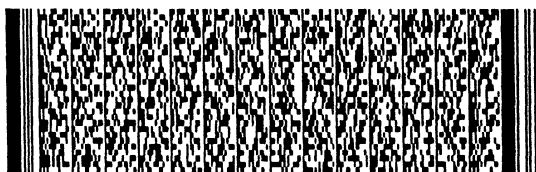


四、中文發明摘要 (發明名稱：高密度覆晶封裝基板)

212、216：第二導線層 218：貫孔
220：防焊層 250：晶片放置開口

六、英文發明摘要 (發明名稱：HIGH DENSITY SUBSTRATE FOR FLIP CHIP)

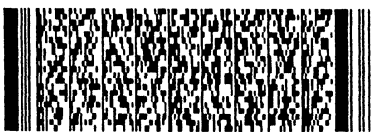
is formed over the surface of the substrate 200. The chip placement opening 250 exposes partial of the first dielectric layer 204. The built-up structure layer 208 is formed over the thin film interconnect layer 202. The Thermal Coefficient of Expansion of the first dielectric layer 202 is larger than that of the substrate 200. The Thermal Coefficient of Expansion of the built-up



四、中文發明摘要 (發明名稱：高密度覆晶封裝基板)

六、英文發明摘要 (發明名稱：HIGH DENSITY SUBSTRATE FOR FLIP CHIP)

structure layer 208 is larger than that of the substrate 200.



六、申請專利範圍

1. 一種高密度覆晶封裝基板，包括：

一基板，具有一第一表面及一第二表面，且具有一晶片放置開口，該晶片放置開口具有一晶片放置區、一點膠區及一抽真空區，其中該點膠區及該抽真空區係與該晶片放置區相連，並為沿該晶片放置區之對角往外延伸之一對區域；

一薄膜內連線層，覆於該基板之該第一表面，該薄膜內連線層具有一第一介電層以及一第一導線層，該第一介電層覆於該基板之該第一表面，該第一導線層覆於該第一介電層，其中，該晶片放置開口係暴露出部份之該第一介電層，且在晶片放置開口所暴露出之部份的該第一介電層內更具有複數個凸塊開口；

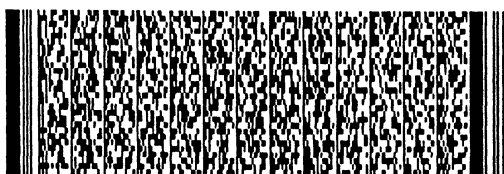
一積層結構層，覆於該薄膜內連線層，具有複數個第二介電層以及複數個第二導線層彼此交替，每二個相鄰之該些第二導線層之間具有一該第二介電層；以及

一防焊層，覆於該積層結構層，該防焊層具有複數個開口，以暴露出部份之最遠離該基板之該第二導線層，

其中該薄膜內連線層之該第一介電層之熱膨脹係數大於該基板之熱膨脹係數，且該積層結構層之熱膨脹係數大於該基板之熱膨脹係數。

2. 如申請專利範圍第1項所述之高密度覆晶封裝基板，其中該晶片放置開口之該晶片放置區係呈略大於欲貼附之一覆晶晶片的形狀。

3. 如申請專利範圍第1項所述之高密度覆晶封裝基



六、申請專利範圍

板，其中該第一導線層及該些第二導線層的線路圖案在對應該晶片放置開口的邊緣處係呈波浪狀。

4. 如申請專利範圍第1項所述之高密度覆晶封裝基板，其中該薄膜內連線層之該第一介電層之材質包括有環氧基的聚合物。

5. 如申請專利範圍第4項所述之高密度覆晶封裝基板，其中該薄膜內連線層之該第一介電層之材質包括聚亞醯胺。

6. 如申請專利範圍第4項所述之高密度覆晶封裝基板，其中該薄膜內連線層之該第一介電層之材質包括聚四氟乙烯。

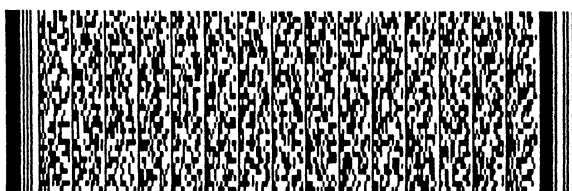
7. 如申請專利範圍第1項所述之高密度覆晶封裝基板，其中該基板之材質包括矽。

8. 如申請專利範圍第1項所述之高密度覆晶封裝基板，其中該基板之材質包括玻璃。

9. 如申請專利範圍第1項所述之高密度覆晶封裝基板，其中該基板之材質包括陶瓷。

10. 如申請專利範圍第1項所述之高密度覆晶封裝基板，其中該基板材質為金屬。

11. 如申請專利範圍第1項所述之高密度覆晶封裝基板，更包括一貫孔，位於該基板之該晶片放置區之外，貫穿該第一介電層及與該第一介電層相鄰之該第二介電層以接觸最接近該基板之該第二導線層，並接觸該基板，並同時接觸該第一導線層。



六、申請專利範圍

12. 如申請專利範圍第11項所述之高密度覆晶封裝基板，其中該基板係作為接地點。

13. 一種高密度覆晶球格陣列式封裝，包括：

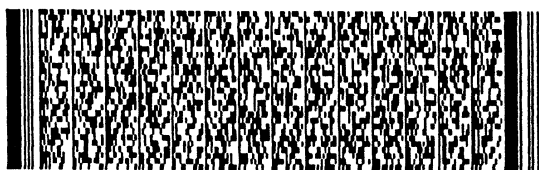
一基板，具有一第一表面及一第二表面，且該具有一晶片放置開口，該晶片放置開口具有一晶片放置區、一點膠區及一抽真空區，其中該點膠區及該抽真空區係與該晶片放置區相連，並為沿該晶片放置區之對角往外延伸之一對區域；

一薄膜內連線層，覆於該基板之該第一表面，該薄膜內連線層具有一第一介電層以及一第一導線層，該第一介電層覆於該基板之該第一表面，該第一導線層覆於該第一介電層，其中，該晶片放置開口係暴露出部份之該第一介電層，且在晶片放置開口所暴露出之部份的該第一介電層內更具有複數個凸塊開口，其中該薄膜內連線層之該第一介電層之熱膨脹係數大於該基板之熱膨脹係數；

一積層結構層，覆於該薄膜內連線層，具有複數個第二介電層以及複數個第二導線層彼此交替，每二個相鄰之該些第二導線層之間具有一該第二介電層，其中該積層結構層之熱膨脹係數大於該基板之熱膨脹係數；

一覆晶晶片，貼附於該晶片放置開口內，該覆晶晶片具有一主動表面，以及複數個凸塊形成於該主動表面上，該覆晶晶片係藉由該些凸塊電性連接至該些凸塊開口所暴露出之該第一導線層；

一防焊層，覆於該積層結構層，該防焊層具有複數



六、申請專利範圍

個開口，以暴露出部份之最遠離該基板之該第二導線層，一底膠，填入於該些凸塊之間的間隙；以及複數個焊球，電性連接至該防焊開口所暴露出之部份之最遠離該基板之該第二導線層。

14. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，其中該晶片放置開口之該晶片放置區係呈略大於該覆晶晶片的形狀。

15. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，其中該第一導線層及該些第二導線層的線路圖案在對應該晶片放置開口的邊緣處係呈波浪狀。

16. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，其中該薄膜內連線層之該第一介電層之材質包括有環氧基的聚合物。

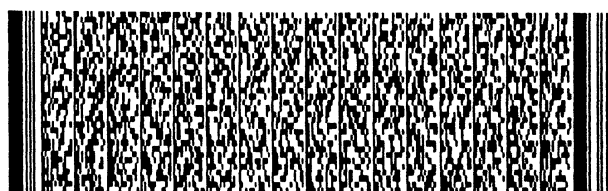
17. 如申請專利範圍第16項所述之高密度覆晶球格陣列式封裝，其中該薄膜內連線層之該第一介電層之材質包括聚亞醯胺。

18. 如申請專利範圍第16項所述之高密度覆晶球格陣列式封裝，其中該薄膜內連線層之該第一介電層之材質包括聚四氟乙烯。

19. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，其中該基板之材質包括矽。

20. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，其中該基板之材質包括玻璃。

21. 如申請專利範圍第13項所述之高密度覆晶球格陣



六、申請專利範圍

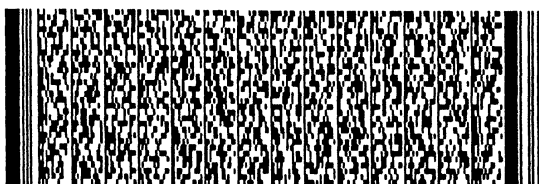
列式封裝，其中該基板之材質包括陶瓷。

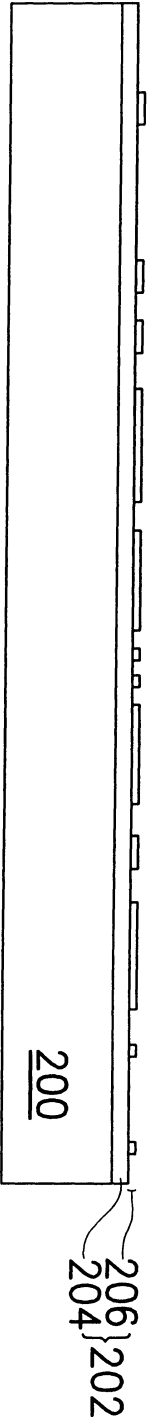
22. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，其中該基板材質為金屬。

23. 如申請專利範圍第22項所述之高密度覆晶球格陣列式封裝，更包括一貫孔，位於該基板之該晶片放置區之外，貫穿該第一介電層及與該第一介電層相鄰之該第二介電層以接觸最接近該基板之該第二導線層及該基板，並同時接觸該第一導線層。

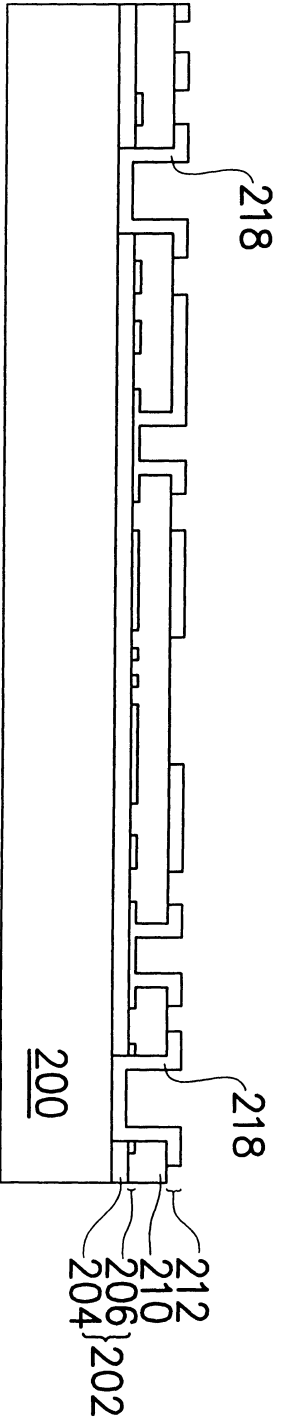
24. 如申請專利範圍第23項所述之高密度覆晶球格陣列式封裝，其中該基板係作為接地點。

25. 如申請專利範圍第13項所述之高密度覆晶球格陣列式封裝，更包括一封膠，填入於該晶片放置開口，以包覆該底膠，包圍該覆晶晶片，並暴露出部份之該覆晶晶片。

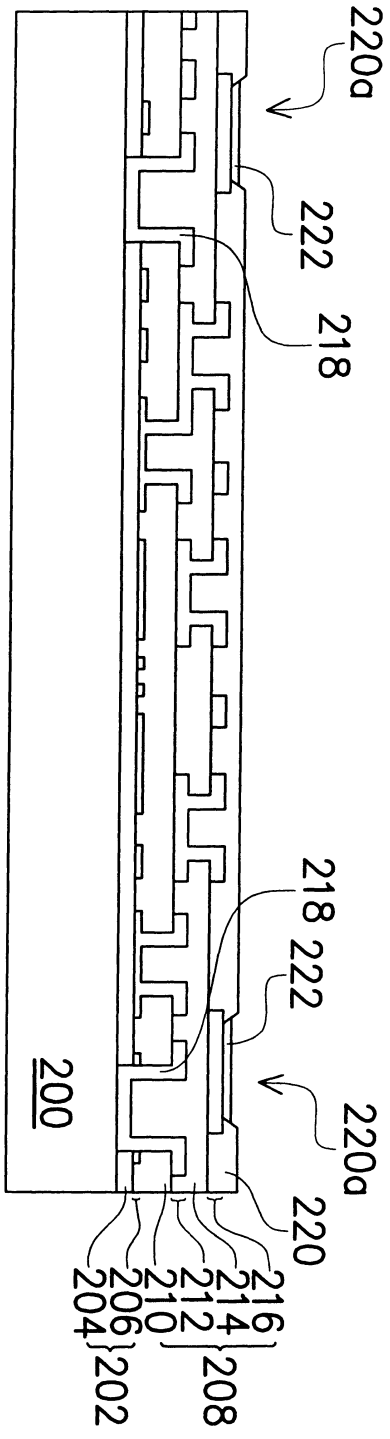




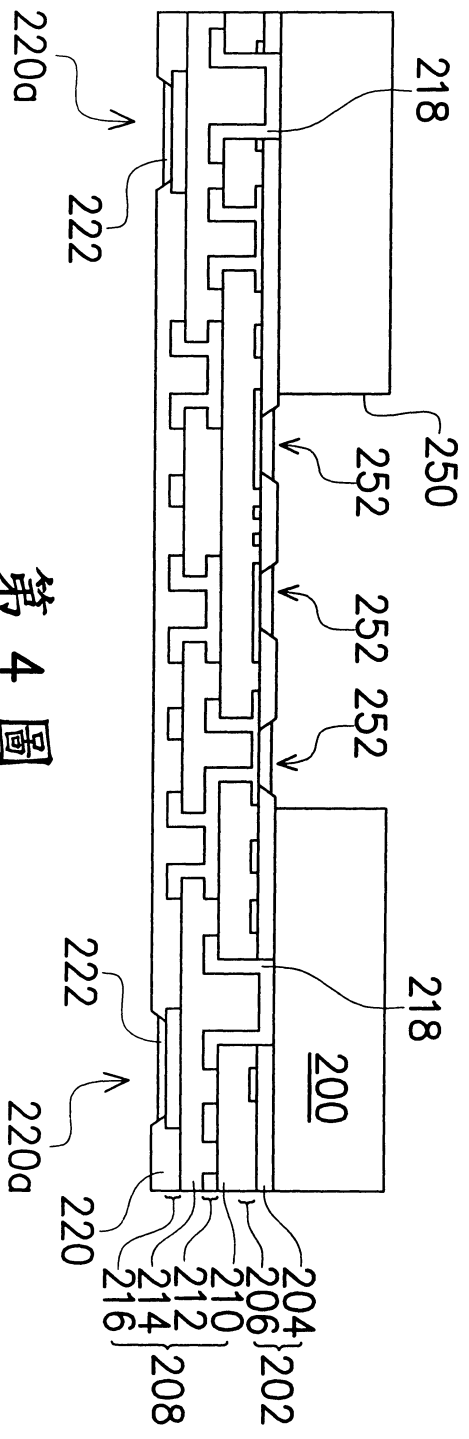
第 1 圖



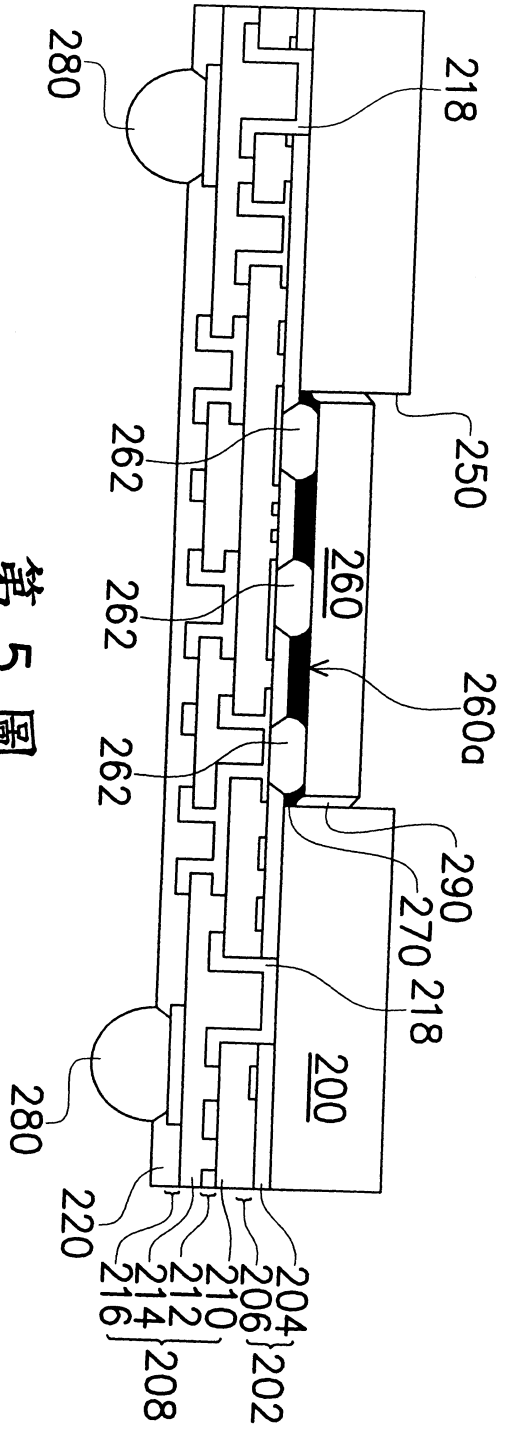
第 2 圖



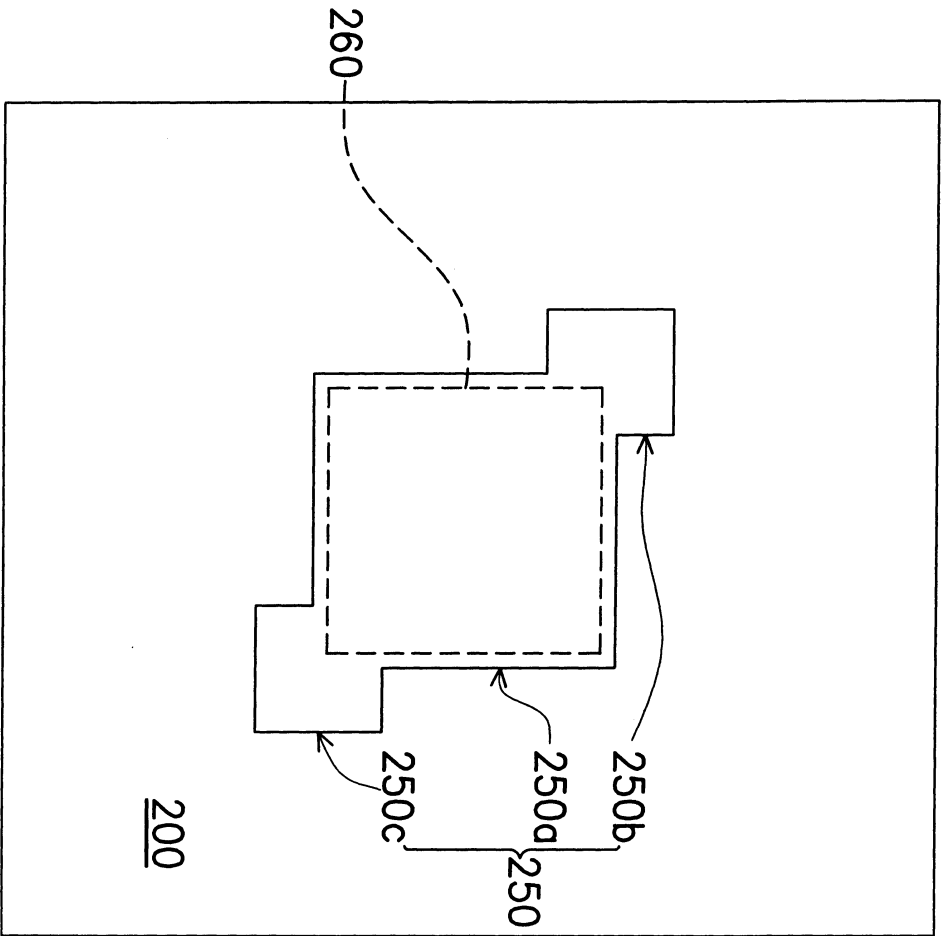
第 3 圖



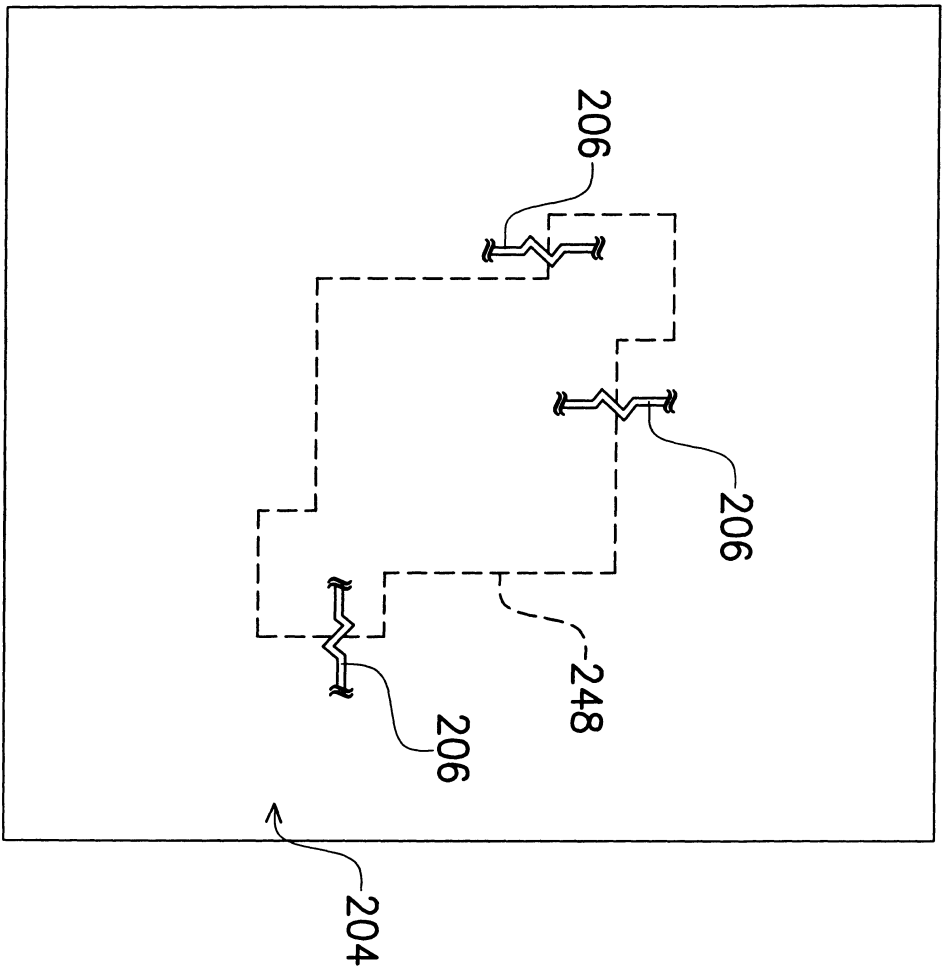
第 4 圖



第 5 圖



第 6 圖



第 7 圖

公告本

修正替換頁 1233672
93.12.9 日

申請日期: 92.5.26

IPC分類

申請案號: 92114163

H01L 3/8

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	高密度覆晶封裝基板
	英文	HIGH DENSITY SUBSTRATE FOR FLIP CHIP
二、 發明人 (共2人)	姓名 (中文)	1. 鄭振華 2. 何崇文
	姓名 (英文)	1. David C. H. Cheng 2. Chung W. Ho
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉西康路110號5樓之2 2. 台北市大安路一段182號4樓
	住居所 (英文)	1. 5F1. -2, No. 110, Hsi-Kang Rd., Lu-Chu, Taoyuan Hsien, Taiwan, R. O. C. 2. 4F1., No. 182, Sec. 1, Da-an Rd., Da-an Chiu, Taipei City, Taiwan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 旭德科技股份有限公司
	名稱或姓名 (英文)	1. Subtron Technology Co. Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹工業區光復北路8號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 8, Kuang-Fu N. Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 曾子章
	代表人 (英文)	1. TSENG, TZYY JANG

