



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월18일
(11) 등록번호 10-1165941
(24) 등록일자 2012년07월10일

- (51) 국제특허분류(Int. Cl.)
G08C 19/22 (2006.01) G08C 19/00 (2006.01)
H04Q 9/14 (2006.01) H04L 25/49 (2006.01)
- (21) 출원번호 10-2008-7014093
- (22) 출원일자(국제) 2006년10월17일
심사청구일자 2010년11월10일
- (85) 번역문제출일자 2008년06월12일
- (65) 공개번호 10-2008-0073329
- (43) 공개일자 2008년08월08일
- (86) 국제출원번호 PCT/JP2006/320605
- (87) 국제공개번호 WO 2007/055083
국제공개일자 2007년05월18일
- (30) 우선권주장
JP-P-2005-00328873 2005년11월14일 일본(JP)
- (56) 선행기술조사문헌
JP2003199178 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
애니와이어 가부시키키가이샤
일본국 교토도 나가오카교시 이노오치 시모인텐 8-1
- (72) 발명자
사이토, 요시타네
617-0813 일본국 교토도 나가오카교시 이노오치 시모인텐 8-1애니와이어 가부시키키가이샤내
니시키도, 켄지
617-0813 일본국 교토도 나가오카교시 이노오치 시모인텐 8-1애니와이어 가부시키키가이샤내
- (74) 대리인
남승희

전체 청구항 수 : 총 6 항

심사관 : 김정석

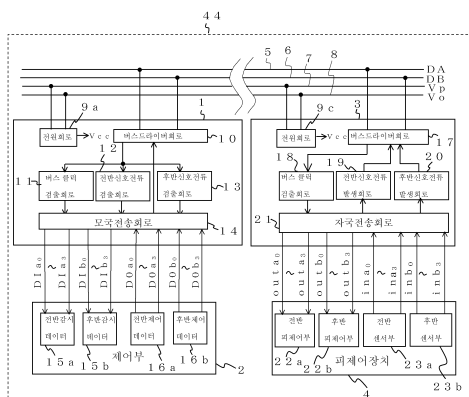
(54) 발명의 명칭 제어/감시 신호 전송 시스템

(57) 요약

공통의 데이터 신호 전송선에 모국과 복수의 자국을 접속하고, 노이즈의 영향을 잘 받지 않는 제어/감시 신호 전송 시스템을 제공한다.

모국(1)이, 제어 데이터 신호를, 마이너스측 및 플러스측 전압 레벨 기간의 듀티비를 변경하고, 이것을 직렬의 펄스형 전압 신호로 변환하여 직렬의 펄스형 전압 신호에 중첩된 감시 데이터 신호를 송출하고, 마이너스측 및 플러스측 전압 레벨 기간에 흐르는 전류 신호의 유무를 검출함으로써 직렬의 감시 신호를 추출하여 감시 데이터로 변환하는 모국 전송 회로(14)를 구비한다. 복수의 자국(3)이, 각각, 직렬의 펄스형 전압 신호에 대하여 마이너스측 및 플러스측 전압 레벨 기간의 듀티비를 식별하고, 제어 데이터 신호를 추출하여 그 자국(3)의 피 제어부에 데이터를 출력하는 자국 전송 회로(21)와, 센서부의 값에 따라, 전류 신호의 유무로 이루어지는 감시 데이터 신호를 형성하고, 마이너스측 및 플러스측 전압 레벨 기간의 위치에 중첩하는 자국 전송 회로(21)를 구비한다.

대표도 - 도1



특허청구의 범위

청구항 1

공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피 제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되고, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,

상기 공통의 데이터 신호선의 한 쌍에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,

상기 자국은 상기 복수의 피제어 장치에 대응하여 마련되며, 상기 피제어 장치에 접속되고, 타이밍 신호를 발생하는 자국 전송 회로를 가지며,

상기 모국은,

소정의 주기의 클럭 신호에 동기한 소정의 타이밍 신호를 발생함과 아울러 상기 데이터 신호 전송선에 출력하는 모국 전송 회로를 가지며,

상기 모국 전송 회로의 타이밍 발생 수단과 상기 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 제어부로부터 출력되는 제어 데이터 신호의 각 데이터의 값에 따라 소정의 펄스의 상기 중성점 전위에 대하여 마이너스측 전압 레벨의 기간과 이에 이어지는 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간을 각각 서로 다른 데이터 값에 대응하는 것으로서 변경함으로써, 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하고,

상기 모국 전송 회로는, 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 공통의 데이터 신호 전송선의 전압차 신호로부터 상기 데이터 신호 전송선을 전송받는 상기 직렬의 펄스형 전압 신호에 중첩된 감시 데이터 신호를 상기 마이너스측 전압 레벨의 기간에 흐르는 전류 신호의 유무와 이에 이어지는 상기 플러스측 전압 레벨의 기간에 흐르는 전류 신호의 유무로서 검출하고, 직렬의 상기 감시 신호의 각 데이터 값을 추출하여 이것을 감시 데이터로 변환하는 것을 특징으로 하는 제어/감시 신호 전송 시스템.

청구항 2

공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피 제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되며, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,

상기 공통의 데이터 신호선에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,

상기 모국은 소정의 주기의 클럭 신호에 동기된 소정의 타이밍 신호를 발생하는 모국 전송 회로를 가지며, 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하여 상기 데이터 신호 전송선에 출력하고,

상기 자국은,

상기 복수의 피제어 장치에 대응하여 마련되며, 상기 피제어 장치에 접속되고, 타이밍 신호를 발생함과 아울러 상기 제어 데이터에서의 자신국에 해당하는 신호를 그에 대응하는 상기 피제어부에 출력하는 자국 전송 회로를 가지며,

모국 전송 회로 또는 자국 전송 회로 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 직렬의 펄스형 전압 신호의 소정의 펄스의 상기 중성점 전위에 대하여 마이너스측 전압 레벨 기간의 기간과, 이에 이어지는 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간을 각각 서로 다른 데이터 값으로서 식별함으로써 상기 제어 데이터 신호의 각 데이터의 값을 추출하고,

상기 자국 전송 회로는 상기 타이밍 신호의 제어하에서 대응하는 상기 센서부의 값에 따라 전류 신호의 유무로 이루어지는 감시 데이터 신호를 형성하고, 이것을 상기 감시 데이터의 값으로서 상기 직렬의 펄스형 전압 신호의 상기 마이너스측 전압 레벨의 기간과 이에 이어지는 상기 플러스측 전압 레벨 기간의 위치에 상기 전류 신호를 중첩하는 것을 특징으로 하는 제어/감시 신호 전송 시스템.

청구항 3

공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피 제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되며, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,

상기 공통의 데이터 신호선에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,

상기 자국은, 상기 복수의 피제어 장치에 대응하여 마련되고, 상기 피제어 장치에 접속되며, 타이밍 신호를 발생하는 자국 전송 회로를 가지고,

상기 모국은,

소정의 주기의 클럭 신호에 동기한 소정의 타이밍 신호를 발생함과 아울러 상기 데이터 신호 전송선에 출력하는 모국 전송 회로를 가지며,

상기 모국 전송 회로의 타이밍 발생 수단과 상기 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 제어부로부터 출력되는 제어 데이터 신호의 각 데이터의 값에 따라, 소정의 펄스의 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간과 이에 이어지는 상기 중성점 전위에 대하여 마이너스측 전압 레벨 기간을 각각 서로 다른 데이터값에 대응하는 것으로서 변경함으로써 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하고,

상기 모국 전송 회로는, 상기 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 공통의 데이터 신호선의 전압차 신호로부터 상기 데이터 신호 전송선을 전송받는 상기 직렬의 펄스형 전압 신호에 중첩된 감시 데이터 신호를 상기 플러스측 전압 레벨 기간에 흐르는 전류 신호의 유무와 이에 이어지는 상기 마이너스측 전압 레벨의 기간에 흐르는 전류 신호의 유무로서 검출하고, 직렬의 상기 감시 신호의 각 데이터 값을 추출하여 이것을 상기 감시 데이터로 변환하는 것을 특징으로 하는 제어/감시 신호 전송 시스템.

청구항 4

공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피 제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되며, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,

상기 공통의 데이터 신호선에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,

상기 모국은, 소정의 주기의 클럭 신호에 동기된 소정의 타이밍 신호를 발생하는 모국 전송 회로를 가지고, 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하여 상기 데이터 신호 전송선에 출력하며,

상기 자국은,

상기 복수의 피제어 장치에 대응하여 마련되며, 상기 피제어 장치에 접속되고, 타이밍 신호를 발생함과 아울러 상기 제어 데이터에서의 자신국에 해당하는 신호를 그에 대응하는 상기 피제어부에 출력하는 자국 전송 회로를 가지고,

모국 전송 회로 또는 자국 전송 회로 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 직렬의 펄스형 전압 신호의 소정의 펄스의 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간과 이에 이어지는 상기 중성점 전위에 대하여 마이너스측 전압 레벨의 기간을 각각 서로 다른 데이터 값으로서 식별함으로써 상기 제어 데이터 신호의 각 데이터의 값을 추출하고,

상기 자국 전송 회로는, 상기 타이밍 신호의 제어하에서 대응하는 상기 센서부의 값에 따라 전류 신호의 유무로 이루어지는 감시 데이터 신호를 형성하고, 이것을 상기 감시 데이터의 값으로서 상기 직렬의 펄스형 전압 신호의 상기 플러스측 전압 레벨의 기간과 이에 이어지는 상기 마이너스측 전압 레벨의 기간의 위치에 상기 전류 신호를 중첩하는 것을 특징으로 하는 제어/감시 신호 전송 시스템.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 모국 또는 자국이 하나의 전원 전압을 구비하고, 상기 전원 전압과 반대의 전압 극성을 발생시키는 전원 회로를 이용하여 상기 공통의 데이터 선 중 하나를 상기 중성점 전위로서 이용하고, 상기 중성점 전위에 대하여 양극 전원과 음극 전원의 2개의 전원 기능을 갖는 것을 특징으로 하는 제어/감시 신호 전송 시스템.

청구항 6

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 모국 또는 자국이 하나의 전원 전압을 구비하고, 상기 전원 전압으로부터 전원 회로를 이용하여 분압한 전원을 형성하고, 상기 공통의 데이터 선의 중 하나를 상기 중성점 전위로서 이용하고, 상기 중성점 전위에 대하여 양극 전원과 음극 전원의 2개의 전원 기능을 갖는 것을 특징으로 하는 제어/감시 신호 전송 시스템.

명세서

기술분야

[0001] 본 발명은 제어/감시 신호 시스템에 관한 것으로서, 특히 복수의 피제어장치에 공통의 데이터 신호 전송선을 통하여 제어부로부터의 제어 신호를 상기 피제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서, 제어부에 접속되는 제어 데이터 신호의 각 데이터의 값에 따라 펄스의 중성점 전위에 대하여 마이너스측 전압 레벨 기간의 듀티비와 이에 이어지는 펄스의 중성점 전위에 대하여 플러스측 전압 레벨 기간의 듀티비를 각각 변경하고, 노이즈에 대하여 통신의 신뢰성 대책을 하는 것을 특징으로 하는 제어/감시 신호 전송 시스템에 관한 것이다.

배경기술

[0002] 제어 신호의 전송에 있어서, 전송 신호의 정밀도를 확보하는 것은 가장 중요한 과제 중 하나이다. 또한 제어 신호의 전송에 있어서 전송선의 수를 줄여 제어 신호 전송을 행하는 것도 가장 중요한 과제 중 하나이다. 즉, 배선의 생략에 따른 배선 공간의 저감과 배선 공정수의 저감, 장비 제작 기간의 저감, 설비의 소형화로 이어지므로, 이에 따라 설비의 신뢰성 향상, 비용 저감 등을 도모할 수 있다.

[0003] 종래의 자동화 등에 있어서 전기 신호 배선수를 줄이는 방법에 대한 예가 특허 문헌 1 및 특허 문헌 2에 개시되어 있다. 특허 문헌 1에는 제어/감시 신호 전송 시스템에 있어서, 제어부에서 피제어부의 제어 신호의 전달을 정해진 듀티 사이클의 비로서 2치화하고, 센서부에서 제어부의 감시 신호를 전류 신호의 유무로서 검출하는 방법이 기재되어 있다. 이 경우, 클럭 신호에 제어 신호와 감시 신호를 중첩할 수 있고, 전력선을 별도로 필요로 하지 않기 때문에 전원선의 생략을 할 수 있는 것이 기재되어 있다. 또한 이 경우, 제어부와 피제어부 및 센서부 사이에서 신호를 쌍방향으로 동시에 주고받을 수 있기 때문에 전송 능력을 종래의 2배로 할 수가 있음이 기재되어 있다.

[0004] 또한 특허 문헌 2에는 제어/감시 신호 전송 시스템에 대하여, 모국의 내부에 일정 주기의 클럭 신호에 동기한 일정한 타이밍 신호를 발생시키기 위한 타이밍 발생 수단을 가지며, 타이밍 신호의 제어하에서 클럭 사이클마다 제어부로부터 들여보내지는 제어 데이터 신호의 신호값에 대하여 미리 설정된 전원 전압값 이외의 레벨의 기간과 이에 이어지는 전원 전압의 레벨의 기간과의 듀티 사이클의 비율을 변경하고, 제어 데이터 신호를 직렬 펄스 전압 신호로서 데이터 신호 전송선으로 송출하는 것이 기재되어 있다.

[0005] 또한 센서 신호의 수신에 대해서도 타이밍 신호를 이용한 제어 방식에 의해 클럭 사이클마다 직렬 펄스 전압 신호의 듀티 사이클의 비율을 식별함으로써 제어 데이터 신호의 각 데이터의 값을 추출하여, 자국 입력부는 타이밍 신호에 기초한 제어에 의해, 대응하는 센서부의 값에 따라 서로 다른 전류 신호의 2치화 레벨로 이루어지는 감시 데이터 신호를 형성하고, 이것을 감시 신호 데이터의 값으로서 직렬 펄스 전압 신호의 정해진 위치에 중첩하는 것이 기재되어 있다. 더욱이 해당 발명의 제어/감시 신호 전송 시스템에 대하여 제어부에서 피제어부의 제어 신호를 정해진 듀티 사이클의 비율의 2치화 신호로 함과 아울러 센서부에서 제어부의 감시 신호를 해당 신호와 전원 전압과의 경합에 의해 발생하는 전류 신호의 유무로서 전원 전압의 레벨의 상승시에 검출하고, 클럭 신호에 제어 신호 및 감시 신호를 중첩하는 것이 기재되어 있다.

[0006] 특허 문헌 1: 일본 특허 공개 2003-199178호 공보

[0007] 특허 문헌 2: 일본 특허 공개 2002-271878호 공보

발명의 상세한 설명

[0008] 발명이 해결하고자 하는 과제

[0009] 전술한 바와 같이 특허 문헌 1 및 특허 문헌 2에 개시한 방법에 의하면, 전력선의 생략을 실현하고, 또한 신호의 듀티비를 바꾸어 신호를 주고받음으로써 배선(전송선)의 생략을 실현함과 아울러, 신호 전송의 비율의 고속화를 실현할 수 있었다.

[0010] 그러나, 전원 전압의 저하가 발생한 경우에는 신호 레벨도 비례하여 저하하거나 문턱값 전압을 충분히 취할 수 없는 경우 등의 문제가 발생하며, 동작 불안정이나 데이터의 신뢰성 저하가 발생하는 경우가 있었다.

[0011] 예컨대, 배터리를 사용하는 전원의 경우, 사용 환경에 있어서 주변 온도에 배터리 기전력이 좌우되고, 전원의 출력 전압이 현저하게 저하할 수가 있었다. 즉, 주위 온도가 낮은 경우에는 배터리 전원 출력이 저하하여 부하에 의해 현저한 전압 강하를 발생시키고, 따라서 이러한 전원 상태에서의 통신 제어로는 신호 레벨을 확보하기 어려워 오동작이 발생하는 경우가 있었다.

[0012] 또한 데이터 신호 전송선의 연장으로 인한 신호 레벨의 저하나, 데이터 신호 전송선으로 돌아서 들어오는 노이즈 신호를 픽업하는 등의 문제도 발생하기 쉽기 때문에, 데이터 신호 전송선의 연장이 엄격하게 제한된다는 문제가 있었다. 한편, 실제의 응용면에 있어서는 공장의 구내의 떨어진 장소에서의 제어나, 개개의 설비가 떨어진 장소에 점재하는 경우가 있으며, 또한 도중에 신호 외란 원인이 되는 설비가 개재되는 등 피하기 어려운 문제가 있었다.

[0013] 본 발명은 이와 같이 종래의 구성이 가지던 문제를 해결하고, 전원 전압의 강하나 외부로부터의 노이즈에 의해 제어/감시 신호 전송 시스템이 오동작할 가능성을 저감하여 신뢰성이 높은 제어/감시 신호 전송 시스템을 실현하는 것을 목적으로 한다.

[0014] 과제를 해결하기 위한 수단

[0015] 청구항 1에 기재한 발명은, 공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되고, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,

[0016] 상기 공통의 데이터 신호선의 한 쌍에는 소정의 중성점 전위(즉, 해당 펄스의 파고값(또는 최대 진폭)의 1/2의 전위, 본 명세서에 있어서 동일)에 대한 양극 전압과 음극 전압이 인가되고,

[0017] 상기 자국은 상기 복수의 피제어 장치에 대응하여 마련되며, 상기 피제어 장치에 접속되고, 타이밍 신호를 발생하는 자국 전송 회로를 가지며,

[0018] 상기 모국은,
소정의 주기의 클럭 신호에 동기한 소정의 타이밍 신호를 발생함과 아울러 상기 데이터 신호 전송선에 출력하는 모국 전송 회로를 가지며,

상기 모국 전송 회로의 타이밍 발생 수단과 상기 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 제어부로부터 출력되는 제어 데이터 신호의 각 데이터의 값에 따라 소정의 펄스의 상기 중성점 전위에 대하여 마이너스측 전압 레벨의 기간과 이에 이어지는 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간을 각각 서로 다른 데이터 값에 대응하는 것으로서 변경함으로써, 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하고,

[0019] 상기 모국 전송 회로는, 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 공통의 데이터 신호 전송선의 전압차 신호로부터 상기 데이터 신호 전송선을 전송받는 상기 직렬의 펄스형 전압 신호에 중첩된 감시 데이터 신호를 상기 마이너스측 전압 레벨의 기간에 흐르는 전류 신호의 유무와 이에 이어지는 상기 플러스측 전압 레벨의 기간에 흐르는 전류 신호의 유무로서 검출하고, 직렬의 상기 감시 신호의 각 데이터 값을 추출하여 이

것을 감시 데이터로 변환하는 것을 특징으로 한다.

- [0020] 청구항 2에 기재된 발명은, 공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되며, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,
- [0021] 상기 공통의 데이터 신호선에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,
- [0022] 상기 모국은 소정의 주기의 클럭 신호에 동기된 소정의 타이밍 신호를 발생하는 모국 전송 회로를 가지며, 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하여 상기 데이터 신호 전송선에 출력하고,
- [0023] 상기 자국은,
 상기 복수의 피제어 장치에 대응하여 마련되며, 상기 피제어 장치에 접속되고, 타이밍 신호를 발생함과 아울러 상기 제어 데이터에서의 자신국에 해당하는 신호를 그에 대응하는 상기 피제어부에 출력하는 자국 전송 회로를 가지며,
 모국 전송 회로 또는 자국 전송 회로 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 직렬의 펄스형 전압 신호의 소정의 펄스의 상기 중성점 전위에 대하여 마이너스측 전압 레벨 기간의 기간과, 이에 이어지는 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간을 각각 서로 다른 데이터 값으로서 식별함으로써 상기 제어 데이터 신호의 각 데이터의 값을 추출하고,
- [0024] 상기 자국 전송 회로는 상기 타이밍 신호의 제어하에서 대응하는 상기 센서부의 값에 따라 전류 신호의 유무로 이루어지는 감시 데이터 신호를 형성하고, 이것을 상기 감시 데이터의 값으로서 상기 직렬의 펄스형 전압 신호의 상기 마이너스측 전압 레벨의 기간과 이에 이어지는 상기 플러스측 전압 레벨 기간의 위치에 상기 전류 신호를 중첩하는 것을 특징으로 한다.
- [0025] 청구항 3에 기재된 발명은, 공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되며, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를 상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,
- [0026] 상기 공통의 데이터 신호선에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,
- [0027] 상기 자국은, 상기 복수의 피제어 장치에 대응하여 마련되고, 상기 피제어 장치에 접속되며, 타이밍 신호를 발생하는 자국 전송 회로를 가지고,
- [0028] 상기 모국은,
 소정의 주기의 클럭 신호에 동기된 소정의 타이밍 신호를 발생함과 아울러 상기 데이터 신호 전송선에 출력하는 모국 전송 회로를 가지며,
 상기 모국 전송 회로의 타이밍 발생 수단과 상기 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 제어부로부터 출력되는 제어 데이터 신호의 각 데이터의 값에 따라, 소정의 펄스의 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간과 이에 이어지는 상기 중성점 전위에 대하여 마이너스측 전압 레벨 기간을 각각 서로 다른 데이터값에 대응하는 것으로서 변경함으로써 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하고,
- [0029] 상기 모국 전송 회로는, 상기 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 공통의 데이터 신호선의 전압차 신호로부터 상기 데이터 신호 전송선을 전송받는 상기 직렬의 펄스형 전압 신호에 중첩된 감시 데이터 신호를 상기 플러스측 전압 레벨 기간에 흐르는 전류 신호의 유무와 이에 이어지는 상기 마이너스측 전압 레벨의 기간에 흐르는 전류 신호의 유무로서 검출하고, 직렬의 상기 감시 신호의 각 데이터 값을 추출하여 이것을 상기 감시 데이터로 변환하는 것을 특징으로 한다.
- [0030] 청구항 4에 기재된 발명은, 공통의 데이터 신호 전송선을 통하여 접속된 단일의 모국과 복수의 자국과, 상기 모국에 접속된 제어부와, 피제어부 및 상기 피제어부를 감시하는 센서부를 포함하는 복수의 피제어 장치로 구성되며, 상기 복수의 피제어 장치에 상기 데이터 신호 전송선을 통하여 상기 제어부로부터의 제어 데이터를

상기 피제어부로 전송하고, 상기 센서부로부터의 감시 데이터를 상기 제어부로 전송하는 제어/감시 신호 전송 시스템에 있어서,

- [0031] 상기 공통의 데이터 신호선에는 소정의 중성점 전위에 대한 양극 전압과 음극 전압이 인가되고,
- [0032] 상기 모국은, 소정의 주기의 클럭 신호에 동기된 소정의 타이밍 신호를 발생하는 모국 전송 회로를 가지고, 상기 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하여 상기 데이터 신호 전송선에 출력하며,
- [0033] 상기 자국은,
상기 복수의 피제어 장치에 대응하여 마련되며, 상기 피제어 장치에 접속되고, 타이밍 신호를 발생함과 아울러 상기 제어 데이터에서의 자신국에 해당하는 신호를 그에 대응하는 상기 피제어부에 출력하는 자국 전송 회로를 가지고,
모국 전송 회로 또는 자국 전송 회로 타이밍 신호의 제어하에서 상기 클럭의 1주기마다 상기 직렬의 펄스형 전압 신호의 소정의 펄스의 상기 중성점 전위에 대하여 플러스측 전압 레벨의 기간과 이에 이어지는 상기 중성점 전위에 대하여 마이너스측 전압 레벨의 기간을 각각 서로 다른 데이터 값으로서 식별함으로써 상기 제어 데이터 신호의 각 데이터의 값을 추출하고,
- [0034] 상기 자국 전송 회로는, 상기 타이밍 신호의 제어하에서 대응하는 상기 센서부의 값에 따라 전류 신호의 유무로 이루어지는 감시 데이터 신호를 형성하고, 이것을 상기 감시 데이터의 값으로서 상기 직렬의 펄스형 전압 신호의 상기 플러스측 전압 레벨의 기간과 이에 이어지는 상기 마이너스측 전압 레벨의 기간의 위치에 상기 전류 신호를 중첩하는 것을 특징으로 한다.
- [0035] 청구항 5에 기재된 발명은, 청구항 1 내지 청구항 4 중 어느 한 항에 있어서,
- [0036] 상기 모국 또는 자국이 하나의 전원 전압을 구비하고, 상기 전원 전압과 반대의 전압 극성을 발생시키는 전원 회로를 이용하여 상기 공통의 데이터 선 중 하나를 상기 중성점 전위로서 이용하고, 상기 중성점 전위에 대하여 양극 전원과 음극 전원의 2개의 전원 기능을 갖는 것을 특징으로 한다.
- [0037] 청구항 6에 기재된 발명은, 청구항 1 내지 청구항 4 중 어느 한 항에 있어서,
- [0038] 상기 모국 또는 자국이 하나의 전원 전압을 구비하고, 상기 전원 전압으로부터 전원 회로를 이용하여 분압한 전원을 형성하고, 상기 공통의 데이터 선의 중 하나를 상기 중성점 전위로서 이용하고, 상기 중성점 전위에 대하여 양극 전원과 음극 전원의 2개의 전원 기능을 갖는 것을 특징으로 한다.
- [0039] 발명의 효과
- [0040] 본 발명에 의해, 공통의 전송선을 통하여 전송되는 전송 신호의 펄스 기간의 전류 검지에 의해 신호를 주고받음으로써 내노이즈 특성을 개선하여, 안정된 통신 제어를 행하는 데 있어 배선 수를 최소한으로 억제하면서 제어/감시 신호 전송 시스템을 실현할 수 있다.
- [0041] 또한, 신호의 취급 기점에 대해서도 펄스 전압의 하강, 상승의 어느 하나를 설정하면 되며, 본 발명에 의해 내노이즈 신호 처리를 가능하게 하며, 배선수를 최소한으로 억제하면서 제어/감시 신호 전송 시스템을 실현할 수 있다.
- [0042] 또한, 본 발명의 회로 구성에 의해 전원 전압에 대한 노이즈 한계 범위를 2배로 개선할 수 있다.
- [0043] 더욱이, 전원 전압을 충분히 높게 설정할 수 있는 경우에 있어서는 해당 회로 구성을 채용할 수 있다. 예컨대, 전압(Vp)을 24V로 하고, 중성점 전위인 12V를 DB선으로 하여 회로 구성할 수 있다.
- [0044] 본 발명의 전체 구성은 단일의 모국에 대하여 복수의 자국이 접속된다.
- [0045] 이 경우, 스타트 신호 직후에 어드레스 신호를 연결하여 신호 전송선으로 송출하는 방법에 의해 각 자국은 미리 설정된 어드레스와 상기 어드레스 신호가 일치한 시점의 제어 데이터를 가져오거나 자국의 감시 데이터를 송출한다. 이와 같이 하여 복수의 자국의 접속과 동작이 가능해진다.
- [0046] 본 발명에 따르면, 모국은 소정의 펄스의 중성점 전위에 대하여 마이너스측 전압 레벨 기간의 듀티비와, 이에 이어지는 펄스의 중성점 전위에 대하여 플러스측 전압 레벨 기간의 듀티비를 각각 변경함으로써 제어 데이터 신호를 직렬의 펄스형 전압 신호로 변환하여 데이터 신호 전송선으로 출력한다.

- [0047] 모국 전송 회로는 타이밍 신호의 제어 하에서 상기 클럭 신호의 1주기마다 데이터 신호 전송선을 전송되는 직렬의 펄스형 전압 신호에 중첩된 감시 데이터 신호를 소정의 펄스의 중성점 전위에 대하여 마이너스측 전압 레벨 기간에 흐르는 전류 신호의 유무와, 이에 이어지는 펄스의 중성점 전위에 대하여 플러스측 전압 레벨 기간에 흐르는 전류 신호의 유무를 검출함으로써 직렬의 상기 감시 신호의 각 데이터값을 추출하여 이것을 감시 데이터로 변환하여 제어부에 접속한다.
- [0048] 한편, 복수의 자국은 각각 상기 타이밍 신호의 제어하에서 클럭 신호의 1주기마다 직렬의 펄스형 전압 신호의 소정 펄스의 중성점 전위에 대하여 마이너스측 전압 레벨 기간의 듀티비와, 이에 이어지는 펄스의 중성점 전위에 대하여 플러스측 전압 레벨 기간의 듀티비를 각각 식별함으로써 제어 데이터 신호의 각 데이터의 값을 추출하고, 해당 각 데이터값 중의 해당 자국에 데이터를 대응하는 피제어부로 출력한다.
- [0049] 자국 전송 회로는 타이밍 신호의 제어하에서 대응하는 센서부의 값에 따라 전류 신호의 유무로 이루어지는 감시 데이터 신호를 형성하고, 이것을 감시 데이터의 값으로서 직렬의 펄스형 전압 신호의 소정의 펄스의 중성점 신호에 대하여 마이너스측 전압 레벨 기간과, 이에 이어지는 펄스의 중성점 전위에 대하여 플러스측 전압 레벨 기간의 위치에 중첩하는 자국 전송 회로를 구비한다.
- [0050] 상기와 같이 본 발명에 따르면, 전원 전압의 변동이나 전원 전압 저하로 인한 신호 레벨의 불안정성의 문제나 데이터 신호 전송선의 연장으로 인한 신호 레벨의 저하에 의한 오작동이나, 전송 경로나, 사용 설비로부터 발생하는 노이즈로 인한 오작동이 없어 안정된 신호 전송을 실현할 수 있는 것을 특징으로 하는 제어/감시 신호 전송 시스템을 얻을 수 있다.
- [0051] 또한, 본 발명에 의해 전송 능력을 종래의 4배로 가속할 수 있다.

실시예

- [0052] 이하, 본 발명을 실시하기 위한 최선의 형태를 실시 형태에 대하여 설명한다.
- [0053] 본 발명의 제1 실시 형태를 도 1 내지 5에 의해 설명한다. 도 1은 본 발명에 따른 제어/감시 신호 전송 시스템의 전체 구성을 나타낸다. 여기서는 단일의 모국(1)에 대하여 하나의 자국(3)이 접속되어 있는데, 실제로는 복수의 자국(3)이 접속된다. 도 2는 도 1의 모국(1)의 내부 구성을 상세하게 도시하고 있다. 도 3은 모국(1)의 내부에서 사용되고 있는 신호에 대한 전송도를 타임 차트의 형태로 도시하였다. 도 4는 도 1의 자국(3)의 내부 구성을 상세하게 도시하였다. 도 5는 이 자국(3)의 내부에서 사용되고 있는 신호에 대한 전송도를 타임 차트의 형태로 도시하였다.
- [0054] 도 1 내지 도 5는 제1 실시 형태를 상세하게 도시하였다. 즉 도 1에서, 전원선(Vp), 전원선(Vo)의 전압이 12V이고, 모국(1)의 전원 회로(9a)가 데이터 신호 전송선(DB6)의 전위가 중성 전위가 되도록 한 예를 도시하였다. 다음 각 도면에 대하여 상세하게 설명한다.
- [0055] 도 1에 있어서, 모국(1)은 전원 회로(9a)를 통하여 전원선(Vp) 및 전원선(Vo)에 접속되어 있고, 모국(1)을 동작시키는 전력을 얻는다. 또한 모국(1)은 버스 드라이버 회로(10)를 통하여 공통의 데이터 신호 전송선(DA5) 및 공통의 데이터 신호 전송선(DB6)과 접속되며, 해당 모국(1)과 자국(3) 사이에서 신호를 주고 받는다. 모국(1)의 버스 클럭 검출 회로(11)는 버스 드라이버 회로(10)를 통하여 공통의 데이터 신호 전송선(5, 6)으로부터 수신한 신호로부터 버스 클럭을 검출하고, 모국 전송 회로(14)에 버스 클럭 신호로서 전달한다.
- [0056] 또한 버스 드라이버 회로(10)를 거쳐 주고받는 신호 전류 중 전반 신호 전류 검출 회로(12)와 후반 신호 전류 검출 회로(13)가 각각 해당 데이터(신호 전류)의 전반, 후반을 나누어 모국 전송 회로(14)로 건네준다. 모국 전송 회로(14)는 제어부(2)의 입력 데이터 및 출력 데이터를 각각 전반 감시 데이터(15a) 및 후반 감시 데이터(15b)로서 건네주고, 또한 전반 제어 데이터(16a) 및 후반 제어 데이터(16b)로서 건네준다.
- [0057] 저항(Ra33), 저항(Rb34)은 버스 드라이버 회로(10)의 출력 트랜지스터의 에미터 접속 저항이며, 전반 신호 전류 검출 회로(12)와 후반 신호 전류 검출 회로(13)에의 신호 전압을 검출한다.
- [0058] 도 2는 모국(1)의 공통의 데이터 신호 전송선(DA) 및 공통 데이터 신호선(DB)간 접속 및 모국(1) 내부의 회로 구성과 데이터 처리 기능 블록도를 나타낸다. 즉, 도 2는 도 1에 도시한 본 발명의 실시 형태를 보인 기본 구성도 중 모국의 회로도이며, 모국을 구성하는 모국 전송 회로인 마이크로 컴퓨터의 기능 블록을 나타낸다.
- [0059] 모국 전송 회로(14)는 모국(1)의 데이터 처리를 실행하는 마이크로 컴퓨터(24)와 모국(1)의 내부 배선의 접속

회로로 구성되어 있다. 마이크로 컴퓨터(24)는 CPU를 중심으로 RAM과 예컨대 ROM과 같은 로직 프로그램(PRG)을 기억하고 있는 프로그램 영역을 포함하는 메모리 소자를 구비하며, 각각 내부 버스로 접속되고, 또한 프로그래밍 가능한 입력 인터페이스(Pi) 및 프로그래밍 가능한 출력 인터페이스(Po)와 접속되어 있다. 모국(1)의 로직 프로그램(PRG)은 해당 CPU 상에서 실행됨으로써 본 발명의 모국(1)의 데이터 처리를 실현하는 프로그램이다. CPU는 전원이 ON일 때의 리셋 후 로직 프로그램(PRG)에 따라 외부 인터페이스인 프로그래밍 가능한 입력 인터페이스(Pi)로부터 입력된 신호(Ia25, Ib26, Bck27)를 받아들이고, 프로그래밍 가능한 출력 인터페이스(Po)로부터 신호(PW)로서 버스 드라이버 회로(10)를 거쳐 공통의 데이터 신호 전송선으로 출력한다.

[0060] 다음 모국 전송 회로(14)의 주요한 기능별 동작에 대하여 설명한다.

[0061] 본 발명에 따른 제어/감시 신호 전송 시스템에 있어서, 전원이 투입되면 모국(1)의 CPU는 리셋되고, ROM에 기억된 로직 프로그램(PRG)에 따라 동작을 시작한다. 모국(1)의 CPU는 본 발명의 기본을 구성하는 타이밍 신호를 생성하기 위한 타이밍 신호 프로그램을 실행한다. CPU는 4비트 마이크로 컴퓨터 이상의 어느 비트 폭의 마이크로 컴퓨터든 호환성을 가지고 사용할 수 있도록 4비트 단위의 데이터 구성으로 한다.

[0062] 또한 상태 기억에 의해 전원 차단 상태를 유지(기억)하려면 모국(1)에 설치한 비휘발성 메모리(도시하지 않음)의 소정의 메모리 영역에 해당 전원 차단시의 입출력 상태를 써넣어(되피하여) 전원 투입시에 해당 입출력 상태를 재현(복구)하도록 하면 된다.

[0063] 여기서 로직 프로그램(PRG)은 CPU의 클럭 신호가 해당 제어/감시 신호 전송 시스템의 타이밍 신호인 클럭 신호에 비하여 2자리수 정도 빠르므로 충분히 여유를 가지고 실행된다. 한편 로직 프로그램(PRG)은 공통의 데이터 신호 전송선(5, 6)에 시리얼 신호를 송출하기 위하여 시간 대기의 서브 루틴 프로그램이나 타이머 인터럽트로 시간 관리를 실행하고, 타이밍 신호의 기본 신호인 1/4t0의 클럭을 얻는다. 모국 전송 회로(14)는 이 기본 신호(1/4t0)를 카운트하고, 프로그래밍 가능한 출력 인터페이스(Po)의 출력 포트로부터 신호(PW)로서 하이 또는 로우 상태인 "1" 또는 "0" 상태를 계속 출력하면 된다.

[0064] 도 3에 도시한 실시 형태에서는 데이터 신호 전송선(DA)과 데이터 신호 전송선(DB) 사이의 전압차 신호(DA-DB)에 있어서, 예컨대 스타트 신호(STRS)의 기간을 5t0로 하였다. 따라서 모국 전송 회로(14)는 기본 신호(1/4t0)를 20회 카운트하고, 그 동안 스타트 신호(STRS)를 위하여 프로그래밍 가능한 출력 인터페이스(Po)의 출력 포트로부터 신호(PW)로서 하이 상태 "1"을 계속 출력하면 된다.(기본 신호(1/4t0)의 서브 루틴을 20회 실행하면 된다.) 다음, 모국 전송 회로(14)는 자국 데이터를 출력한다. 자국 데이터는 4주기의 펄스 신호로 표시된다. 4주기의 펄스 신호의 마이너스측 펄스의 듀티(기간)가 전반 4비트의 자국 데이터를 나타내고, 4주기의 펄스 신호의 플러스측 펄스 듀티가 후반 4비트의 자국 데이터를 나타낸다.

[0065] 예컨대 도 3의 제1 자국(3)의 8비트분 데이터인 신호(Doa) 및 신호(Dob)는 4주기의 펄스 신호로 표시되어 있음을 나타낸다. 마이너스측 펄스 기간이 1/2t0이면 신호(Doa)의 첫 번째 비트의 데이터는 "0"이고, 이어지는 다음 마이너스측 펄스도 1/2t0이므로 두 번째 비트의 데이터는 "0"이다. 또한, 이어지는 다음 마이너스측 펄스 기간도 1/4t0이므로 세 번째 비트의 데이터는 "1"이며, 또한 이어지는 다음 마이너스측 펄스 기간이 1/4t0이므로 네 번째 비트의 데이터는 "1"이다. 마찬가지로 제1 플러스측 펄스 기간이 1/2t0이므로 신호(Dob)의 첫 번째 비트의 데이터는 "0"이고, 또한 이어지는 다음 플러스측 펄스 기간은 1/4t0이므로 두 번째 비트의 데이터는 "1"이다. 또한 이어지는 다음 플러스측 펄스 기간은 1/2t0이므로 세 번째 비트의 데이터는 "0"이며, 또한 이어지는 다음 플러스측 펄스 기간이 1/4t0이므로 네 번째 비트의 데이터는 "1"이다.

[0066] 이와 같이 하여 도 3의 제1 자국(3)의 전반 4비트분 데이터인 신호(Doa)는 "0011"로서 표시되어 출력됨과 아울러 후반 4비트분 데이터인 신호(Dob)는 "0101"로서 표시된다.

[0067] 전압차 신호(DA-DB)인 데이터 신호(DATS)에 있어서 음의 펄스 기간 또는 양의 펄스 기간에 빗금친 부분은 제1 자국(3)의 신호(DIa), 신호(DIb)인 전류 신호의 유무를 나타낸다. 즉 음의 펄스 기간 또는 양의 펄스 기간에 빗금친 부분에서는 전류 신호가 있는 상태를 나타내고 있다. 따라서, 도 3의 모국 신호 전송도에 있어서 전압차 신호(DA-DB)의 상태로부터, 제1 자국(3)의 신호(DIa)에 대하여 살펴보면, 제1 펄스의 마이너스측 기간에 있어서 전류가 검출되지 않고, 따라서 제1 비트는 "0"이 되고, 이어지는 제2 펄스의 마이너스측의 기간에 있어서 전류가 검출되고 있으며, 따라서 제2 비트는 "1"이 되고, 제3 펄스의 마이너스측 기간에 있어서 전류가 검출되지 않고, 따라서 제3 비트는 "0"이 되고, 제4 펄스의 마이너스측 기간에 있어서 전류가 검출되고, 따라서 제4 비트는 "1"이 된다.

[0068] 또한 신호(DIb)에 대하여 살펴보면, 제1 펄스의 플러스측 기간에 있어서 전류가 검출되고 있으며, 따라서 제1

비트는 "1"이 되고, 이어지는 제2 펄스의 플러스측 기간에 있어서 전류가 검출되고 있으며, 따라서 제2 비트는 "1"이 되고, 제3 펄스의 플러스측 기간에 있어서 전류가 검출되지 않고, 따라서 제3 비트는 "0"이 되고, 제4 펄스의 플러스측 기간도 전류가 검출되지 않고, 따라서 제4 비트는 "0"이 된다.

[0069] 스타트 신호(STRS) 후, 4개의 펄스가 제1 자국(3)분의 데이터 신호이고, 이어지는 4개의 펄스가 제2 자국(3)의 데이터 신호가 된다. 자국(3)의 어드레스는, 도시하지는 않았으나, 8비트의 스위치를 이용하여 해당 대응하는 4개의 펄스를 자국(3)의 CPU로 가져와 자국(3)의 자기 어드레스로서 인식하면 된다.

[0070] 각 자국(3)은 4개의 펄스를 한 벌로서 카운트하며, 자기의 어드레스 직전의 4비트 데이터 신호의 전송 종료 후, 해당 대응하는 4개의 펄스를 자기의 데이터로서 신호를 판독을 행하면서 자기의 입력 신호를 전류 신호로 하여 데이터 신호 전송선(DA)과 데이터 신호 전송선(DB)으로 송출하면 된다.

[0071] 모국 전송 회로(14)는 마지막 자국 신호의 송출 후, 엔드 신호(ENDS)로서 1.5t0시간만큼 "0" 상태를 프로그래밍 가능한 출력 인터페이스(Po)의 출력 포트로부터 시리얼 신호로서 출력한다. 이 때의 시간 간격도 상기와 마찬가지로 기본 신호(1/4t0)의 서브 루틴을 6회 반복하면 된다. 또한 타이머(IC)를 외장하여 인터럽트 제어로 정확한 타이밍 신호를 얻을 수도 있다.

[0072] 본 실시 형태는 256개의 자국(3)을 가질 수 있는 예이다. 따라서 모국 전송 회로(14)는 256개의 자국(3)분의 8비트 단위의 입력용 메모리를 가지며, 또한 마찬가지로 256개의 자국(3)분의 8비트 단위의 출력용 메모리를 가져, 항상 자국(3)의 입출력 상태 데이터를 여기에 유지하고 있다. 따라서 모국 전송 회로(14)는 각각의 자국(3)에 어드레스 신호를 송출하고, 해당 어드레스의 출력용 메모리 데이터에 따라 플러스측 전압 레벨 기간과 마이너스측 전압 레벨 기간의 듀티비를 1/2t0 또는 1/4t0의 시리얼 신호로서 출력 인터페이스(Po)의 프로그래밍 가능한 출력 포트로부터 신호(PW)로서 하이 또는 로우 상태를 출력한다. 동시에 모국 전송 회로(14)는 하이 또는 로우 상태의 기간의 프로그래밍 가능한 입력 인터페이스(Pi)의 입력 포트로부터 펄스의 마이너스측 전압 레벨 기간에 흐르는 전류 신호(Ia25)의 유무와 여기에 이어지는 펄스의 플러스측 전압 레벨 기간에 흐르는 전류 신호(Ib26)의 유무를 입력 신호로서 받고, 입력 데이터로서 해당 자국 어드레스의 입력 데이터로서 입력용 메모리에 써넣는다.

[0073] 이와 같이 모국 전송 회로(14)는 자국(3)용 신호 데이터를 전송하면서 순차적으로 자국(3)이 송출하는 전류 신호를 판독하여 통신 제어를 완결하고, 다음 자국(3)과의 통신으로 순차적으로 이동해 간다.

[0074] 자국(3)용 신호 데이터는 모국(1)에 접속된 제어부(2)로부터의 입력의 지시에 따른다. 제어부(2)와 모국 전송 회로(14)는 병렬의 입출력 인터페이스로 접속되어 있으며, 메모리 맵 대응으로 데이터를 주고받는다. 예컨대, 제어부(2)는 시퀀서나 상위 컴퓨터 시스템으로 이루어진다. 제어부(2)를 접속하면 모국(1)을 통하여 본 실시 형태에서는 최대 256개의 자국(3)의 입출력 각 8비트 총 16비트의 디지털 입출력을 4선 배선으로 신뢰성을 유지하면서 행할 수 있다.

[0075] 제어부(2)의 감시 데이터 또는 제어 데이터는 각각 프로그래밍 가능한 입력 인터페이스(Pi) 또는 프로그래밍 가능한 출력 인터페이스(Po)에 의해 마이크로 컴퓨터(24)와의 사이에서 주고받는다. 이들 입출력 신호는 8비트 데이터 중 각각 전반, 후반의 4비트로 분리하여 주고받도록 하고 있다. 자국(3)과의 신호 주고받음은 전반 신호 전류 검출 회로(12) 및 후반 신호 전류 검출 회로(13)에 의해 각각 신호(Ia25) 및 신호(Ib26)로서 검출되어 마이크로 컴퓨터(24)로 건네진다.

[0076] 한편, 마이크로 컴퓨터(24)의 프로그래밍 가능한 출력 인터페이스(Po)로부터의 신호(PW28)는 펄스의 증성점 전위(즉 해당 펄스의 파고값(또는 최대 진폭)의 1/2의 전위)에 대하여 플러스측 전압 레벨 기간의 듀티비 신호로서, 또한 데이터 신호(DATS)가 펄스의 증성점 전위에 대하여 마이너스측 전압 레벨 기간의 듀티비 신호로서 버스 드라이버 회로(10)를 거쳐 공통의 데이터 신호 전송선(5, 6)으로 송출된다.

[0077] 버스 클럭 검출 회로(11)는 공통의 데이터 신호 전송선(DA)으로부터 버스 클럭 신호(Bck)를 검출하고, 이것이 모국(1)과 공통의 데이터 신호 전송선(5, 6) 사이에서 신호를 주고받음에 있어서 기준 신호가 된다.

[0078] 한편 도 1에 있어서 자국(3)은 공통의 데이터 신호 전송선(DA) 및 공통의 데이터 신호 전송선(DB)을 통하여 모국(1)과 접속되고, 신호 데이터를 주고받는다. 자국 전송 회로(21)는 피제어장치(4)와 프로그래밍 가능한 입력 인터페이스(Pi)를 통하여 접속되어 있다. 이 도 4의 예에서는 피제어장치(4)의 센서부의 8비트 데이터가 그 전반 4비트 신호인 전반 센서부(23a)의 데이터(ina0 내지 ina3)와 후반 4비트 신호인 후반 센서부(23b)의 데이터(inb0 내지 inb3)로 분리되어 입력된다. 또한 자국 전송 회로(21)는 피제어장치(4)의 피제어부의 8비트 데이터가 그 전반 4비트인 전반 피제어부(22a)(outa0 내지 outa3)와 후반 4비트인 후반 피제어부

(22b)(outb0 내지 outb3)로 분리되어 출력된다.

- [0079] 도 3의 모국 신호 전송도에 있어서, 전송 어드레스(TRAD) 신호는 4개의 펄스를 한 벌로 하여 (1개의) 자국(3)분의 데이터 신호로 하고 있다. 따라서 스타트 신호(STRS) 후의 4개의 펄스의 벌의 수가 각 자국(3)의 자국분 데이터 신호가 된다. 이에 따라 스타트 신호(STRS) 후의 4개의 펄스의 벌의 수를 카운트함으로써 자국(3)의 어드레스 신호로 할 수 있다.
- [0080] 스타트 신호(STRS)에 나타낸 바와 같이, 클럭 사이클(1t0)의 5배인 5t0을 스타트 신호로서 식별하기 위하여 그 펄스 폭을 5t0로 길게 취하였다. 계속하여 각 자국(3)분의 4개의 펄스의 벌인 신호 전송을 종료한 후, 엔드 신호(ENDS)로 데이터 전송을 종료한다. 엔드 신호(ENDS)는, 이것을 식별하기 위하여 그 펄스 폭을 1.5t0으로 클럭 신호(Bck)의 펄스폭(t0) 보다 길게 취하였다.
- [0081] 클럭 신호(Bck)는 데이터 신호(DATS)와 동일한 파형을 이룬다.
- [0082] 공통의 데이터 신호 전송선(DA) 및 공통의 데이터 신호 전송선(DB)을 통하여 자국(3)으로부터 신호(Ia)(전반 전류 검출 신호(25)) 및 신호(Ib)(후반 전류 검출 신호(26))로서 신호가 수신된다.
- [0083] 신호(CV)는 약 100KHz의 신호이며, 컨버터 방식에 의한 전원 회로(9a)에서 발생하는 음전압 전원이다. 이 음전압 전원을 사용하여 버스 드라이버 회로(10)로부터 공통의 데이터 신호 전송선(DA) 및 공통의 데이터 신호 전송선(DB)으로 자국 신호가 송출된다.
- [0084] 도 4는 자국(3)의 회로 구성도이다. 즉 도 4는 도 1에 도시한 본 발명의 실시 형태를 보인 기본 구성도 중 자국의 회로도이며, 자국을 구성하는 자국 전송 회로인 마이크로 컴퓨터 기능 블록을 나타낸다.
- [0085] 자국(3)은 데이터 신호 전송선(DA) 및 데이터 신호 전송선(DB)과 전원선(Vp) 및 전원선(Vo)에 의해 모국(1)과 접속되어 있다. 자국(3)은 자국 버스 클럭 검출 회로(18)에 의해 클럭 신호(Bck)를 수취한다. 자국 전반 신호 전류 발생 회로(19)는 중성점 전위보다 음극측의 전류 발생 회로이고, 또한 자국 후반 신호 발생 회로(20)는 중성점 전위보다 양극측의 전류 발생 회로이다.
- [0086] 자국(3)의 마이크로 컴퓨터(24')가 자국 전송 회로(21)의 중추를 구성한다. 자국 전송 회로(21)는 공통의 데이터 신호선(5, 6)을 경유하여 모국(1)과 신호를 주고받음과 아울러, 제어 장치와도 입출력 신호를 주고받는다.
- [0087] 자국 전송 회로(21)는 자국(3)의 데이터 처리를 실행하는 마이크로 컴퓨터(24')와, 자국(3)의 내부 배선의 접속 회로로 구성되어 있다. 마이크로 컴퓨터(마이컴)(24')는, 도 4와 도 1을 대비하면 알 수 있는 바와 같이, 모국(1)의 마이크로 컴퓨터(24)와 비슷한 구성 및 기능을 구비한다. 따라서, 마이크로 컴퓨터(24')의 CPU 등에 대해서도 "CPU" 등과 같이 도시하여야 하겠으나, 도시의 편의상 ""를 붙이지 않고 도시하였다. 자국(3)의 로직 프로그램(PRG)은 해당 자국(3)의 CPU 상에서 실행됨으로써 본 발명의 자국(3)의 데이터 처리를 실현한다.
- [0088] 다음 자국 전송 회로(21)의 기능 동작에 대하여 설명한다.
- [0089] 자국(3)측도 모국(1)측과 마찬가지로 제어/감시 신호 전송 시스템의 전원이 투입되면, 자국(3)의 CPU는 리셋되고, 자국(3)의 ROM에 쓰여진 자국(3)의 로직 프로그램(PRG)에 따라 동작을 시작한다. 본 발명의 기본을 구성하는 타이밍 신호는 모국(1) 측에서 생성되기 때문에 자국(3) 측은 데이터 신호 전송선(DA) 및 데이터 신호 전송선(DB)을 경유하여 모국(1)으로부터 전송되는 신호로부터 자국 버스 클럭 검출 회로(18)에 의해 검출된 버스 클럭 신호를 받고, 이것을 타이밍 신호로서 동기시켜 사용한다.
- [0090] 또한, 상태 기억에 의해 전원 차단시의 상태를 유지(기억)하려면 각각의 자국(3)에 설치한 비휘발성 메모리(도시하지 않음)의 소정의 메모리 영역에 해당 전원 차단시의 입출력 상태를 써넣고(퇴피하고), 전원 투입시에 해당 입출력 상태를 재현(복구)하도록 하면 된다.
- [0091] 자국(3)은 시리얼 신호인 버스 클럭 신호의 스타트 신호 다음에 오는 전송 어드레스(TRAD)를 4개의 펄스를 한 벌로 하여 자국분 데이터 신호로서 카운트한다. 따라서 스타트 신호후의 4개의 펄스의 벌수가 이어지는 각 자국(3)의 자국분 데이터 신호가 된다. 따라서 자국(3)은, 스타트 신호후의 4개의 펄스의 벌수를 카운트함으로써 자신인 자국(3)의 어드레스로 할(어드레스를 검출할) 수 있다. 해당 자국(3)은 앞에서 기재한 어드레스 레코드용 8비트 스위치 상태를 판독하여 자기의 어드레스를 인식한다(도시하지 않음).
- [0092] 자신의 국의 어드레스의 한 벌의 데이터는 자국(3)에 의해 카운트된 후에는 해당 자국(3)의 데이터 신호가 된

다. 자국(3)은 다음에 오는 데이터 신호(DATS)를 받아 시리얼 데이터를 병렬 데이터로 변환하여 메모리 맵(I/O)에 전반 피제어부(22a) 및 후반 피제어부(22b) 데이터를 건네준다.

- [0093] 한편, 자국(3)은 전반 센서부(23a)와 후반 센서부(23b)의 센서 신호를 자국(3)의 입력 메모리에 써넣고, 해당 써넣은 센서 신호인 병렬 데이터를 시리얼 전류 신호로 한다. 더욱이, 자국(3)은 상기 시리얼 전류 신호를 전반, 후반의 소정의 펄스의 음의 기간 또는 펄스의 양의 기간에 송출한다. 즉, 자국(3)은 소정의 버스 클럭 신호의 하이 또는 로우 상태에 맞추어 모국(1)을 향하여 공통의 데이터 신호 전송선(DA) 및 데이터 신호 전송선(DB)에 자국 전반 신호 전류 발생 회로(19) 및 자국 후반 신호 전류 발생 회로(20)를 경유하여 상기 시리얼 전류 신호를 송출한다.
- [0094] 또한 자국(3)은 해당 자국(3)에 접속된 피제어장치(4)의 제어 대상 동작을 행하기 위한 신호를 피제어장치(4)로 송출한다. 즉, 자국 전송 회로(21)는 전반 피제어부(22a) 및 후반 피제어부(22b)로의 출력 신호를 송출하고, 자국(3)에 접속된 피제어장치(4)의 제어 대상 동작을 행하기 위한 신호를 피제어장치(4)로 송출한다.
- [0095] 또한, 자국 전송 회로(21)는 전반 센서부(23a)와 후반 센서부(23b)로부터의 입력 신호를 받는다. 자국 전송 회로(21)는 일단 자신의 국의 메모리 영역에 상기 입력 데이터를 기억(유지)하고, 이 입력 데이터에 기초하여 신호(ia)를 형성하고, 이것을 자국 전반 신호 전류 발생 회로(19)를 통하여 데이터 신호 전송선(DA)에 신호 전류(Ia)로서 송출한다. 또한 자국 전송 회로(21)는 신호(ib)를 자국 후반 신호 전류 발생 회로(20)를 통하여 데이터 신호 전송선(DB)에 신호 전류(Ib)로서 송출한다.
- [0096] 도 5에 자국 신호 전송도를 도시하였다. 자국(3)은 4개의 펄스를 한 벌로서 카운트하고, 스타트 신호를 기점으로 하여 전송 어드레스(TRAD)를 감시한다. 자국(3)은 이 감시 상태에 있어서 자기의 어드레스의 하나 앞의 어드레스를 검출하면, 그 후의 자기의 어드레스 데이터 신호(DATS)를 가져와서 신호 처리한다. 자기의 어드레스 이외의 데이터 신호(DATS)에 대해서는 데이터를 무시한다(가져오지 않는다.)
- [0097] 자국(3)에 있어서, 자기의 어드레스를 검출한 후, 자국 전송 회로(21)가 데이터 신호(DATS)의 데이터 신호의 펄스의 마이너스측 전압 레벨 기간과 플러스측 전압 레벨 기간에 있어서 전류를 송출함에 따른 전반 피제어부(22a) 및 후반 피제어부(22b)에의 데이터 송출과, 전반 센서부(23a) 및 후반 센서부(23b)로부터의 데이터 가져오기를 각각 자국(3)의 클럭 신호(bck)의 타이밍 신호를 기본으로 하여 행한다.
- [0098] 데이터 신호(DATS)에 있어서, 스타트 신호(STRS) 후의 마이너스측 전압 레벨 기간에는 전류 신호가 송출되지 않는다. 즉 전반 센서부(23a)의 ina0 포트의 "0" 상태 신호가 들어와 해당 기간에 전류가 흐르지 않고, 그 결과 "0" 신호 상태가 반영되고 있다. 이에 반해, 데이터 신호(DATS)의 전반 센서부(23a)의 ina3 포트의 "1" 상태 신호가 들어와 "1" 신호 상태를 반영한 전류 신호가 제4 펄스 신호의 마이너스측 전압 레벨 기간에 흘러 신호 상태 "1"이 표시되고 있다.
- [0099] 또한 후반 센서부(23b)의 inb0 포트의 "1" 상태 신호가 도입되고, 화살표로 도시한 바와 같이, 제1 펄스 신호의 플러스측 기간인 연속 사선부에 있어서 전류가 흘러 신호 상태 "1"이 반영되고 있다. 더욱이 후반 센서부(23b)의 inb3 포트의 "0"의 신호 상태가 들어와 "0" 신호 상태가 반영되고, 제4 펄스 신호의 플러스측 전압 레벨 기간에 전류가 흐르지 않고, 그 결과 신호 상태 "0"이 반영되어 있음이 화살표에 의해 도시되어 있다.
- [0100] 또한 데이터 신호(DATS)에 있어서 스타트 신호(STRS) 후의 제1 펄스의 마이너스측 펄스 신호의 기간이 1/2t0인 것을 받아, 마이너스측에서 플러스측으로 펄스가 반전되는 타이밍에서 전반 피제어부(22a)의 outa0 포트에 "0" 신호가 출력되고 있다. 이것을 화살표로 나타내었다. 또한 제4 펄스의 마이너스측 펄스 기간이 1/4t0인 것을 받아 outa3 포트의 출력이 "1"로서 실행된다.
- [0101] 더욱이 제1 펄스의 플러스측 펄스 신호의 기간이 1/2t0인 것을 받아 플러스측에서 마이너스측으로 펄스가 반전되는 타이밍에서 후반 피제어부(22b)의 outb0 포트에 "0" 신호가 출력되고 있다. 이를 화살표로 나타내었다. 또한, 제4 펄스의 플러스측 펄스 기간이 1/4t0인 것을 받아 outb3 포트의 출력이 "1"로서 실행되고 있다. 이를 화살표로 나타내었다.
- [0102] 상기 실시 형태에 있어서는 비커맨드 방식을 채용하고 있으나, 이에 한정되지 않으며, 어드레스 데이터를 4개의 펄스에 할당하고 이어지는 4펄스를 전송 데이터로 하는 소위 커맨드 방식을 채용할 수도 있다.
- [0103] 도 6은 전압 분압에 의한 모국(1)의 실시 형태를 나타낸다. 즉, 도 6은 본 발명의 제2 실시 형태의 기본 구성이고, 그 모국의 회로도를 나타내며, 특히 모국을 구성하는 모국 전송 회로인 마이크로 컴퓨터의 기능 블록을 나타낸다.

- [0104] 도 6은 제2 실시 형태인 모국(1)의 내부 구성을 상세하게 도시하고 있다. 즉 도 1에서 전원선(Vp), 전원선(Vo)의 전압이 12V이던 데 반해, 전원선(Vp7), 전원선(Vo)의 전압이 24V이고, 데이터 신호 전송선(DB6)이 중성 전위 12V가 되도록 모국(1)의 전원 회로(9b)가 전원선(Vp7), 전원선(Vo)을 분압하고 있는 예를 도시하고 있다. 모국(1) 이외의 구성은 도 1 내지 도 5의 구성과 동일하다.
- [0105] 모국(1)에 있어서 자국(3)과의 데이터 신호 전송선(DA), 데이터 신호 전송선(DB)에 의해 데이터 접속되어 있고, 전송선(Vp), 전송선(Vo)과의 접속도 도 2에 도시한 실시 형태와 동일하다. 도 2의 실시 형태에서는 12V 전원(Vp)에 대하여 전원 회로(9a)에 의해 -12V가 생성된 데 반해, 도 6의 실시 형태에 있어서는 전원 회로(9b)에 의해 24V 전원(Vp)을 분압하고, 중성점 전위인 공통의 데이터 신호 전송선(DB)을 12V로 한다.
- [0106] 이상의 점을 제외하고 버스 드라이버 회로(10), 버스 클럭 검출 회로(11), 전반 신호 전류 검출 회로(12), 후반 신호 전류 검출 회로(13), 모국 전송 회로(14), 전반 입력 데이터(전반 감시 데이터)(15a), 후반 입력 데이터(후반 감시 데이터)(15b), 전반 출력 데이터(전반 제어 데이터)(16a), 후반 출력 데이터(후반 제어 데이터)(16b), 마이크로 컴퓨터(24)의 동작 원리는 도 2의 실시 형태와 동일하다. 또한 신호(Ia)(전반 전류 검출 신호(25)), 신호(Ib)(후반 전류 검출 신호(26)), 클럭 신호(Bck), 신호(PW)의 작용도 도 2의 예와 동일하다.
- [0107] 도 6에 있어서, 전술한 바와 같이 지너 다이오드(ZD)(31)에 의해 전압 24V가 분압된다. 또한 콘덴서(C)에 의해 지너 다이오드(ZD)에 의해 분압된 전압이 충전되어 해당 분압된 전압을 유지한다.

산업상 이용 가능성

- [0108] 본 발명 이용은 데이터 신호 전송선에 의해 모국과 떨어져 있는 자국과의 사이에서 신호를 전송하고, 정확한 제어 동작을 행하는 제어/감시 신호 전송 시스템에 있어서 널리 사용이 가능하다.

도면의 간단한 설명

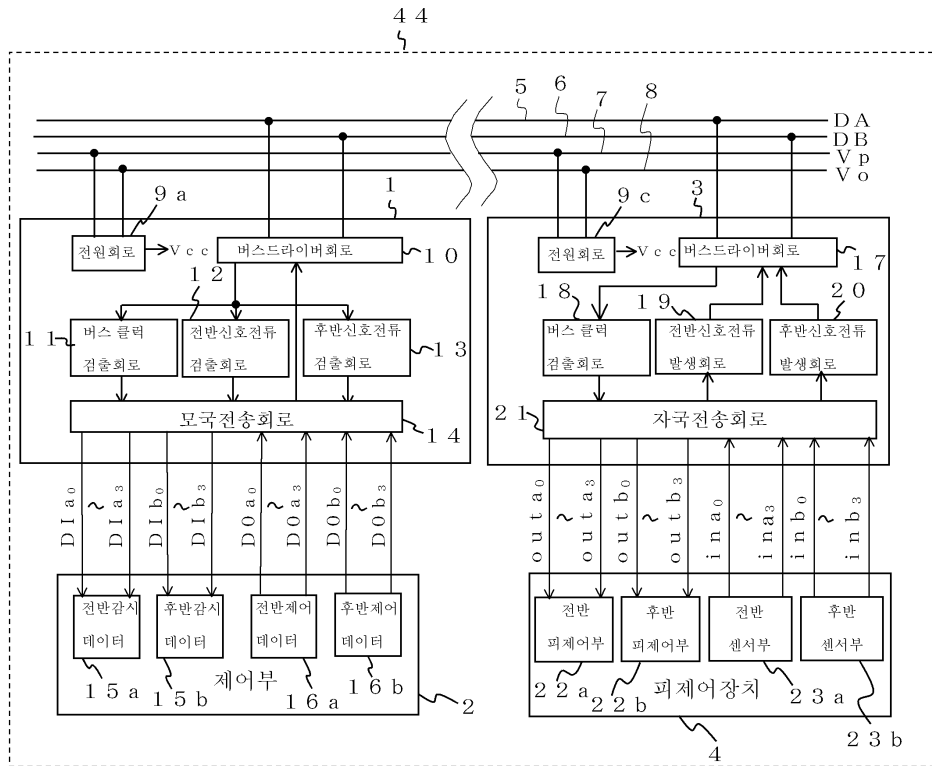
- [0109] 도 1은 본 발명의 제1 실시 형태를 기능 블록으로서 도시한 기본 구성도이다.
- [0110] 도 2는 도 1에 도시한 본 발명의 실시 형태를 보인 기본 구성도 중 모국의 회로도이며, 모국을 구성하는 모국 전송 회로인 마이크로 컴퓨터의 기능 블록을 나타낸다.
- [0111] 도 3은 모국의 신호 전송도를 나타낸다.
- [0112] 도 4는 도 1에 도시한 본 발명의 실시 형태를 보인 기본 구성도 중 자국의 회로도이며, 자국을 구성하는 자국 전송 회로인 마이크로 컴퓨터의 기능 블록을 나타낸다.
- [0113] 도 5는 자국의 신호 전송도를 나타낸다.
- [0114] 도 6은 본 발명의 제2 실시 형태의 기본 구성이고, 모국 회로도이며, 모국을 구성하는 모국 전송 회로인 마이크로 컴퓨터의 기능 블록을 나타낸다.
- [0115] <부호의 설명>
- [0116] 1: 모국,
- [0117] 2: 제어부,
- [0118] 3: 자국,
- [0119] 4: 피제어장치,
- [0120] 5: 데이터 신호 전송선(DA),
- [0121] 6: 데이터 신호 전송선(DB),
- [0122] 7: 전원선(Vp),
- [0123] 8: 전원선(Vo),
- [0124] 9a, 9b: 전원 회로,

- [0125] 9c: 자국 전원 회로,
- [0126] 10: 버스 드라이버 회로,
- [0127] 11: 버스 클럭 검출 회로,
- [0128] 12: 전반 신호 전류 검출 회로,
- [0129] 13: 후반 신호 전류 검출 회로,
- [0130] 14: 모국 전송 회로,
- [0131] 15a: 전반 감시 데이터,
- [0132] 15b: 후반 감시 데이터,
- [0133] 16a: 전반 제어 데이터,
- [0134] 16b: 후반 제어 데이터,
- [0135] 17: 자국 버스 드라이버 회로,
- [0136] 18: 자국 버스 클럭 검출 회로,
- [0137] 19: 자국 전반 신호 전류 발생 회로,
- [0138] 20: 자국 후반 신호 전류 발생 회로,
- [0139] 21: 자국 전송 회로,
- [0140] 22a: 전반 피제어부,
- [0141] 22b: 후반 피제어부,
- [0142] 23a: 전반 센서부,
- [0143] 23b: 후반 센서부,
- [0144] 24: 마이크로 컴퓨터,
- [0145] 25: 신호(Ia)(전반 전류 검출 신호),
- [0146] 26: 신호(Ib)(후반 전류 검출 신호),
- [0147] 27: 클럭 신호(Bck),
- [0148] 28: 신호(PW),
- [0149] 29: 신호(CV),
- [0150] 30: 다이오드(D),
- [0151] 31: 지너 다이오드(ZD),
- [0152] 32: 콘덴서(C),
- [0153] 33: 저항(Ra),
- [0154] 34: 저항(Rb),
- [0155] 35: 스타트 신호(STRS),
- [0156] 36: 신호(Doa),
- [0157] 37: 신호(Dob),
- [0158] 38: 엔드 신호(ENDS),
- [0159] 39: 데이터 신호(DATS),
- [0160] 40: 신호(DIa),

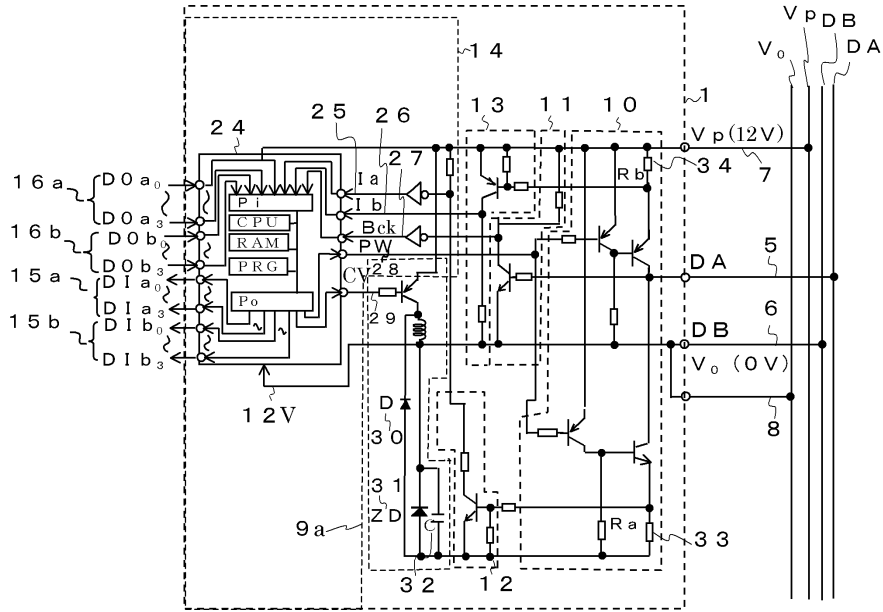
- [0161] 41: 신호(DIb),
- [0162] 42: 전송 어드레스(TRAN),
- [0163] 43: 자국 신호(bck),
- [0164] 44: 제어/감시 신호 전송 시스템

도면

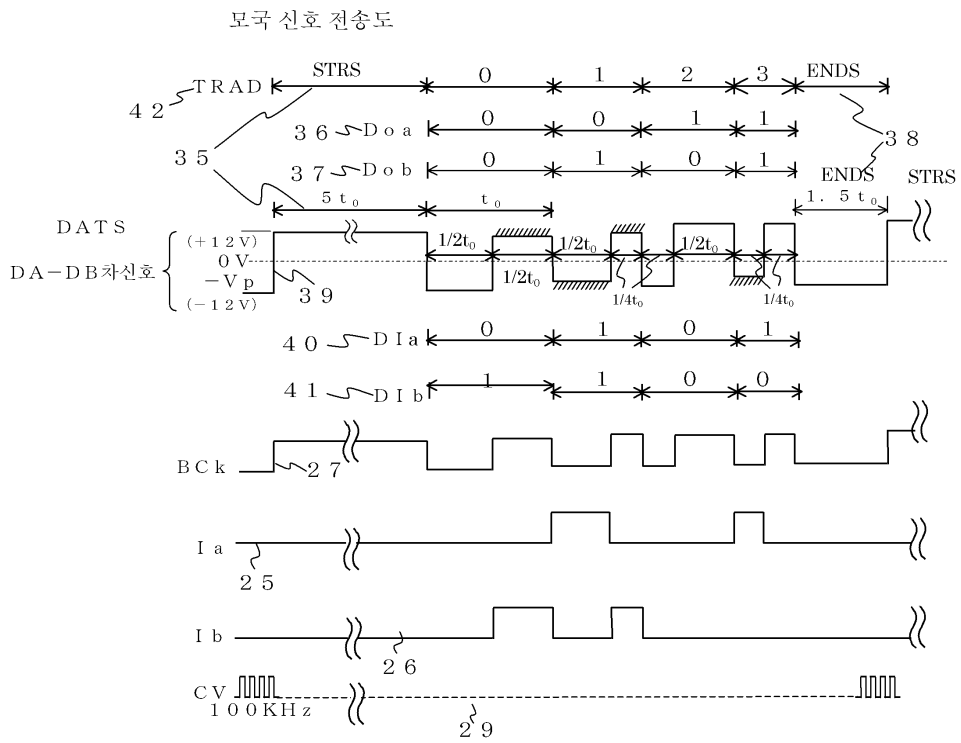
도면1



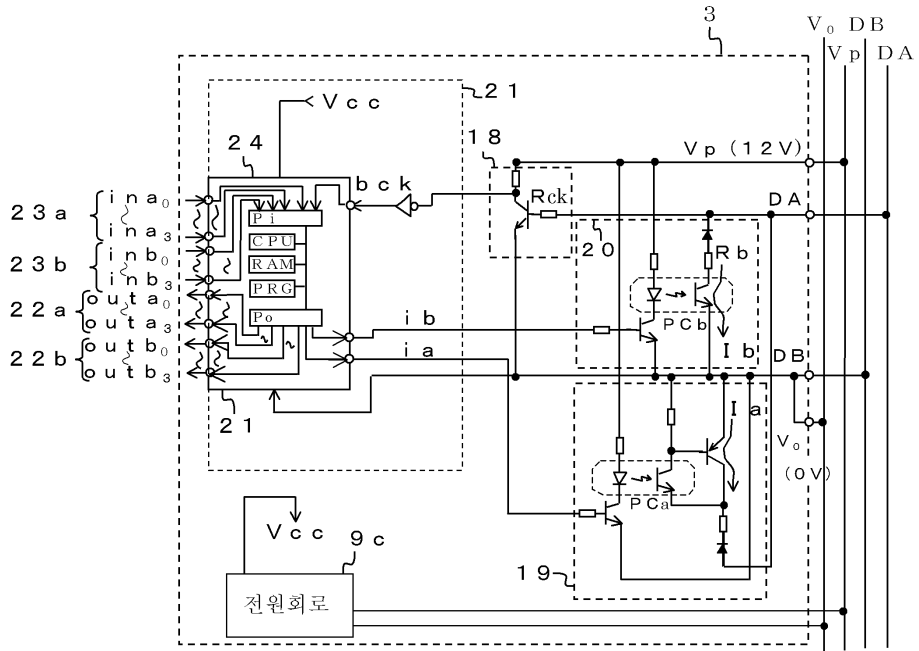
도면2



도면3

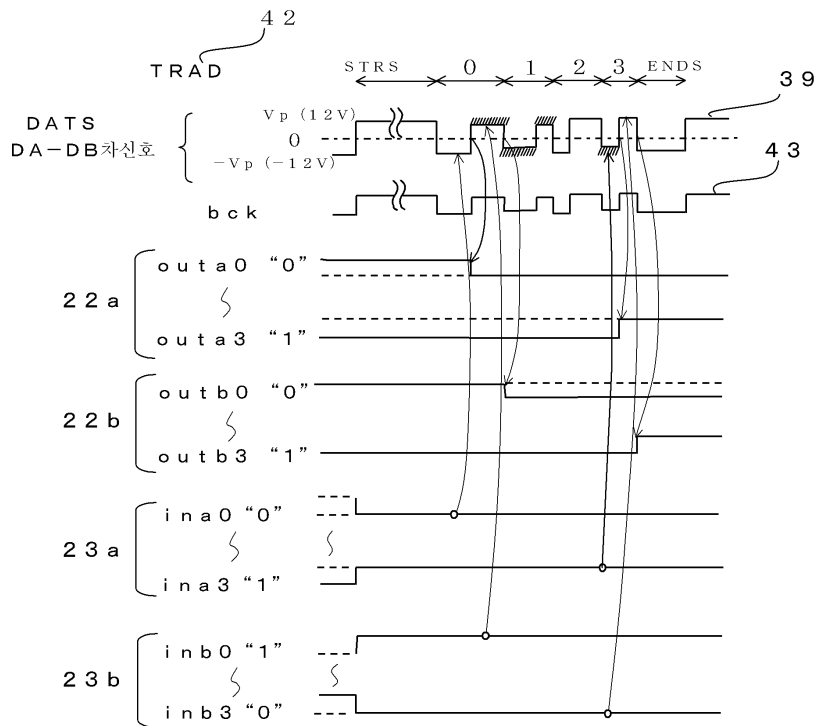


도면4



도면5

자극 신호 전송도



도면6

