

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4026009号

(P4026009)

(45) 発行日 平成19年12月26日(2007.12.26)

(24) 登録日 平成19年10月19日(2007.10.19)

(51) Int. Cl.		F I	
HO 1 L 21/20	(2006.01)	HO 1 L 21/20	
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 2 7 G
HO 1 L 29/786	(2006.01)		

請求項の数 18 (全 12 頁)

(21) 出願番号	特願2003-358095 (P2003-358095)	(73) 特許権者	599127667
(22) 出願日	平成15年10月17日(2003.10.17)		エルジー フィリップス エルシーディー
(65) 公開番号	特開2004-158850 (P2004-158850A)		カンパニー リミテッド
(43) 公開日	平成16年6月3日(2004.6.3)		大韓民国 ソウル, ヨンドンポーク,
審査請求日	平成15年10月17日(2003.10.17)		ヨイドードン 20
(31) 優先権主張番号	2002-067881	(74) 代理人	100110423
(32) 優先日	平成14年11月4日(2002.11.4)		弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 多結晶シリコン膜形成方法とこれを利用した薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上部に非晶質シリコン層を形成する段階と；
 前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；
 前記触媒金属が蒸着された非晶質シリコン層の一侧と他側に前記非晶質シリコン層と接触して第1方向に相互離隔された第1及び2電極を配置する段階と；
 前記非晶質シリコン層を第1温度で加熱しながら同時に前記第1及び2電極に第1電圧を印加して一次結晶化された非晶質シリコン層を形成する段階と；
 前記一次結晶化された非晶質シリコン層の上部に前記第1方向と垂直な第2方向に相互離隔された第3及び4電極を配置する段階と；
 前記一次結晶化された非晶質シリコン層を第2温度で加熱しながら同時に前記第3及び4電極に第2電圧を印加して二次結晶化された非晶質シリコン層を形成する段階とを含む多結晶シリコン層の形成方法。

【請求項 2】

前記第1及び2温度各々は、500 ~ 550 の範囲であることを特徴とする請求項1に記載の多結晶シリコン層の形成方法。

【請求項 3】

基板上部に非晶質シリコン層を形成する段階と；
 前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；
 前記触媒金属が蒸着された非晶質シリコン層上部に前記非晶質シリコン層と接触して第

10

20

1 方向に相互離隔された第 1 及び 2 電極と前記第 1 方向と垂直な第 2 方向に相互離隔された第 3 及び 4 電極を配置する段階と；

前記非晶質シリコン層を第 1 温度で加熱しながら同時に前記第 1 及び 2 電極に第 1 電圧を印加して前記第 3 及び 4 電極に第 2 電圧を印加する段階とを含む多結晶シリコン層の形成方法。

【請求項 4】

前記第 1 電圧は、第 1 電源から前記第 1 及び 2 電極に印加されて、前記第 2 電圧は、第 2 電源から前記第 3 及び 4 電極に印加されることを特徴とする請求項 3 に記載の多結晶シリコン層の形成方法。

【請求項 5】

前記第 1 及び 2 電圧は、同一電圧であることを特徴とする請求項 3 に記載の多結晶シリコン層の形成方法。

【請求項 6】

前記第 1 及び第 2 電圧は、前記第 1 ないし 4 電極に連結された同一な電源から印加されることを特徴とする請求項 5 に記載の多結晶シリコン層の形成方法。

【請求項 7】

前記第 1 温度は、5 0 0 ~ 5 5 0 の範囲であることを特徴とする請求項 3 に記載の多結晶シリコン層の形成方法。

【請求項 8】

基板上部に非晶質シリコン層を形成する段階と；
 前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；
 前記触媒金属が蒸着された非晶質シリコン層の一側と他側に前記非晶質シリコン層と接触して第 1 方向に相互離隔された第 1 及び 2 電極を配置する段階と；
 前記非晶質シリコン層を第 1 温度で加熱しながら同時に前記第 1 及び 2 電極に第 1 電圧を印加して一次結晶化された非晶質シリコン層を形成する段階と；
 前記一次結晶化された非晶質シリコン層の上部に前記第 1 方向と垂直な第 2 方向に相互離隔された第 3 及び 4 電極を配置する段階と；
 前記一次結晶化された非晶質シリコン層を第 2 温度で加熱しながら同時に前記第 3 及び 4 電極に第 2 電圧を印加して多結晶シリコン層を形成する段階と；
 前記多結晶シリコン層をパターンしてアクティブ層を形成する段階と；
 前記アクティブ層上にゲート絶縁膜を形成する段階と；
 前記アクティブ層上部のゲート絶縁膜上にゲート電極を形成する段階と；
 前記アクティブ層に不純物をドーピングしてソース及びドレイン領域を形成する段階と；

前記ゲート電極上部にソース領域を露出する前記ソースコンタクトホールと前記ドレイン領域を露出するドレインコンタクトホールを有する層間絶縁膜を形成する段階と；

前記層間絶縁膜上部に前記ソースコンタクトホールを通して前記ソース領域と連結されるソース電極と前記ドレインコンタクトホールを通してドレイン領域と連結されるドレイン電極を形成する段階とを含む多結晶シリコン薄膜トランジスタの製造方法。

【請求項 9】

前記基板と非晶質シリコン層間にバッファ層を形成する段階をさらに含むことを特徴とする請求項 8 に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 10】

前記バッファ層は、シリコン酸化膜 (S i O₂) でなることを特徴とする請求項 9 に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 11】

前記第 1 及び 2 温度各々は、5 0 0 ~ 5 5 0 の範囲であることを特徴とする請求項 8 に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 12】

基板上部に非晶質シリコン層を形成する段階と；

10

20

30

40

50

前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；
 前記触媒金属が蒸着された非晶質シリコン層上部に前記非晶質シリコン層と接触して第1方向に相互離隔された第1及び2電極と前記第1方向と垂直な第2方向に相互離隔された第3及び4電極を配置する段階と；

前記非晶質シリコン層を第1温度で加熱しながら同時に前記第1及び2電極に第1電圧を印加して前記第3及び4電極に第2電圧を印加して多結晶シリコン層を形成する段階と；

前記多結晶シリコン層をパターンしてアクティブ層を形成する段階と；

前記アクティブ層上にゲート絶縁膜を形成する段階と；

前記アクティブ層上部のゲート絶縁膜上にゲート電極を形成する段階と；

10

前記アクティブ層に不純物をドーピングしてソース及びドレイン領域を形成する段階と；

前記ゲート電極上部にソース領域を露出する前記ソースコンタクトホールと前記ドレイン領域を露出するドレインコンタクトホールを有する層間絶縁膜を形成する段階と；

前記層間絶縁膜上部に前記ソースコンタクトホールを通して前記ソース領域と連結されるソース電極と前記ドレインコンタクトホールを通してドレイン領域と連結されるドレイン電極を形成する段階とを含むことを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項13】

前記基板と非晶質シリコン層間にバッファ層を形成する段階をさらに含むことを特徴とする請求項12に記載の多結晶シリコン薄膜トランジスタの製造方法。

20

【請求項14】

前記バッファ層は、シリコン酸化膜(SiO₂)でなることを特徴とする請求項13に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項15】

前記第1電圧は、第1電源から前記第1及び2電極に印加されて、前記第2電圧は第2電源から前記第3及び4電極に印加されることを特徴とする請求項12に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項16】

前記第1及び2電圧は、同一電圧であることを特徴とする請求項12に記載の多結晶シリコン薄膜トランジスタの製造方法。

30

【請求項17】

前記第1及び第2電圧は、前記第1ないし4電極に連結された同一な電源から印加されることを特徴とする請求項16に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項18】

前記第1温度は、500 ~ 550 の範囲であることを特徴とする請求項12に記載の多結晶シリコン薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は液晶表示装置用多結晶薄膜トランジスタに係り、特に薄膜トランジスタに含まれる多結晶アクティブ層である多結晶シリコン膜を結晶化する時、均等した分布の結晶粒(grain)を有するようにする結晶化方法に関する。

【背景技術】

【0002】

一般に、多結晶シリコン薄膜を形成するためには純粹非晶質シリコン(intrinsic amorphous silicon)を所定の方法すなわち、プラズマ気相蒸着法(plasma chemical vapor deposition)やLPCVD(Low pressure CVD)方法で絶縁基板に500の厚さで非晶質シリコン膜を蒸着した後、これを再び結晶化する方法を用いた。結晶化方法は次のように大別して3種に分類され得る。

50

【 0 0 0 3 】

第一に、レーザー熱処理 (laser annealing) 方法は、非晶質シリコン薄膜が蒸着された基板にレーザーを加えて多結晶シリコンを成長する方法である。

【 0 0 0 4 】

第二に、固相結晶化 (solid phase crystallization : 以下 S P C と称する) 方法は、非晶質シリコンを高温で長時間熱処理して多結晶シリコンを形成する方法である。

【 0 0 0 5 】

第三に、金属誘導結晶化 (metal induced crystallization : M I C) 方法は、非晶質シリコン上に金属を蒸着して多結晶シリコンを形成する方法であって、大面積のガラス基板を用いることができる。

10

【 0 0 0 6 】

1 番目の方法であるレーザー熱処理は、現在広く研究されている多結晶シリコン形成方法であって、非晶質シリコンが蒸着された基板にレーザーエネルギーを供給して前記非晶質シリコンを熔融状態に作った後、冷却により多結晶シリコンを形成する方法である。

【 0 0 0 7 】

2 番目の方法である固相結晶化は、600 以上の高温を耐えることができる石英基板に不純物の拡散を防止するために所定の厚さで緩衝層 (buffer layer) を形成して、前記緩衝層上に非晶質シリコンを蒸着した後、ファーンズで高温長時間熱処理して多結晶シリコンを得る方法であって、前述したように前記固相結晶化は高温で長時間遂行されるので所望する多結晶シリコン相 (phase) を得られなく、グレーン成長方向性が不規則であって薄膜トランジスタへの応用時多結晶シリコンと接続されるゲート絶縁膜が不規則に成長して素子の降伏電圧が低くなる問題点がある。また、多結晶シリコンの粒径の大きさが甚だしく不均一して素子の電気的特性を低下させるのみならず、高価の石英基板を用いる問題点がある。

20

【 0 0 0 8 】

3 番目の方法である金属誘導結晶化は、低価の大面積ガラス基板を用いて多結晶シリコンを形成することができるが、前記多結晶シリコン内部のネットワーク (net work) 中に金属の残留物が存在する可能性が高いために膜質の信頼性を保障するのが難しく、前記 M I C 方法を新しく応用して、結晶化された多結晶シリコンを薄膜トランジスタ及び液晶表示装置のスイッチング素子に適用する試みが進行中である。

30

【 0 0 0 9 】

前記 M I C 方法をさらに改善した結晶化方法として、高電圧を掛けて、高電圧により金属から発生するジュール熱を利用して非晶質シリコンを結晶質シリコンに形成する電界 - 金属誘導方法 (F E - M I C) がある。

【 0 0 1 0 】

前記電界誘導結晶化方法とは非晶質シリコン上に金属を蒸着して、前記金属に直流高電圧を印加してジュール熱を発生するようにすることによって前記非晶質シリコンが結晶化されるのに触媒役割をするようにする。このとき、前記金属を触媒金属という。

【 0 0 1 1 】

以下、添付された図面を参照して、F E - M I C 方法で非晶質シリコンを結晶化する方法を説明する。図 1 A ないし図 1 D は、F E - M I C 方法を利用した従来のシリコン結晶工程を順序とあり示した工程断面図である。

40

【 0 0 1 2 】

まず、図 1 A に示したように、基板 1 0 上に酸化シリコン (S i O ₂) のようなシリコン絶縁物質を蒸着してバッファ層 1 2 を形成する。前記バッファ層 1 2 は、工程中基板 1 0 に湧出されるアルカリ系物質を遮断するためのものであって、基板がアルカリ系物質で形成された場合有用である。

【 0 0 1 3 】

次に、前記バッファ層 1 2 の上部に非晶質シリコンを蒸着した後、脱水素化工程を進めて非晶質先行膜 1 4 を形成する。場合によっては脱水素化工程を進めない場合もある。

50

【0014】

図1Bに示したように、前記非晶質先行膜14の表面にニッケル(Ni)のような触媒金属16を蒸着する工程を進める。

【0015】

さらに、図1Cに示したように、前記非晶質先行膜14が形成された基板10を平板状のヒーター(heater)18に乗せた後、前記非晶質先行膜14の一側と他側に各々電極20を接触させる。

【0016】

次に、前記電極20を通して非晶質先行膜14に高電圧を印加して結晶化する工程を進める。前述したような工程が完了されれば、図1Dに示したように、多結晶シリコン膜24を形成することができる。

10

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかし、従来の結晶化方法においては、前記電極を単一方向に構成して高電圧を印加して結晶化を進めていた。このため、単一方向の電界が分布するようになり、これによって1方向に電流が流れるようになる。従って、均一な電流分布を誘導できないために局所的な結晶粒の分布が部分的に方向性を有するようになり全体的には不均一な結晶粒分布をなすようになる。

【0018】

20

本発明は前述したような問題を解決するための目的で提案されたものであり、電界を印加する第1方法は、基板の1方向に電極を構成して一次で高電圧を印加して結晶化を進め、前記一次電極方向に垂直に電極をもう一度構成して二次で高電圧を印加して結晶化工程を進めることである。

【0019】

第2方法は、基板の上/下側と左/右側に相互対向するように同時に電極を構成した後、前記電極を通して高電圧を印加して結晶化することである。

【0020】

前述したような第1、第2結晶化方法は、均等した分布の結晶粒を有する多結晶シリコン膜を製作することを可能にし、これにより、作動特性が改善された薄膜トランジスタを製作することができるようにする。

30

【課題を解決するための手段】

【0021】

前述したような目的を達成するための本発明は、基板上部に非晶質シリコン層を形成する段階と；前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；前記触媒金属が蒸着された非晶質シリコン層の一側と他側に前記非晶質シリコン層と接触して第1方向に相互離隔された第1及び2電極を配置する段階と；前記非晶質シリコン層を第1温度で加熱しながら同時に前記第1及び2電極に第1電圧を印加して一次結晶化された非晶質シリコン層を形成する段階と；前記一次結晶化された非晶質シリコン層の上部に前記第1方向と垂直な第2方向に相互離隔された第3及び4電極を配置する段階と；前記一次結晶化された非晶質シリコン層を第2温度で加熱しながら同時に前記第3及び4電極に第2電圧を印加して二次結晶化された非晶質シリコン層を形成する段階を含む多結晶シリコン層の形成方法を提供する。

40

【0022】

前記結晶化温度は、500～550の範囲で定まる。

【0023】

一方、本発明は、基板上部に非晶質シリコン層を形成する段階と；前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；前記触媒金属が蒸着された非晶質シリコン層上部に前記非晶質シリコン層と接触して第1方向に相互離隔された第1及び2電極と前記第1方向と垂直な第2方向に相互離隔された第3及び4電極を配置する段階と；前記非晶質シ

50

リコン層を第1温度で加熱しながら同時に前記第1及び2電極に第1電圧を印加して前記第3及び4電極に第2電圧を印加する段階を含む多結晶シリコン層の形成方法を提供する。

【0024】

前記第1及び2電極と連結された第1電源と、前記第3及び4電極と連結された第2電源を通して高電圧を印加する。

【0025】

他の方法として、前記第1ないし4電極中同一な極性の電極を各々一つに連結して、これに単一電源を連結してこれを通して高電圧を印加して結晶化できる。

【0026】

前記結晶化温度は、500 ~ 550 の範囲で定まる。

【0027】

本発明の第1特徴による多結晶薄膜トランジスタ製造方法は、基板上部に非晶質シリコン層を形成する段階と；前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；前記触媒金属が蒸着された非晶質シリコン層の一侧と他側に前記非晶質シリコン層と接触して第1方向に相互離隔された第1及び2電極を配置する段階と；前記非晶質シリコン層を第1温度で加熱しながら同時に前記第1及び2電極に第1電圧を印加して一次結晶化された非晶質シリコン層を形成する段階と；前記一次結晶化された非晶質シリコン層の上部に前記第1方向と垂直な第2方向に相互離隔された第3及び4電極を配置する段階と；前記一次結晶化された非晶質シリコン層を第2温度で加熱しながら同時に前記第3及び4電極に第2電圧を印加して多結晶シリコン層を形成する段階と；前記多結晶シリコン層をパターンしてアクティブ層を形成する段階と；前記アクティブ層上にゲート絶縁膜を形成する段階と；前記アクティブ層上部のゲート絶縁膜上にゲート電極を形成する段階と；前記アクティブ層に不純物をドーピングしてソース及びドレイン領域を形成する段階と；前記ゲート電極上部にソース領域を露出する前記ソースコンタクトホールと前記ドレイン領域を露出するドレインコンタクトホールを有する層間絶縁膜を形成する段階と；前記層間絶縁膜上部に前記ソースコンタクトホールを通して前記ソース領域と連結されるソース電極と前記ドレインコンタクトホールを通してドレイン領域と連結されるドレイン電極を形成する段階を含む。

【0028】

本発明の第2特徴による多結晶薄膜トランジスタ製造方法は、基板上部に非晶質シリコン層を形成する段階と；前記非晶質シリコン層の上部に触媒金属を蒸着する段階と；前記触媒金属が蒸着された非晶質シリコン層上部に前記非晶質シリコン層と接触して第1方向に相互離隔された第1及び2電極と前記第1方向と垂直な第2方向に相互離隔された第3及び4電極を配置する段階と；前記非晶質シリコン層を第1温度で加熱しながら同時に前記第1及び2電極に第1電圧を印加して前記第3及び4電極に第2電圧を印加して多結晶シリコン層を形成する段階と；前記多結晶シリコン層をパターンしてアクティブ層を形成する段階と；前記アクティブ層上にゲート絶縁膜を形成する段階と；前記アクティブ層上部のゲート絶縁膜上にゲート電極を形成する段階と；前記アクティブ層に不純物をドーピングしてソース及びドレイン領域を形成する段階と；前記ゲート電極上部にソース領域を露出する前記ソースコンタクトホールと前記ドレイン領域を露出するドレインコンタクトホールを有する層間絶縁膜を形成する段階と；前記層間絶縁膜上部に前記ソースコンタクトホールを通して前記ソース領域と連結されるソース電極と前記ドレインコンタクトホールを通してドレイン領域と連結されるドレイン電極を形成する段階を含む。

【発明の効果】

【0029】

前述したように非晶質先行膜上/下側と左/右側から各々または同時に高電圧を印加して結晶化を進めるようになれば、均等した分布の結晶粒でなされた多結晶シリコン膜を形成することができ、これを含んで製作された多結晶薄膜トランジスタは移動度が改善され

10

20

30

40

50

て漏れ電流レベルが低くなり作動特性が改善される効果がある。

【発明を実施するための最良の形態】

【0030】

以下、添付した図面を参照しながら本発明の実施例を説明する。

- - 第1実施例 - -

本発明は基板の1方向に相互離隔された電極を構成して一次で結晶化を進めて、前記電極を一次結晶化工程とは垂直な方向で構成して結晶化を進めることを特徴とする。

【0031】

図2Aないし図2Cは、非晶質シリコン膜を結晶化するための非晶質先行膜と電極の形状を示した斜視図である。図2Aに示したように、基板100上に酸化シリコン(SiO₂)のようなシリコン絶縁物質を蒸着してバッファ層102を形成する。前記バッファ層102は、工程中基板100の表面に湧出されるアルカリ系物質を遮断するためのものであって、基板がアルカリ系物質で形成された場合有用である。

10

【0032】

次に、前記バッファ層102の上部に非晶質シリコン(a-Si:H)を蒸着した後、脱水素化工程を進めて非晶質先行膜104を形成する。前記脱水素化工程は、非晶質先行膜104が水素を含んでいるために進行しなければならない工程である。なぜなら、前記水素は350以上において薄膜を抜け出すために結晶化工程中水素が抜け出すようになれば決定票面に数多くの欠陥が発生するようになるためである。したがって、これを未然に防止すべく脱水素化工程を進める。但し、場合によっては前記脱水素化工程を進めない場合もある。

20

【0033】

図2Bに示したように、前記非晶質先行膜104の表面にニッケル(Ni)のような触媒金属106を蒸着する工程を進める。このとき、触媒金属は極微量を蒸着する。

【0034】

さらに、図2Cに示したように、前記非晶質先行膜104が形成された基板100を平板状のヒーター118に乗せた後、前記非晶質先行膜114の一侧と他側に各々第1及び2電極120a、120bを接触させる。前記第1及び2電極120a、120bは第1方向D₁に平行した棒状であり、前記第1方向D₁と実質的に垂直な第2方向D₂に一定間隔離隔されて配置される。

30

【0035】

次に、前記ヒーター118に熱を加えた状態で前記第1及び2電極120a、120bを通して500V~2000Vの範囲内の高電圧を印加して、前記非晶質先行膜104を一次で結晶化する。このとき、前記第1及び2電極120a、120b間には前記第2方向D₂に平行した第1電界E₁が形成され、前記触媒金属106は前記第1電界E₁によって前記第2方向D₂への拡散が促進されるので結晶化が加速される。

【0036】

次に、図2Dに示したように、前記一次結晶化時の第1及び第2電極120a、120bの構成方向と垂直な方向に第3及び4電極120c、120dを構成する。すなわち、前記第3及び4電極120c、120dは前記第2方向D₂に平行した棒状であり、前記第1方向D₁に一定間隔離隔されて配置される。次に、前記第3及び4電極120c、120dを通して500V~2000Vの範囲内の高電圧を印加して、前記一次結晶化された膜122を二次で結晶化して最終的に結晶化を完了する。このとき、前記第3及び4電極120c、120d間には前記第1方向D₁に平行した第2電界E₂が形成され、前記触媒金属106は前記第2電界E₂によって前記第1方向D₁への拡散が促進されて結晶化が加速される。

40

【0037】

前述したような工程を通して結晶化された多結晶シリコン膜は、従来に比べて均等した分布の結晶粒で構成されることができ、前述したような決定方法を通して結晶化された多結晶シリコン層をアクティブ層として用いた薄膜トランジスタの特性を以下グラフを通

50

して説明する。

【0038】

図3は、従来の工程を通して形成した多結晶シリコン層を含む薄膜トランジスタを対象として測定したものであって、図4は本発明の工程を通して形成した多結晶シリコン層を含んだ薄膜トランジスタを対象にして測定したものである。これらの図は、 V_{ds} を-10Vに固定して、ゲート電圧を変化してあらわれるドレイン電流 I_d の特性を示したものである。

【0039】

図3と図4を比較すると、従来の場合には移動度が $39.1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ を示し、本発明の場合には移動度が $49 \text{ cm}^2 / \text{V} \cdot \text{sec}$ を示している。また、ゲート電圧 V_g の0Vから10V間を見れば、漏れ電流(I_{off})レベルが本発明の場合にはるかに低いことが分かる。したがって、本願発明のように電極の位置を上/下とこれに垂直な左/右方向に変えながら結晶化工程を進めることが作動特性に有利な素子を得ることができることを証明できる。

【0040】

以下、第2実施例を通して本発明の変形例を説明する。

- - 第2実施例 - -

本発明の第2実施例は、非晶質先行膜の上/下と左/右方向に同時に電極を接触して高電圧を印加して結晶化工程を進めることを特徴とする。

【0041】

図5は、本発明の第2実施例による電極の構成を示した図面である。図示したように、基板200上にバッファ層202を形成し、バッファ層202の上部に触媒金属206が蒸着された非晶質先行膜204を形成してこれをホットプレート218上に固定する。

【0042】

次に、前記非晶質先行膜204の上/下と左/右方向に各々第1ないし4電極210a、210b、210c、210dを構成する。前記第1及び2電極210a、210bは第1方向 D_1 に平行した棒状を有し、前記第1方向 D_1 に実質的に垂直である第2方向 D_2 には一定間隔離隔されて配置される。また、前記第3及び4電極210c、210dは第2方向 D_2 に平行した棒状を有し、前記第1方向 D_1 には一定間隔離隔されて配置される。このとき、相互対向する電極の任意の片側は(+)電極または(-)電極としての役割を有する。

【0043】

前述したように、非晶質先行膜204の上部に電極を構成するが、第1及び2電極210a、210bと第3及び4電極210c、210dは相互に5cm~7cmの離隔距離 L を置いて構成する。このとき、前記第1及び2電極210a、210bと第3及び4電極210c、210dの位置が近づけば、結晶化に及ぼす電流よりは対向しないで隣接した電極210aと210cまたは210bと212d間の電流が多くなるために結晶化の助けにならない。

【0044】

また、前記第1及び2電極210a、210bと第3及び4電極210c、210dは、各々第1及び第2電源 V_1 、 V_2 に独立的に連結されて結晶化に最適化された影響を及ぼすことができる高電圧を各々独立的に印加することができるようにする。

【0045】

図5の構成は、前記第1及び2電極210a、210bと第3及び4電極210c、210dが各々対をなして二個の独立的な電源に連結された構成であるが、場合によっては以下図6に示したように、相互近接した電極210aと210dまたは210bと210cが同一性質を有する電極として連結されて一つの電源 V から電圧を受けるように構成することができる。

【0046】

前述したような図5と図6の構成により非晶質先行膜を多結晶シリコンで形成すること

10

20

30

40

50

ができる。

【0047】

以下、前述したような第1及び第2実施例を通して結晶化された多結晶シリコン膜を含んだ多結晶薄膜トランジスタの製造工程を図7Aないし図7Dを参照して説明する。

まず、図7Aに示したように、バッファ層302が形成された基板300上に前述したような結晶化工程を通して結晶化された多結晶シリコン膜をパターニングして、アイランド状のアクティブ層314を形成する。

【0048】

連続して、前記アクティブ層314の上部に窒化シリコン(SiN_2)または酸化シリコン(SiO_2)を蒸着してゲート絶縁膜316を形成する。前記アクティブ層314は、チャンネル領域314aと、不純物がドーピングされてオーミック領域になるソース及びドレイン領域314b、314cを有する。

10

【0049】

図7Bに示したように、前記ゲート絶縁膜316が形成された基板300の全面にアルミニウム(Al)とアルミニウム合金を含む低抵抗金属を蒸着してパターニングして、前記チャンネル領域314aに対応するゲート絶縁膜316上にゲート電極318を形成する。連続して、前記ゲート電極318が形成された基板300の全面に n^+ または p^+ 不純物イオンをドーピングして前記ソース及びドレイン領域314b、314cをオーミック領域として形成する。

【0050】

20

このとき、前記イオンドーピングは、イオン注入(implantation)方法を用いるようになれば前記不純物イオンがドーピングされたソース及びドレイン領域314b、314cの表面を甚だしく傷つけられる状態になる。したがって、所定の温度を加えて活性化工程を進めて前記ソース及びドレイン領域314b、314cの表面が元来の状態に回復させて、ドーピングされたイオンが活性化及び拡散されるようにする。場合によって、前記ゲート絶縁膜316は、前記ゲート電極318をエッチストッパー(etch stopper)としてエッチングできる。

【0051】

次に、図7Cに示したように、前記ゲート電極318が形成された基板300の全面に前述したような絶縁物質を蒸着して層間絶縁膜320を形成する。連続して、前記層間絶縁膜320をパターニングして、前記チャンネル領域314a両側のソース及びドレイン領域314b、314cを各々露出する第1コンタクトホール322と第2コンタクトホール324を形成する。

30

【0052】

次に、図7Dに示したように、前記層間絶縁膜320が形成された基板300の全面に銅(Cu)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、タンタル(Ta)、チタン(Ti)等を含む導電性金属グループ中選択された一つを蒸着してパターニングして、前記露出されたソース及びドレイン領域314b、314cと各々接触するソース電極326とドレイン電極328を形成する。

前述したような工程を通して本発明による多結晶薄膜トランジスタを製作することができる。

40

【図面の簡単な説明】

【0053】

【図1A】非晶質シリコン膜の結晶化工程を従来の工程順序に従って説明するための工程断面図である。

【図1B】図1Aに続く工程順序の断面図である。

【図1C】図1Bに続く工程順序の断面図である。

【図1D】図1Cに続く工程順序の断面図である。

【図2A】非晶質シリコン膜の結晶化工程を本発明の第1実施例の工程順序に従って説明するための工程断面図である。

50

【図 2 B】図 2 A に続く工程順序の断面図である。

【図 2 C】図 2 B に続く工程順序の断面図である。

【図 2 D】図 2 C に続く工程順序の断面図である。

【図 3】従来によって製作された多結晶シリコン膜を含む薄膜トランジスタのドレイン電流特性を示したグラフである。

【図 4】本発明によって製作された多結晶シリコン膜を含む薄膜トランジスタのドレイン電流特性を示したグラフである。

【図 5】本発明の第 2 実施例による電極構成を示した斜視図である。

【図 6】本発明の第 2 実施例の変形された電極構成を示した斜視図である。

【図 7 A】本発明による多結晶シリコン薄膜トランジスタの製造工程を工程順序に従って説明するための工程断面図である。 10

【図 7 B】図 7 A に続く工程順序の断面図である。

【図 7 C】図 7 B に続く工程順序の断面図である。

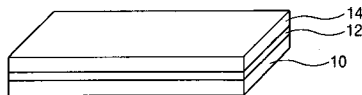
【図 7 D】図 7 C に続く工程順序の断面図である。

【符号の説明】

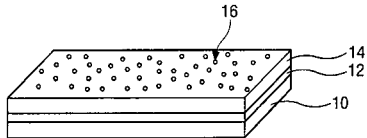
【 0 0 5 4 】

1 0 0 : 基板、 1 0 2 : パツファ層、 1 0 4 : 非晶質シリコン層、 1 0 6 : 触媒金属、
1 1 8 : ホツプレート、 1 2 0 a、 1 2 0 b、 1 2 0 c、 1 2 0 d : 第 1 ないし 4 電極

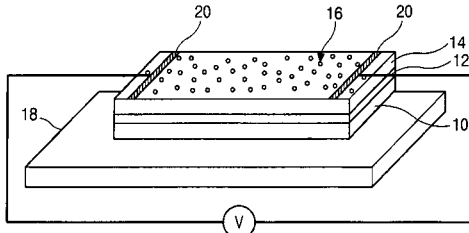
【図 1 A】



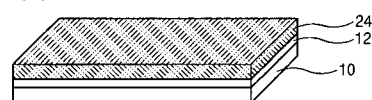
【図 1 B】



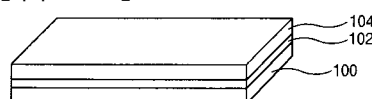
【図 1 C】



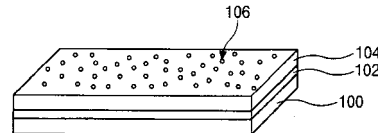
【図 1 D】



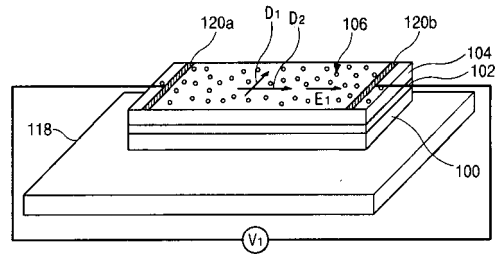
【図 2 A】



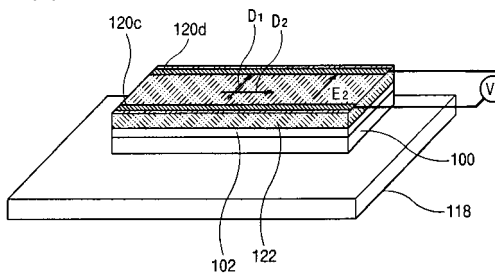
【図 2 B】



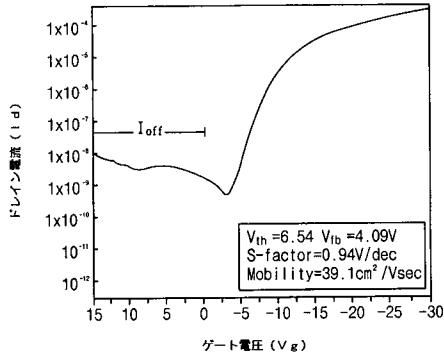
【図 2 C】



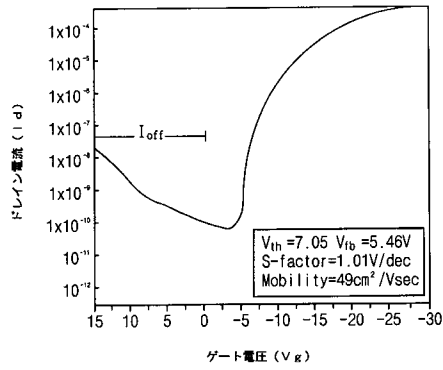
【図 2 D】



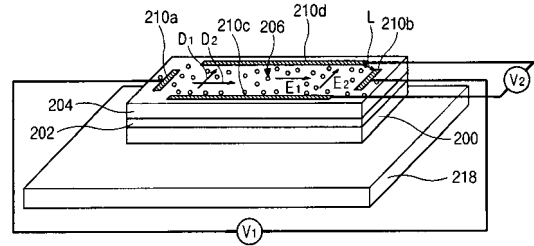
【 図 3 】



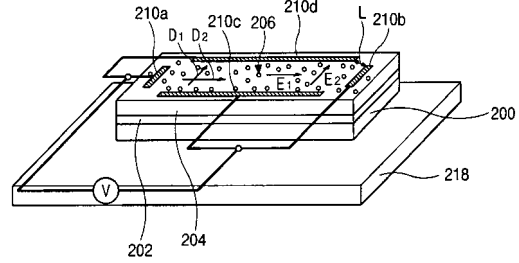
【 図 4 】



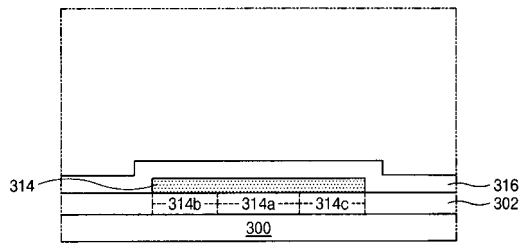
【 図 5 】



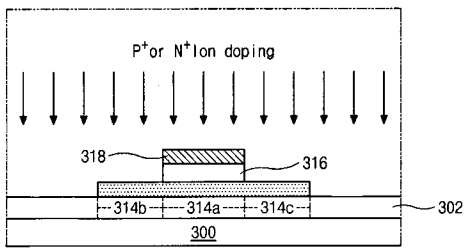
【 図 6 】



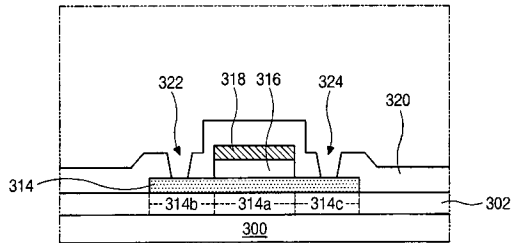
【 図 7 A 】



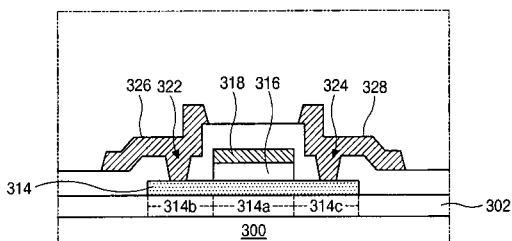
【 図 7 B 】



【 図 7 C 】



【 図 7 D 】



フロントページの続き

(72)発明者 ビン・キム

大韓民国、158-771 ソウル、ヤンチョン-グ、シンジョン7-ドン、モクトン・アパートメント 1107-1307

(72)発明者 ヘ-ヨル・キム

大韓民国、431-070 キョンギ-ド、アニャン-シ、ドンガン-グ、ピョンチョン-ドン、チョウン-ソングァン・アパートメント 103-701

(72)発明者 チョン-ウク・ベ

大韓民国、158-076 ソウル、ヤンチョン-グ、シンジョン6-ドン、モクトン・アパートメント 808-1208

審査官 和瀬田 芳正

(56)参考文献 特開2001-237443(JP,A)

Jin Jang, Electric-field-enhanced crystallization of amorphous silicon, Nature, 1998年10月1日, 395巻, pp. 481-483

Soo Young Yoon, Low temperature solid phase crystallization of amorphous silicon at 380, Journal of Applied Physics, 1998年12月1日, 84巻, 11号, pp. 6463-6465

(58)調査した分野(Int.Cl., DB名)

H01L 21/20

H01L 21/336

H01L 29/786

Science Citation Index Expanded(Web of Science)