

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-272224

(P2007-272224A)

(43) 公開日 平成19年10月18日(2007.10.18)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 641A	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 15 O L (全 43 頁) 最終頁に続く		

(21) 出願番号 特願2007-60277 (P2007-60277)
 (22) 出願日 平成19年3月9日(2007.3.9)
 (31) 優先権主張番号 特願2006-65902 (P2006-65902)
 (32) 優先日 平成18年3月10日(2006.3.10)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100065385
 弁理士 山下 穰平
 (74) 代理人 100122921
 弁理士 志村 博
 (74) 代理人 100130029
 弁理士 永井 道雄
 (72) 発明者 安部 勝美
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 (72) 発明者 雲見 日出也
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

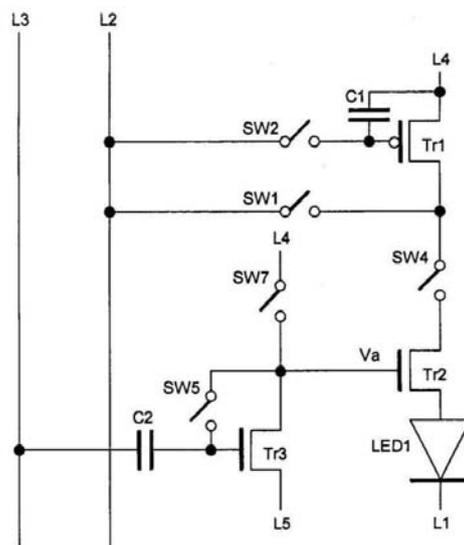
(54) 【発明の名称】 表示素子の駆動回路及び画像表示装置

(57) 【要約】

【課題】 大画面の画像表示装置にも適用できると共に、表示素子の電圧 - 輝度特性の劣化にも対応することが可能な新規な表示素子の駆動回路を提供する。

【解決手段】 表示素子の駆動回路において表示素子（有機EL素子）に供給する電流を設定する第1の期間と、表示素子の階調を設定する第2の期間と、表示素子に駆動電流を供給する第3の期間とを有する。そして、表示素子の駆動回路において、表示素子に一定電流を供給する電流源回路と、電流源回路から表示素子に一定電流を供給する時間を制御する制御回路とを具備する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示素子に供給する電流を設定するための第 1 の期間と、該表示素子の階調を設定するための第 2 の期間と、該表示素子に駆動電流を供給するための第 3 の期間とを含む駆動制御を行うための駆動回路であって、

第 1 のトランジスタと、前記第 1 の期間に前記第 1 のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路から前記表示素子への電流をスイッチする第 2 のトランジスタと、

一方の端子が前記第 2 のトランジスタのゲートに接続された第 3 のトランジスタと、一端が前記第 3 のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第 3 の期間に前記第 2 のトランジスタを制御することにより前記表示素子の発光時間が制御される制御回路とを有し、

10

前記第 2 の期間に、前記容量素子に前記配線から供給された階調電圧と前記第 3 のトランジスタのしきい値電圧との差に基づく電荷が蓄積され、

前記第 3 の期間に、前記第 2 のトランジスタのゲートにはオン電圧が印加されるとともに、前記容量素子の一端にスイープ電圧が印加されることによって、前記第 2 のトランジスタのオン時間が制御されることを特徴とする表示素子の駆動回路。

【請求項 2】

前記スイープ電圧は、前記第 3 のトランジスタのゲート電圧値が、前記しきい値電圧を超えるように、前記容量素子に印加されることを特徴とする請求項 1 に記載の表示素子の駆動回路。

20

【請求項 3】

表示素子に供給する電流を設定するための第 1 の期間と、該表示素子の階調を設定するための第 2 の期間と、該表示素子に駆動電流を供給するための第 3 の期間とを含む駆動制御を行うための駆動回路であって、

第 1 のトランジスタと、前記第 1 の期間に前記第 1 のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路から前記表示素子への電流をスイッチする第 2 のトランジスタと、

30

一方の端子が前記第 2 のトランジスタのゲートに接続された第 3 のトランジスタと、一端が前記第 3 のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第 3 の期間に前記第 2 のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路とを有し、

前記第 2 の期間に前記配線から一定電圧が印加された後、階調電圧が印加され、前記容量素子には階調電圧と前記第 3 のトランジスタのしきい値電圧との差に基づく電荷が蓄積され、

前記第 3 の期間に前記第 2 のトランジスタのゲートに前記第 3 のトランジスタを通して当該第 2 のトランジスタがオンする電圧が印加された後、前記容量素子にスイープ電圧が印加されることによって、前記第 2 のトランジスタのオン時間が制御されることを特徴とする表示素子の駆動回路。

40

【請求項 4】

表示素子に供給する電流を設定する第 1 の期間と、前記表示素子の階調を設定する第 2 の期間と、前記表示素子に駆動電流を供給する第 3 の期間とを有する表示素子の駆動回路において、

第 1 のトランジスタと、前記第 1 の期間に前記第 1 のトランジスタのゲートを前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記第 1 のトランジスタと直列に接続された第 2 のトランジスタと、一端が前記第 2 のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第 3

50

の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路とを有し、

前記第2の期間に前記容量素子に前記配線から供給された階調電圧と前記第2のトランジスタのゲート電圧との差に基づく電荷が蓄積され、

前記第3の期間に前記容量素子の一端にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間が制御されることを特徴とする表示素子の駆動回路。

【請求項5】

表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有する表示素子の駆動回路において、

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートを前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路と直列に接続され、前記表示素子と並列に接続された第2のトランジスタと、一方の端子が前記第2のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路とを有し、

前記第1の期間に前記配線から一定電圧が印加され、

前記第2の期間に前記配線から階調電圧が印加され、且つ、前記第2のトランジスタのゲートと一方の端子とが短絡され、前記容量素子には階調電圧と前記第2のトランジスタのゲート電圧との差に基づく電荷が蓄積され、

前記第3の期間に前記容量素子の一端にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間を制御されることを特徴とする表示素子の駆動回路。

【請求項6】

表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための駆動回路であって、

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路から前記表示素子への電流をスイッチする第2のトランジスタと、

一方の端子が前記第2のトランジスタのゲートに接続された第3のトランジスタと、一端が前記第3のトランジスタのゲートに接続され、他端がスイッチを介して、配線に接続される容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間が制御される制御回路とを有し、

前記第2の期間に、前記容量素子に前記配線から供給された階調電圧と前記第3のトランジスタのしきい値電圧との差に基づく電荷が蓄積され、

前記第3の期間に、前記第2のトランジスタのゲートにはオン電圧が印加されるとともに、前記容量素子にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間が制御されることを特徴とする表示素子の駆動回路。

【請求項7】

前記第2のトランジスタにおいて、前記一定電流がサブスレシヨールド領域の電流であり、オフ電流が前記一定電流の0.1%以下であることを特徴とする請求項1から6のいずれか1項に記載の表示素子の駆動回路。

【請求項8】

前記第1から第3のトランジスタ及び前記スイッチ素子は薄膜トランジスタであることを特徴とする請求項1から7のいずれか1項に記載の表示素子の駆動回路。

【請求項9】

前記薄膜トランジスタは、アモルファス酸化物半導体膜をチャネル膜として用いていることを特徴とする請求項8に記載の表示素子の駆動回路。

10

20

30

40

50

【請求項 10】

前記薄膜トランジスタは、n型薄膜トランジスタ又はp型薄膜トランジスタのみで構成されていることを特徴とする請求項9に記載の表示素子の駆動回路。

【請求項 11】

前記表示素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項1から10のいずれか1項に記載の表示素子の駆動回路。

【請求項 12】

基板上に、表示素子と、請求項1から10のいずれか1項に記載の表示素子の駆動回路とがマトリクス状に配置されていることを特徴とする画像表示装置。

【請求項 13】

表示素子に供給する電流を設定するための第1の期間と、前記表示素子の階調を設定するための第2の期間と、前記表示素子に駆動電流を供給するための第3の期間とを有する表示素子の駆動回路において、

前記第1の期間に前記表示素子に供給する一定電流に応じた値を保持する保持回路を有する電流源回路と、前記第2の期間に供給された階調電圧に応じて前記第3の期間に前記電流源回路から前記表示素子に一定電流を供給する時間を制御する制御回路とを備え、

前記電流源回路は、少なくとも第1のトランジスタを備え、

前記制御回路は、前記電流源回路と前記表示素子の間にソース・ドレインが直列に接続し、ゲートが直接、あるいはスイッチを経由して容量素子の一端に接続しており、前記一定電流が、ゲート電圧・ドレイン電流特性のサブスレショルド領域にあり、かつオフ電流が前記一定電流の0.1%以下である第2のトランジスタを備え、

前記第3の期間において、前記第2のトランジスタのゲート電圧を経時的に変え、前記第2のトランジスタのソース・ドレイン間がオンする時間を制御することで、前記表示素子への一定電流を供給する時間を制御することを特徴とする表示素子の駆動回路。

【請求項 14】

表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有する表示素子の駆動回路において、

前記第1の期間に前記表示素子に供給する一定電流に応じた値を保持する保持回路を有する電流源回路と、前記第2の期間に供給された階調電圧に応じて前記第3の期間に前記電流源回路から前記表示素子に一定電流を供給する時間を制御する制御回路とを備え、

前記電流源回路は、少なくとも第1のトランジスタを備え、

前記制御回路は、電流源回路に対し、前記表示素子とソース・ドレインが並列に接続し、ゲートが直接、あるいはスイッチを経由して容量素子の一端に接続し、前記一定電流がゲート電圧・ドレイン電流特性のサブスレショルド領域にあり、かつオフ電流が前記一定電流の0.1%以下である第2のトランジスタを備え、

前記第3の期間において、前記第2のトランジスタのゲート電圧を経時的に変え、前記第2のトランジスタのソース・ドレイン間がオフする時間を制御することで、前記表示素子への一定電流を供給する時間を制御することを特徴とする表示素子の駆動回路。

【請求項 15】

前記第2のトランジスタのゲートとソース(又はドレイン)が接続している第3のトランジスタを備え、前記第3のトランジスタのゲートが前記容量素子の一端に接続していることを特徴とする請求項13に記載の表示素子の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス(Electro-Luminescence以下EL)素子等の表示素子を駆動する表示素子の駆動回路及びそれを用いた画像表示装置に関するものである。

【背景技術】

10

20

30

40

50

【0002】

従来、有機EL素子と駆動回路で構成される画素をマトリクス状に備えた発光表示デバイスとしてアクティブマトリクス(Active-Matrix, 以下AM)型有機ELディスプレイが検討されている。

【0003】

図23はその画素の構成を、図24はAM型有機ELディスプレイの構成を示す。AM型有機ELディスプレイでは、発光強度を制御することにより階調制御が行われている。

【0004】

有機EL素子の電圧-発光特性は、経時変化すること、また、駆動回路に用いられている薄膜トランジスタ(Thin-Film-Transistor, 以下TFT)の特性にはばらつきがあることが指摘されている。そのため、ばらつきのない表示を実現するには、有機EL素子特性の経時変化やTFTの特性ばらつきの影響を受けにくい駆動回路・駆動方法を用いる必要がある。

10

【0005】

この課題を解決する第一の技術として、図25に示す駆動回路が提案されている(例えば、特許文献1)。TFTの特性ばらつきは、しきい値と移動度のばらつきと見る事ができるが、第一の技術では、駆動回路内のゲート-ドレイン間が短絡したTFT(Tr1)に外部から電流を供給する。そうする事で、TFTのゲートを、TFTのしきい値と移動度に応じて、外部からの電流が流れる電圧とすることができる。

【0006】

この後、ゲート電圧を保持した後に電流経路を有機EL素子LED1に向ければ、TFTのゲート-ソース間電圧が外部からの電流が流れた電圧と同じとなる。そのため、TFTは外部からの電流と同じ大きさの一定電流を供給する電流源として働き、外部からの電流と同じ大きさの電流を前記有機EL素子に流すことができる。

20

【0007】

従って、第一の技術では、外部からの電流にばらつきがなければ、TFTの特性ばらつきに拘わらず、有機EL素子に一定の電流を供給でき、ばらつきのない表示が可能となる。

【0008】

また、上述の課題を解決する第二の技術として、図26に示す駆動回路が提案されている(特許文献2)。第二の技術は、電圧比較器(CMP)と、電圧比較器の出力がゲートに接続され、ソースとドレインが電源と有機EL素子LED1に接続されたスイッチTFT(Tr1)を備えている。

30

【0009】

第二の技術では、電圧比較器の入力に参照アナログ電圧を保持した後に適当な範囲のスweep電圧を順に印加する。電圧比較器は、スweep電圧が参照電圧に比べ高く(低く)なると高レベル(低レベル)の電圧を出力し、スイッチTFTがON(OFF)するため、有機EL素子への電圧印加のオンオフを制御することができる。従って、スweep電圧の印加波形により有機EL素子の発光時間を制御でき、多階調の表示が可能となる。

【特許文献1】特表2002-517806号公報

40

【特許文献2】特開2003-223136号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

現在、有機EL素子の電流-輝度特性の向上が進み、有機EL素子への供給電流は低下している。従って、特に低階調に相当する低い電流の場合、第一の従来技術では、駆動回路内のTFTのゲートを、TFTのしきい値と移動度に応じて、外部からの電流が流れる電圧とする動作に時間がかかるようになり、大画面の表示装置に適用する事が困難である。

【0011】

50

一方、第二の従来技術では、駆動回路内のスイッチングTFTにより有機EL素子には電圧が印加されるため、有機EL素子の電圧-輝度特性の劣化による輝度低下に対応できないという課題がある。

【0012】

本発明の目的は、大画面の画像表示装置にも適用できると共に、表示素子の電圧-輝度特性の劣化にも対応することが可能な表示素子の駆動回路及びそれを用いた画像表示装置を提供することにある。

【課題を解決するための手段】

【0013】

本発明に係る駆動回路は、表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有することを特徴とする。そして、本発明は、表示素子の駆動回路において、前記表示素子に一定電流を供給する電流源回路と、前記電流源回路から表示素子に一定電流を供給する時間を制御する制御回路とを具備する。

10

【0014】

そして、前記電流源回路は前記第1の期間に前記表示素子に供給する一定電流に応じた値を保持する保持回路を有する。更に、前記制御回路は前記第2の期間に供給された階調電圧に応じて前記第3の期間において前記電流源回路から前記表示素子に一定電流を供給する時間を制御する。

【0015】

20

第1の本発明の骨子は、表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための駆動回路であって、

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路から前記表示素子への電流をスイッチする第2のトランジスタと、

一方の端子が前記第2のトランジスタのゲートに接続された第3のトランジスタと、一端が前記第3のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発

30

光時間が制御される制御回路とを有し、
前記第2の期間に、前記容量素子に前記配線から供給された階調電圧と前記第3のトランジスタのしきい値電圧との差に基づく電荷が蓄積され、

前記第3の期間に、前記第2のトランジスタのゲートにはオン電圧が印加されるとともに、前記容量素子にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間が制御されることを特徴とする。

【0016】

40

第2の本発明の骨子は、表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための駆動回路であって、

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路から前記表示素子への電流をスイッチする第2のトランジスタと、

一方の端子が前記第2のトランジスタのゲートに接続された第3のトランジスタと、一端が前記第3のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発

光時間を制御する制御回路とを有し、
前記第2の期間に前記配線から一定電圧が印加された後、階調電圧が印加され、前記容量素子には階調電圧と前記第3のトランジスタのしきい値電圧との差に基づく電荷が蓄積

50

され、

前記第3の期間に前記第2のトランジスタのゲートに前記第3のトランジスタを通して当該第2のトランジスタがオンする電圧が印加された後、前記容量素子にスイープ電圧が印加されることにより、前記第2のトランジスタのオン時間が制御されるのが特徴である。

【0017】

第3の本発明の骨子は、表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有する表示素子の駆動回路において、

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートを前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と

10

、前記第1のトランジスタと直列に接続された第2のトランジスタと、一端が前記第2のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路とを有し、

前記第2の期間に前記容量素子に前記配線から供給された階調電圧と前記第2のトランジスタのゲート電圧との差に基づく電荷が蓄積され、

前記第3の期間に前記容量素子にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間が制御されることを特徴とする。

20

【0018】

第4の本発明の骨子は、表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有する表示素子の駆動回路において、

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートを前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と

、前記電流源回路と直列に接続され、前記表示素子と並列に接続された第2のトランジスタと、一方の端子が前記第2のトランジスタのゲートに接続され、他端が配線に接続された容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路とを有し、

30

前記第1の期間に前記配線から一定電圧が印加され、

前記第2の期間に前記配線から階調電圧が印加され、且つ、前記第2のトランジスタのゲートと一方の端子とが短絡され、前記容量素子には階調電圧と前記第2のトランジスタのゲート電圧との差に基づく電荷が蓄積され、

前記第3の期間にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間を制御されることを特徴とする。

【0019】

第5の本発明の骨子は、表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための駆動回路であって、

40

第1のトランジスタと、前記第1の期間に前記第1のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路とを有する電流源回路と、

前記電流源回路から前記表示素子への電流をスイッチする第2のトランジスタと、

一方の端子が前記第2のトランジスタのゲートに接続された第3のトランジスタと、一端が前記第3のトランジスタのゲートに接続され、他端がスイッチを介して、配線に接続される容量素子とを含み、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間が制御される制御回路とを有し、

前記第2の期間に、前記容量素子に前記配線から供給された階調電圧と前記第3のトラン

50

ンジスタのしきい値電圧との差に基づく電荷が蓄積され、

前記第3の期間に、前記第2のトランジスタのゲートにはオン電圧が印加されるとともに、前記容量素子にスイープ電圧が印加されることによって、前記第2のトランジスタのオン時間が制御されることを特徴とする。

【0020】

また、別の本発明に係る画像表示装置は、基板上に、前記第1から第5の本発明に係る駆動回路と表示素子とがマトリクス状に配置されていることを特徴とする。

【0021】

別の本発明に係る表示素子の駆動回路は、前記第1から第5の本発明に係る駆動回路において、前記制御回路内に電流源を備え、

10

前記電流源が、前記容量素子の一端に電荷を供給、あるいは電荷を取り去ることで、前記制御回路内で前記スイープ電圧を形成することを特徴とする。

【0022】

また、別の本発明に係る表示素子の駆動回路は、前記第1から第4の本発明に係る駆動回路において、前記第2のトランジスタにおいて、前記一定電流がサブスレシールド領域の電流であり、オフ電流が前記一定電流の0.1%以下である事を特徴とする。

【0023】

また、別の本発明に係る表示素子の駆動回路は、表示素子に供給する電流を設定するための第1の期間と、前記表示素子の階調を設定するための第2の期間と、前記表示素子に駆動電流を供給するための第3の期間とを有し、

20

前記第1の期間に前記表示素子に供給する一定電流に応じた値を保持する保持回路を有する電流源回路と、前記第2の期間に供給された階調電圧に応じて前記第3の期間に前記電流源回路から前記表示素子に一定電流を供給する時間を制御する制御回路とを備え、

前記電流源回路は、少なくとも第1のトランジスタを備え、

前記制御回路は、前記電流源回路と前記表示素子の間にソース・ドレインが直列に接続し、ゲートが直接、あるいはスイッチを経由して容量素子の一端に接続しており、前記一定電流が、ゲート電圧・ドレイン電流特性のサブスレシールド領域にあり、かつオフ電流が前記一定電流の0.1%以下である第2のトランジスタを備え、

前記第3の期間において、前記第2のトランジスタのゲート電圧を経時的に変え、前記第2のトランジスタのソース・ドレイン間がオンする時間を制御することで、前記表示素子への一定電流を供給する時間を制御することを特徴とする。

30

【0024】

また、別の本発明に係る表示素子の駆動回路は、表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有し、

前記第1の期間に前記表示素子に供給する一定電流に応じた値を保持する保持回路を有する電流源回路と、前記第2の期間に供給された階調電圧に応じて前記第3の期間に前記電流源回路から前記表示素子に一定電流を供給する時間を制御する制御回路とを備え、

前記電流源回路は、少なくとも第1のトランジスタを備え、

前記制御回路は、電流源回路に対し、前記表示素子とソース・ドレインが並列に接続し、ゲートが直接、あるいはスイッチを経由して容量素子の一端に接続し、前記一定電流がゲート電圧・ドレイン電流特性のサブスレシールド領域にあり、かつオフ電流が前記一定電流の0.1%以下である第2のトランジスタを備え、

40

前記第3の期間において、前記第2のトランジスタのゲート電圧を経時的に変え、前記第2のトランジスタのソース・ドレイン間がオフする時間を制御することで、前記表示素子への一定電流を供給する時間を制御することを特徴とする。

【発明の効果】

【0025】

本発明によれば、大画面の画像表示装置へも適用ができると共に、表示素子の電圧・輝度特性の劣化による輝度の変化を低減できる新規な駆動回路を提供できる。

50

【発明を実施するための最良の形態】

【0026】

次に、発明を実施するための最良の形態について図面を参照して詳細に説明する。なお、以下の実施形態では、有機EL素子を用いた場合の例を説明するが、本発明は有機EL素子に限定されるものではなく、他の表示素子の駆動にも適用できる。

【0027】

(第一の実施形態)

本実施形態に係る駆動回路について説明する。図1を用いてその回路構成について説明する。ここでいう駆動回路とは、表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための駆動回路である。

10

【0028】

本発明に係る駆動回路は、第1のトランジスタ($T r 1$)と、第1の期間に第1のトランジスタのゲート電圧を表示素子(例えば、LED1)に供給する一定電流に応じた電圧に保持するための保持回路(例えば、C1である。)とを有する電流源回路を有する。

【0029】

更に、前記電流源回路から前記表示素子への電流をスイッチする第2のトランジスタ($T r 2$)を有する。

【0030】

そして、ソース又はドレインのいずれか一方の端子が第2のトランジスタのゲートに接続された第3のトランジスタ($T r 3$)と、一端が第3のトランジスタのゲートに接続され、他端が配線(L3)に接続された容量素子(C2)とを含む。そして第3の期間に第2のトランジスタを制御することにより表示素子の発光時間が制御される制御回路とを有する。

20

【0031】

ここで、前記第2の期間に、前記容量素子(C2)に前記配線から供給された階調電圧と前記第3のトランジスタのしきい値電圧との差に基づく電荷が蓄積される。

【0032】

次に、前記第3の期間に、前記第2のトランジスタ($T r 2$)の制御端子にはオン電圧が印加されるとともに、前記配線から前記容量素子にスイープ電圧が印加されることにより、前記第2のトランジスタのオン時間が制御される。

30

【0033】

斯かる構成により、表示素子に定電流を供給して駆動する場合に、その供給期間を制御できる。

【0034】

以下、駆動回路を構成する具体的な構成要素と、タイミングチャートを利用して、本実施形態に斯かる発明を詳述する。なお、上述したトランジスタのゲートとは、ゲート電極を意味する。

【0035】

本発明の第一の実施形態の構成を図1に示す。本実施形態では、一端が第一の配線L1に接続されている有機EL素子LED1と、有機EL素子LED1を駆動する駆動回路を備えている。駆動回路は以下のように構成されている。

40

【0036】

まず、ソースが第一の容量C1の一端と第四の配線L4に、ゲートが第一の容量C1の他の一端に接続されている第一のトランジスタであるp型トランジスタ $T r 1$ を備えている。また、一端が第一のトランジスタ $T r 1$ のドレインに接続され、他の一端が第二の配線L2に接続された第一のスイッチSW1と、一端が第一のトランジスタ $T r 1$ のゲートに接続され、他の一端が配線L2に接続された第二のスイッチSW2を備えている。

【0037】

これら第一の容量C1、第一のトランジスタ $T r 1$ 、第一のスイッチSW1、第二のス

50

スイッチSW2は電流源回路を構成している。

【0038】

更に、一端が第一のトランジスタTr1のドレインと接続されている第四のスイッチSW4を備えている。また、ソースが有機EL素子LED1の配線L1に接続されていない側の一端と接続され、ドレインが第一のトランジスタTr1のドレインに第四のスイッチSW4を介して接続されている第二のトランジスタであるn型トランジスタTr2を備えている。

【0039】

また、一端が第二のトランジスタTr2のゲートに第五のスイッチSW5を介して接続され、他の一端が第三の配線L3に接続されている第二の容量C2を備えている。また、ドレインとソースのいずれか一端が第五の配線L5に接続されている第三のトランジスタであるn型トランジスタTr3を備えている。

10

【0040】

第三のトランジスタTr3のゲートは第二の容量C2と第五のスイッチSW5の一端に接続され、ソースとドレインの他の一端は第二のトランジスタTr2のゲートとスイッチSW5の他の一端と接続されている。また、一端が第二のトランジスタTr2のゲートに、他の一端が配線L4に接続されている第七のスイッチSW7を備えている。

【0041】

これら第二のトランジスタTr2、第三のトランジスタTr3、第二の容量C2、スイッチSW4、SW5、SW7は、有機EL素子LED1の発光時間を制御する制御回路を構成している。

20

【0042】

本実施形態の動作のタイミングチャートを図2に示す。なお、配線L1、L4、L5には一定電圧VSS1、VDD1、VSS2が印加され、配線L2には一定電流Idが供給されている。第二のトランジスタTr2のゲート電圧はVaとする。

【0043】

まず、図2に示すように電流設定期間において、スイッチSW1、SW2をオンし、スイッチSW4、スイッチSW5、スイッチSW7をオフする。この時、第一のトランジスタTr1には配線L2より電流Idが供給され、安定状態では第一のトランジスタTr1のゲート電圧は、電流Idが流れるような電圧となる。その後、電流設定期間の終了とともにスイッチSW1、SW2をオフするため、電流Idが流れるような電圧が、第一のトランジスタTr1のゲート並びに第一の容量C1に保持される。

30

【0044】

次に、図2に示すように階調設定期間において、まず、スイッチSW5とSW7をオンする。これにより、Vaの電圧が配線L4からのVDD1近くの電圧となる。但し、スイッチSW4がオフであるため、有機EL素子LED1には電流が供給されず、有機EL素子LED1は発光しない。引き続き、スイッチSW7をオフする。

【0045】

その際、配線L3から容量C2の一端に階調電圧Vdを印加する。一方、この時、Vaの電圧は第三のトランジスタTr3のしきい値電圧Vthとなる。従って、第二の容量C2の一端に電圧Vdが印加され、他の一端には電圧Vthが印加される。この時、第二の容量C2には、C2の容量値をC2とすれば、電荷Q2 = C2 × (Vd - Vth)が蓄積される。その後、第五のスイッチSW5がオフすると第二の容量C2は電荷Q2を保持する。

40

【0046】

次に、図2に示すように発光期間において、まず、第七のスイッチSW7をオンする。これにより、Vaの電圧がVDD1となる。次に、スイッチSW7をオフした後、スイッチSW4をオンし、配線L3はVLからVHの範囲の電圧を適当な時間をかけてスイープする。その際、第二の容量C2が電荷Q2を保持するチャージポンプ効果により、配線L3がVLからVd未満の範囲において、第三のトランジスタTr3のゲート電圧がVth

50

以下となる。

【0047】

この時、 V_a の電圧は V_{DD1} を保持し、第二のトランジスタ T_r2 がオンであるため、有機EL素子LED1には、電流 I_d が供給されて発光する。同様に、配線L3が V_d 以上になると、第三のトランジスタ T_r3 のゲート電圧が V_{th} 以上となるため、 V_a の電圧は配線L5の V_{SS2} となる。この時、第二のトランジスタ T_r2 がオフするため、有機EL素子LED1に電流が供給されなくなり、発光しなくなる。

【0048】

このように前記スイープ電圧は、前記第3のトランジスタのゲート電圧値が、前記しきい値電圧を超えるように、前記容量素子に印加される。

10

【0049】

以上の結果、第三のトランジスタ T_r3 の特性である V_{th} にばらつきがあっても、階調設定時に配線L3から印加する階調電圧 V_d に応じて第二のトランジスタ T_r2 をオンからオフに制御できる。そのため、階調電圧 V_d 値により有機EL素子LED1が発光する期間の制御を、トランジスタのばらつきによらず、行うことができる。

【0050】

また、電流設定期間における書き込み電流を大きい電流とし、且つ、電流値一定としているため、低階調に相当する小さい電流であっても電流設定期間の時間を長く必要とせず、高精細、大画面の画像表示装置に使用する事が可能となる。

【0051】

更に、定電流により有機EL素子LED1を駆動しているため、有機EL素子LED1の電圧-輝度特性の劣化による輝度低下に対応できる。

20

【0052】

更に、背景技術の欄で第2の技術として説明したような比較器を用いて表示素子(有機EL素子)を駆動する構成ではないため、比較器のノイズやリーク電流の影響を受けることがなく、有機EL素子の電流が変動することはない。

【0053】

これらの効果は以下の全ての実施形態において同様に得られるものである。

【0054】

なお、スイッチオフ時のリークによる第一の容量 C_1 に保持された電圧変動が小さいならば、電流設定期間をフレーム毎や数フレーム毎に設けることが可能となる。この時、階調設定期間や発光期間をより長く取る事ができる。

30

【0055】

更に、階調設定期間においてスイッチ SW_4 をオンする事で、第二のトランジスタ T_r2 には動作時の電圧が印加されるため、寄生容量の効果を低減できる。但し、この場合、階調設定期間に有機EL素子LED1に電流が流れて発光してしまうが、この階調設定時の発光期間が、階調表示時の発光期間に対し、非常に短い場合には問題とならない。

【0056】

また、スイッチ SW_4 の代わりに、第二のトランジスタ T_r2 と有機EL素子LED1の間に第三のスイッチ SW_3 を設けても、同じ動作並びに機能を実現できる。

40

【0057】

更に、第一のトランジスタ T_r1 としてp型トランジスタの代わりに、n型トランジスタを用いることができる。その場合の回路例を図3に、タイミングチャートを図4に示す。図3では図1と同一部分には同一符号を付している。

【0058】

この場合、第一のトランジスタ T_r1 はソースとゲートの間に第一の容量 C_1 を備えている。また、一端が第一のトランジスタ T_r1 のドレインに接続され、他の一端が第二の配線L2に接続された第一のスイッチ SW_1 と、一端が第一のトランジスタ T_r1 のゲートに接続され、他の一端が配線L2に接続された第二のスイッチ SW_2 を備えている。更に、一端が第四の配線L4に接続され、他の一端が第一のトランジスタ T_r1 のドレイン

50

に接続されている第九のスイッチSW9を備えている。

【0059】

本回路では、図4に示すようにスイッチSW9がスイッチSW1、SW2の反転動作を行い、他の動作を図1の場合と同様に行うことで、同じ機能を実現できる。但し、図4に示すように電流設定期間において電流経路を確保するために、スイッチSW4をオンして有機EL素子LED1に電流を流す。この電流設定時の発光期間が、階調表示時の発光期間に対し、非常に短い場合には問題とならない。

【0060】

また、図5に示すように一端が第一のトランジスタTr1のソースとスイッチSW4の一端に接続され、他の一端が配線L1（あるいは配線L5）に接続された第十のスイッチSW10を備えてもよい。図3との違いは第十のスイッチSW10を設けている点である。その場合のタイミングチャートを図6に示す。

10

【0061】

まず、図6に示すように電流設定期間において、スイッチSW4をオフ、スイッチSW10をオンすることで、有機EL素子LED1とは異なる電流経路ができるため、電流設定時の発光を抑えることができる。スイッチSW10は電流設定期間以外は常にオフとする。

【0062】

また、配線L2と第一のトランジスタTr1のゲート間にあるスイッチSW2を第一のトランジスタTr1のドレインとゲート間に配置しても同じ動作並びに機能を実現できる。これは、第一のトランジスタTr1がp型、n型でも同様である。

20

【0063】

また、図3や図5に示す例のように第一のトランジスタTr1がn型トランジスタの場合には、電流設定期間以外、少なくとも発光期間において、配線L2にVDD1を印加し、スイッチSW1をオンにする。そうすることで、配線L4とスイッチSW9を用いることなく、同じ機能を実現できる。

【0064】

また、例えば、配線L3と第二の容量C2との間にスイッチSW6を設け、階調電圧を保持する事で、Vaの電圧をVthに保持できる。VaがVthの場合に第二のトランジスタTr2がオフし、Vthより大きい場合にオンするような設計をすれば、スイッチSW4の代わりに第二のトランジスタTr2により有機EL素子LED1への電流経路が遮断される。そのため、階調電圧設定期間後に電流設定期間を設ける事で、スイッチSW4が無くとも同じ機能を実現できる。

30

【0065】

また、例えば、図7に示すようにスイッチSW7の代わりに第四のトランジスタTr4を設けても良い。即ち、ソースを配線L4に接続し、ドレインを第三のトランジスタTr3のドレインに接続し、ゲートを第三のトランジスタTr3のゲートと接続した第四のトランジスタとしてp型トランジスタTr4を用いる。その場合のタイミングチャートを図8に示す。図1との違いはスイッチSW7の代わりに第四のトランジスタTr4を用いた点のみである。

40

【0066】

この時、第三、第四のトランジスタTr3、Tr4、スイッチSW5、第二の容量C2で、第三、第四のトランジスタTr3、Tr4の特性ばらつきによるインバータの論理反転電圧(Vinv)ばらつきをキャンセルするインバータ型コンパレータを構成できる。従って、同じ機能を実現できる。

【0067】

また、第二のトランジスタTr2は、有機EL素子LED1に供給する定電流では、しきい値以下のサブスレショールド領域となるような特性を備える事が望ましい。この場合、Tr2のゲート電圧のわずかな変動により、第2のトランジスタTr2はオン、あるいはオフする。従って、有機EL素子LED1に電流を供給するか否かが、速やかに変化さ

50

せることができる。また、 $T r 2$ のオフ電流は、定電流の0.1%以下であれば、階調制御に影響を与えない。

【0068】

第二のトランジスタ $T r 2$ が定電流でサブスレショールド領域となるためには、 $T r 2$ の電流能力を十分高くする必要がある。これは、トランジスタのサイズを大きくする、あるいは移動度の高い半導体をチャンネル層とするトランジスタを用いることで可能である。

【0069】

また、本発明は、基板上に、上述のような有機EL素子LED1とその駆動回路を含む発光表示デバイスをマトリックス状に配置する。そして、電流設定期間や階調設定期間をライン毎に行い、配線L3をカラム毎に準備して階調電圧を供給する事で、マトリックス型発光表示デバイス(画像表示装置)を実現する事が可能である。

10

【0070】

なお、上記説明においては、表示素子の例として有機エレクトロルミネッセンス素子を例に挙げて示したが、本発明はこれに限定されるものではなく、例えば、無機発光素子にも適用できる。

【0071】

また、前述したトランジスタやスイッチ素子は、薄膜トランジスタ(TFT)により構成できる。このTFTの材料としては特に限定されるものではないが、例えば、アモルファスシリコンや、多結晶シリコンや単結晶シリコンをチャンネルに適用できる。また、このチャンネル膜の材料としては、InやZnを含み構成されるアモルファス酸化物半導体膜も利用できる。本実施形態及び以降の実施形態に係る発明において、薄膜トランジスタは、n型薄膜トランジスタ、又はp型薄膜トランジスタが適用される。

20

【0072】

特にアモルファス酸化物半導体膜をチャンネル膜とするTFTは、移動度が高い、オフ電流が小さい、製造も容易などから、望ましいTFTである。更に、本実施形態に係る駆動回路を構成するトランジスタの導電型は、n型あるいはp型のみからの構成になるようにしてもよい。

【0073】

上記説明した駆動回路を各画素毎に設け、そしてそれをマトリックス状に配置することで、画像表示装置を構成することもできる。なお、これら表示素子の例や、トランジスタの材料や導電型などについては、以降の実施形態に係る発明においても、矛盾しない限り適用できる。

30

【0074】

なお、有機EL素子LED素子と記載しているが、有機発光ダイオード(OLED)も適用できる。以下の実施形態でも同様である。

【0075】

(第二の実施形態)

以下に、本実施形態に係る発明について、図9を用いて、その駆動回路の構成要素について説明する。

【0076】

なお、ここでいう駆動回路とは、表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための駆動回路のことである。

40

【0077】

本実施形態において、図9に示すように第1のトランジスタ($T r 1$)と、第1の期間に第1のトランジスタのゲートの電圧を表示素子(LED1)に供給する一定電流に応じた電圧に保持するための保持回路(例えばC1)とを有する電流源回路を有する。

【0078】

さらに、前記電流源回路から前記表示素子への電流をスイッチする第2のトランジスタ($T r 2$)と、ソース又はドレインのいずれか一方の端子が前記第2のトランジスタのゲ

50

ートに接続された第3のトランジスタ (Tr3) とを含む。また、一端が前記第3のトランジスタのゲートに接続され、他端が配線 (L3) に接続された容量素子 (C2) を含む。そして、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路を有する。

【0079】

そして、前記第2の期間に前記配線から一定電圧が印加された後、階調電圧が印加され、前記容量素子 (C2) には階調電圧と前記第3のトランジスタのしきい値電圧との差に基づく電荷が蓄積される。

【0080】

前記第3の期間に前記第2のトランジスタのゲートに前記第3のトランジスタ (Tr3) を通して当該第2のトランジスタ (Tr2) がオンする電圧が印加された後、前記配線から前記容量素子にスイープ電圧が印加される。こうして、前記第2のトランジスタ (Tr2) のオン時間が制御される。

【0081】

以下に、図9及び図10のタイミングチャートを利用して、より具体的に説明する。本発明の第二の実施形態の構成を図9に示す。本実施形態では、一端が第一の配線L1に接続されている有機EL素子LED1と、その駆動回路を備えている。駆動回路は以下のように構成されている。

【0082】

まず、ソースが第一の容量C1の一端と第四の配線L4に、ゲートが第一の容量C1の他の一端に接続されている第一のトランジスタであるp型トランジスタTr1を備えている。また、一端が第一のトランジスタTr1のドレインに接続され、他の一端が第二の配線L2に接続された第一のスイッチSW1と、一端が第一のトランジスタTr1のゲートに接続され、他の一端が配線L2に接続された第二のスイッチSW2を備えている。

【0083】

これら第一の容量C1、第一のトランジスタTr1、第一のスイッチSW1、第二のスイッチSW2は電流源回路を構成している。

【0084】

また、一端が第一のトランジスタTr1のドレインと接続されている第四のスイッチSW4を備えている。更に、ソースが有機EL素子LED1の配線L1に接続されていない側の一端と接続され、ドレインが第一のトランジスタTr1のドレインにスイッチSW4を介して接続されている第二のトランジスタであるn型トランジスタTr2を備えている。

【0085】

また、一端が第二のトランジスタTr2のゲートに第五のスイッチSW5を介して接続され、他の一端が第三の配線L3に接続されている第二の容量C2を備えている。更に、ドレインとソースの内の一端が第五の配線L5に接続されている第三のトランジスタであるn型トランジスタTr3を備えている。

【0086】

第三のトランジスタTr3のゲートは第二の容量C2とスイッチSW5の一端に接続され、ソースとドレインの内の他の一端は第二のトランジスタTr2のゲートとスイッチSW5の他の一端と接続されている。

【0087】

これら第二、第三のトランジスタTr2、Tr3、第二の容量C2、スイッチSW4、SW5は有機EL素子LED1の発光時間を制御する制御回路を構成している。

【0088】

本実施形態の動作のタイミングチャートを図10に示す。但し、配線L1, L4には一定電圧VSS1, VDD1が印加され、配線L2には一定電流Idが供給されている。第二のトランジスタTr2のゲート電圧をVaとする。

【0089】

まず、図10に示すように電流設定期間において、スイッチSW1, SW2をオンし、スイッチSW4, SW5をオフする。配線L5の電圧はVDLとする。この時、第一のトランジスタTr1には、配線L2より電流Idが供給され、安定状態では、第一のトランジスタTr1のゲート電圧は、電流Idが流れるような電圧となる。その後、電流設定期間の終了とともにスイッチSW1, SW2をオフするため、電流Idが流れるような電圧が、第一のトランジスタTr1のゲート並びに第一の容量C1に保持される。

【0090】

次に、図10に示すように階調設定期間において、まず、配線L3から電圧VHHを印加する。ここで、VHHはチャージポンプ効果によって第三のトランジスタTr3のゲート電圧が、そのトランジスタTr3のしきい値Vth電圧よりも高い電圧にできる電圧とする。この時、第二のトランジスタTr2のゲート電圧に相当するVaの電圧がどのような電圧であっても、スイッチSW4はオフであるため、有機EL素子LED1には電流は供給されず、発光しない。引き続き、スイッチSW5をオンする。

10

【0091】

その際、配線L3から階調電圧Vdを印加する。この時、Vaの電圧は第三のトランジスタTr3のゲートとドレインが短絡しているため、第三のトランジスタTr3のしきい値電圧Vthとなる。従って、第二の容量C2の一端に電圧Vdが印加され、他の一端には電圧Vthが印加される。この時、第二の容量C2には、C2の容量値をC2とすれば、電荷 $Q2 = C2 \times (Vd - Vth)$ が蓄積される。その後、スイッチSW5がオフすると第二の容量C2はQ2を保持する。

20

【0092】

次に、図10に示すように発光期間において、まず、配線L3をVHH、配線L5をVDHにする。ここで、VDHは第二の容量C2が電荷Q2を保持するチャージポンプ効果により、Vaの電圧をVthより数V程度高くすることができる電圧とする。

【0093】

続いて、配線L5をVDLとした後、スイッチSW4をオンし、配線L3はVLからVHの範囲の電圧を適当な時間をかけてスイープする。但し、VDLは第二のトランジスタTr2のゲートに印加した場合に、第二のトランジスタTr2がオフ状態となる電圧とする。

【0094】

チャージポンプ効果により、配線L3がVLからVd未満の範囲において、第三のトランジスタTr3のゲート電圧がVth以下となる。この時、Vaの電圧はVthから数V高い電圧を保持し、第二のトランジスタTr2がオンであるため、有機EL素子LED1には、電流Idが供給されて発光する。

30

【0095】

同様に、配線L3がVd以上になると、第三のトランジスタTr3のゲート電圧がVth以上となるため、Vaの電圧はVDLとなる。この時、VDLにより第二のトランジスタTr2はオフするため、有機EL素子LED1に電流が供給されなくなり、発光しなくなる。

【0096】

以上の結果、第三のトランジスタTr3の特性であるVthにばらつきがあっても、階調設定時に配線L3から印加する階調電圧Vdに応じて第二のトランジスタTr2をオンからオフに制御できる。そのため、Vd値により有機EL素子LED1が発光する期間の制御を、トランジスタのばらつきによらず、行うことができる。

40

【0097】

また、スイッチオフ時のリークによる第一の容量C1に保持された電圧変動が小さいならば、電流設定期間をフレーム毎や数フレーム毎に設けることが可能となる。この時、階調設定期間や発光期間をより長く取る事ができる。

【0098】

更に、階調設定期間において、スイッチSW4をオンする事で、第二のトランジスタT

50

r 2には動作時の電圧が印加されるため、寄生容量の効果を低減できる。但し、この場合、階調設定期間に有機EL素子LED1に電流が流れて発光してしまうが、この階調設定時の発光期間が、階調表示時の発光期間に対し、非常に短い場合には問題とならない。

【0099】

また、スイッチSW4の代わりに、第二のトランジスタTr2と有機EL素子LED1の間に第三のスイッチSW3を設けても、同じ動作並びに機能を実現できる。

【0100】

また、第一の実施形態と同様に、第一のトランジスタTr1としてp型トランジスタの代わりに、n型トランジスタを用いることができる。その場合には、上述のようにトランジスタTr1及びその周辺を図3や図5と同様の構成とすれば良い。

【0101】

また、配線L2と第一のトランジスタTr1のゲート間にあるスイッチSW2を第一のトランジスタTr1のドレインとゲート間に配置しても同じ動作並びに機能を実現できる。これは、第一のトランジスタTr1がp型、n型でも同様である。

【0102】

更に、上述のように第一のトランジスタTr1がn型トランジスタの場合には、電流設定期間以外、少なくとも発光期間において、配線L2にVDD1を印加し、スイッチSW1をオンにする。そうすることで、配線L4とスイッチSW9を用いることなく、同じ機能を実現できる。

【0103】

また、例えば、配線L3と第二の容量C2の間にスイッチSW6を設け、階調電圧を保持する事で、Vaの電圧をVthに保持できる。VaがVthの場合に第二のトランジスタTr2がオフし、Vthより高い電圧の場合にオフするような設計をすれば、スイッチSW4の代わりに第二のトランジスタTr2により有機EL素子LED1への電流経路が遮断される。そのため、階調電圧設定期間後に電流設定期間を設ける事で、スイッチSW4が無くとも同じ機能を実現できる。

【0104】

また、第二のトランジスタTr2は、有機EL素子LED1に供給する定電流では、しきい値以下のサブスレショールド領域となるような特性を備える事が望ましい。この場合、Tr2のゲート電圧のわずかな変動により、第2のトランジスタTr2はオン、あるいはオフする。従って、有機EL素子LED1に電流を供給するか否かが、速やかに変化させることができる。また、Tr2のオフ電流は、定電流の0.1%以下であれば、階調制御に影響を与えない。

【0105】

なお、第2の期間に供給された階調電圧に応じて前記第3の期間に前記電流源回路から前記表示素子に一定電流を供給する時間を制御する制御回路としては以下の要件を充足する構成がよい。即ち、当該制御回路が、前記電流源回路と前記表示素子の間にソース・ドレインが直列に接続し、ゲートが直接、あるいはスイッチを経由して容量素子の一端に接続していることである。そして、前記一定電流が、ゲート電圧・ドレイン電流特性のサブスレショールド領域にあり、かつオフ電流が前記一定電流の0.1%以下である第2のトランジスタを備えていることである。

【0106】

そして、第3の期間において、前記第2のトランジスタのゲート電圧を経時的に変え、前記第2のトランジスタのソース・ドレイン間がオンする時間を制御して、前記表示素子への一定電流を供給する時間を制御する。

【0107】

第二のトランジスタTr2が定電流でサブスレショールド領域となるためには、Tr2の電流能力を十分高くする必要がある。これは、トランジスタのサイズを大きくする、あるいは移動度の高い半導体をチャンネル層とするトランジスタを用いることで可能である。

【0108】

10

20

30

40

50

なお、本実施形態及びその他の実施形態に係る発明において、 Tr_2 のオフ電流は、定電流の5%以下、好ましくは1%以下、好適には0.1%以下であることは好ましいが、本発明はそれのみに限定されるものではない。

【0109】

更に、本発明は、基板上に、上述のような有機EL素子LED1とその駆動回路を含む発光表示デバイスをマトリクス状に配置する。そして、電流設定期間や階調設定期間をライン毎に行い、配線L3をカラム毎に準備して階調電圧を供給する事で、マトリクス型発光表示デバイス(画像表示装置)を実現する事が可能である。

【0110】

(第三の実施形態)

図11を用いて、本実施形態に係る発明について、その駆動回路の構成を説明する。ここでいう駆動回路は、表示素子に供給する電流を設定する第1の期間と、前記表示素子の階調を設定する第2の期間と、前記表示素子に駆動電流を供給する第3の期間とを有する表示素子の駆動回路である。

【0111】

本実施形態において、図11に示すように第1のトランジスタ(Tr_1)と、第1の期間に第1のトランジスタのゲートを表示素子(LED1)に供給する一定電流に応じた電圧に保持するための保持回路(例えばC1)とを有する電流源回路を有する。

【0112】

そして、前記第1のトランジスタ(Tr_1)と直列に接続された第2のトランジスタ(Tr_2)と、一端が前記第2のトランジスタのゲートに接続され、他端が配線(L3)に接続された容量素子(C2)とを含む。そして、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路とを有する。

【0113】

前記第2の期間に前記容量素子(C2)に前記配線から供給された階調電圧と前記第2のトランジスタのゲート電圧との差に基づく電荷が蓄積される。そして、前記第3の期間に前記配線(L3)から前記容量素子(C2)にスweep電圧が印加されることによって、前記第2のトランジスタのオン時間が制御されることになる。

【0114】

以下、図11とタイミングチャート(図12)を用いて、本実施形態に係る発明を詳述する。本発明の第三の実施形態の構成を図11に示す。本実施形態では、一端が第一の配線L1に接続されている有機EL素子LED1と、その駆動回路を備えている。駆動回路は以下のように構成されている。

【0115】

まず、ソースが第一の容量C1の一端に、ゲートが第一の容量C1の他の一端に接続されている第一のトランジスタであるp型トランジスタ Tr_1 を備えている。また、一端が第一のトランジスタ Tr_1 のドレインに接続され、他の一端が第二の配線L2に接続された第一のスイッチSW1と、一端が第一のトランジスタ Tr_1 のゲートに接続され、他の一端が配線L2に接続された第二のスイッチSW2を備えている。

【0116】

これら第一のトランジスタ Tr_1 、第一の容量C1、第一、第二のスイッチSW1、SW2は電流源回路を構成している。

【0117】

また、一端が第一のトランジスタ Tr_1 のドレインと接続されている第四のスイッチSW4を備えている。更に、ソースが有機EL素子LED1の配線L1に接続されていない側の一端と接続され、ドレインが第一のトランジスタ Tr_1 のドレインにスイッチSW4を介して接続された第二のトランジスタであるn型トランジスタ Tr_2 を備えている。

【0118】

また、一端が第二のトランジスタ Tr_2 のゲートに接続され、他の一端が第三の配線L3に接続されている第二の容量C2を備えている。更に、一端が第二のトランジスタ Tr

10

20

30

40

50

2のゲートに接続され、他の一端が第二のトランジスタTr2のドレインに接続されている第七のスイッチSW7を備えている。これら第二のトランジスタTr2、第二の容量C2、スイッチSW4、SW7は有機EL素子LED1の発光時間を制御する制御回路を構成している。

【0119】

本実施形態の動作のタイミングチャートを図12に示す。但し、配線L1、L4には一定電圧VSS1、VDD1が印加され、配線L2には一定電流Idが供給されている。第二のトランジスタTr2のドレイン電圧をVaとする。

【0120】

まず、図12に示すように電流設定期間において、スイッチSW1、SW2をオンし、スイッチSW4、SW7をオフする。この時、第一のトランジスタTr1には、配線L2より電流Idが供給され、安定状態では、第一のトランジスタTr1のゲート電圧は、電流Idが流れるような電圧となる。その後、図12に示すように電流設定期間の終了とともに、スイッチSW1、SW2をオフするため、電流Idが流れるような電圧が、第一のトランジスタTr1のゲート並びに第一の容量C1に保持される。

10

【0121】

次に、図12に示すように階調設定期間において、スイッチSW4、SW7をオンし、配線L3から階調電圧Vdを印加する。この時、スイッチSW4がオンしていることから、第一のトランジスタTr1より第二のトランジスタTr2、有機EL素子LED1に向けて電流Idが供給される。また、スイッチSW7がオンしていることから、第二のトランジスタTr2のゲートとドレインが短絡され、第二のトランジスタTr2は電流Idを流す。

20

【0122】

従って、Va並びに第二のトランジスタTr2のゲート電圧は、電流Idが流れるような電圧Vinvとなる。そのため、第二の容量C2の一端に電圧Vdが印加され、他の一端には電圧Vinvが印加される。この時、第二の容量C2には、第二の容量C2の容量値をC2とすれば、電荷Q2 = 2 × (Vd - Vinv)が蓄積される。その後、スイッチSW4、SW7がオフし、第二の容量C2は電荷Q2を保持する。

【0123】

次に、図12に示すように発光期間において、スイッチSW4をオンし、配線L3はVLからVHの範囲の電圧を適当な時間をかけてスweepする。その際、第二の容量C2が電荷Q2を保持するチャージポンプ効果により、配線L3がVLからVd未満の範囲において、第二のトランジスタTr2のゲート電圧がVinv未満となる。

30

【0124】

この時、Vaの電圧はVinvより大きくなるが、第二のトランジスタTr2での電圧降下が大きいため、第二のトランジスタTr2のソースと有機EL素子LED1の一端の電圧は低い。従って、有機EL素子LED1に電流が流れず、発光しない。配線L3がVd以上になると、第二のトランジスタTr2のゲート電圧がVinv以上となる。この時、Vaの電圧はVinvとなり、有機EL素子LED1に電流Idが供給されて発光する。

40

【0125】

以上の結果、第二のトランジスタTr2の特性であるVinvにばらつきがあっても、階調設定時に配線L3から印加する階調電圧Vdに応じて第二のトランジスタTr2が電流Idを有機EL素子LED1に流さない状態から電流Idを流す状態に制御できる。そのため、Vd値により有機EL素子LED1が発光する期間の制御を、トランジスタのばらつきによらず、行うことができる。

【0126】

また、スイッチオフ時のリークによる第一の容量C1に保持された電圧変動が小さいならば、電流設定期間をフレーム毎や数フレーム毎に設けることが可能となる。この時、階調設定期間や発光期間をより長く取る事ができる。

50

【0127】

また、スイッチSW4の代わりに、第二のトランジスタTr2と有機EL素子LED1の間に第三のスイッチSW3を設けても、同じ動作並びに機能を実現できる。

【0128】

また、第一の実施形態と同様に第一のトランジスタTr1としてp型トランジスタの代わりにn型トランジスタを用いることができる。その場合には、上述のようにトランジスタTr1及びその周辺を図3や図5と同様の構成とすれば良い。

【0129】

また、配線L2と第一のトランジスタTr1のゲート間にあるスイッチSW2を第一のトランジスタTr1のドレインとゲート間においても、同じ動作並びに機能を実現できる。これは、第一のトランジスタTr1がp型、n型でも同様である。

10

【0130】

また、第一のトランジスタTr1がn型トランジスタの場合には、電流設定期間以外、少なくとも発光期間において、配線L2にVDD1を印加し、スイッチSW1をオンにすることで、配線L4とスイッチSW9を用いることなく同じ機能を実現できる。

【0131】

また、配線L4の電圧を変動する事でスイッチSW4を削減できる。その場合の構成を図13に、タイミングチャートを図14に示す。この場合、図14に示すように配線L4の電圧を階調設定期間と発光期間においてVDD1とし、電流設定期間を含む他の期間ではVSS1とする。電流設定期間において、配線L2に電流Idを流すために配線L2の電圧をVSS1以下にすると、Vaの電圧はVSS1以下となる。

20

【0132】

このため、有機EL素子LED1には、カソードにVSS1、アノードにVSS1以下の電圧という負バイアスが印加され、電流は有機EL素子LED1に流れない。電流設定動作を正確に行うには、他の電流経路に流れることなく、第一のトランジスタTr1にのみ電流Idが流れるようにする必要がある。

【0133】

本構成では有機EL素子LED1に電流が流れないため、第一のトランジスタTr1の電流設定が可能となる。この後、階調設定期間と発光期間は前記と同様な動作を行う。

【0134】

なお、本構成・動作と同様なものは、第一、第二の実施形態、更に以下の全て実施形態でも適用可能であるが、本実施形態が最も素子数が少ない構成である上、更にスイッチを減らすことができるという意味で、本実施形態に適用するのが最も効果的である。

30

【0135】

また、第二のトランジスタTr2は、有機EL素子LED1に供給する定電流では、しきい値以下のサブスレショルド領域となるような特性を備える事が望ましい。この場合、Tr2のゲート電圧のわずかな変動により、第2のトランジスタTr2はオン、あるいはオフする。従って、有機EL素子LED1に電流を供給するか否かが、速やかに変化させることができる。また、Tr2のオフ電流は、定電流の0.1%以下であれば、階調制御に影響を与えない。

40

【0136】

第二のトランジスタTr2が定電流でサブスレショルド領域となるためには、Tr2の電流能力を十分高くする必要がある。これは、トランジスタのサイズを大きくする、あるいは、移動度の高い半導体をチャネル層とするトランジスタを用いることで可能である。

【0137】

また、上記に示した本実施の形態では、階調設定期間において、有機EL素子LED1に電流が流れ、発光する。この期間は発光期間全体に比べ十分小さくする事で表示に問題が現れないようにする事ができる。

【0138】

50

ここで、配線 L 1 と同電圧、あるいは有機 E L 素子 L E D 1 の動作電圧以下の電圧が印加されている配線 L 5 と、第二のトランジスタ T r 2 のソースと L 5 の間にスイッチ S W 8 を設け、階調設定期間のみ S W 8 をオン、他の期間ではオフとする。それにより階調設定期間における有機 E L 素子 L E D 1 の発光を抑え、コントラストをより高めることができる。

【 0 1 3 9 】

更に、本発明は、基板上に、上述のような有機 E L 素子 L E D 1 とその駆動回路を含む発光表示デバイスをマトリックス状に配置する。そして、電流設定期間や階調設定期間をライン毎に行い、配線 L 3 をカラム毎に準備して階調電圧を供給する事で、マトリックス型発光表示デバイス（画像表示装置）を実現する事が可能である。

10

【 0 1 4 0 】

（第四の実施形態）

図 1 5 を用いて、本実施形態に係る駆動回路の構成要素について説明する。ここでいう駆動回路とは、表示素子に供給する電流を設定する第 1 の期間と、前記表示素子の階調を設定する第 2 の期間と、前記表示素子に駆動電流を供給する第 3 の期間とを有する駆動回路である。

【 0 1 4 1 】

本実施形態において、図 1 5 に示すように、第 1 のトランジスタ（ T r 1 ）と、第 1 の期間に前記第 1 のトランジスタのゲートを表示素子に供給する一定電流に応じた電圧に保持するための保持回路（例えば C 1 ）とを有する電流源回路を有する。

20

【 0 1 4 2 】

そして、前記電流源回路と直列に接続され、前記表示素子（ L E D 1 ）と並列に接続された第 2 のトランジスタ（ T r 2 ）と、一方の端子が前記第 2 のトランジスタのゲートに接続され、他端が配線（ L 3 ）に接続された容量素子（ C 2 ）とを含む。そして、前記第 3 の期間に前記第 2 のトランジスタを制御することにより前記表示素子の発光時間を制御する制御回路を有する。

【 0 1 4 3 】

そして、前記第 1 の期間に前記配線（ L 3 ）から一定電圧が印加される。更に、前記第 2 の期間に前記配線から階調電圧が印加され、且つ、前記第 2 のトランジスタのゲートと一方の端子とが短絡され、前記容量素子には階調電圧と前記第 2 のトランジスタのゲート

30

【 0 1 4 4 】

更に、前記第 3 の期間に前記配線（ L 3 ）からスイープ電圧が印加されることによって、前記第 2 のトランジスタのオン時間を制御される。

【 0 1 4 5 】

以下、図 1 5 とタイミングチャート（図 1 6 ）を用いて、より詳細に説明する。本発明の第四の実施形態の構成を図 1 5 に示す。本実施形態では、一端が第一の配線 L 1 に接続されている有機 E L 素子 L E D 1 と、その駆動回路を備えている。駆動回路は、以下のよう

40

【 0 1 4 6 】

まず、ソースが第一の容量 C 1 の一端に、ゲートが第一の容量 C 1 の他の一端に接続されている第一のトランジスタである p 型トランジスタ T r 1 を備えている。また、一端が第一のトランジスタ T r 1 のドレインに接続され、他の一端が第二の配線 L 2 に接続された第一のスイッチ S W 1 と、一端が第一のトランジスタ T r 1 のゲートに接続され、他の一端が配線 L 2 に接続された第二のスイッチ S W 2 を備えている。

【 0 1 4 7 】

これら第一のトランジスタ T r 1 、第一の容量 C 1 、第一のスイッチ S W 1 、第二のスイッチ S W 2 は、電流源回路を構成している。

【 0 1 4 8 】

更に、一端が第一のトランジスタ T r 1 のドレインに接続されている第四のスイッチ S

50

W 4 と、一端が有機 E L 素子 L E D 1 の配線 L 1 と接続されていない側の一端と接続されている第三のスイッチ S W 3 を備えている。

【 0 1 4 9 】

また、ソースが第六の配線 L 6 と接続され、ドレインがスイッチ S W 4 の第一のトランジスタ T r 1 のドレインと接続されていない側の一端と接続されている第二のトランジスタである n 型トランジスタ T r 2 を備えている。

【 0 1 5 0 】

更に、一端が第二のトランジスタ T r 2 のゲートに接続され、他の一端が第三の配線 L 3 に接続されている第二の容量 C 2 を備えている。また、一端が第二のトランジスタ T r 2 のゲートに接続され、他の一端が第二のトランジスタ T r 2 のドレインに接続されている第七のスイッチ S W 7 を備えている。

10

【 0 1 5 1 】

これら第二のトランジスタ T r 2、第二の容量 C 2、第三のスイッチ S W 3、第四のスイッチ S W 4、第七のスイッチ S W 7 は、有機 E L 素子 L E D 1 の発光時間を制御する制御回路を構成している。

【 0 1 5 2 】

本実施形態の動作のタイミングチャートを図 1 6 に示す。但し、配線 L 1、L 4、L 6 には、それぞれ一定電圧 V S S 1、V D D 1、V S S 1 以下の電圧である V S S 2 が印加され、配線 L 2 には一定電流 I d が供給されている。また、第二のトランジスタ T r 2 のドレインの電圧を V a とする。

20

【 0 1 5 3 】

まず、図 1 6 に示すように電流設定期間において、スイッチ S W 1、S W 2 をオンし、スイッチ S W 3、S W 4、S W 7 をオフする。配線 L 3 の電圧は V H 又はそれ以上の電圧とする。この時、第一のトランジスタ T r 1 には、配線 L 2 より電流 I d が供給され、安定状態では、第一のトランジスタ T r 1 のゲート電圧は、電流 I d が流れるような電圧となる。その後、電流設定期間の終了とともに、スイッチ S W 1、S W 2 がオフするため、電流 I d が流れるような電圧が、第一のトランジスタ T r 1 のゲート並びに第一の容量 C 1 に保持される。

【 0 1 5 4 】

次に、図 1 6 に示すように階調設定期間において、スイッチ S W 4、S W 7 をオンし、配線 L 3 から階調電圧 V d を印加する。この時、スイッチ S W 4 がオンしていることから、第一のトランジスタ T r 1 より第二のトランジスタ T r 2 に向けて電流 I d が供給される。また、スイッチ S W 7 がオンしていることから、第二のトランジスタ T r 2 のゲートとドレインが短絡され、第二のトランジスタ T r 2 は電流 I d を流す。

30

【 0 1 5 5 】

従って、V a 並びに第二のトランジスタ T r 2 のゲート電圧は、電流 I d が流れるような電圧 V i n v となる。よって、第二の容量 C 2 の一端に電圧 V d が印加され、他の一端には電圧 V i n v が印加される。この時、第二の容量 C 2 には、第二の容量 C 2 の容量値を C 2 とすれば、電荷 Q 2 = C 2 × (V d - V i n v) が蓄積される。その後、スイッチ S W 4、S W 7 がオフし、第二の容量 C 2 は電荷 Q 2 を保持する。

40

【 0 1 5 6 】

次に、図 1 6 に示すように発光期間において、スイッチ S W 4 をオンし、配線 L 3 は V H から V L の範囲の電圧を適当な時間をかけてスイープする。その際、第二の容量 C 2 が電荷 Q 2 を保持するチャージポンプ効果により、配線 L 3 が V H から V d の範囲において、第二のトランジスタ T r 2 のゲート電圧が V i n v 以上となる。

【 0 1 5 7 】

この時、配線 L 6 の電圧 V S S 2 を V S S 1 以下とすることで、V a の電圧は第二のトランジスタ T r 2 のソースと有機 E L 素子 L E D 1 の一端電圧を、有機 E L 素子 L E D 1 に電流が流れない程度に低くすることができ、有機 E L 素子 L E D 1 は発光しない。

【 0 1 5 8 】

50

一方、配線 L 3 が V d 未満になると、第二のトランジスタ T r 2 のゲート電圧が V i n v 以下となる。この時、第二のトランジスタ T r 2 は高抵抗となるため電流が第二のトランジスタ T r 2 に流れず、有機 E L 素子 L E D 1 に電流 I d が供給されて発光する。

【 0 1 5 9 】

以上の結果、第二のトランジスタ T r 2 の特性である V i n v にばらつきがあっても、階調設定時に配線 L 3 から印加する階調電圧 V d に応じて第二のトランジスタ T r 2 が電流 I d を有機 E L 素子 L E D 1 に流さない状態から電流 I d を流す状態に制御できる。そのため、V d 値により有機 E L 素子 L E D 1 が発光する期間の制御を、トランジスタのばらつきによらず、行うことができる。

【 0 1 6 0 】

また、スイッチオフ時のリークによる第一の容量 C 1 に保持された電圧変動が小さいならば、電流設定期間をフレーム毎や数フレーム毎に設けることが可能となる。この時、階調設定期間や発光期間をより長く取る事ができる。

【 0 1 6 1 】

また、スイッチ S W 4 の代わりに、第二のトランジスタ T r 2 と有機 E L 素子 L E D 1 の間に第三のスイッチ S W 3 を設けても、同じ動作並びに機能を実現できる。

【 0 1 6 2 】

また、スイッチ S W 4 の代わりに、図 1 7 に示すように第二のトランジスタ T r 2 のゲートとソースの間に第八のスイッチ S W 8 を設ける事で同様な動作が可能である。その場合のタイミングチャートを図 1 8 に示す。第八のスイッチ S W 8 は図 1 8 に示すように電流設定期間にオンし、階調設定期間と発光期間はオフする。

【 0 1 6 3 】

また、第一の実施形態と同様に第一のトランジスタ T r 1 として p 型トランジスタの代わりに n 型トランジスタを用いることができる。その場合には、上述のようにトランジスタ T r 1 及びその周辺を図 3 や図 5 と同様の構成とすれば良い。

【 0 1 6 4 】

更に、配線 L 2 と第一のトランジスタ T r 1 のゲート間にあるスイッチ S W 2 を第一のトランジスタ T r 1 のドレインとゲート間に配置しても同じ動作並びに機能を実現できる。これは、第一のスタ T r 1 が p 型，n 型でも同様である。

【 0 1 6 5 】

また、第一のトランジスタ T r 1 が n 型トランジスタの場合には、電流設定期間以外、少なくとも発光期間において、配線 L 2 に V D D 1 を印加し、スイッチ S W 1 をオンすることで、配線 L 4 とスイッチ S W 9 を用いることなく、同じ機能を実現できる。

【 0 1 6 6 】

また、第二のトランジスタ T r 2 は、有機 E L 素子 L E D 1 に供給する定電流では、しきい値以下のサブスレショールド領域となるような特性を備える事が望ましい。この場合、T r 2 のゲート電圧のわずかな変動により、第 2 のトランジスタ T r 2 はオン、あるいはオフする。従って、有機 E L 素子 L E D 1 に電流を供給するか否かが、速やかに変化させることができる。また、T r 2 のオフ電流は、定電流の 0 . 1 % 以下であれば、階調制御に影響を与えない。

【 0 1 6 7 】

第二のトランジスタ T r 2 が定電流でサブスレショールド領域となるためには、T r 2 の電流能力を十分高くする必要がある。これは、トランジスタのサイズを大きくする、あるいは、移動度の高い半導体をチャネル層とするトランジスタを用いることで可能である。

【 0 1 6 8 】

更に、本発明は、基板上に、上述のような有機 E L 素子 L E D 1 とその駆動回路を含む発光表示デバイスをマトリックス状に配置する。そして、電流設定期間や階調設定期間をライン毎に行い、配線 L 3 をカラム毎に準備して階調電圧を供給する事で、マトリックス型発光表示デバイス（画像表示装置）を実現する事が可能である。

10

20

30

40

50

【0169】

(第五の実施形態)

図19を用いて、本実施形態に係る駆動回路について、その構成要素につき説明する。ここで、駆動回路とは、表示素子に供給する電流を設定するための第1の期間と、該表示素子の階調を設定するための第2の期間と、該表示素子に駆動電流を供給するための第3の期間とを含む駆動制御を行うための回路である。

【0170】

図19に示すように、第1のトランジスタ(T_{r1})と、前記第1の期間に前記第1のトランジスタのゲートの電圧を前記表示素子に供給する一定電流に応じた電圧に保持するための保持回路(例えば $C1$)とを有する電流源回路を有する。

10

【0171】

そして、前記電流源回路から前記表示素子($LED1$)への電流をスイッチする第2のトランジスタ(T_{r2})を含む。

【0172】

また一方の端子が前記第2のトランジスタのゲートに接続された第3のトランジスタ(T_{r3})と、一端が前記第3のトランジスタのゲートに接続され、他端がスイッチ($SW6$)を介して、配線に接続される容量素子($C2$)とを含む。そして、前記第3の期間に前記第2のトランジスタを制御することにより前記表示素子の発光時間が制御される制御回路とを有する。

【0173】

そして、前記第2の期間に、前記容量素子($C2$)に前記配線から供給された階調電圧と前記第3のトランジスタのしきい値電圧との差に基づく電荷が蓄積される。

20

【0174】

その後、前記第3の期間に、前記第2のトランジスタ(T_{r2})のゲートにはオン電圧が印加されるとともに、前記容量素子にスイープ電圧が印加される。斯かる構成により、前記第2のトランジスタ(T_{r2})のオン時間が制御される。

【0175】

次に、図19に記載の駆動回路と、タイミングチャート(図20)を用いて、より詳細に本実施形態に斯かる発明を説明する。本発明の第五の実施形態の構成を図19に示す。本実施形態では、一端が第一の配線 $L1$ に接続されている有機EL素子 $LED1$ と、その駆動回路を備えている。駆動回路は、以下のように構成されている。

30

【0176】

まず、ソースが第一の容量 $C1$ の一端と第四の配線 $L4$ に、ゲートが第一の容量 $C1$ の他の一端に接続されている第一のトランジスタであるp型トランジスタ T_{r1} を備えている。また、一端が第一のトランジスタ T_{r1} のドレインに接続され、他の一端が第二の配線 $L2$ に接続された第一のスイッチ $SW1$ と、一端が第一のトランジスタ T_{r1} のゲートに接続され、他の一端が配線 $L2$ に接続された第二のスイッチ $SW2$ を備えている。

【0177】

これら第一のトランジスタ T_{r1} 、第一の容量 $C1$ 、第一のスイッチ $SW1$ 、第二のスイッチ $SW2$ は、電流源回路を構成している。

40

【0178】

更に、一端が第一のトランジスタ T_{r1} のドレインと接続されている第四のスイッチ $SW4$ を備えている。また、ソースが有機EL素子 $LED1$ の配線 $L1$ に接続されていない側の一端と接続され、ドレインが第一のトランジスタ T_{r1} のドレインにスイッチ $SW4$ を介して接続された第二のトランジスタであるn型トランジスタ T_{r2} を備えている。

【0179】

また、一端が第二のトランジスタ T_{r2} のゲートに第五のスイッチ $SW5$ を介して接続され、他の一端が第六のスイッチ $SW6$ を介して第三の配線 $L3$ に接続されている第二の容量 $C2$ を備えている。

【0180】

50

また、ドレインとソースの内の一端が配線 L 5 に接続され、ゲートが容量 C 2 の一端に接続され、ドレイン又はソースの配線 L 5 に接続されていない側の一端がトランジスタ T r 2 のゲートに接続された第三のトランジスタ T r 3 を備えている。第三のトランジスタ T r 3 は n 型トランジスタである。

【 0 1 8 1 】

更に、一端が第二のトランジスタ T r 2 のゲートに、他の一端が配線 L 4 に接続された第七のスイッチ S W 7、ソースが配線 L 4 に接続され、ゲートが第一のトランジスタ T r 1 のゲートに接続された第四のトランジスタ T r 4 を備えている。第四のトランジスタ T r 4 は p 型トランジスタである。第四のトランジスタ T r 4 のドレインは第十一のスイッチ S W 1 1 を介して第二の容量 C 2 の一端に接続され、更にスイッチ S W 6 を介して配線 L 3 に接続されている。

10

【 0 1 8 2 】

これら第二、第三、第四のトランジスタ T r 2、T r 3、T r 4、第二の容量 C 2、スイッチ S W 4 ~ S W 7、スイッチ S W 1 1 は、有機 E L 素子 L E D 1 の発光時間を制御する制御回路を構成している。

【 0 1 8 3 】

本実施形態の動作のタイミングチャートを図 2 0 に示す。但し、配線 L 1、L 4、L 5 には一定電圧 V S S 1、V D D 1、V S S 2 が印加され、配線 L 2 には一定電流 I d が供給されている。また、第二のトランジスタ T r 2 のゲート電圧を V a、スイッチ S W 6 を介して配線 L 3 に接続されている第二の容量 C 2 の一端の電圧を V b とする。

20

【 0 1 8 4 】

まず、図 2 0 に示すように電流設定期間において、スイッチ S W 1、S W 2 をオンし、スイッチ S W 4、S W 5、S W 6、S W 7、S W 1 1 をオフする。この時、第一のトランジスタ T r 1 には、配線 L 2 より電流 I d が供給され、安定状態では、第一のトランジスタ T r 1 のゲート電圧は、流 I d が流れるような電圧となる。その後、電流設定期間の終了とともにスイッチ S W 1、S W 2 をオフするため、電流 I d が流れるような電圧が、第一のトランジスタ T r 1 のゲート並びに第一の容量 C 1 に保持される。

【 0 1 8 5 】

次に、図 2 0 に示すように階調設定期間において、まず、スイッチ S W 5、S W 6、S W 7 をオンする。これにより、V a の電圧が V D D 1 近くの電圧となり、V b の電圧が V d となる。但し、スイッチ S W 4 がオフであるため、有機 E L 素子 L E D 1 には電流が供給されず、有機 E L 素子 L E D 1 は発光しない。引き続き、スイッチ S W 7 をオフする。

30

【 0 1 8 6 】

その際、配線 L 3 から階調電圧 V d を印加する。この時、V a の電圧は第三のトランジスタ T r 3 のしきい値電圧 V t h となる。従って、第二の容量 C 2 の一端に電圧 V d が印加され、他の一端には電圧 V t h が印加される。

【 0 1 8 7 】

この時、第二の容量 C 2 には、第二の容量 C 2 の容量値を C 2 とすれば、電荷 $Q 2 = C 2 \times (V d - V t h)$ が蓄積される。その後、スイッチ S W 5、S W 6 がオフすると V a、V b の電圧は V t h、V d を保持し、第二の容量 C 2 は Q 2 を保持する。

40

【 0 1 8 8 】

次に、図 2 0 に示すように発光期間において、まず、スイッチ S W 6、S W 7 をオンする。但し、配線 L 3 から V L を印加する。これにより、V a の電圧が V D D 1、V b の電圧が V L となる。続いて、スイッチ S W 6、S W 7 をオフした後、スイッチ S W 4、S W 1 1 をオンする。すると、第四のトランジスタ T r 4 より電荷が注入され、V b の電圧は V L から徐々に V H まで変動する。但し、V H は第四のトランジスタ T r 4 のしきい値特性で決まる電圧である。

【 0 1 8 9 】

その際、第二の容量 C 2 が Q 2 を保持するチャージポンプ効果により、V b が V L から V d 未満の範囲において、第三のトランジスタ T r 3 のゲート電圧が V t h 以下となる。

50

この時、 V_a の電圧は V_{DD1} を保持し、第二のトランジスタ T_r2 がオンであるため、有機EL素子LED1には電流 I_d が供給されて発光する。

【0190】

同様に、 V_b が V_d 以上になると、第三トランジスタ T_r3 のゲート電圧が V_{th} 以上となるため、 V_a の電圧は V_{SS2} となる。この時、第二のトランジスタ T_r2 がオフするため、有機EL素子LED1に電流が供給されなくなり、発光しなくなる。

【0191】

この結果、第三のトランジスタ T_r3 の特性である V_{th} にばらつきがあっても、階調設定時に配線L3から印加する階調電圧 V_d に応じて第二のトランジスタ T_r2 をオンからオフに制御できる。そのため、 V_d 値により有機EL素子LED1が発光する期間の制御を、トランジスタのばらつきによらず、行うことができる。

10

【0192】

また、発光期間に電流源トランジスタ T_r4 を用いて第二の容量 $C2$ の電圧 V_b をスイープするように構成することにより、画面サイズが大きくなる等の配線負荷が大きくなった場合にも、全ての領域でスイープ電圧を印加できる。そのため、画面上の位置によって輝度が異なり、表示精度が低下することがない。

【0193】

また、第二のトランジスタ T_r2 は、有機EL素子LED1に供給する定電流では、しきい値以下のサブスレショルド領域となるような特性を備える事が望ましい。この場合、 T_r2 のゲート電圧のわずかな変動により、第2のトランジスタ T_r2 はオン、あるいはオフする。従って、有機EL素子LED1に電流を供給するか否かが、速やかに変化させることができる。また、 T_r2 のオフ電流は、定電流の0.1%以下であれば、階調制御に影響を与えない。

20

【0194】

第二のトランジスタ T_r2 が定電流でサブスレショルド領域となるためには、 T_r2 の電流能力を十分高くする必要がある。これはトランジスタのサイズを大きくする、あるいは移動度の高い半導体をチャネル層とするトランジスタを用いることで可能である。

【0195】

なお、本実施形態では、第一の実施形態を元に発光期間制御を電流源トランジスタ T_r4 からの電流(電荷)を用いて行っているが、同様な発光期間制御は、第二、第三、第四の実施形態にも適用することができる。

30

【0196】

更に、本発明は、基板上に、上述のような有機EL素子LED1とその駆動回路を含む発光表示デバイスをマトリックス状に配置する。そして、電流設定期間や階調設定期間をライン毎に行い、配線L3をカラム毎に準備して階調電圧を供給する事で、マトリックス型発光表示デバイス(画像表示装置)を実現する事が可能である。

【0197】

また、本発明の第一から第五の実施形態において、n型トランジスタ、p型トランジスタと定義しているトランジスタは、印加電圧の極性や有機EL素子の接続を変えること等により、逆の極性のトランジスタを用いることが可能である。

40

【0198】

また、各スイッチSWをトランジスタで構成することが可能である。例えば、第三の実施形態において、スイッチをトランジスタで構成した場合の例を図21に示す。

【0199】

例えば、第三の実施形態のスイッチSW1は、CL1で動くSW T_r1 に対応する。全てのスイッチはn型トランジスタであるため、スイッチのタイミングチャートの通り、Hで短絡、Lで開放となる。従って、図12(第三の実施形態のタイミングチャート)の通りに動作すると、第三の実施形態で説明した動作・機能が可能である。

【0200】

更に、本発明の第一から第五の実施の形態では、トランジスタとスイッチを、n型トラ

50

ンジスタ、p型トランジスタのみで構成することが可能である。例えば、第三の実施形態においてn型トランジスタのみで構成した場合の一例を図22に示す。

【0201】

ここで、本発明においては、電流源回路から有機EL素子に供給するのは一定電流であるため、電圧に対する特性の劣化の影響を抑える効果が得られる。また、一定電流は有機EL素子に供給する電流の最大値のため、負荷を高速に駆動できる。

【0202】

更に、電流源回路内の第一のトランジスタTr1のゲートは有機EL素子へ電流を供給する期間において、第一の容量C1の一端を除き、他の部分と切り離されている。そのため第一のトランジスタのドレイン並びに第一の容量C1における第一のトランジスタと接続されている側とは異なる側(配線L4)の電圧が一定であれば、第一のトランジスタのゲート電圧が安定になり、電流源回路から有機EL素子への電流が安定となる。

10

【0203】

また、電流源回路と有機EL素子との間にスイッチ(SW4)を用いることで、有機EL素子への余分な電流を抑制する効果が得られる。

【0204】

また、図19に示すように電流源回路とは異なる電流源を第二の容量C2の一端に接続し、電流源より電荷を注入又は引き出すことで、第二の容量の一端電圧を変動させることができる。従って、各画素において第二の容量の一端の電圧を変動できるため、配線負荷の大きな大型画像表示装置でも画面位置による輝度の変化を抑えられる。

20

【0205】

また、上記全ての実施形態において、スイッチを含む全てのトランジスタは、チャンネルに結晶Siを用いた電界効果トランジスタ、チャンネルにアモルファスSi、ポリSi、有機半導体、酸化物半導体等を用いた薄膜トランジスタを用いることができる。特に、薄膜トランジスタを用いることで、ガラスやプラスチック基板上に大型のマトリクス型発光表示デバイス(画像表示装置)を作製することが可能となる。

【0206】

キャリア密度が 10^{18} (cm^{-3})未満であるアモルファス酸化物半導体を用いることで、アモルファスSi薄膜トランジスタより移動度が高く、オフ時の電流の少ない、室温形成が可能な薄膜トランジスタによりマトリクス型発光表示デバイスが作製できる。

30

【0207】

アモルファス酸化物半導体は移動度が高く、回路動作を高速に行えることから、大型、高精細且つ安価な画像表示装置を作製することが可能となる。なお、InやZnを含むアモルファス酸化物半導体材料をチャンネルに利用する場合、キャリア電子密度は、以下の範囲にするのがよい。即ち、 10^{18} (cm^{-3})未満、好ましくは、 10^{17} (cm^{-3})以下、更に好ましくは、 10^{16} (cm^{-3})以下にするのがよい。

【0208】

なお、国際公開第2005/088726号公報パンフレットに記載されているような透明アモルファス酸化物をTFETの活性層に用いる場合にも、リペア回路の概念を導入することができる。例えば、有機ELなどの表示素子の駆動用TFETとして、1画素内に複数のTFETを用意しておく。そして、不良箇所があった場合には、エキシマレーザを用いてスペア用のTFETを用いるようにするのである。

40

【0209】

より具体的には、各画素毎のスイッチングトランジスタとして、2組のTFETを用意し、有機EL(ダイオード)を駆動するためのTFETとして、2組のTFETを用意する。不良箇所がなければ、2組の内、一方はダミーのTFETとなる。透明なTFETであれば、リペア用に複数のTFETを用意しても、開口率には大きな影響を与えない。なお、リペア回路に関しては、特開2000-227769号公報に詳しい記載がある。

【図面の簡単な説明】

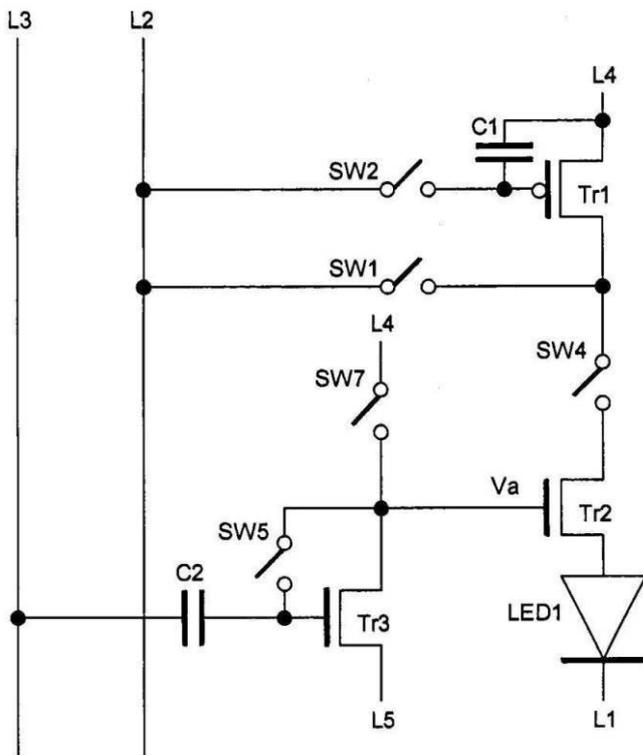
【0210】

50

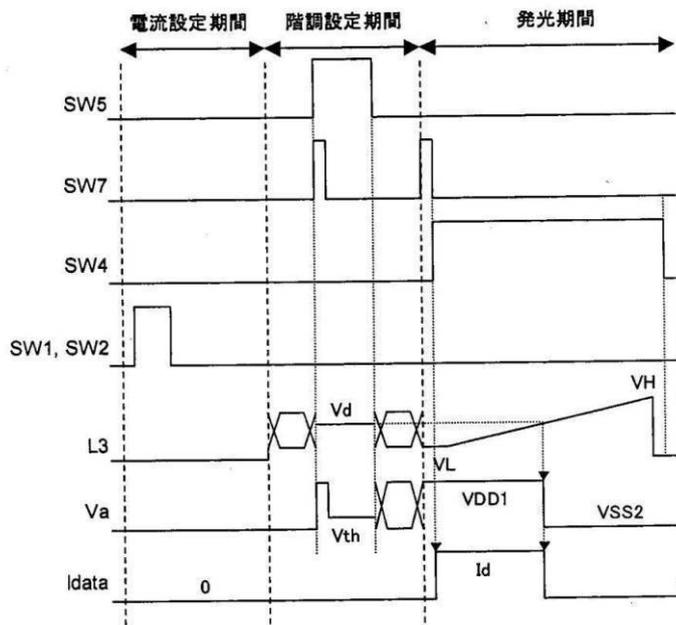
- 【図 1】本発明の第一の実施形態の構成を示す回路図である。
- 【図 2】第一の実施形態の動作を示すタイミングチャートである。
- 【図 3】第一の実施形態の第一のトランジスタ $T r 1$ として n 型トランジスタを用いた場合の例を示す回路図である。
- 【図 4】図 3 の動作を示すタイミングチャートである。
- 【図 5】第一の実施形態においてスイッチ $S W 1 0$ を追加した例を示す回路図である。
- 【図 6】図 5 の動作を示すタイミングチャートである。
- 【図 7】第一の実施形態においてスイッチ $S W 7$ の代わりにトランジスタ $T r 4$ を用いた場合の例を示す回路図である。
- 【図 8】図 7 の動作を示すタイミングチャートである。 10
- 【図 9】本発明の第二の実施形態の構成を示す回路図である。
- 【図 10】第二の実施形態の動作を示すタイミングチャートである。
- 【図 11】本発明の第三の実施形態の構成を示す回路図である。
- 【図 12】第三の実施形態の動作を示すタイミングチャートである。
- 【図 13】第三の実施形態において $S W 4$ を削減した例を示す回路図である。
- 【図 14】図 13 の動作を示すタイミングチャートである。
- 【図 15】本発明の第四の実施形態の構成を示す回路図である。
- 【図 16】第四の実施形態の動作を示すタイミングチャートである。
- 【図 17】第四の実施形態において $S W 4$ の代わりに $S W 8$ を用いた例を示す回路図である。 20
- 【図 18】図 17 の動作を示すタイミングチャートである。
- 【図 19】本発明の第五の実施形態の構成を示す回路図である。
- 【図 20】第五の実施形態の動作を示すタイミングチャートである。
- 【図 21】本発明の第三の実施形態においてスイッチをトランジスタで構成した場合の例を示す回路図である。
- 【図 22】本発明の第三の実施形態においてスイッチやトランジスタを n 型トランジスタのみで構成した場合の例を示す回路図である。
- 【図 23】有機 $E L$ 素子と駆動回路から成る画素の例を示す図である。
- 【図 24】 $A M$ 型有機 $E L$ 表示装置の例を示す図である。
- 【図 25】第一の従来技術を示す回路図である。 30
- 【図 26】第二の従来技術を示す回路図である。
- 【符号の説明】
- 【 0 2 1 1 】
- L E D 1 有機 $E L$ 素子
- T r 1 第一のトランジスタ
- T r 2 第二のトランジスタ
- T r 3 第三のトランジスタ
- T r 4 第四のトランジスタ
- C 1 第一の容量
- C 2 第二の容量 40
- S W 1 第一のスイッチ
- S W 2 第二のスイッチ
- S W 3 第三のスイッチ
- S W 4 第四のスイッチ
- S W 5 第五のスイッチ
- S W 6 第六のスイッチ
- S W 7 第七のスイッチ
- S W 8 第八のスイッチ
- S W 9 第九のスイッチ
- S W 1 0 第十のスイッチ 50

- SW11 第十一のスイッチ
- L1 第一の配線
- L2 第二の配線
- L3 第三の配線
- L4 第四の配線
- L5 第五の配線
- L6 第六の配線
- SWTr1 トランジスタ
- SWTr2 トランジスタ
- SWTr4 トランジスタ
- SWTr7 トランジスタ
- SWTr9 トランジスタ

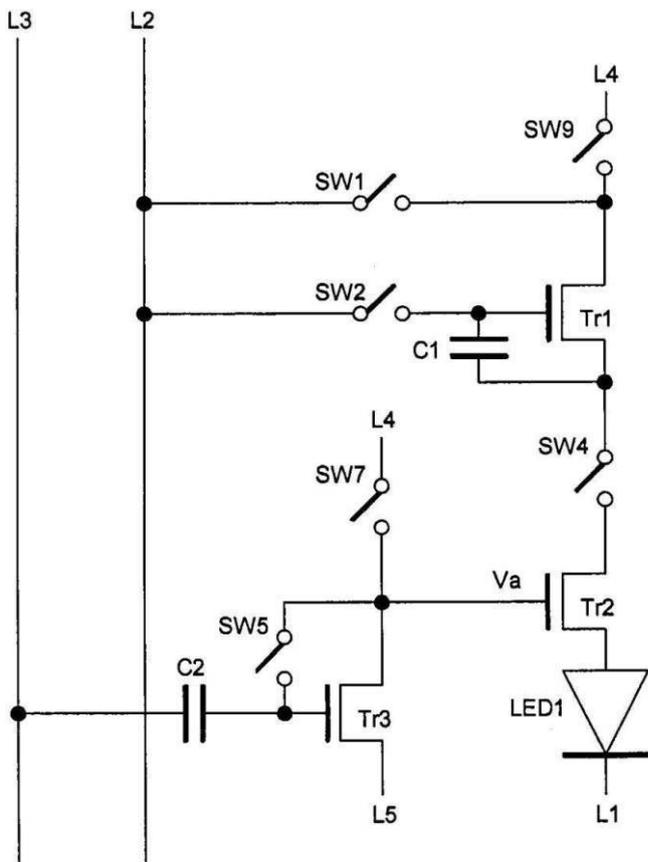
【図1】



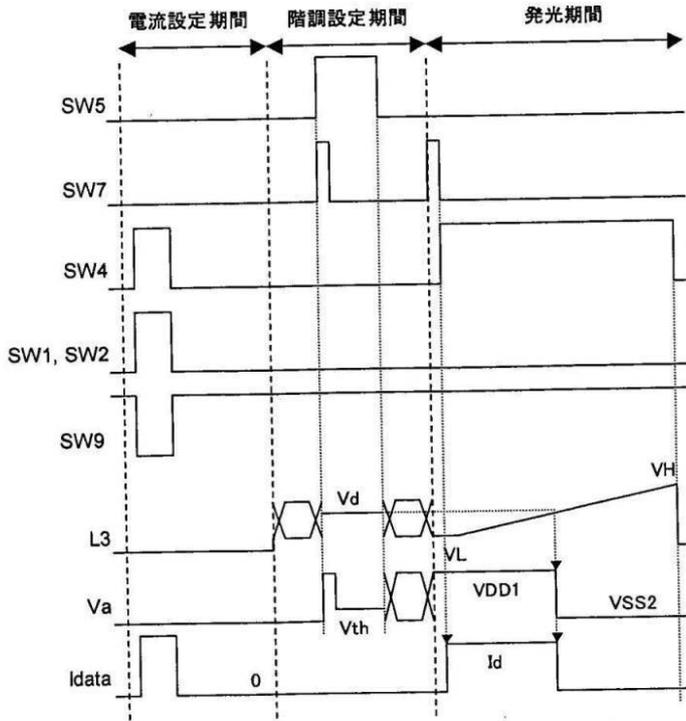
【 図 2 】



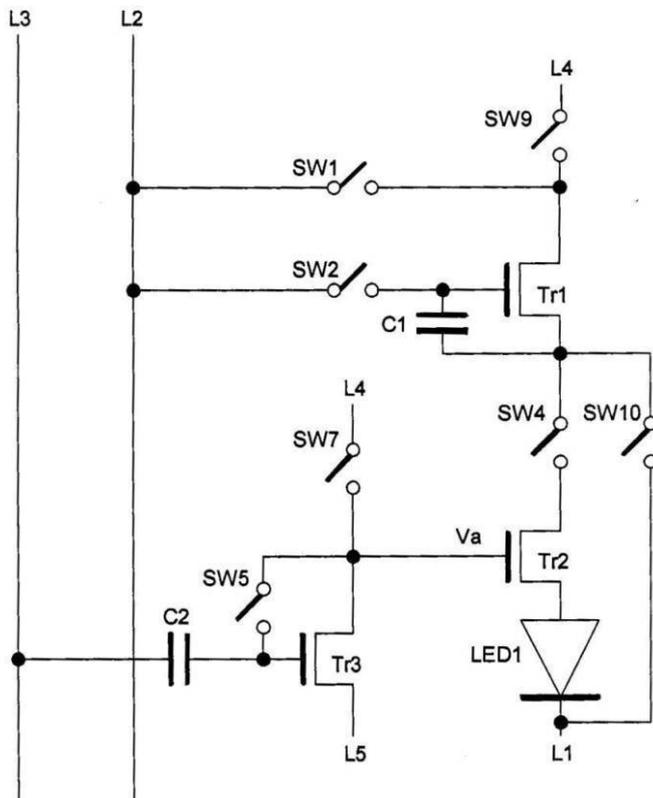
【 図 3 】



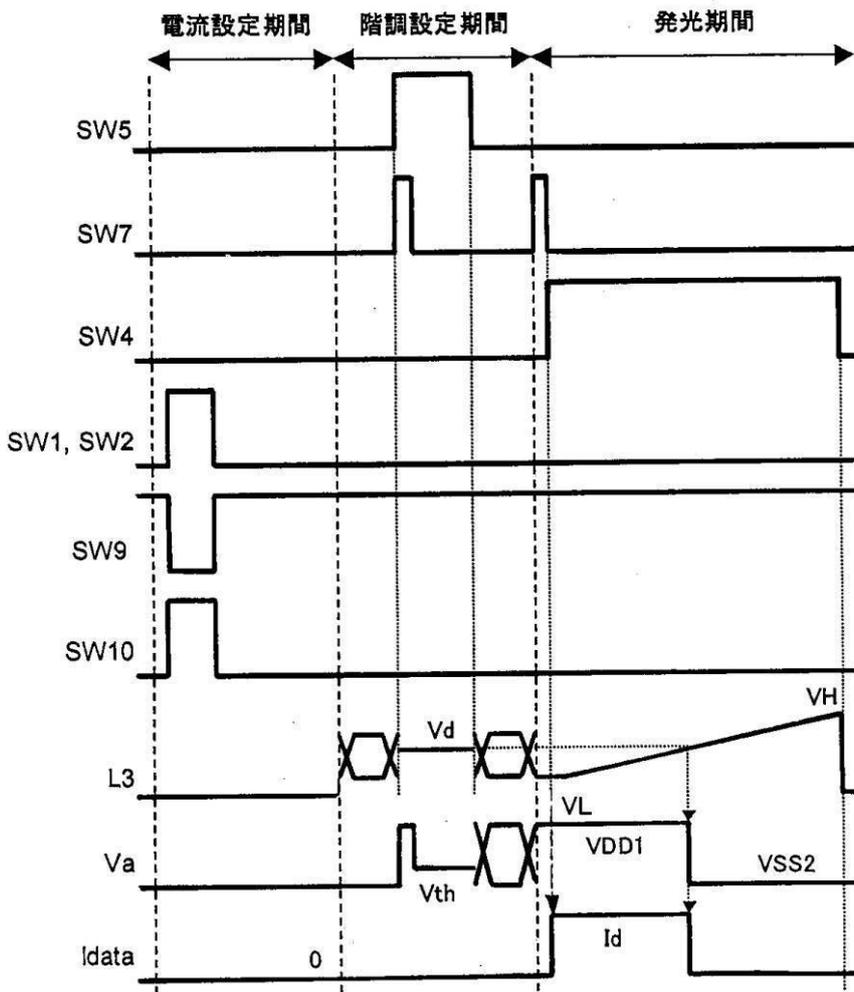
【 図 4 】



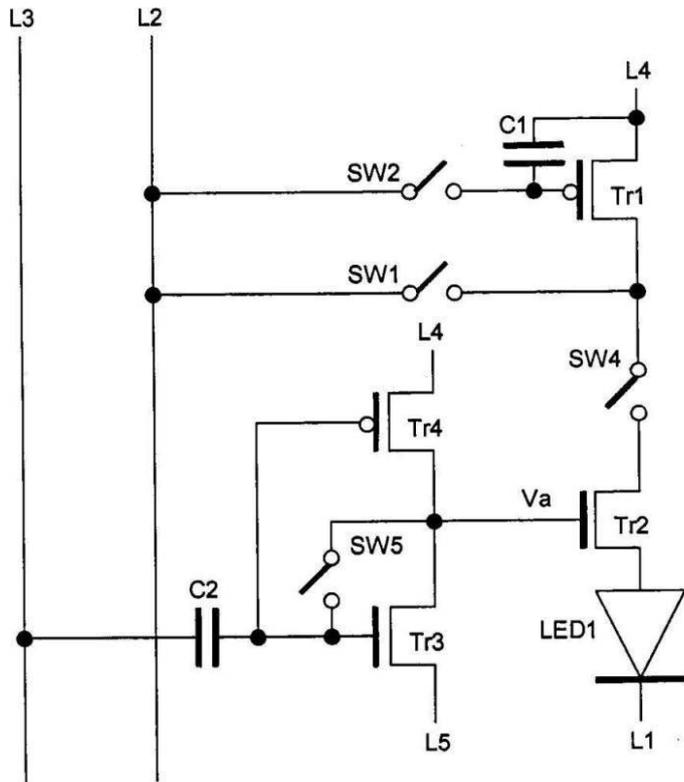
【 図 5 】



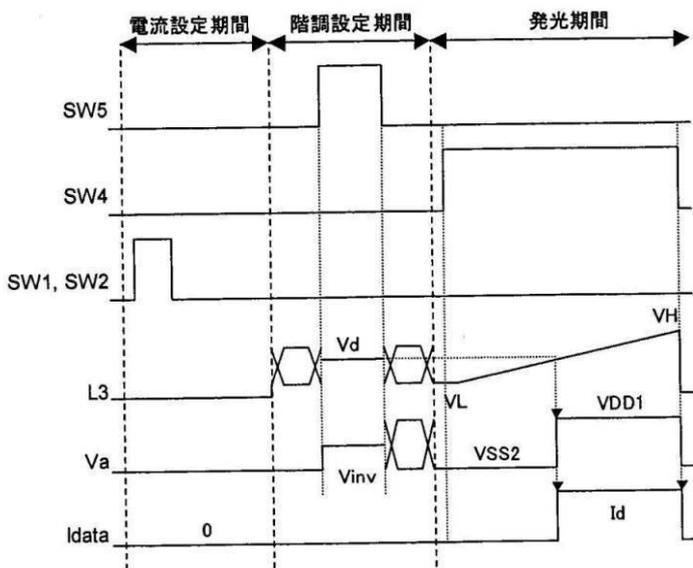
【 図 6 】



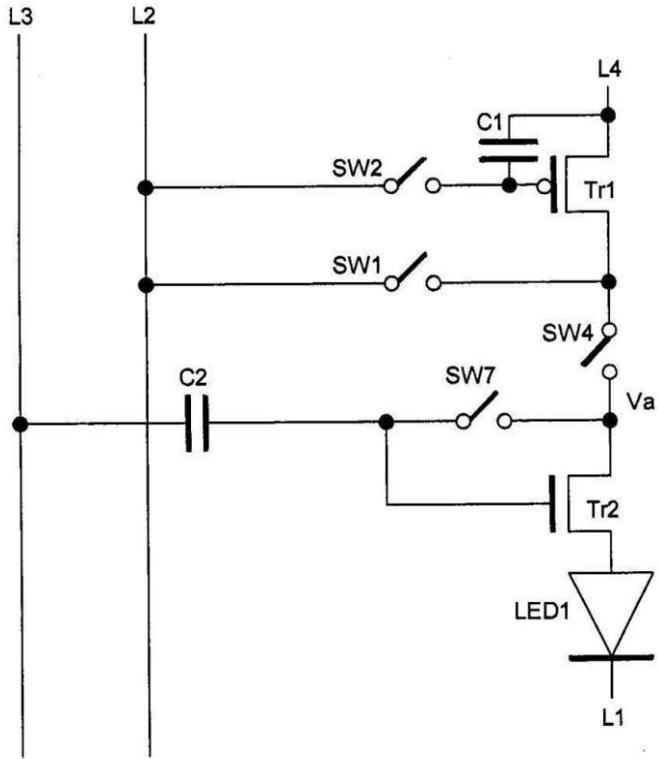
【 図 7 】



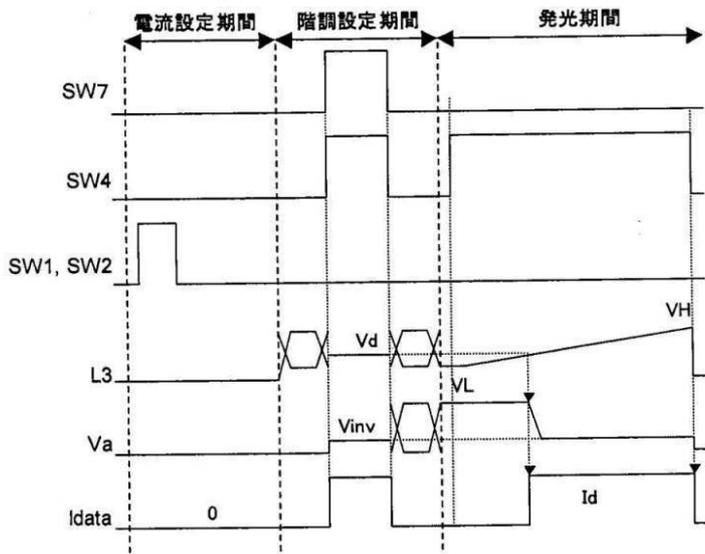
【 図 8 】



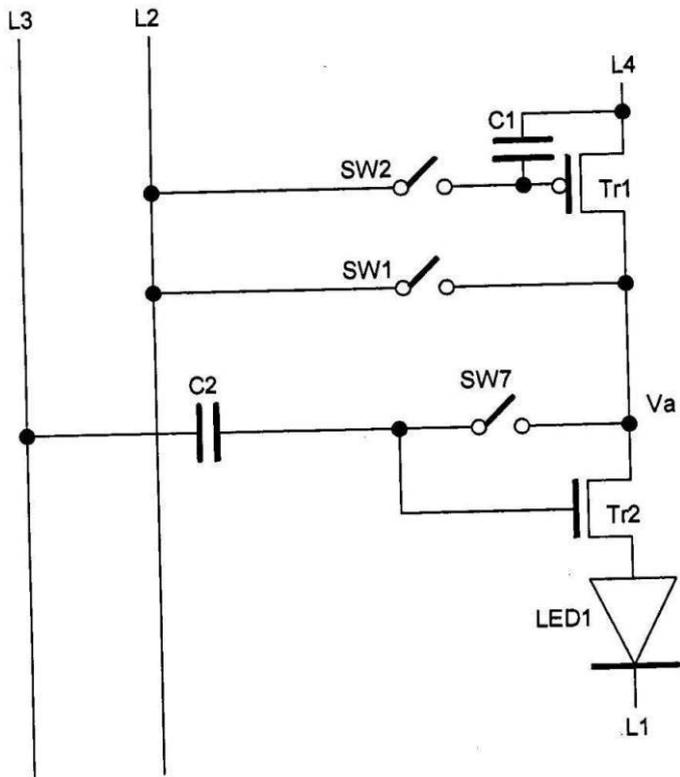
【 図 1 1 】



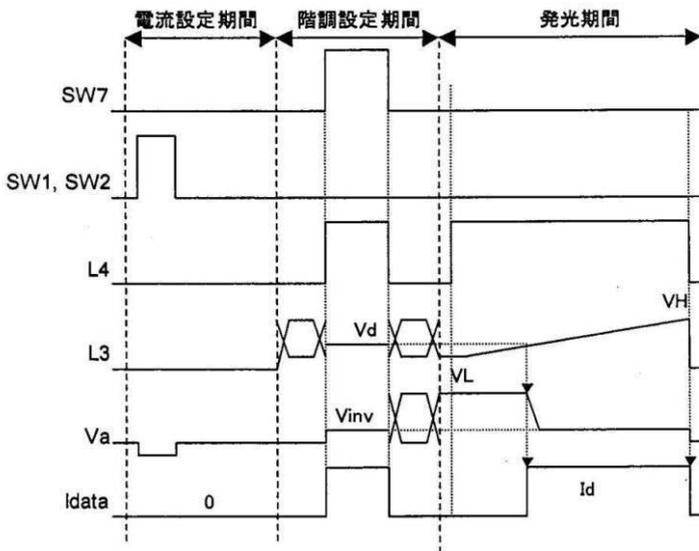
【 図 1 2 】



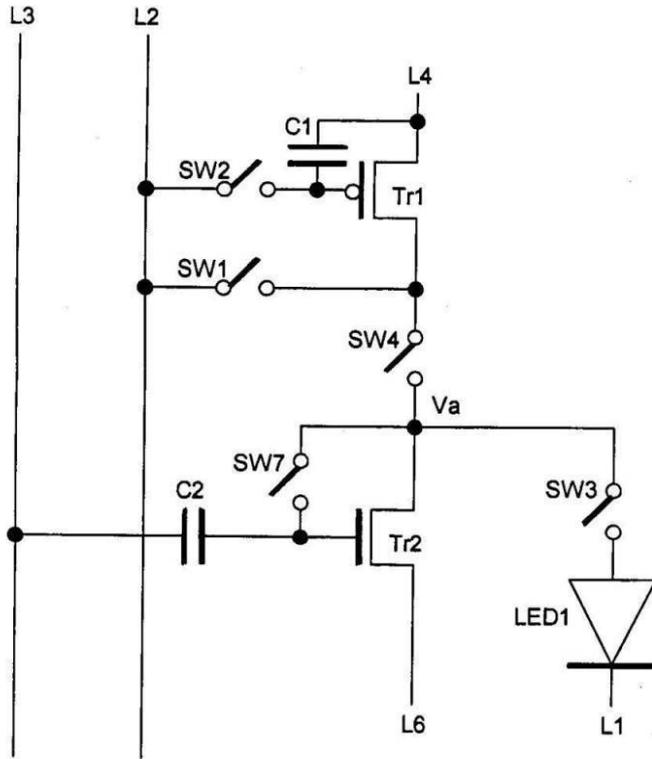
【 図 1 3 】



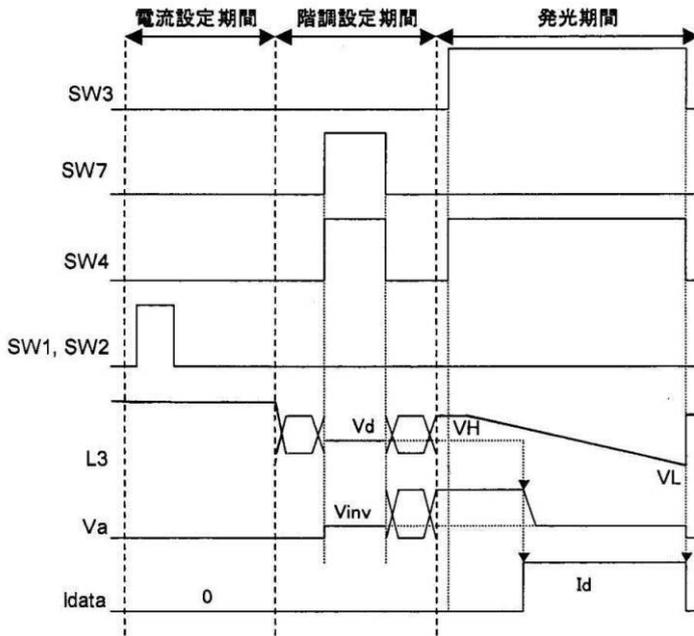
【 図 1 4 】



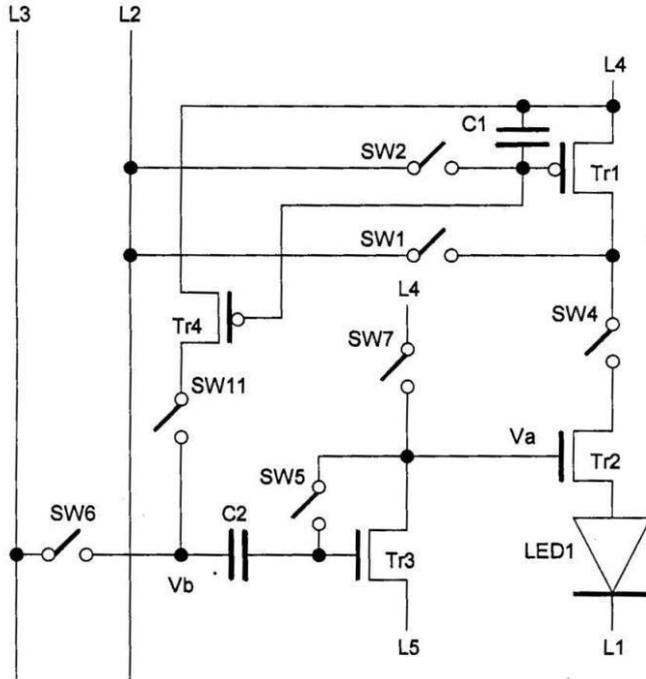
【 図 1 5 】



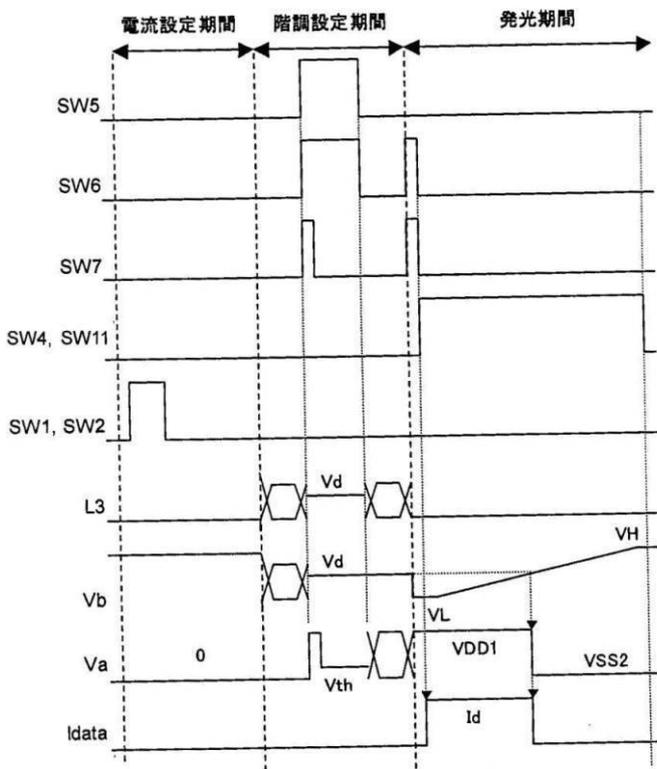
【 図 1 6 】



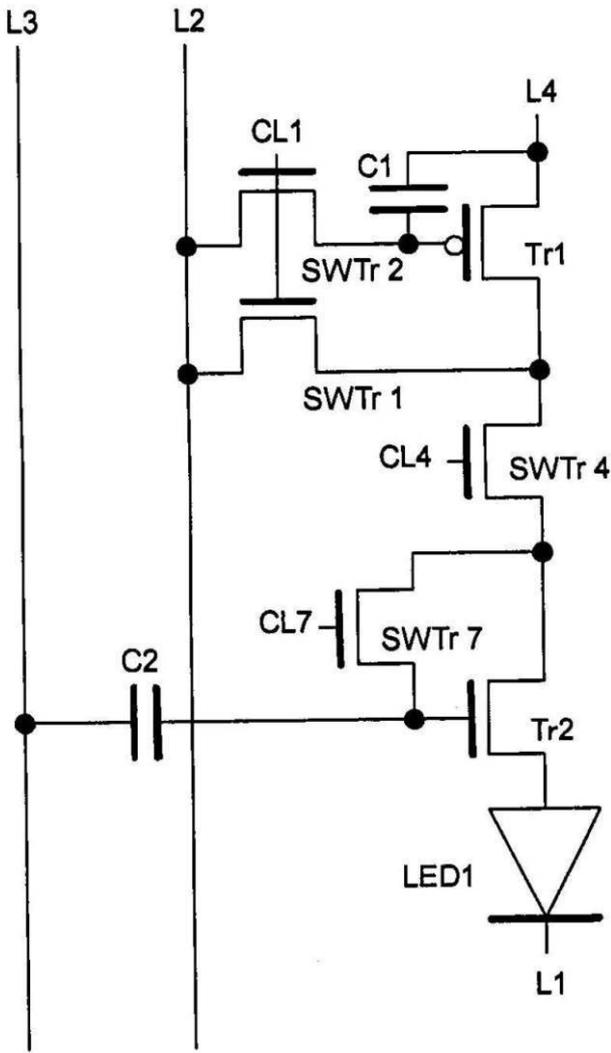
【 図 1 9 】



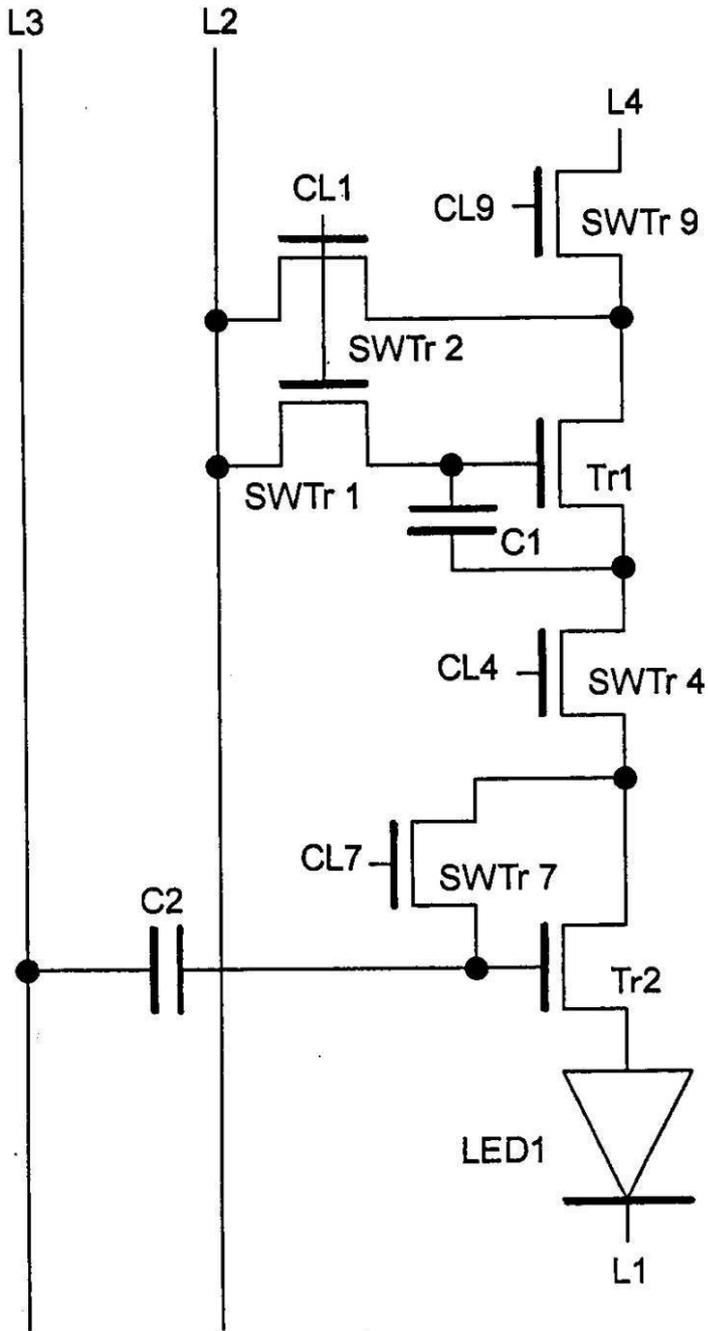
【 図 2 0 】



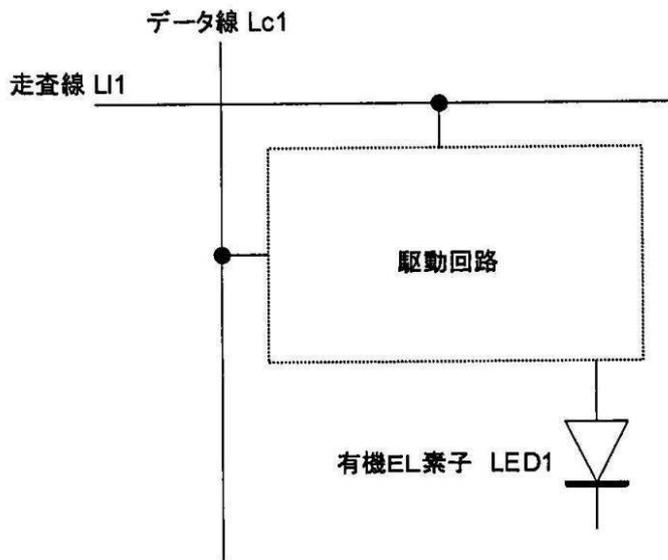
【 図 2 1 】



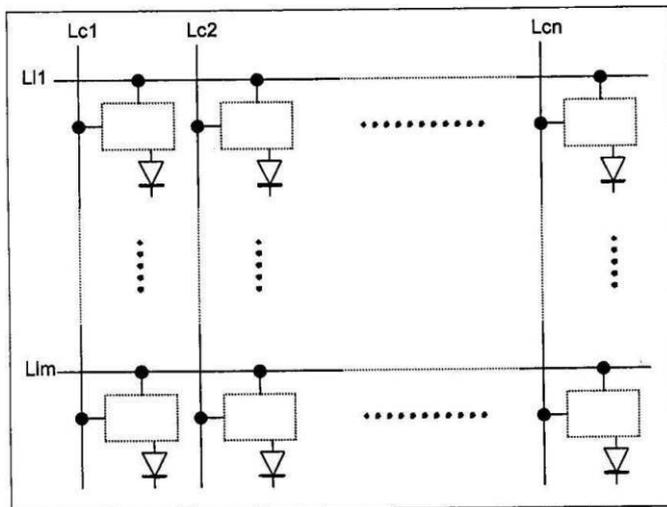
【 図 2 2 】



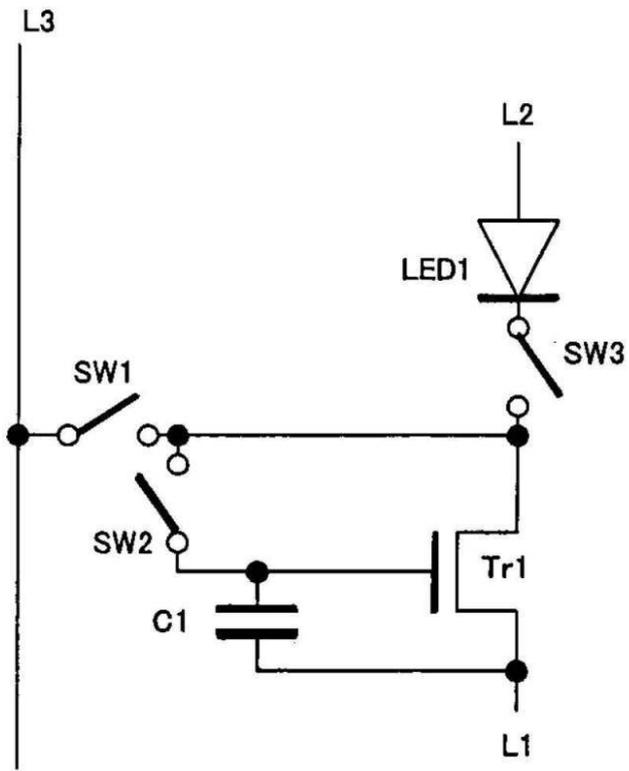
【 図 2 3 】



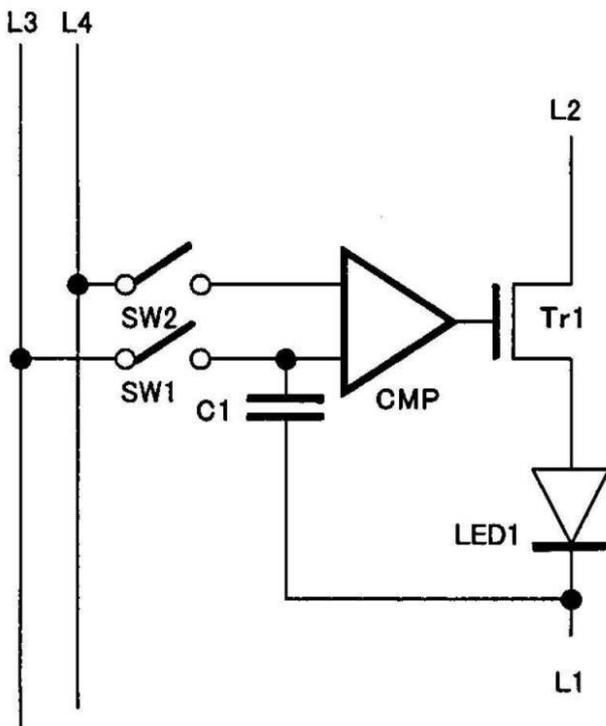
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 1 1 H
	H 0 5 B 33/14	A

(72)発明者 林 享

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 佐野 政史

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 3K107 AA01 BB01 CC21 CC42 EE03 HH04 HH05

5C080 AA06 BB05 DD05 DD08 DD29 EE29 FF11 HH09 JJ03 JJ04