(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0060835
(43) 공개일자 2016년05월31일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/56* (2006.01)
(21) 출원번호 10-2014-0162488
(22) 출원일자 2014년11월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오영무
서울 광진구 면목로9길 5-7
배효대
경기도 파주시 번영로 55,113동 303호(금촌동, 새꽃마을아파트)
이정원
경기도 고양시 일산서구 고양대로 620, 204동 2402호(일산동, 동문굿모닝힐2차아파트)
(74) 대리인
특허법인네이트

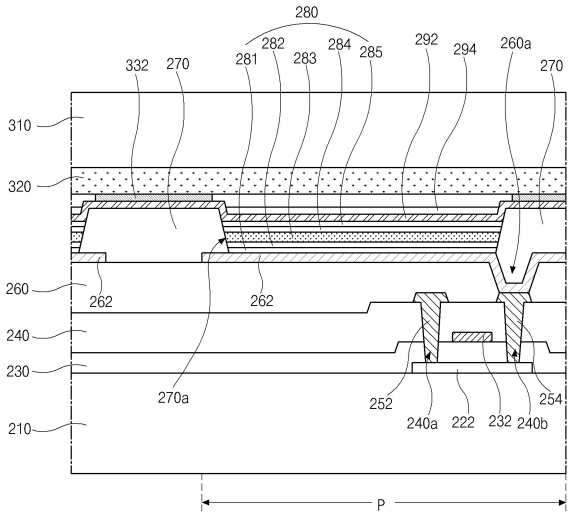
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기발광다이오드 표시장치 및 그 제조방법**

(57) 요 약

본 발명은 유기발광다이오드 표시장치 및 그 제조 방법에 관한 것으로, 본 발명의 유기발광다이오드 표시장치는 제1기판 상에 제1전극과, 발광층 및 제2전극으로 이루어진 유기발광다이오드를 포함하며, 발광층으로부터 발광된 빛이 제2전극을 통해 출력되는 상부발광방식이다. 제2전극 상부에는 패턴된 캐핑층이 위치하도록 하여 뱅크층 상부의 제2전극을 노출하고, 노출된 제2전극은 제3전극과 접촉한다. 이때, 제3전극은 격자모양을 가지고 인캡슐레이션을 위한 제2기판에 위치하거나, 제1기판 전면에 위치할 수 있다.

대 표 도 - 도4



명 세 서

청구범위

청구항 1

제1기판과;

상기 제1기판 상부의 박막트랜지스터와;

상기 박막트랜지스터의 드레인 전극과 연결되는 제1전극과;

상기 제1전극의 가장자리를 덮으며, 상기 제1전극에 대응하는 투과홀을 갖는 뱅크층과;

상기 투과홀 내의 상기 제1전극 상부에 위치하는 발광층과;

상기 발광층 상부 및 상기 뱅크층 상부의 제2전극과;

상기 투과홀 내의 상기 제2전극 상부에 위치하는 캐핑층과;

상기 뱅크층 상부의 상기 제2전극과 접촉하는 제3전극

을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제1항에 있어서,

상기 제3전극은 상기 제1전극과 중첩하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제1항에 있어서,

상기 제1기판 상부에 배치되는 제2기판과;

상기 제2기판 하면에 위치하는 인캡슐레이션층

을 더 포함하고,

상기 제3전극은 상기 인캡슐레이션층 하부에 위치하며, 상기 인캡슐레이션층은 상기 캐핑층과 접촉하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제3항에 있어서,

상기 유기발광다이오드 표시장치는 다수의 서브화소로 이루어진 화소를 포함하고, 상기 제3전극은 상기 화소에 대응하여 하나의 개구부를 가지거나, 인접한 두 화소에 대응하여 하나의 개구부를 가지는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제3항에 있어서,

상기 유기발광다이오드 표시장치는 다수의 서브화소로 이루어진 화소를 포함하고, 상기 제3전극은 상기 서브화

소 각각에 대응하여 하나의 개구부를 가지는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제1항에 있어서,

상기 제3전극은 상기 제1기판 전면에 위치하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제6항에 있어서,

상기 제3전극 상부에 상기 제1기판 전면에 위치하는 광보정층을 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

기판 상에 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터 상부에 상기 박막트랜지스터의 드레인 전극과 연결되는 제1전극을 형성하는 단계와;

상기 제1전극을 노출하는 투과홀을 갖는 뱅크층을 형성하는 단계와;

상기 투과홀 내의 상기 제1전극 상부에 위치하는 발광층을 형성하는 단계와;

상기 발광층 상부의 상기 기판 전면에 제2전극을 형성하는 단계와;

상기 투과홀 내의 상기 제2전극 상부에 위치하는 캐핑층을 형성하는 단계와;

상기 뱅크층 상부의 상기 제2전극과 접촉하는 제3전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 캐핑층을 형성하는 단계는,

상기 투과홀에 대응하여 개구된 마스크를 상기 기판 상에 배치하는 단계와;

상기 마스크를 통해 유기물질을 진공증착하는 단계

를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

청구항 10

제8항에 있어서,

상기 캐핑층을 형성하는 단계는,

상기 투과홀 내의 상기 제2전극 상부에 유기물질을 포함하는 용액을 분사하는 단계와;

상기 분사된 용액을 건조하는 단계

를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것으로, 특히 균일한 휘도를 제공할 수 있는 대면적, 고해상도 유기발광다이오드 표시장치와 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(flat panel display)가 널리 개발되어 다양한 분야에 적용되고 있다.

[0003] 평판표시장치 중에서, 유기 전계발광 표시장치 또는 유기 전기발광 표시장치(organic electroluminescent display device)라고도 불리는 유기발광다이오드 표시장치(organic light emitting diode display device: OLED display device)는, 전자 주입 전극인 음극과 정공 주입 전극인 양극 사이에 형성된 발광층에 전하를 주입하여 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 소자이다. 이러한 유기발광다이오드 표시장치는 플라스틱과 같은 유연한 기판(flexible substrate) 위에도 형성할 수 있을 뿐 아니라, 자체 발광형이기 때문에 대조비(contrast ratio)가 크며, 응답시간이 수 마이크로초(㎲) 정도이므로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 비교적 낮은 전압으로 구동이 가능하므로 구동회로의 제작 및 설계가 용이하다.

[0004] 유기발광다이오드 표시장치는 구동 방식에 따라 수동형(passive matrix type) 및 능동형(active matrix type)으로 나누어질 수 있는데, 저소비전력, 고정세, 대형화가 가능한 능동형 유기발광다이오드 표시장치가 다양한 표시장치에 널리 이용되고 있다.

[0005] 도 1은 일반적인 유기발광다이오드 표시장치의 하나의 화소영역에 대한 회로도이다.

[0006] 도 1에 도시한 바와 같이, 유기발광다이오드 표시장치는 서로 교차하여 화소영역(P)을 정의하는 게이트배선(GL)과 데이터배선(DL)을 포함하고, 각각의 화소영역(P)에는 스위칭 박막트랜지스터(Ts)와 구동 박막트랜지스터(Td), 스토리지 커패시터(Cst), 그리고 발광다이오드(De)가 형성된다.

[0007] 보다 상세하게, 스위칭 박막트랜지스터(Ts)의 게이트전극은 게이트배선(GL)에 연결되고 소스전극은 데이터배선(DL)에 연결된다. 구동 박막트랜지스터(Td)의 게이트전극은 스위칭 박막트랜지스터(Ts)의 드레인전극에 연결되고, 소스전극은 고전위 전압(VDD)에 연결된다. 발광다이오드(De)의 애노드(anode)는 구동 박막트랜지스터(Td)의 드레인전극에 연결되고, 캐소드(cathode)는 저전위 전압(VSS)에 연결된다. 스토리지 커패시터(Cst)는 구동 박막트랜지스터(Td)의 게이트전극과 드레인전극에 연결된다.

[0008] 이러한 유기발광다이오드 표시장치의 영상표시 동작을 살펴보면, 게이트배선(GL)을 통해 인가된 게이트신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되고, 이때, 데이터배선(DL)으로 인가된 데이터신호가 스위칭 박막트랜지스터(Ts)를 통해 구동 박막트랜지스터(Td)의 게이트전극과 스토리지 커패시터(Cst)의 일 전극에 인가된다.

[0009] 구동 박막트랜지스터(Td)는 데이터신호에 따라 턴-온 되어 발광다이오드(De)를 흐르는 전류를 제어하여 영상을 표시한다. 발광다이오드(De)는 구동 박막트랜지스터(Td)를 통하여 전달되는 고전위 전압(VDD)의 전류에 의하여 발광한다.

[0010] 즉, 발광다이오드(De)를 흐르는 전류의 양은 데이터신호의 크기에 비례하고, 발광다이오드(De)가 방출하는 빛의 세기는 발광다이오드(De)를 흐르는 전류의 양에 비례하므로, 화소영역(P)은 데이터신호의 크기에 따라 상이한 계조를 표시하고, 그 결과 유기발광다이오드 표시장치는 영상을 표시한다.

[0011] 스토리지 커패시터(Cst)는 데이터신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(De)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(De)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.

[0012] 유기발광다이오드 표시장치는 발광방향에 따라 하부발광방식과 상부발광방식으로 나뉜다. 하부발광방식에서는 발광다이오드로부터의 빛이 애노드를 통해 박막트랜지스터가 형성된 기판 쪽으로 출력되고, 상부발광방식에서는

발광다이오드로부터의 빛이 캐소드를 통해 기판 반대 방향 쪽으로 출력된다. 일반적으로 유기발광다이오드 표시장치에서는 박막트랜지스터가 발광다이오드 하부에 형성되기 때문에, 하부발광방식에서는 박막트랜지스터에 의해 유효 발광 면적이 제한되어, 상부발광방식은 하부발광방식보다 넓은 유효 발광 면적을 가진다. 따라서, 상부발광방식이 하부발광방식에 비해 개구율이 높으므로, 대면적 고해상도 표시장치에 널리 이용된다.

[0013] 그런데, 캐소드는 주로 금속 물질을 이용하여 형성되므로, 상부발광방식 유기발광다이오드 표시장치에서 빛이 캐소드를 통해 출력되기 위해, 캐소드는 상대적으로 얇은 두께를 가져야 한다. 이에 따라, 캐소드의 저항이 높아지게 되며, 대면적 고해상도 표시장치에서는 캐소드의 저항에 의해 저전위 전압 강하(VSS voltage drop)가 발생하게 되어, 휘도 불균일 문제가 발생한다.

발명의 내용

해결하려는 과제

[0014] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 대면적, 고해상도 및 균일한 휘도를 갖는 유기발광다이오드 표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0015] 상기의 목적을 달성하기 위하여, 본 발명은, 제1기판과, 상기 제1기판 상부의 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 연결되는 제1전극과, 상기 제1전극의 가장자리를 덮으며, 상기 제1전극에 대응하는 투과홀을 갖는 뱅크층과, 상기 투과홀 내의 상기 제1전극 상부에 위치하는 발광층과, 상기 발광층 상부 및 상기 뱅크층 상부의 제2전극과, 상기 투과홀 내의 상기 제2전극 상부에 위치하는 캐핑층과, 상기 뱅크층 상부의 상기 제2전극과 접촉하는 제3전극을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치를 제공한다.

[0016] 상기 제3전극은 상기 제1전극과 중첩한다.

[0017] 본 발명의 유기발광다이오드 표시장치는 상기 제1기판 상부에 배치되는 제2기판과, 상기 제2기판 하면에 위치하는 인캡슐레이션층을 더 포함하고, 상기 제3전극은 상기 인캡슐레이션층 하부에 위치하며, 상기 인캡슐레이션층은 상기 캐핑층과 접촉한다.

[0018] 상기 유기발광다이오드 표시장치는 다수의 서브화소로 이루어진 화소를 포함하고, 상기 제3전극은 상기 화소에 대응하여 하나의 개구부를 가지거나, 인접한 두 화소에 대응하여 하나의 개구부를 가진다.

[0019] 상기 유기발광다이오드 표시장치는 다수의 서브화소로 이루어진 화소를 포함하고, 상기 제3전극은 상기 서브화소 각각에 대응하여 하나의 개구부를 가진다.

[0020] 상기 제3전극은 상기 제1기판 전면에 위치한다.

[0021] 본 발명의 유기발광다이오드 표시장치는 상기 제3전극 상부에 상기 제1기판 전면에 위치하는 광보정층을 더 포함한다.

[0022] 또한, 본 발명은, 기판 상에 박막트랜지스터를 형성하는 단계와, 상기 박막트랜지스터 상부에 상기 박막트랜지스터의 드레인 전극과 연결되는 제1전극을 형성하는 단계와, 상기 제1전극을 노출하는 투과홀을 갖는 뱅크층을 형성하는 단계와, 상기 투과홀 내의 상기 제1전극 상부에 위치하는 발광층을 형성하는 단계와, 상기 발광층 상부의 상기 기판 전면에 제2전극을 형성하는 단계와, 상기 투과홀 내의 상기 제2전극 상부에 위치하는 캐핑층을 형성하는 단계와, 상기 뱅크층 상부의 상기 제2전극과 접촉하는 제3전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법을 제공한다.

[0023] 상기 캐핑층을 형성하는 단계는, 상기 투과홀에 대응하여 개구된 마스크를 상기 기판 상에 배치하는 단계와, 상기 마스크를 통해 유기물질을 진공증착하는 단계를 포함한다.

[0024] 또는, 상기 캐핑층을 형성하는 단계는, 상기 투과홀 내의 상기 제2전극 상부에 유기물질을 포함하는 용액을 분사하는 단계와, 상기 분사된 용액을 건조하는 단계를 포함한다.

발명의 효과

[0025] 본 발명에서는, 발광층으로부터 발광된 빛이 캐소드인 제2전극을 통해 외부로 출력되도록 하여, 개구율이 높고 대면적 및 고해상도를 갖는 유기발광다이오드 표시장치를 제공하면서, 제2전극을 보조전극과 연결함으로써 제2전극의 저항을 낮추어 휘도를 균일하게 할 수 있다.

[0026] 이때, 보조전극은 제2전극 상부에 형성되므로, 애노드인 제1전극과 다른 층에 형성되며 제1전극과 중첩할 수 있다. 따라서, 제1전극의 면적을 증가시켜 개구율이 증가되고, 표시장치의 효율 및 수명을 향상시킬 수 있다.

[0027] 또한, 제2전극 상부의 캐핑층은 투과홀 내에만 형성되므로, 별도의 사진식각공정 없이 뱅크층 상부의 제2전극을 노출할 수 있다. 이에 따라, 공정이 단순화되고 제조 시간과 비용을 줄일 수 있다.

[0028] 한편, 보조전극의 두께 조절이 용이하므로, 보조전극의 면적을 줄여 개구율을 높이면서 제2전극의 저항이 감소하는 것을 방지할 수 있다.

[0029] 게다가, 유효발광영역에서 다중층 구조를 통해 광추출 효과를 증대할 수 있다.

도면의 간단한 설명

[0030] 도 1은 일반적인 유기발광다이오드 표시장치의 하나의 화소영역에 대한 회로도이다.

도 2는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도이다.

도 3a는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 개략적으로 도시한 평면도이고, 도 3b는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 뱅크층을 개략적으로 도시한 평면도이다.

도 4는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도이다.

도 5는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 하부기판을 도시한 단면도이다.

도 6a는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 개략적으로 도시한 평면도이고, 도 6b는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 뱅크층을 개략적으로 도시한 평면도이다.

도 7a 내지 7e는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 제조 공정 중 각 단계에서의 표시장치를 도시한 단면도이다.

도 8a 및 도 8b는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 캐핑층 형성 단계에서의 표시장치를 도시한 단면도이다.

도 9a는 본 발명의 제3실시예에 따른 유기발광다이오드 표시장치를 개략적으로 도시한 평면도이고, 도 9b는 본 발명의 제3실시예에 따른 유기발광다이오드 표시장치의 뱅크층을 개략적으로 도시한 평면도이다.

도 10은 본 발명의 제4실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 도면을 참조하여 본 발명의 실시예에 따른 유기발광다이오드 표시장치 및 그 제조 방법에 대하여 상세히 설명한다.

[0032] -제 1 실시예-

[0033] 도 2는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도로, 한 화소영역에 대응하는 구조를 도시한다. 도 3a는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 개략적으로 도시한 평면도이고, 도 3b는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 뱅크층을 개략적으로 도시한 평면도이며, 도 3a와 도 3b는 한 화소에 대응하는 구조를 도시한다. 여기서, 한 화소는 적, 녹, 청색 서브화소(SP1, SP2, SP3)를 포함하며, 서브화소(SP1, SP2, SP3)의 각각은 한 화소영역(P)에 해당하여 도 2의 화소영역(P)에 대응하는 구조를 가진다.

[0034] 먼저, 도 2에 도시한 바와 같이, 절연 기판(110) 상부에 패터닝된 반도체층(122)이 형성된다. 기판(110)은 유

리기판이나 플라스틱기판일 수 있다. 반도체층(122)은 산화물 반도체 물질로 이루어질 수 있다. 이와 달리, 반도체층(122)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 반도체층(122)의 양 가장자리에 불순물이 도핑되어 있을 수 있다.

[0035] 반도체층(122) 상부에는 절연물질로 이루어진 게이트 절연막(130)이 기판(110) 전면에 형성된다. 게이트 절연막(130)은 산화 실리콘(SiO_2)과 같은 무기절연물질로 형성될 수 있다. 반도체층(122)이 다결정 실리콘으로 이루어질 경우, 게이트 절연막(130)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)으로 형성될 수 있다.

[0036] 게이트 절연막(130) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트전극(132)이 반도체층(122)에 대응하여 형성된다. 또한, 게이트 절연막(130) 상부에는 게이트배선(도시하지 않음)과 제1 커패시터 전극(도시하지 않음)이 형성될 수 있다. 게이트배선은 제1방향을 따라 연장되고, 제1 커패시터 전극은 게이트전극(132)에 연결된다.

[0037] 한편, 본 발명의 실시예에서는 게이트 절연막(130)이 기판(110) 전면에 형성되어 있으나, 게이트 절연막(130)은 게이트전극(132)과 동일한 모양으로 패터닝될 수도 있다.

[0038] 게이트전극(132) 상부에는 절연물질로 이루어진 층간 절연막(140)이 기판(110) 전면에 형성된다. 층간 절연막(140)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.

[0039] 층간 절연막(140)은 반도체층(122)의 양측 상면을 노출하는 제1 및 제2 컨택홀(140a, 140b)을 가진다. 제1 및 제2 컨택홀(140a, 140b)은 게이트전극(132)의 양측에 게이트전극(132)과 이격되어 위치한다. 여기서, 제1 및 제2 컨택홀(140a, 140b)은 게이트 절연막(130) 내에도 형성된다. 이와 달리, 게이트 절연막(130)이 게이트전극(132)과 동일한 모양으로 패터닝될 경우, 제1 및 제2 컨택홀(140a, 140b)은 층간 절연막(140) 내에만 형성된다.

[0040] 층간 절연막(140) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인전극(152, 154)이 형성된다. 또한, 층간 절연막(140) 상부에는 제2방향을 따라 연장되는 데이터배선(도시하지 않음)과 전원배선(도시하지 않음) 및 제2 커패시터 전극(도시하지 않음)이 형성될 수 있다.

[0041] 소스 및 드레인전극(152, 154)은 게이트전극(132)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 컨택홀(140a, 140b)을 통해 반도체층(122)의 양측과 접촉한다. 도시하지 않았지만, 데이터배선은 제2방향을 따라 연장되고 게이트배선과 교차하여 화소영역(P)을 정의하며, 전원배선은 데이터배선과 이격되어 위치한다. 제2 커패시터 전극은 드레인전극(154)과 연결되고, 제1 커패시터 전극과 중첩하여 둘 사이의 층간 절연막(140)을 유전체로 스토리지 커패시터를 이룬다.

[0042] 한편, 반도체층(122)과, 게이트전극(132), 그리고 소스 및 드레인전극(152, 154)은 박막트랜지스터를 이룬다. 여기서, 박막트랜지스터는 반도체층(122)의 일측, 즉, 반도체층(122)의 상부에 게이트전극(132)과 소스 및 드레인전극(152, 154)이 위치하는 코플라나(coplanar) 구조를 가진다.

[0043] 이와 달리, 박막트랜지스터는 반도체층의 하부에 게이트전극이 위치하고 반도체층의 상부에 소스 및 드레인전극이 위치하는 역 스태거드(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.

[0044] 여기서, 박막트랜지스터는 유기발광다이오드 표시장치의 구동 박막트랜지스터에 해당하며, 구동 박막트랜지스터와 동일한 구조의 스위칭 박막트랜지스터(도시하지 않음)가 기판(110) 상에 더 형성되는데, 구동 박막트랜지스터의 게이트 전극(132)은 스위칭 박막트랜지스터의 드레인전극(도시하지 않음)에 연결되고 구동 박막트랜지스터의 소스전극(152)은 전원배선(도시하지 않음)에 연결된다. 또한, 스위칭 박막트랜지스터의 게이트전극(도시하지 않음)과 소스전극(도시하지 않음)은 게이트 배선 및 데이터 배선과 각각 연결된다.

[0045] 소스 및 드레인전극(152, 154) 상부에는 절연물질로 보호막(160)이 기판(110) 전면에 형성된다. 보호막(160)은 상면이 평탄하며, 드레인전극(154)을 노출하는 드레인 컨택홀(160a)을 가진다. 여기서, 드레인 컨택홀(160a)은 제2 컨택홀(140b) 바로 위에 형성된 것으로 도시되어 있으나, 제2 컨택홀(140b)과 이격되어 형성될 수도 있다.

[0046] 보호막(160)은 벤조사이클로부텐이나 포토 아크릴과 같은 유기절연물질로 형성될 수 있다.

[0047] 보호막(160) 상부에는 비교적 일함수가 높은 도전성 물질로 제1전극(162)이 형성된다. 제1전극(162)은 각 화소영역(P)마다 형성되고, 드레인 컨택홀(160a)을 통해 드레인전극(154)과 접촉한다. 일례로, 제1전극(162)은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성

물질로 형성될 수 있다.

[0048] 한편, 제1전극(162)은 불투명 도전성 물질로 이루어진 반사층(도시하지 않음)을 더 포함할 수 있다. 일례로, 반사층은 알루미늄-팔라듐-구리(aluminum-paladium-copper: APC) 합금으로 형성될 수 있으며, 제1전극(162)은 ITO/APC/ITO의 3중층 구조를 가질 수 있다.

[0049] 또한, 보호막(160) 상부에는 제1전극(162)과 이격되어 보조전극(164)이 형성되며, 보조전극(164)은 제1전극(162)과 동일한 물질로 이루어질 수 있다.

[0050] 보조전극(164)은 화소영역(P)의 가장자리를 따라 형성된다. 도 3a를 참조하면, 보다 상세하게, 보조전극(164)은 기판(110) 상에서 제1방향 및 제2방향으로 연장되고 화소영역(P)마다 하나의 개구부를 포함하는 격자모양을 가진다. 보조전극(164)의 개구부 내에는 제1전극(162)이 위치한다.

[0051] 제1전극(162) 및 보조전극(164) 상부에는 절연물질로 뱅크층(170)이 형성된다. 뱅크층(170)은 제1전극(162)과 보조전극(164)의 가장자리를 덮으며, 제1전극(162)을 노출하는 투과홀(170a)을 가진다. 또한, 도 3b를 참조하면, 뱅크층(170)은 각 화소영역(P)에 대응하여 패터닝되어 있으며, 인접한 뱅크층(170) 사이의 보조전극(164)이 노출된다.

[0052] 뱅크층(170)의 투과홀(170a)을 통해 노출된 제1전극(162) 상부에는 발광층(180)이 형성된다. 발광층(180)은 제1전극(162) 상부로부터 순차적으로 적층된 정공주입층(hole injecting layer)(181)과, 정공수송층(hole transporting layer)(182), 발광물질층(light-emitting material layer)(183), 전자수송층(electron transporting layer)(184), 그리고 전자주입층(electron injecting layer)(185)을 포함한다. 발광물질층(183)은 적, 녹, 청색 발광물질층 중 하나일 수 있다.

[0053] 여기서, 정공주입층(181)과 정공수송층(182), 전자수송층(184), 그리고 전자주입층(185)은 실질적으로 보조전극(164) 상부를 제외한 기판(110) 전면에 형성되고, 발광물질층(183)은 투과홀(170a) 내에만 형성된다.

[0054] 발광층(180) 상부에는 비교적 일함수가 낮은 도전성 물질로 제2전극(192)이 기판(110) 전면에 형성된다. 제2전극(192)은 인접한 뱅크층(170) 사이에서 노출된 보조전극(164)과 접촉한다. 여기서, 제2전극(192)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으로 형성될 수 있으며, 빛이 투과되도록 비교적 얇은 두께를 가진다. 이때, 제2전극(192)의 빛 투과도는 약 45-50%일 수 있다.

[0055] 제1전극(162)과 발광층(180) 및 제2전극(192)은 유기발광다이오드를 이루며, 제1전극(162)은 애노드(anode)의 역할을 하고, 제2전극(192)은 캐소드(cathode)의 역할을 한다. 여기서, 유기발광다이오드 표시장치는 발광층(180)으로부터 발광된 빛이 제2전극(192)을 통해 외부로 출력되는 상부발광방식(top emission type)이다.

[0056] 또한, 제2전극(192) 상부에는 캐핑층(capping layer: 194)이 기판(110) 전면에 형성된다. 캐핑층(194)은 상부발광방식 유기발광다이오드 표시장치에서 광추출 효율을 향상시킨다.

[0057] 이러한 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치에서는, 제2전극(192)을 보조전극(164)과 연결함으로써 제2전극(192)의 저항을 낮추고, 휘도 불균일 문제를 개선할 수 있다.

[0058] 그런데, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치에서는, 보조전극(164)이 제1전극(162)과 동일층에 형성되므로, 보조전극(164)의 면적만큼 제1전극(162)의 면적이 줄어들게 되며, 제1전극(162)의 면적에 따른 유효발광영역이 줄어들게 된다. 따라서, 개구율이 감소되고, 표시장치의 효율 및 수명이 저하된다.

[0059] 또한, 이러한 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치에서는, 정공주입층(181)과 정공수송층(182), 전자수송층(184) 및 전자주입층(185), 또는 전자수송층(184)과 전자주입층(186)이 기판(110) 전면에 형성되므로, 보조전극(164) 상부에도 이 층들이 형성된다. 따라서, 제2전극(192)을 보조전극(164)과 접촉시키기 위해서는 보조전극(164) 상부의 정공주입층(181)과 정공수송층(182), 전자수송층(184) 및 전자주입층(185), 또는 전자수송층(184)과 전자주입층(186)을 제거해야 하며, 이를 위해 사진식각공정이 필요하다. 사진식각공정은 감광막의 도포와, 마스크를 이용한 노광, 감광막의 현상 및 대상막의 식각 등의 여러 단계를 포함하므로, 사진식각공정의 추가는 제조 시간과 비용을 증가시키게 된다.

[0060] -제2실시예-

[0061] 도 4는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도이고, 도 5는 본 발명의 제2실

시예에 따른 유기발광다이오드 표시장치의 하부기판을 도시한 단면도로, 한 화소영역에 대응하는 구조를 도시한다. 또한, 도 6a는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 개략적으로 도시한 평면도이고, 도 6b는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 뱅크층을 개략적으로 도시한 평면도이며, 도 6a와 도 6b는 한 화소에 대응하는 구조를 도시한다. 여기서, 한 화소는 적, 녹, 청색 서브화소(SP1, SP2, SP3)를 포함하며, 서브화소(SP1, SP2, SP3)의 각각은 한 화소영역(P)에 해당하고 도 4 및 도 5의 화소영역(P)에 대응하는 구조를 가진다.

[0062] 도 4와 도 5에 도시한 바와 같이, 제1기판(210) 상부에 패터닝된 반도체층(222)이 형성된다. 제1기판(210)은 유리기판이나 플라스틱기판일 수 있다. 반도체층(222)은 산화물 반도체 물질로 이루어질 수 있다. 이와 달리, 반도체층(222)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 반도체층(222)의 양 가장자리에 불순물이 도핑되어 있을 수 있다.

[0063] 반도체층(222) 상부에는 절연물질로 이루어진 게이트 절연막(230)이 제1기판(210) 전면에 형성된다. 게이트 절연막(230)은 산화 실리콘(SiO_2)과 같은 무기절연물질로 형성될 수 있다. 반도체층(222)이 다결정 실리콘으로 이루어질 경우, 게이트 절연막(230)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)으로 형성될 수 있다.

[0064] 게이트 절연막(230) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트전극(232)이 반도체층(222)에 대응하여 형성된다. 또한, 게이트 절연막(230) 상부에는 게이트배선(도시하지 않음)과 제1 커패시터 전극(도시하지 않음)이 형성될 수 있다. 게이트배선은 제1방향을 따라 연장되고, 제1 커패시터 전극은 게이트전극(232)에 연결된다.

[0065] 한편, 본 발명의 실시예에서는 게이트 절연막(230)이 제1기판(210) 전면에 형성되어 있으나, 게이트 절연막(230)은 게이트전극(232)과 동일한 모양으로 패터닝될 수도 있다.

[0066] 게이트전극(232) 상부에는 절연물질로 이루어진 층간 절연막(240)이 제1기판(210) 전면에 형성된다. 층간 절연막(240)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.

[0067] 층간 절연막(240)은 반도체층(222)의 양측 상면을 노출하는 제1 및 제2 컨택홀(240a, 240b)을 가진다. 제1 및 제2 컨택홀(240a, 240b)은 게이트전극(232)의 양측에 게이트전극(232)과 이격되어 위치한다. 여기서, 제1 및 제2 컨택홀(240a, 240b)은 게이트 절연막(230) 내에도 형성된다. 이와 달리, 게이트 절연막(230)이 게이트전극(232)과 동일한 모양으로 패터닝될 경우, 제1 및 제2 컨택홀(240a, 240b)은 층간 절연막(240) 내에만 형성된다.

[0068] 층간 절연막(240) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인전극(252, 254)이 형성된다. 또한, 층간 절연막(240) 상부에는 제2방향을 따라 연장되는 데이터배선(도시하지 않음)과 전원배선(도시하지 않음) 및 제2 커패시터 전극(도시하지 않음)이 형성될 수 있다.

[0069] 소스 및 드레인전극(252, 254)은 게이트전극(232)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 컨택홀(240a, 240b)을 통해 반도체층(222)의 양측과 접촉한다. 도시하지 않았지만, 데이터배선은 제2방향을 따라 연장되고 게이트배선과 교차하여 화소영역(P)을 정의하며, 전원배선은 데이터배선과 이격되어 위치한다. 제2 커패시터 전극은 드레인전극(254)과 연결되고, 제1 커패시터 전극과 중첩하여 둘 사이의 층간 절연막(240)을 유전체로 스토리지 커패시터를 이룬다.

[0070] 한편, 반도체층(222)과, 게이트전극(232), 그리고 소스 및 드레인전극(252, 254)은 박막트랜지스터를 이룬다. 여기서, 박막트랜지스터는 반도체층(222)의 일측, 즉, 반도체층(222)의 상부에 게이트전극(232)과 소스 및 드레인전극(252, 254)이 위치하는 코플라나(coplanar) 구조를 가진다.

[0071] 이와 달리, 박막트랜지스터는 반도체층의 하부에 게이트전극이 위치하고 반도체층의 상부에 소스 및 드레인전극이 위치하는 역 스태거드(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.

[0072] 여기서, 박막트랜지스터는 유기발광다이오드 표시장치의 구동 박막트랜지스터에 해당하며, 구동 박막트랜지스터와 동일한 구조의 스위칭 박막트랜지스터(도시하지 않음)가 제1기판(210) 상에 더 형성되는데, 구동 박막트랜지스터의 게이트 전극(232)은 스위칭 박막트랜지스터의 드레인전극(도시하지 않음)에 연결되고 구동 박막트랜지스터의 소스전극(252)은 전원배선(도시하지 않음)에 연결된다. 또한, 스위칭 박막트랜지스터의 게이트전극(도시하지 않음)과 소스전극(도시하지 않음)은 게이트 배선 및 데이터 배선과 각각 연결된다.

[0073] 소스 및 드레인전극(252, 254) 상부에는 절연물질로 보호막(260)이 제1기판(210) 전면에 형성된다. 보호막(260)은 상면이 평탄하며, 드레인전극(254)을 노출하는 드레인 컨택홀(260a)을 가진다. 여기서, 드레인 컨택홀(260a)은 제2 컨택홀(240b) 바로 위에 형성된 것으로 도시되어 있으나, 제2 컨택홀(240b)과 이격되어 형성될 수도 있다.

[0074] 보호막(260)은 벤조사이클로부텐이나 포토 아크릴과 같은 유기절연물질로 형성될 수 있다.

[0075] 보호막(260) 상부에는 비교적 일함수가 높은 도전성 물질로 제1전극(262)이 형성된다. 제1전극(262)은 각 화소영역(P)마다 형성되고, 드레인 컨택홀(260a)을 통해 드레인전극(254)과 접촉한다. 일례로, 제1전극(262)은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성 물질로 형성될 수 있다.

[0076] 한편, 제1전극(262)은 불투명 도전성 물질로 이루어진 반사층(도시하지 않음)을 더 포함할 수 있다. 일례로, 반사층은 알루미늄-팔라듐-구리(aluminum-paladium-copper: APC) 합금으로 형성될 수 있으며, 제1전극(262)은 ITO/APC/ITO의 3중층 구조를 가질 수 있다.

[0077] 제1전극(262) 상부에는 절연물질로 뱅크층(270)이 형성된다. 뱅크층(270)은 제1전극(262)의 가장자리를 덮으며, 각 화소영역(P)에서 제1전극(262)을 노출하는 투과홀(270a)을 가진다. 도 6b를 참조하면, 인접한 화소영역(P)에 대응하는 뱅크층(270)은 서로 연결되어 일체로 형성된다.

[0078] 뱅크층(270)의 투과홀(270a)을 통해 노출된 제1전극(262) 상부에는 발광층(280)이 형성된다. 발광층(280)은 제1전극(262) 상부로부터 순차적으로 적층된 정공주입층(281)과, 정공수송층(282), 발광물질층(283), 전자수송층(284), 그리고 전자주입층(285)을 포함한다. 발광물질층(283)은 적, 녹, 청색 발광물질층 중 하나일 수 있다.

[0079] 여기서, 정공주입층(281)과 정공수송층(282), 발광물질층(283), 전자수송층(284), 그리고 전자주입층(285)은 모두 투과홀(270a) 내에만 형성된다. 이와 달리, 정공주입층(281)과 정공수송층(282) 및 발광물질층(283)은 투과홀(270a) 내에만 형성되고, 전자수송층(284)과 전자주입층(285)은 실질적으로 제1기판(210) 전면에 형성될 수 있다. 또는, 정공주입층(281)과 정공수송층(282), 전자수송층(284), 그리고 전자주입층(285)은 실질적으로 제1기판(210) 전면에 형성되고, 발광물질층(283)은 투과홀(270a) 내에만 형성될 수도 있다.

[0080] 발광층(280) 상부에는 비교적 일함수가 낮은 도전성 물질로 제2전극(292)이 제1기판(210) 전면에 형성된다. 여기서, 제2전극(292)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으로 형성될 수 있으며, 빛이 투과되도록 비교적 얇은 두께를 가진다. 이때, 제2전극(292)의 빛 투과도는 약 45-50%일 수 있다.

[0081] 한편, 제1기판(210)의 외곽에는 외부 회로(도시하지 않음)와의 연결을 위한 패드부(도시하지 않음)가 위치할 수 있으며, 이 경우, 제1기판(210) 전면에 형성되는 발광층(280)의 막들과 제2전극(292)은 제1기판(210) 외곽의 패드부를 덮지 않고 노출시킬 수 있다.

[0082] 제1전극(262)과 발광층(280) 및 제2전극(292)은 유기발광다이오드를 이루며, 제1전극(262)은 애노드(anode)의 역할을 하고, 제2전극(292)은 캐소드(cathode)의 역할을 한다. 여기서, 유기발광다이오드 표시장치는 발광층(280)으로부터 발광된 빛이 제2전극(292)을 통해 외부로 출력되는 상부발광방식(top emission type)이다.

[0083] 이어, 투과홀(270a) 내의 제2전극(292) 상부에는 캐핑층(capping layer: 294)이 형성된다. 캐핑층(294)은 유기물질로 이루어질 수 있으며, 상부발광방식 유기발광다이오드 표시장치에서 광추출 효율을 향상시킨다. 캐핑층(294)은 투과홀(270a) 내에만 형성되어, 뱅크층(270) 상부의 제2전극(292)을 노출한다.

[0084] 이때, 캐핑층(294)의 상부면 높이는 뱅크층(270) 상부의 제2전극(292)의 상부면 높이와 같거나 작은 것이 바람직하다.

[0085] 한편, 제2기판(310)이 제1기판(210) 상부에 배치되고, 제2기판(310)의 하면에는 인캡슐레이션층(320)이 제2기판(320) 전면에 형성된다. 제2기판(310)은 유리기판이나 플라스틱기판일 수 있다. 인캡슐레이션층(320)은 씰재(sealing material)를 이용한 페이스 씰(face seal)이거나, 무기막/유기막/무기막의 여러 층이 적층된 구조를 가질 수 있다.

[0086] 이어, 인캡슐레이션층(320) 하부에는 보조전극(332)이 형성된다. 보조전극(310)은 뱅크층(270) 상부의 제2전극(292)과 접촉한다. 도 6a를 참조하면, 보조전극(332)은 제2기판(310) 상에서 제1방향 및 제2방향으로 연장되고 화소영역(P)마다 하나의 개구부를 포함하는 격자모양을 가진다. 보조전극(310)은 제1전극(262)과 부분적으로

중첩할 수 있다. 일례로, 보조전극(310)은 금(Au)과 은(Ag), 알루미늄(Al), 구리(Cu) 및 이들의 합금 중 적어도 하나로 이루어질 수 있다.

[0087] 여기서, 보조전극(332)을 제1기판(210) 상에 형성할 경우, 제1기판(210) 상에는 박막트랜지스터나 유기발광다이오드 등의 소자가 형성되어 있으므로, 소자의 손상을 방지하기 위해 보조전극(332)의 형성 방법은 많은 제약을 받게 된다. 따라서, 보조전극(332)은 제2기판(310)에 형성하는 것이 바람직하다.

[0088] 도 4에서는 제2기판(310) 상의 인캡슐레이션층(320)이 제1기판(210) 상의 캐핑층(294)과 이격되어 있는 것으로 도시되어 있으나, 보조전극(332)에 의한 단차 및 뱅크층(270)에 따른 제2전극(292)에 의한 단차는 매우 작기 때문에, 실질적으로 인캡슐레이션층(320)은 캐핑층(294)과 접촉한다. 이러한 인캡슐레이션층(320)은 외부의 수분이 유기발광다이오드로 침투하는 것을 차단하여 유기발광다이오드의 손상을 방지한다.

[0089] 이와 같이, 본 발명의 제2실시예에서는 제2전극(292)을 보조전극(332)과 연결함으로써 제2전극(292)의 저항을 낮추고, 휘도 불균일 문제를 개선할 수 있다.

[0090] 이러한 보조전극(332)은 제2기판(310) 상에 위치하므로, 제1전극(262)과 다른 층에 형성되며 제1전극(262)과 중첩할 수 있다. 따라서, 제1전극(262)의 면적을 증가시켜 제1전극(262)의 면적에 따른 유효발광영역이 늘어나게 되며, 개구율이 증가되고, 표시장치의 효율 및 수명을 향상시킬 수 있다.

[0091] 이때, 캐핑층(294)은 투과홀(270a) 내에만 형성되므로, 별도의 사진식각공정 없이 뱅크층(270) 상부의 제2전극(292)을 노출할 수 있다.

[0092] 이러한 캐핑층(294)을 포함하는 유기발광다이오드 표시장치의 제조 방법에 대하여 도면을 참조하여 설명한다.

[0093] 도 7a 내지 7e는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 제조 공정 중 각 단계에서의 표시장치를 도시한 단면도이고, 도 8a 및 도 8b는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 캐핑층 형성 단계에서의 표시장치를 도시한 단면도로, 도 7a 내지 7e와 도 8a 및 도 8b는 하부기판에 해당하는 단면을 도시한다.

[0094] 도 7a에 도시한 바와 같이, 제1기판(210) 상부에 반도체 물질을 증착하여 반도체물질층(미도시)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 반도체물질층을 선택적으로 제거하여 반도체층(222)을 형성한다.

[0095] 여기서, 제1기판(210)은 유리기판이나 플라스틱기판일 수 있다. 또한, 반도체층(222)은 산화물 반도체 물질로 이루어질 수 있으며, 산화물 반도체 물질은 인듐-갈륨-징크-옥사이드(indium gallium zinc oxide: IGZO)나 인듐-틴-징크-옥사이드(indium tin zinc oxide: ITZO), 인듐-징크-옥사이드(indium zinc oxide: IZO), 징크-옥사이드(zinc oxide: ZnO), 인듐-갈륨-옥사이드(indium gallium oxide: IGO) 또는 인듐-알루미늄-징크-옥사이드(indium aluminum zinc oxide: IAZO)일 수 있다.

[0096] 이와 달리, 반도체층(222)은 다결정 실리콘으로 이루어질 수도 있다.

[0097] 다음, 반도체층(222) 상부에 절연물질을 화학기상증착 등의 방법으로 증착하여 제1기판(210) 전면에 게이트 절연막(230)을 형성한다. 게이트 절연막(230)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다. 반도체층(222)을 산화물 반도체 물질로 형성할 경우, 게이트 절연막(230)은 산화 실리콘(SiO_2)으로 형성되는 것이 바람직하다.

[0098] 이어, 게이트 절연막(230) 상부에 금속과 같은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제1도전물질층(도시하지 않음)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 제1도전물질층을 선택적으로 제거하여 게이트전극(232)을 형성한다. 게이트전극(232)은 반도체층(222)보다 좁은 폭을 가지고 반도체층(222)의 중앙에 대응하여 위치한다.

[0099] 게이트전극(232)은 알루미늄(A)이나 구리(Cu), 몰리브데(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금 중 적어도 하나로 형성될 수 있다.

[0100] 또한, 게이트전극(232)과 함께 제1 커패시터 전극(도시하지 않음)과 게이트배선(도시하지 않음)이 형성된다. 도시하지 않았지만, 제1 커패시터 전극은 게이트전극(232)과 연결되며, 게이트 배선은 제1방향을 따라 연장된다.

[0101] 한편, 반도체층(222)이 다결정 실리콘으로 이루어질 경우, 게이트전극(232)을 마스크로 반도체층(222)의 양 가

장자리에 불순물을 주입하는 공정이 추가될 수 있다.

[0102] 다음, 게이트전극(232) 상부에 절연물질을 증착하거나 또는 도포하여 제1기판(210) 전면에 층간 절연막(240)을 형성하고, 마스크를 이용한 사진식각공정을 통해 층간 절연막(240) 및 게이트 절연막(230)을 선택적으로 제거하여 반도체층(222)의 양측 상면을 노출하는 제1 및 제2 컨택홀(240a, 240b)을 형성한다. 제1 및 제2 컨택홀(240a, 240b)은 게이트전극(232)의 양측에 게이트전극(232)과 이격되어 위치한다.

[0103] 층간 절연막(240)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.

[0104] 다음, 층간 절연막(240) 상부에 금속과 같은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제2도전물질층(도시하지 않음)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 제2도전물질층을 선택적으로 제거하여 소스 및 드레인전극(252, 254)을 형성한다. 소스 및 드레인전극(252, 254)은 게이트전극(232)을 중심으로 서로 이격되어 있으며, 각각 제1 및 제2 컨택홀(240a, 240b)을 통해 반도체층(222)의 양측과 접촉한다.

[0105] 소스 및 드레인전극(252, 254)은 알루미늄(A)이나 구리(Cu), 몰리브데(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금 중 적어도 하나로 형성될 수 있다.

[0106] 한편, 소스 및 드레인전극(252, 254)과 함께 데이터배선(도시하지 않음)과 제2 커패시터 전극(도시하지 않음) 및 전원배선(도시하지 않음)이 형성된다. 도시하지 않았지만, 데이터배선은 제2방향을 따라 연장되고, 게이트배선과 교차하여 화소영역을 정의한다. 제2 커패시터 전극은 드레인전극(254)과 연결되며, 전원배선은 데이터배선과 이격되어 위치한다.

[0107] 다음, 도 7b에 도시한 바와 같이, 소스 및 드레인전극(252, 254) 상부에 절연물질을 증착하거나 또는 도포하여 제1기판(210) 전면에 보호막(260)을 형성하고, 마스크를 이용한 사진식각공정을 통해 보호막(260)을 선택적으로 제거하여 드레인전극(254)을 노출하는 드레인 컨택홀(260a)을 형성한다. 드레인 컨택홀(260a)은 제2 컨택홀(240b) 바로 위에 형성되는데, 드레인 컨택홀(260a)은 제2 컨택홀(240b)과 이격되어 형성될 수도 있다.

[0108] 보호막(260)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있는데, 평탄한 표면을 가지도록 유기절연물질로 형성되는 것이 바람직하다.

[0109] 이어, 보호막(260) 상부에 비교적 일함수가 높은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제1전극물질층(도시하지 않음)을 형성하고, 마스크를 이용한 사진식각공정을 통해 제1전극물질층을 선택적으로 제거하여 제1전극(262)을 형성한다. 제1전극(262)은 각 화소영역에 위치하고, 드레인 컨택홀(260a)을 통해 드레인전극(254)과 접촉한다.

[0110] 제1전극(262)은 투명도전층과 반사층을 포함할 수 있다. 투명도전층은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)로 이루어질 수 있으며, 반사층은 알루미늄-팔라듐-구리(aluminum-paladium-copper: APC) 합금으로 이루어질 수 있다. 일례로, 제1전극(262)은 ITO/APC/ITO의 3중층 구조를 가질 수 있다.

[0111] 다음, 도 7C에 도시한 바와 같이, 제1전극(262) 상부에 절연물질을 증착하거나 또는 도포하여 제1기판(210) 전면에 뱅크물질층(도시하지 않음)을 형성하고, 마스크를 이용한 사진식각공정을 통해 뱅크물질층을 선택적으로 제거하여 투과홀(270a)을 갖는 뱅크층(270)을 형성한다. 뱅크층(270)은 제1전극(262)의 가장자리를 덮으며, 제1전극(262)은 투과홀(270a)을 통해 노출된다.

[0112] 다음, 도 7d에 도시한 바와 같이, 투과홀(270a) 내의 노출된 제1전극(262) 상부에 분사장치(도시하지 않음)를 이용한 용액 공정(solution process)에 의해 정공주입물질과 정공수송물질, 발광물질, 전자수송물질 및 전자주입물질을 각각 성막하여, 투과홀(270a) 내에 정공주입층(281)과 정공수송층(282), 발광물질층(283), 전자수송층(284) 및 전자주입층(285)을 순차적으로 형성한다. 용액 공정으로 인쇄법이나 코팅법이 이용될 수 있으며, 일례로 잉크젯 인쇄법(inkjet printing), 노즐 인쇄법(nozzle printing) 또는 스크린 인쇄법(screen printing)이 이용될 수 있다.

[0113] 여기서, 도 7d의 발광물질층(283)은 적, 녹, 청색 발광물질층 중 어느 하나일 수 있으며, 이어 인접한 화소영역에 나머지 발광물질층을 순차적으로 형성한다. 일례로, 도 7d의 발광물질층(283)은 적색 화소영역의 적색 발광물질층일 수 있다. 따라서, 용액 공정을 통해 적색 발광물질을 성막하여 적색 화소영역에 적색 발광물질층

(283)을 형성하고, 용액 공정을 통해 녹색 발광물질을 성막하여 녹색 화소영역에 녹색 발광물질층(도시하지 않음)을 형성하며, 용액 공정을 통해 청색 발광물질을 성막하여 청색 화소영역에 청색 발광물질층(도시하지 않음)을 형성한다. 적, 녹, 청색 발광물질층의 형성 순서는 변경될 수 있다.

[0114] 제1전극(262) 상부의 정공주입층(281)과 정공수송층(282), 발광물질층(283), 전자수송층(284), 그리고 전자주입층(285)은 발광층(280)을 이룬다.

[0115] 미세금속마스크를 이용하여 진공증착법을 통해 정공주입층(281)과, 정공수송층(282), 발광층(283), 전자수송층(284) 및 전자주입층(285)을 각 화소영역마다 형성할 경우, 마스크와 제1기판(210) 사이의 정렬(alignment) 정밀도 및 양산성 등의 문제가 발생하며, 제1기판(210)의 크기가 커짐에 따라 마스크의 처짐 등의 문제가 발생할 수 있는데, 본 발명의 제2실시예에서는 정공주입층(281)과, 정공수송층(282), 발광물질층(283), 전자수송층(284) 및 전자주입층(285)을 용액 공정을 통해 형성하므로, 마스크와 제1기판(210) 사이의 정렬 정밀도 문제 및 마스크 처짐 등의 문제를 방지할 수 있다.

[0116] 한편, 전자수송층(284)과 전자주입층(285)은 진공증착법으로 형성될 수도 있으며, 이 경우 전자수송층(284)과 전자주입층(285)은 제1기판(210) 전면에 형성되고, 정공주입층(281)과 정공수송층(282) 및 발광물질층(283)은 투과홀(270a) 내에만 형성된다.

[0117] 또한, 정공주입층(281)과 정공수송층(282)도 진공증착법으로 형성되어, 정공주입층(281)과 정공수송층(282), 전자수송층(284) 및 전자주입층(285)은 제1기판(210) 전면에 형성되고, 발광물질층(283)은 투과홀(270a) 내에만 형성될 수도 있다.

[0118] 여기서, 제1기판(210)의 외곽에는 외부 회로(도시하지 않음)와의 연결을 위한 패드부(도시하지 않음)가 위치할 수 있으며, 제1기판(210) 전면에 형성되는 전자수송층(284)과 전자주입층(285) 또는 정공주입층(281)과 정공수송층(282), 전자수송층(284) 및 전자주입층(285)은 제1기판(210) 외곽에 위치하는 패드부를 덮지 않고 노출시킬 수 있다.

[0119] 이어, 도 7e에 도시한 바와 같이, 전자주입층(285) 상부에 비교적 일함수가 낮은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제1기판(210) 전면에 제2전극(292)을 형성한다. 이때, 제2전극(292)은 제1기판(210) 외곽에 위치하는 패드부를 덮지 않고 노출시킬 수 있다. 제2전극(292)은 알루미늄이나 마그네슘, 그리고 은과 같은 금속 물질로 형성될 수 있으며, 빛이 투과되도록 비교적 얇은 두께를 가진다.

[0120] 다음, 투과홀(270a) 내의 제2전극(292) 상부에 유기물질로 캐핑층(294)을 형성한다. 캐핑층(294)은 화소영역마다 패터닝되어 투과홀(270a) 내에만 위치하며, 뱅크층(270) 상부의 제2전극(292)을 노출한다. 이러한 캐핑층(294)은 도 8a 또는 도 8b에 도시된 방법에 의해 형성될 수 있다.

[0121] 먼저, 도 8a를 참조하면, 투과홀(270a)에 대응하여 개구된 마스크(400)를 제1기판(210) 상에 배치하고, 유기물질을 진공증착함으로써, 투과홀(270a) 내에만 캐핑층(294)을 형성할 수 있다.

[0122] 또는, 도 8b를 참조하면, 분사장치(410)를 이용하여 투과홀(270a) 내의 제2전극(292) 상부에 유기물질을 포함하는 용액을 분사하고, 분사된 용액을 건조함으로써, 투과홀(270a) 내에만 캐핑층(294)을 형성할 수 있다.

[0123] 이때, 발광층(280) 상의 제2전극(292)과 뱅크층(270) 상의 제2전극(292) 사이의 단차는 캐핑층(294)의 두께와 같거나 큰 것이 바람직하다.

[0124] 이어, 제2기판(도 4의 310) 상부에 인캡슐레이션층(도 4의 320)을 형성하고, 그 위에 보조전극(도 4의 332)을 형성한다. 일례로, 보조전극(도 4의 332)은 용액 공정을 통해 형성되거나 마스크를 이용한 스퍼터링 공정 등을 통해 형성될 수 있다.

[0125] 다음, 제2기판(도 4의 310)을 제1기판(210)과 합착함으로써, 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 완성할 수 있다.

[0126] 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치에서는, 사진식각공정 없이 투과홀(270a) 내에만 캐핑층(294)을 형성하여 뱅크층(270) 상부의 제2전극(292)을 노출하므로, 공정이 단순화되고 제조 시간과 비용을 줄일 수 있다.

[0127] 또한, 제2기판(도 4의 310) 상에는 박막트랜지스터나 발광다이오드와 같은 소자가 형성되지 않으므로, 보조전극(도 4의 332)은 제1기판(210)에 형성되는 경우에 비해 다양한 방법으로 형성될 수 있으며, 보조전극(도 4의 332)의 두께 조절이 용이하다. 따라서, 보조전극(도 4의 332)의 두께를 더 두껍게 하여 보조전극(도 4의 332)

의 면적을 줄일 수 있으며, 이에 따라 개구율을 증가시킬 수 있다.

[0128] -제3실시예-

[0129] 도 9a는 본 발명의 제3실시예에 따른 유기발광다이오드 표시장치를 개략적으로 도시한 평면도이고, 도 9b는 본 발명의 제3실시예에 따른 유기발광다이오드 표시장치의 뱅크층을 개략적으로 도시한 평면도이며, 도 9a와 도 9b는 한 화소에 대응하는 구조를 도시한다. 여기서, 한 화소는 적, 녹, 청색 서브화소(SP1, SP2, SP3)를 포함하며, 서브화소(SP1, SP2, SP3)의 각각은 한 화소영역(P)에 해당한다. 본 발명의 제3실시예에 따른 유기발광다이오드 표시장치는 도 4에 도시된 제2실시예에 따른 유기발광다이오드 표시장치와 동일한 구조를 가지며, 이에 대한 설명은 생략한다.

[0130] 도 9a와 9b에 도시한 바와 같이, 각 화소영역(P)마다 제1전극(562)이 형성되고, 제1전극(562) 상부에는 뱅크층(570)이 형성된다. 뱅크층(570)은 제1전극(562)의 가장자리를 덮으며, 제1전극(562)을 노출하는 투과홀(570a)을 가진다. 인접한 화소영역(P)에 대응하는 뱅크층(570)은 서로 연결되어 일체로 형성된다.

[0131] 이어, 뱅크층(570)의 투과홀(570a)을 통해 노출된 제1전극(562) 상부에는 발광층(도시하지 않음)이 형성되고, 발광층 상부에는 제2전극(도시하지 않음)이 제1기판(도시하지 않음) 전면에 형성된다. 이때, 제2전극은 제1기판 외곽에 위치하는 패드부를 덮지 않고 노출시킬 수 있다. 투과홀(570a) 내의 제2전극 위에는 캐핑층(도시하지 않음)이 형성되고, 뱅크층(570) 상부의 제2전극은 노출된다.

[0132] 제2기판(도시하지 않음)이 제1기판 상부에 배치되고, 제2기판의 하면에는 인캡슐레이션층(도시하지 않음)이 제2기판 전면에 형성되며, 인캡슐레이션층의 하부에는 보조전극(632)이 형성된다. 보조전극(632)은 뱅크층(570) 상부의 제2전극과 접촉하며, 인캡슐레이션층은 투과홀(570a) 내의 캐핑층과 접촉한다.

[0133] 보조전극(632)은 제2기판 상에서 제1방향 및 제2방향으로 연장되고 한 화소마다 하나의 개구부를 포함하는 격자 모양을 가진다. 즉, 한 화소 내에서 인접한 서브화소(SP1, SP2, SP3) 사이에는 보조전극이 형성되지 않는다.

[0134] 따라서, 한 화소 내에서 인접한 서브화소(SP1, SP2, SP3) 사이의 뱅크층(570) 폭을 제2실시예에서의 뱅크층(도 6b의 270) 폭보다 좁힐 수 있으며, 각 화소영역(P)의 면적을 넓힐 수 있어 개구율을 증가시킬 수 있다. 이때, 보조전극(632)의 두께를 조절함으로써, 제2전극의 저항을 제2실시예에서와 동일하게 할 수 있다.

[0135] 한편, 도시하지 않았지만, 보조전극은 인접한 두 화소에 대응하여 하나의 개구부를 가질 수도 있다. 즉, 보조전극은 인접한 제1 및 제2화소에 대응하여 하나의 개구부를 가지며, 제1화소와 제2화소 사이와, 제1화소 내에서 인접한 서브화소 사이, 그리고 제2화소 내에서 인접한 서브화소 사이에는 보조전극이 형성되지 않는다.

[0136] 따라서, 제1화소와 제2화소 사이의 뱅크층 폭을 제3실시예에서 인접한 화소 사이의 뱅크층(도 9b의 570) 폭보다 좁힐 수 있으며, 이에 따라 각 화소영역(P)의 면적을 더 넓힐 수 있어 개구율을 더 증가시킬 수 있다. 이때, 보조전극의 두께를 조절함으로써, 제2전극의 저항을 제3실시예에서와 동일하게 할 수 있다.

[0137] -제4실시예-

[0138] 도 10은 본 발명의 제4실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도로, 한 화소영역에 대응하는 하부기판의 구조를 도시한다. 본 발명의 제4실시예에 따른 유기발광다이오드 표시장치는 제2실시예와 유사한 구조를 가지며, 동일한 구조에 대한 설명은 간략히 한다.

[0139] 도 10에 도시한 바와 같이, 제1기판(710) 상부에 패터닝된 반도체층(722)이 형성된다. 반도체층(722) 상부에는 절연물질로 이루어진 게이트 절연막(730)이 제1기판(710) 전면에 형성된다.

[0140] 게이트 절연막(730) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트전극(732)이 반도체층(722)에 대응하여 형성된다. 또한, 게이트 절연막(730) 상부에는 게이트배선(도시하지 않음)과 제1 커패시터 전극(도시하지 않음)이 형성될 수 있다. 게이트배선은 제1방향을 따라 연장되고, 제1 커패시터 전극은 게이트전극(732)에 연결된다.

[0141] 게이트전극(732) 상부에는 절연물질로 이루어진 층간 절연막(740)이 제1기판(710) 전면에 형성된다. 층간 절연막(740)은 반도체층(722)의 양측 상면을 노출하는 제1 및 제2 컨택홀(740a, 740b)을 가진다. 제1 및 제2 컨택홀(740a, 740b)은 게이트전극(732)의 양측에 게이트전극(732)과 이격되어 위치한다. 여기서, 제1 및 제2 컨택

홀(740a, 740b)은 게이트 절연막(730) 내에도 형성된다.

[0142] 층간 절연막(740) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인전극(752, 754)이 형성된다. 또한, 층간 절연막(740) 상부에는 제2방향을 따라 연장되는 데이터배선(도시하지 않음)과 전원배선(도시하지 않음) 및 제2 커패시터 전극(도시하지 않음)이 형성될 수 있다.

[0143] 소스 및 드레인전극(752, 754)은 게이트전극(732)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 컨택홀(740a, 740b)을 통해 반도체층(722)의 양측과 접촉한다. 도시하지 않았지만, 데이터배선은 제2방향을 따라 연장되고 게이트배선과 교차하여 화소영역(P)을 정의하며, 전원배선은 데이터배선과 이격되어 위치한다. 제2 커패시터 전극은 드레인전극(754)과 연결되고, 제1 커패시터 전극과 중첩하여 둘 사이의 층간 절연막(740)을 유전체로 스토리지 커패시터를 이룬다.

[0144] 한편, 반도체층(722)과, 게이트전극(732), 그리고 소스 및 드레인전극(752, 754)은 박막트랜지스터를 이룬다.

[0145] 여기서, 박막트랜지스터는 유기발광다이오드 표시장치의 구동 박막트랜지스터에 해당하며, 구동 박막트랜지스터와 동일한 구조의 스위칭 박막트랜지스터(도시하지 않음)가 제1기판(710) 상에 더 형성되는데, 구동 박막트랜지스터의 게이트 전극(732)은 스위칭 박막트랜지스터의 드레인전극(도시하지 않음)에 연결되고 구동 박막트랜지스터의 소스전극(752)은 전원배선(도시하지 않음)에 연결된다. 또한, 스위칭 박막트랜지스터의 게이트전극(도시하지 않음)과 소스전극(도시하지 않음)은 게이트 배선 및 데이터 배선과 각각 연결된다.

[0146] 소스 및 드레인전극(752, 754) 상부에는 절연물질로 보호막(760)이 제1기판(710) 전면에 형성된다. 보호막(760)은 상면이 평탄하며, 드레인전극(754)을 노출하는 드레인 컨택홀(760a)을 가진다.

[0147] 보호막(760) 상부에는 비교적 일함수가 높은 도전성 물질로 제1전극(762)이 형성된다. 제1전극(762)은 각 화소영역(P)마다 형성되고, 드레인 컨택홀(760a)을 통해 드레인전극(754)과 접촉한다.

[0148] 한편, 제1전극(762)은 불투명 도전성 물질로 이루어진 반사층(도시하지 않음)을 더 포함할 수 있다. 일례로, 제1전극(762)은 ITO/APC/ITO의 3중층 구조를 가질 수 있다.

[0149] 제1전극(762) 상부에는 절연물질로 뱅크층(770)이 형성된다. 뱅크층(770)은 제1전극(762)의 가장자리를 덮으며, 각 화소영역(P)에서 제1전극(762)을 노출하는 투과홀(770a)을 가진다. 인접한 화소영역(P)에 대응하는 뱅크층(770)은 서로 연결되어 일체로 형성된다.

[0150] 뱅크층(770)의 투과홀(770a)을 통해 노출된 제1전극(762) 상부에는 발광층(780)이 형성된다. 발광층(780)은 제1전극(762) 상부로부터 순차적으로 적층된 정공주입층(781)과, 정공수송층(782), 발광물질층(783), 전자수송층(784), 그리고 전자주입층(785)을 포함한다. 발광물질층(783)은 적, 녹, 청색 발광물질층 중 하나일 수 있다.

[0151] 발광층(780) 상부에는 비교적 일함수가 낮은 도전성 물질로 제2전극(792)이 제1기판(710) 전면에 형성된다. 여기서, 제2전극(792)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으로 형성될 수 있으며, 빛이 투과되도록 비교적 얇은 두께를 가진다. 이때, 제2전극(792)의 빛 투과도는 약 45-50%일 수 있다.

[0152] 한편, 제1기판(710)의 외곽에는 외부 회로(도시하지 않음)와의 연결을 위한 패드부(도시하지 않음)가 위치할 수 있으며, 이 경우, 제1기판(710) 전면에 형성되는 제2전극(792)은 제1기판(710) 외곽의 패드부를 덮지 않고 노출시킬 수 있다.

[0153] 제1전극(762)과 발광층(780) 및 제2전극(792)은 유기발광다이오드를 이루며, 제1전극(762)은 애노드(anode)의 역할을 하고, 제2전극(792)은 캐소드(cathode)의 역할을 한다. 여기서, 유기발광다이오드 표시장치는 발광층(780)으로부터 발광된 빛이 제2전극(792)을 통해 외부로 출력되는 상부발광방식(top emission type)이다.

[0154] 이어, 투과홀(770a) 내의 제2전극(792) 상부에는 캐핑층(capping layer: 794)이 형성된다. 캐핑층(794)은 유기물질로 이루어질 수 있으며, 상부발광방식 유기발광다이오드 표시장치에서 광추출 효율을 향상시킨다. 캐핑층(794)은 투과홀(770a) 내에만 형성되어, 뱅크층(770) 상부의 제2전극(792)을 노출한다.

[0155] 캐핑층(794) 상부에는 제3전극(796)이 제1기판(710) 전면에 형성되는데, 제3전극(796)은 제1기판(710) 외곽의 패드부를 덮지 않고 노출시킬 수 있다. 제3전극(796)은 뱅크층(770) 상부에서 노출된 제2전극(792)과 접촉하여, 제2전극(792)의 저항을 낮추는 보조전극의 역할을 한다. 제3전극(796)은 제2전극(792)과 동일한 도전성 물질로 이루어질 수 있으며, 빛이 투과되도록 비교적 얇은 두께를 가진다.

[0156] 다음, 제3전극(796) 상부에는 광보정층(798)이 제1기판(710) 전면에 형성된다. 광보정층(798)은 제1기판(710) 외곽의 패드부를 덮지 않고 노출시킬 수 있다. 광보정층(798)은 유기물질로 형성되며, 캐핑층(794)과 동일 물질로 이루어질 수 있다. 광보정층(798)은 광추출 효율을 향상시킨다.

[0157] 이어, 광보정층(798) 상부에는 인캡슐레이션층(도시하지 않음)이 위치하며, 인캡슐레이션층 상부에는 제2기판(도시하지 않음)이 위치한다.

[0158] 이러한 본 발명의 제4실시예에서는 제3전극(796)이 제2전극(792)과 접촉하여 보조전극의 역할을 함으로써, 제2전극(792)의 저항을 낮추고, 휘도 불균일 문제를 개선할 수 있다.

[0159] 또한, 제2전극(792)과 캐핑층(794), 제3전극(796) 및 광보정층(798)의 다중층 구조를 통해 유효발광영역에서의 광추출 효과를 증대할 수 있다.

[0160] 본 발명의 제4실시예에 따른 유기발광다이오드 표시장치의 하부기판은 앞서 도 7a 내지 7e와 도 8a 및 도 8b의 제조 방법에 따라 캐핑층까지 형성한 후, 제3전극(796)과 광보정층(798)을 순차적으로 형성하여 제조될 수 있다.

[0161] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0162] 210: 제1기판 222: 반도체층

230: 게이트 절연막 232: 게이트전극

240: 층간 절연막 240a, 240b: 제1 및 제2 컨택홀

252: 소스전극 254: 드레인전극

260: 보호막 260a: 드레인 컨택홀

262: 제1전극 270: 뱅크층

270a: 투과홀 280: 발광층

281: 정공주입층 282: 정공수송층

283: 발광물질층 284: 전자수송층

285: 전자주입층 292: 제2 전극

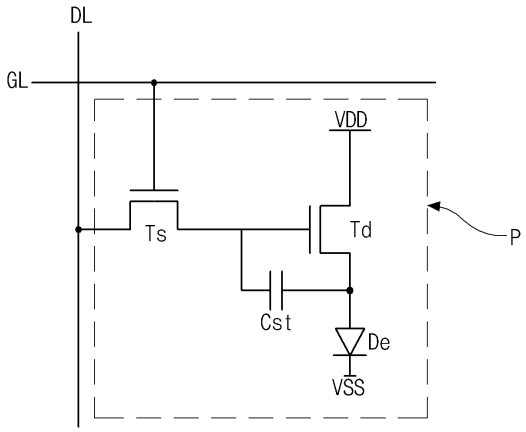
294: 캐핑층 310: 제2기판

320: 인캡슐레이션층 332: 보조전극

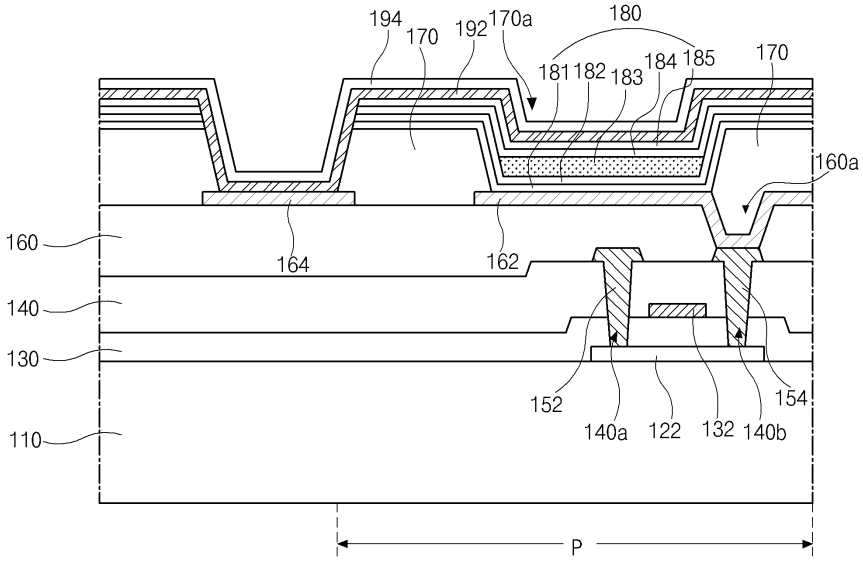
P: 화소영역 SP1, SP2, SP3: 서브화소

도면

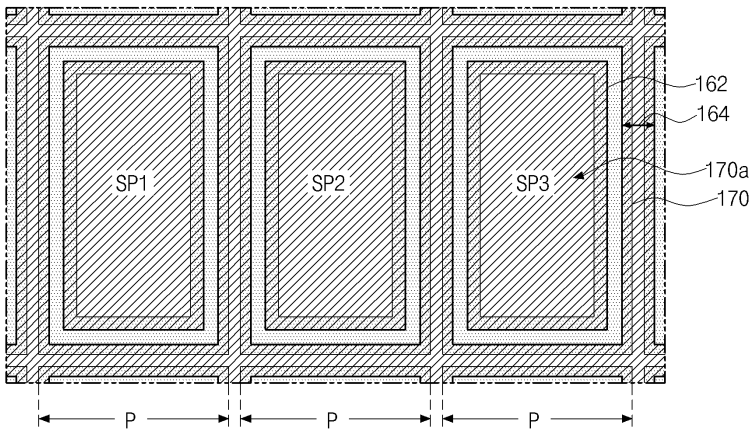
도면1



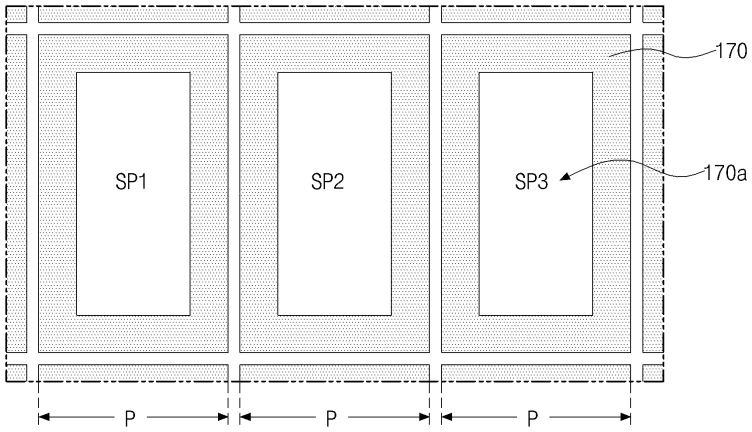
도면2



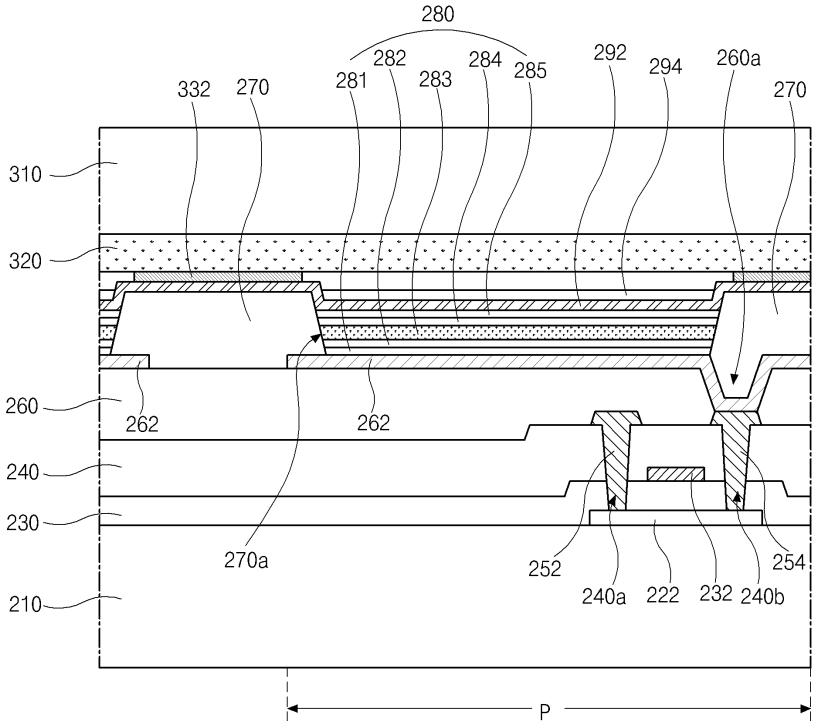
도면3a



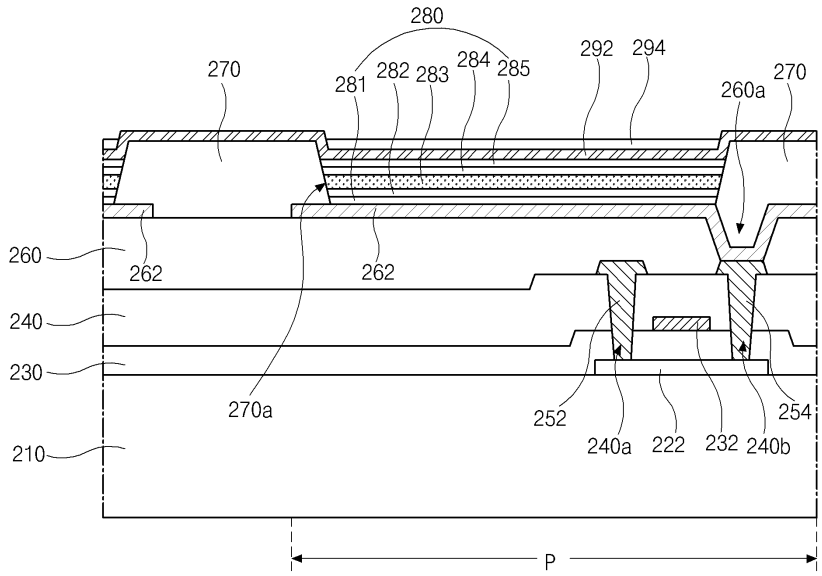
도면3b


170
170a
SP1
SP2
SP3
P
P
P

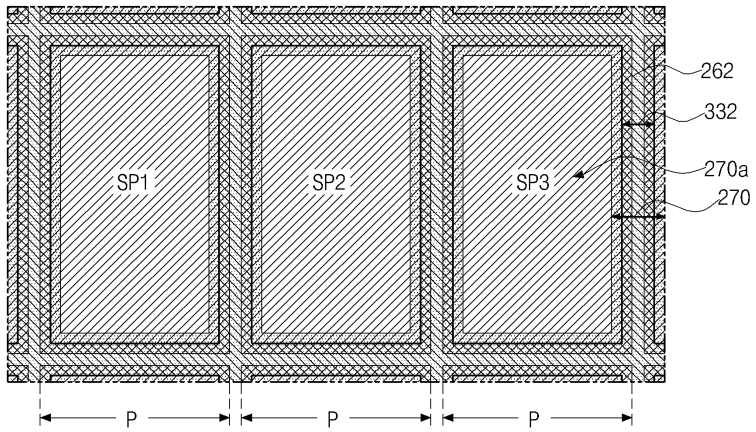
도면4


280
282
284
285
292
294
260a
332
270
281
283
270
310
320
260
262
262
240
230
270a
252
240a
222
232
240b
254
210
P

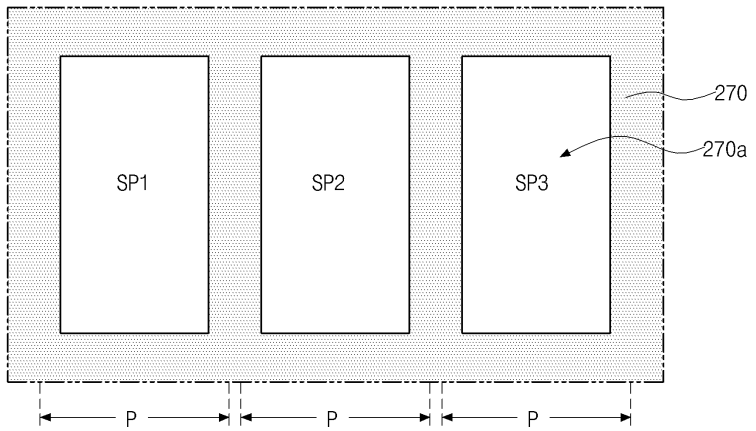
도면5



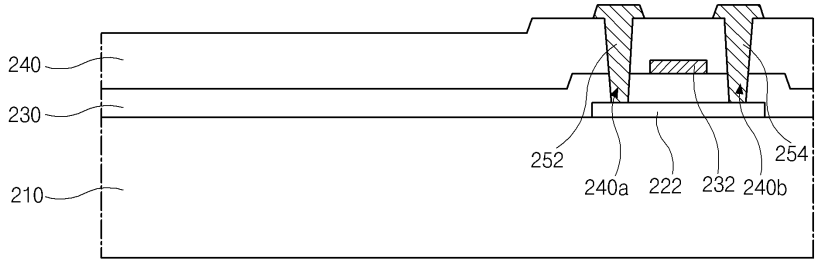
도면6a



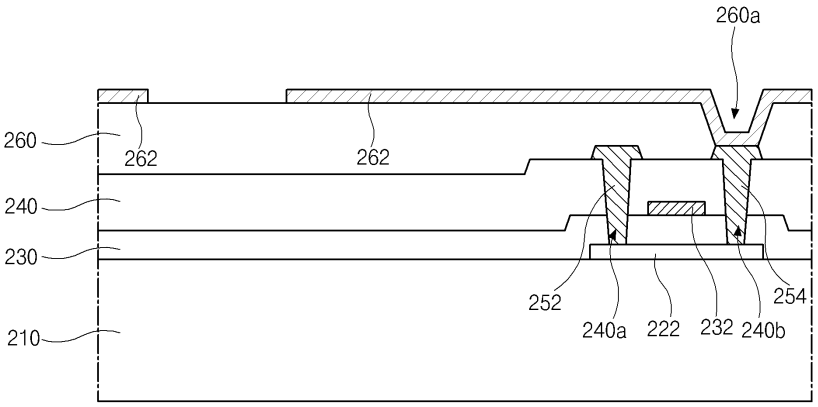
도면6b



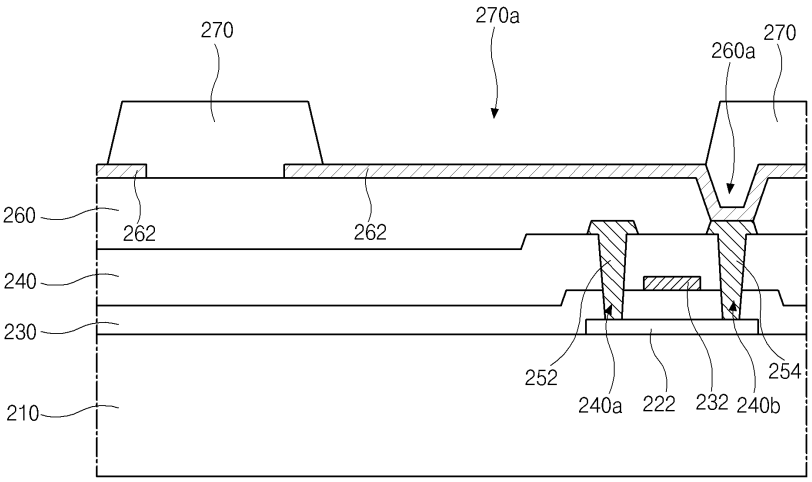
도면7a



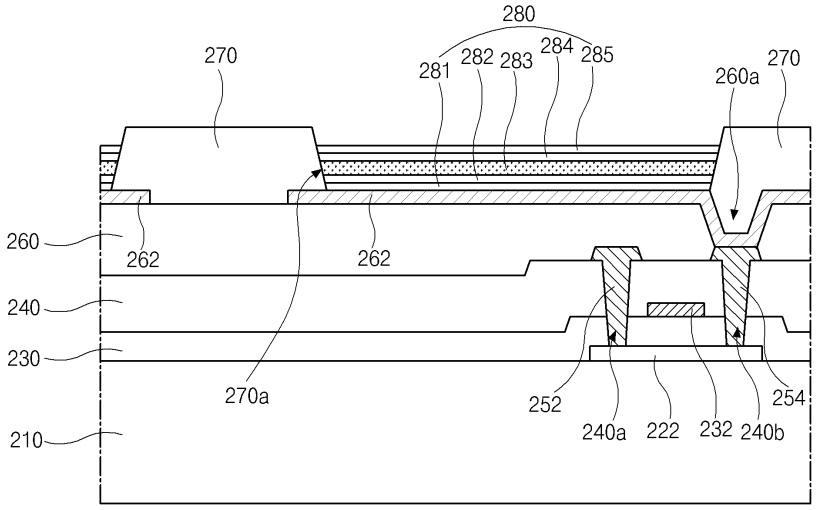
도면7b



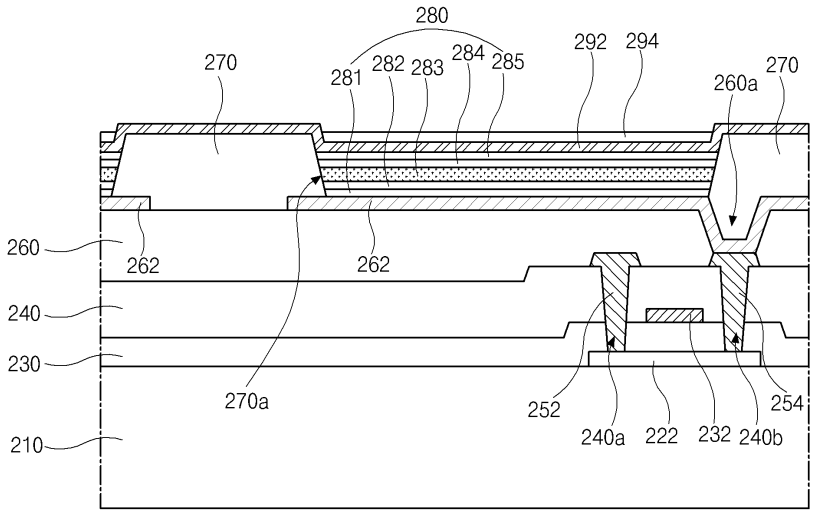
도면7c



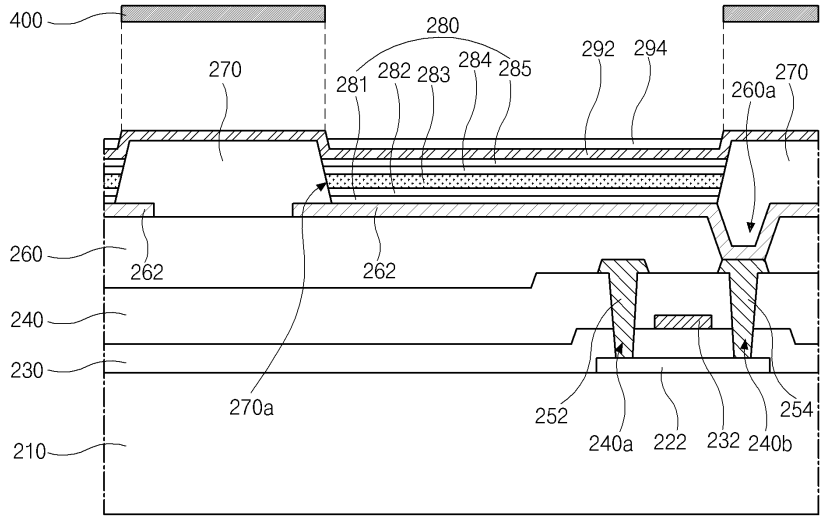
도면7d



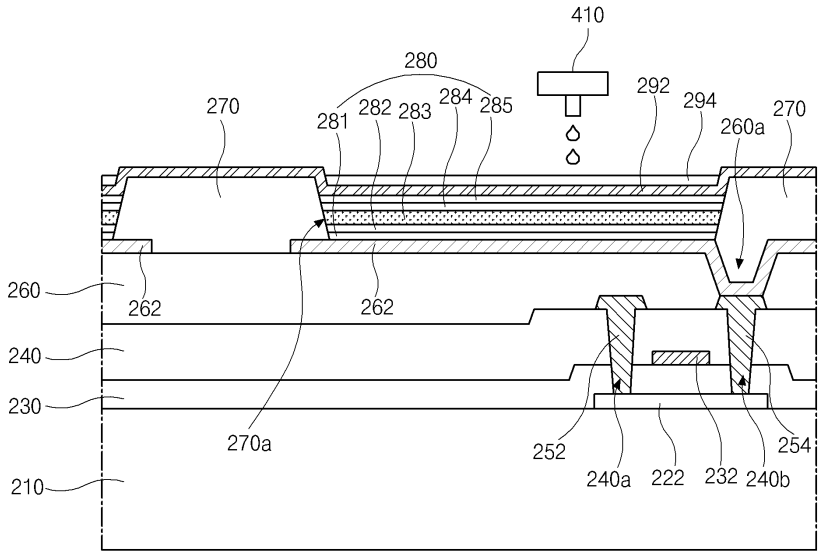
도면7e



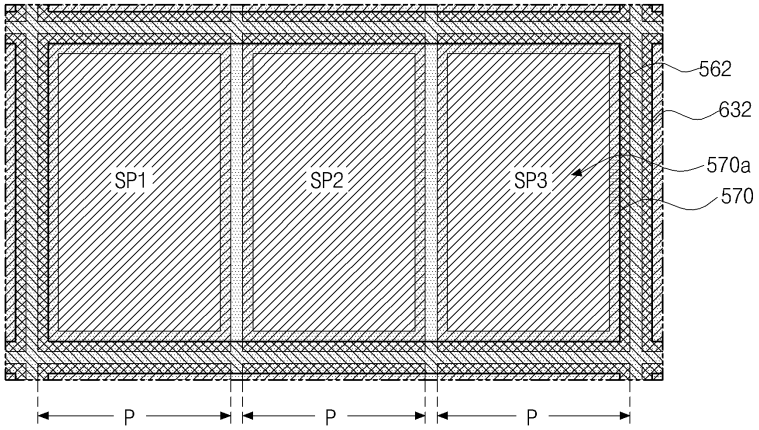
도면8a



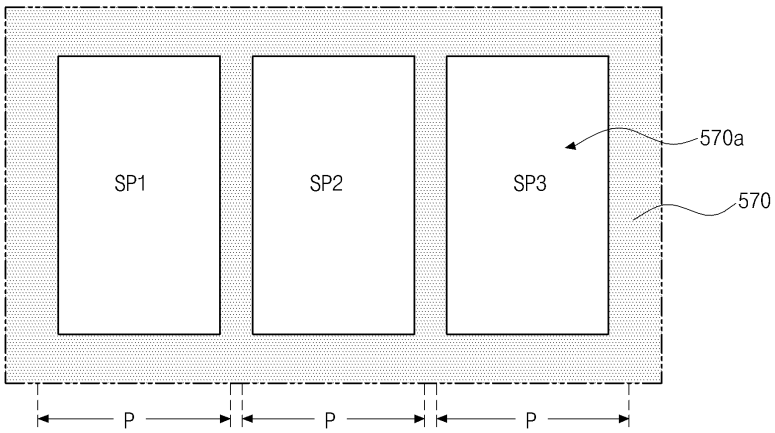
도면8b



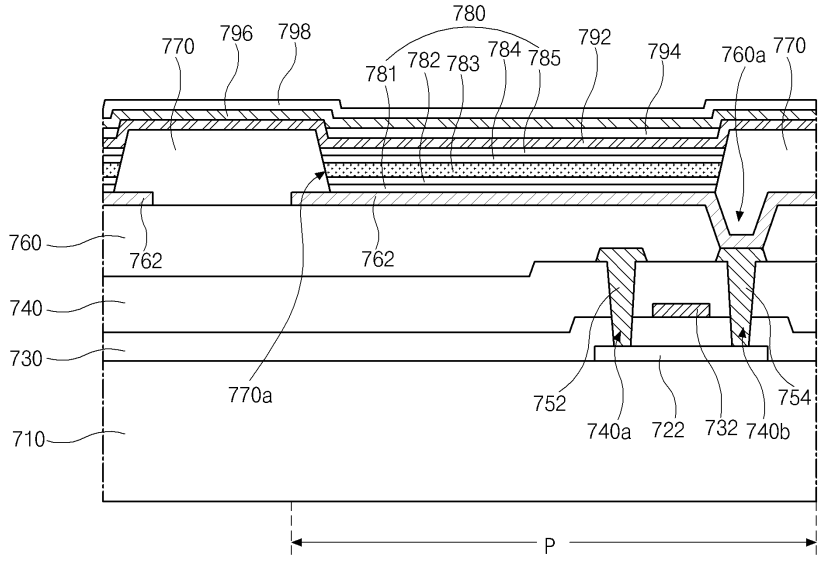
도면9a



도면9b



도면10


780
770
796
798
781
782
783
784
785
792
794
760a
770
760
762
762
740
730
770a
752
740a
722
732
740b
754
710
P