

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5617833号
(P5617833)

(45) 発行日 平成26年11月5日(2014.11.5)

(24) 登録日 平成26年9月26日(2014.9.26)

(51) Int.Cl.	F I	
HO 1 G 4/232 (2006.01)	HO 1 G 4/12	3 6 1
HO 1 G 4/12 (2006.01)	HO 1 G 4/12	3 5 8
HO 1 G 4/30 (2006.01)	HO 1 G 4/30	3 0 1 C
HO 1 G 4/40 (2006.01)	HO 1 G 4/30	3 0 1 E
HO 5 K 3/46 (2006.01)	HO 1 G 4/40	3 2 1 A
請求項の数 11 (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2011-282496 (P2011-282496)	(73) 特許権者	000006231
(22) 出願日	平成23年12月23日(2011.12.23)		株式会社村田製作所
(65) 公開番号	特開2013-134999 (P2013-134999A)		京都府長岡京市東神足1丁目10番1号
(43) 公開日	平成25年7月8日(2013.7.8)	(74) 代理人	100085143
審査請求日	平成25年6月17日(2013.6.17)		弁理士 小柴 雅昭
		(72) 発明者	佐々木 藍
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72) 発明者	浦川 淳
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		審査官	中野 和彦
最終頁に続く			

(54) 【発明の名称】 積層セラミック電子部品

(57) 【特許請求の範囲】

【請求項 1】

誘電率が互いに異なる少なくとも2種類のセラミック層を積層してなる、積層セラミック電子部品であって、

誘電率が互いに異なる前記セラミック層間の境界に沿って部分的に配置される内部電極を備え、

前記内部電極には、当該内部電極を介して隣り合う前記セラミック層の両方に含まれる成分と共通する添加成分が含まれている、積層セラミック電子部品。

【請求項 2】

前記添加成分は、前記セラミック層に含まれるセラミック材料の主成分と共通する、請求項 1 に記載の積層セラミック電子部品。

【請求項 3】

前記添加成分は、前記隣り合うセラミック層のうち、誘電率のより高いセラミック層に含まれるセラミック材料の主成分と共通する、請求項 2 に記載の積層セラミック電子部品。

【請求項 4】

前記誘電率のより高いセラミック層に含まれるセラミック材料の主成分が Ba - Nd - Ti 系酸化物であり、前記添加成分が Ba - Nd - Ti 系酸化物である、請求項 3 に記載の積層セラミック電子部品。

【請求項 5】

10

20

前記添加成分は、隣り合う前記セラミック層のうち、誘電率のより低いセラミック層に含まれるセラミック材料の主成分と共通する、請求項2に記載の積層セラミック電子部品。

【請求項6】

前記誘電率のより低いセラミック層に含まれるセラミック材料の主成分がフォルステライトであり、前記添加成分がフォルステライトである、請求項5に記載の積層セラミック電子部品。

【請求項7】

前記添加成分は、セラミック材料以外の前記隣り合うセラミック層の両方に含まれる成分と共通する、請求項1に記載の積層セラミック電子部品。

10

【請求項8】

前記内部電極中に、金属材料100重量部に対して、前記添加成分を2～20重量部含む、請求項1ないし7のいずれかに記載の積層セラミック電子部品。

【請求項9】

前記内部電極の両主面に沿って前記添加成分が偏在する、請求項1ないし8のいずれかに記載の積層セラミック電子部品。

【請求項10】

前記内部電極は、コンデンサを構成するため、誘電率の比較的高い前記セラミック層を介して対向する内部電極を含む、請求項1ないし9のいずれかに記載の積層セラミック電子部品。

20

【請求項11】

前記内部電極は、金属材料としてCuを含む、請求項1ないし10のいずれかに記載の積層セラミック電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層セラミック電子部品に関するもので、特に、誘電率が互いに異なる少なくとも2種類のセラミック層を積層してなる積層セラミック電子部品に関するものである。

【背景技術】

30

【0002】

この発明にとって興味ある技術として、特開2005-191129号公報(特許文献1)には、誘電率の互いに異なる2種類のセラミック層が積層されてなるもので、異種材料からなるセラミック層間の境界に沿って部分的に内部電極が配置されている、積層セラミック電子部品が開示されている。しかし、このような異種材料からなるセラミック層を備える積層セラミック電子部品では、以下のような課題がある。

【0003】

異種材料からなるセラミック層が積層されてなる積層セラミック電子部品を製造するための焼成工程では、異種材料からなるセラミック層間での相互拡散の問題にしばしば煩わされる。異種材料からなるセラミック層間の境界に沿って内部電極が部分的に配置されている場合、セラミック層と内部電極とを同時焼成すると、内部電極は相互拡散を抑制する作用を有するが、このことが、かえって、内部電極のない部分において相互拡散を集中的に生じさせてしまう結果を招いてしまう。そのため、内部電極の外周部にあるセラミックに変質が生じ、焼成時において、収縮タイミングのずれにより、内部電極やセラミック層に変形が起こりやすくなる、という不都合に遭遇し得る。

40

【0004】

上述のような不都合は、積層セラミック電子部品が与える電気的特性を劣化させたり、電気的特性のばらつきが大きくなったりする、という問題、より具体的には、積層セラミック電子部品がたとえばコンデンサを構成する場合、コンデンサの静電容量を低下させたり、容量ばらつきが大きくなったりする、という問題を招く。

50

【 0 0 0 5 】

また、上述のような不都合は、異種材料からなるセラミック層間での接合性に悪影響を及ぼし、異種材料からなるセラミック層間においてデラミネーションや界面剥離が生じやすくなってしまふことがある。

【 0 0 0 6 】

なお、前述の相互拡散を防止するため、ダミーの電極やダミーのセラミック層を、異種材料からなるセラミック層間に挿入することも提案されているが、これらのダミーの電極またはセラミック層の挿入は、積層セラミック電子部品の小型化ないし低背化を妨げる原因となり得る。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 5 - 1 9 1 1 2 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

そこで、この発明の目的は、上述した問題、すなわち、デラミネーションや界面剥離の問題を解決し得るとともに、電気的特性の劣化および/または電気的特性のばらつきの問題を解決し得る、積層セラミック電子部品を提供しようとすることである。

【 課題を解決するための手段 】

【 0 0 0 9 】

この発明は、誘電率が互いに異なる少なくとも2種類のセラミック層を積層してなるもので、誘電率が互いに異なるセラミック層間の境界に沿って部分的に配置される内部電極を備える、積層セラミック電子部品に向けられるものであって、上述した技術的課題を解決するため、内部電極には、当該内部電極を介して隣り合うセラミック層の両方に含まれる成分と共通する添加成分が含まれていることを特徴としている。

【 0 0 1 0 】

上述のように、セラミック層に含まれる成分と共通する成分を内部電極に含ませることにより、内部電極の組成を、当該内部電極を介して隣り合うセラミック層の両方の組成に近づけることができる。このことは、内部電極のある部分とない部分とでの相互拡散が生じる程度の差を縮小し、その結果、内部電極のない部分での相互拡散の集中を緩和するように作用する。

【 0 0 1 1 】

また、添加成分は、隣り合うセラミック層の両方に含まれる成分と共通するので、たとえば静電容量といった電気的特性のばらつきをより抑制することができる。

【 0 0 1 2 】

添加成分は、セラミック層に含まれるセラミック材料の主成分と共通することが好ましい。このことも、また、たとえば静電容量といった電気的特性のばらつきをより抑制することに寄与し得る。

【 0 0 1 3 】

上述の場合、添加成分が、隣り合うセラミック層のうち、誘電率のより高いセラミック層に含まれるセラミック材料の主成分と共通していると、静電容量の低下を抑制しながら、さらに容量ばらつきを抑制することができる。

【 0 0 1 4 】

上述の誘電率のより高いセラミック層に含まれるセラミック材料の主成分が Ba - Nd - Ti 系酸化物であり、添加成分が Ba - Nd - Ti 系酸化物であると、高い静電容量を得ることができ、かつ静電容量温度係数 (T C C) を低くすることができる。

【 0 0 1 5 】

添加成分は、隣り合うセラミック層のうち、誘電率のより低いセラミック層に含まれるセラミック材料の主成分と共通していてもよい。この場合、誘電率のより低いセラミック

10

20

30

40

50

層に含まれるセラミック材料の主成分がフォルステライトであり、添加成分がフォルステライトであると、比誘電率が低く、 Qf 値が高い積層セラミック電子部品を得ることができる。

【0016】

添加成分は、たとえばガラス成分といった、セラミック材料以外の隣り合うセラミック層の両方に含まれる成分と共通してもよい。この場合にも、たとえば静電容量といった電気的特性のばらつきを抑制することに寄与し得る。

【0017】

内部電極中に、金属材料100重量部に対して、添加成分を2～20重量部含むことが好ましい。これにより、たとえば静電容量の低減といった電気的特性の劣化を確実に抑制し、かつ、たとえば容量ばらつきといった電気的特性のばらつきを抑制することができる。

10

【0018】

この発明に係る積層セラミック電子部品において、上記内部電極の両主面に沿って添加成分が偏在することが好ましい。このように、内部電極の両主面（内部電極とセラミック層との界面）に沿って添加成分が偏在することにより、内部電極とセラミック層との密着強度を高めることができる。さらに、内部電極の厚み方向中央部においては、添加成分が少ないため、電気抵抗が小さく、よって、電気的特性のロスを少なくすることができる。

【0019】

この発明に係る積層セラミック電子部品において、内部電極は、誘電率の比較的高いセラミック層を介して対向する内部電極を含み、それによってコンデンサを構成するようにしてもよい。これによれば、比誘電率の比較的低いセラミック層によって積層セラミック電子部品の高周波特性を良好なものとしながら、コンデンサを構成することができる。

20

【0020】

この発明に係る積層セラミック電子部品において、内部電極が金属材料としてCuを含むことが好ましい。これにより、内部電極の電気抵抗が小さく、よって、電気的特性のロスを少なくすることができる。

【発明の効果】

【0021】

この発明によれば、セラミック層に含まれる成分と共通する成分を内部電極に含ませることにより、前述したように、内部電極の組成を、当該内部電極を介して隣り合うセラミック層の両方の組成に近づけることができ、このことが、焼成時において、内部電極のある部分とない部分とで生じ得る相互拡散の差を縮小し、内部電極のない部分での相互拡散の集中を緩和することができる。

30

【0022】

したがって、内部電極の外周部にあるセラミックが相互拡散により変質が生じること、そのため、収縮タイミングのずれにより、内部電極やセラミック層に変形が生じること、という不都合に遭遇しにくくすることができる。

【0023】

その結果、積層セラミック電子部品が与える電気的特性を劣化させたり、電気的特性のばらつきが大きくなったりする、という問題、より具体的には、積層セラミック電子部品がたとえばコンデンサを構成する場合、コンデンサの静電容量を低下させたり、容量ばらつきが大きくなったりする、という問題を招きにくくすることができるとともに、異種材料からなるセラミック層間において、デラミネーションや界面剥離を生じにくくすることができる。

40

【図面の簡単な説明】

【0024】

【図1】この発明の第1の実施形態による積層セラミック電子部品2を備えるセラミック多層モジュール1を示す断面図である。

【図2】図1に示したセラミック多層モジュール1を分解して示す斜視図である。

50

【図3】この発明の第2の実施形態による積層セラミック電子部品21の外観を示す斜視図である。

【図4】図3に示した積層セラミック電子部品21が与える等価回路図である。

【図5】図3に示した積層セラミック電子部品21に備える部品本体23を分解して示す斜視図である。

【図6】実験例において作製した評価用試料70を示す断面図である。

【発明を実施するための形態】

【0025】

図1および図2を参照して、この発明の第1の実施形態による積層セラミック電子部品2を備えるセラミック多層モジュール1について説明する。

10

【0026】

セラミック多層モジュール1に備える積層セラミック電子部品2は、多層セラミック基板を構成するもので、積層された複数のセラミック層3および4を備えている。セラミック層3および4のうち、セラミック層3は誘電率が比較的低い低誘電率セラミック層であり、セラミック層4は誘電率が比較的高い高誘電率セラミック層である。図示した積層セラミック電子部品2では、積層された複数の低誘電率セラミック層3が、積層された複数の高誘電率セラミック層4を挟むように位置している。

【0027】

積層セラミック電子部品2は、また、種々の導体を備えている。導体としては、典型的には、セラミック層3間の境界、セラミック層4間の境界およびセラミック層3とセラミック層4との間の境界にそれぞれ沿って形成される内部電極6、セラミック層3および4の特定のものを貫通するように延びるビアホール導体7、ならびに、積層セラミック電子部品2の外表面上に形成される外部電極8がある。

20

【0028】

上述の内部電極6のうち、高誘電率セラミック層4を介して対向するもののいくつかは、静電容量を与えるように配置され、それによってコンデンサを構成している。

【0029】

また、内部電極6のうちのいくつかは、低誘電率セラミック層3と高誘電率セラミック層4との境界に沿って部分的に配置されている。以下の説明において、このように境界に沿って配置されているものを、他のものと区別する必要があるときは、「境界内部電極」と呼び、「6(A)」の参照符号を付すことにする。

30

【0030】

積層セラミック電子部品2の上面上には、複数のチップ部品9~17が搭載されている。図示されたチップ部品9~17のうち、たとえば、チップ部品9はダイオードであり、チップ部品11はチップコンデンサであり、チップ部品16は半導体ICである。これらチップ部品9~17は、積層セラミック電子部品2の上面上に形成された外部電極8の特定のものに電氣的に接続されながら、積層セラミック電子部品2の内部に形成された導体とともに、セラミック多層モジュール1にとって必要な回路を構成している。

【0031】

積層セラミック電子部品2の上面上には、チップ部品9~17をシールドするための導電性キャップ18が固定されている。導電性キャップ18は、前述したビアホール導体7の特定のものに電氣的に接続されている。

40

【0032】

また、セラミック多層モジュール1は、積層セラミック電子部品2の下面上に形成された外部電極8の特定のものを接続用端子として、図示しないマザーボード上に実装される。

【0033】

積層セラミック電子部品2の製造にあたって、内部電極6、ビアホール導体7および外部電極8は、共焼成される。この実施形態では、焼成工程において低誘電率セラミック層3と高誘電率セラミック層4との間での相互拡散と境界内部電極6(A)の存在とが原因

50

でもたらされ得る前述した不都合を低減するため、境界内部電極 6 (A) には、当該内部電極を介して隣り合う低誘電率セラミック層 3 と高誘電率セラミック層 4 との両方に含まれる成分と共通する添加成分が含まれていることを特徴としている。

【 0 0 3 4 】

より具体的に説明すると、低誘電率セラミック層 3 は、たとえば、フォルステライトを主成分とし、副成分として、Ba - Nd - Ti 系酸化物を含み、さらに、ホウケイ酸バリウム系のガラスおよび MnO を焼結助剤として含む組成とされる。他方、高誘電率セラミック層 4 は、たとえば、Ba - Nd - Ti 系酸化物を主成分とし、副成分として、フォルステライトを含み、さらに、ホウケイ酸バリウム系のガラスおよび MnO を焼結助剤として含む組成とされる。

10

【 0 0 3 5 】

境界内部電極 6 (A) は、前述のように、低誘電率セラミック層 3 と高誘電率セラミック層 4 との両方に含まれる成分と共通する添加成分を含むことを特徴としているので、たとえば Cu といった金属材料を主成分としながらも、たとえば、Ba - Nd - Ti 系酸化物もしくはフォルステライトといったセラミック材料、またはホウケイ酸バリウム系のガラスといったセラミック材料以外のものを添加成分として含む組成とされる。

【 0 0 3 7 】

また、添加成分は、上記の例のように、低誘電率セラミック層 3 と高誘電率セラミック層 4 との両方に含まれる Ba - Nd - Ti 系酸化物もしくはフォルステライトといったセラミック材料の主成分と共通することが好ましい。

20

【 0 0 3 8 】

また、上記の例のように、高誘電率セラミック層 4 に含まれるセラミック材料の主成分が Ba - Nd - Ti 系酸化物である場合、添加成分が Ba - Nd - Ti 系酸化物であると、高い静電容量を得ることができ、かつ静電容量温度係数 (T C C) を低くすることができる。

【 0 0 3 9 】

他方、上記の例のように、低誘電率セラミック層 3 に含まれるセラミック材料の主成分がフォルステライトである場合、添加成分がフォルステライトであると、比誘電率が低く、Q f 値が高い積層セラミック電子部品 2 を得ることができる。

【 0 0 4 0 】

添加成分は、上記の例のように、低誘電率セラミック層 3 と高誘電率セラミック層 4 との両方に含まれるセラミック材料以外の成分であるホウケイ酸バリウム系のガラスと共通してもよい。

30

【 0 0 4 1 】

添加成分による作用効果をより確実なものとするため、添加成分は、境界内部電極 6 (A) 中に、金属材料 1 0 0 重量部に対して、2 ~ 2 0 重量部含まれることが好ましい。

【 0 0 4 2 】

境界内部電極 6 (A) を形成するための導電性ペーストに、上述した添加成分としてのセラミックまたはガラスが含まれていると、焼成工程において、添加成分が、境界内部電極 6 (A) の両主面に向かって移動する傾向があり、その結果、境界内部電極 6 (A) の両主面に沿って添加成分が偏在する状態が得られる。このように、境界内部電極 6 (A) の両主面 (境界内部電極 6 (A) とセラミック層 3 および 4 の各々との界面) に沿って添加成分が偏在することにより、境界内部電極 6 (A) とセラミック層 3 および 4 の各々の密着強度を高めることができる。さらに、境界内部電極 6 (A) の厚み方向中央部においては、添加成分が少ないため、電気抵抗が小さく、電気的特性のロスを少なくすることができる。

40

【 0 0 4 3 】

なお、低誘電率セラミック層 3 および高誘電率セラミック層 4 の各々の組成に関して、前述した例では、両者が共通して、フォルステライト、Ba - Nd - Ti 系酸化物、ホウケイ酸バリウム系のガラスおよび MnO を含む組成とされた。このことは、この発明の本

50

質とは直接関係するものではないが、相互拡散を低減するのに効果的である。

【0044】

また、低誘電率セラミック層3は、前述した例では、フォルステライトが主成分とされたが、これに代えて、アルミナ、Ba-Al-Si系酸化物などが用いられてもよい。高誘電率セラミック層4は、前述した例では、Ba-Nd-Ti系酸化物が主成分として用いられたが、これに代えて、CaZrO₃、CaTiO₃などが用いられてもよい。焼結助剤については、ホウケイ酸バリウム系以外のガラスが用いられてもよい。

【0045】

境界内部電極6(A)に含まれる金属材料として、前述したCuに代えて、Ag、Ag-Pd合金などが用いられてもよい。

10

【0046】

上述した境界内部電極6(A)以外の内部電極6、ビアホール導体7および外部電極8については、境界内部電極6(A)と同様の組成であっても、異なる組成、すなわち上記添加成分を含まない組成であってもよい。

【0047】

積層セラミック電子部品2は、周知のセラミック積層一体焼成技術を用いて製造することができる。

【0048】

すなわち、まず、低誘電率セラミック層3のためのセラミックグリーンシートが作製される。より具体的には、上述したセラミック材料および焼結助剤を含む原料組成物に、バインダ樹脂および溶剤からなる有機ビヒクルを添加し、セラミックスラリーを得る。このセラミックスラリーを、たとえばドクターブレード法によってシート状に成形し、乾燥した後、所定の寸法に打ち抜くことによって、セラミックグリーンシートを得る。そして、このセラミックグリーンシートに、導体を形成するため、導電性ペーストを、所望のパターンをもって付与する。

20

【0049】

他方、高誘電率セラミック層4のためのセラミック材料等をおよび含むセラミックグリーンシートが、上記低誘電率セラミック層3のためのセラミックグリーンシートの場合と同様の方法で作製される。そして、このセラミックグリーンシートに、導体を形成するため、導電性ペーストを、所望のパターンをもって付与する。

30

【0050】

上述した低誘電率セラミック層3のためのセラミックグリーンシートおよび高誘電率セラミック層4のためのセラミックグリーンシートに付与される導電性ペーストのうち、少なくとも境界内部電極6(A)となるべき導電性ペーストについては、前述したように、低誘電率セラミック層3および高誘電率セラミック層4の両方に含まれる成分を添加成分として含むものが用いられる。

【0051】

次に、上述のようにして得られた低誘電率セラミック層3のためのセラミックグリーンシートおよび高誘電率セラミック層4のためのセラミックグリーンシートを、それぞれ、所定の順序で所定の枚数積層し、次いで、厚み方向に加圧する。

40

【0052】

次に、上述のようにして得られた生の積層体を1000以下、たとえば800~1000の温度で焼成することにより、積層セラミック電子部品2を得ることができる。ここで、焼成は、導体がCuを主成分とする場合、窒素雰囲気等の非酸化性雰囲気中で実施され、Agを主成分とする場合には、大気等の酸化性雰囲気中で実施される。

【0053】

次に、積層セラミック電子部品2の表面に、はんだ付け等を適用して、電子部品9~17を搭載し、導電性キャップ18を取り付けることによって、セラミック多層モジュール1が完成される。

【0054】

50

次に、図3ないし図5を参照して、この発明の第2の実施形態による積層セラミック電子部品21について説明する。

【0055】

積層セラミック電子部品21は、図3に示すように、複数の積層されたセラミック層をもって構成された部品本体23を備え、この部品本体23の外表面上であって、長手方向の各端部には、端子電極24および25が設けられ、各側面の長手方向中間部には、端子電極26および27が設けられている。

【0056】

積層セラミック電子部品21は、LCフィルタとして機能するもので、図4に示すように、端子電極24および25の間に直列接続された2つのインダクタンスL1およびL2を構成し、インダクタンスL1およびL2の接続点と端子電極26および27との間にキャパシタンスCを構成している。

10

【0057】

図5に示すように、部品本体23は、複数の積層されたセラミック層28~40を備えている。なお、セラミック層の積層数は図示したものに限定されない。セラミック層28~40には、図4に示すようなインダクタンスL1およびL2ならびにキャパシタンスCを与えるため、以下のような態様で導体が設けられる。

【0058】

セラミック層30には、インダクタンスL1の一部を構成するコイルパターン41が形成されるとともに、このコイルパターン41の一方端から延びる引出しパターン42が形成され、コイルパターン41の他方端には、ビアホール導体43が設けられる。引出しパターン42は端子電極24に接続される。

20

【0059】

セラミック層31には、インダクタンスL1の一部を構成するコイルパターン44が形成されるとともに、その一方端には、ビアホール導体45が設けられる。コイルパターン44の他方端は、前述したビアホール導体43に接続される。

【0060】

セラミック層32には、上述のビアホール導体45に接続されるビアホール導体46が設けられる。

【0061】

30

セラミック層33には、キャパシタンスCの一部を構成するコンデンサパターン47が形成されるとともに、コンデンサパターン47から延びる引出しパターン48および49が形成される。引出しパターン48および49は端子電極26および27に接続される。また、セラミック層33には、前述したビアホール導体46に接続されるビアホール導体50が設けられる。

【0062】

セラミック層34には、キャパシタンスCの一部を構成するコンデンサパターン51が形成されるとともに、コンデンサパターン51に接続されるビアホール導体52が設けられる。コンデンサパターン51は、前述したビアホール導体50に接続される。

【0063】

40

セラミック層35には、キャパシタンスCの一部を構成するコンデンサパターン53が形成されるとともに、このコンデンサパターン53から延びる引出しパターン54および55が形成される。引出しパターン54および55は端子電極26および27に接続される。また、このセラミック層35には、前述したビアホール導体52に接続されるビアホール導体56が設けられる。

【0064】

セラミック層36には、上述のビアホール導体56に接続されるビアホール導体57が設けられる。

【0065】

セラミック層37には、インダクタンスL2の一部を構成するコイルパターン58が形

50

成されるとともに、その一方端には、ビアホール導体 59 が設けられる。コイルパターン 58 の他方端は、前述したビアホール導体 57 に接続される。

【0066】

セラミック層 38 には、インダクタンス L2 の一部を構成するコイルパターン 60 が形成されるとともに、このコイルパターン 60 の一方端から延びる引出しパターン 61 が形成される。引出しパターン 61 は端子電極 25 に接続される。コイルパターン 60 の他方端は、前述したビアホール導体 59 に接続される。

【0067】

上述したセラミック層 28 ~ 40 のうち、特にキャパシタンス C の構成に直接寄与するセラミック層 33 および 34 については、前述の図 1 に示した積層セラミック電子部品 2 に備える高誘電率セラミック層 4 を構成するものと同様の高誘電率セラミック材料から構成され、その他のセラミック層 28 ~ 32 および 35 ~ 40 は、積層セラミック電子部品 2 に備える低誘電率セラミック層 3 を構成するものと同様の低誘電率セラミック材料から構成される。

【0068】

したがって、コンデンサパターン 47 が、低誘電率セラミック層 32 と高誘電率セラミック層 33 との間の境界に沿って形成される内部電極であり、コンデンサパターン 53 が、高誘電率セラミック層 34 と低誘電率セラミック層 35 との間の境界に沿って形成される内部電極である。

【0069】

コイルパターン 41、44、58 および 60、引出しパターン 42、48、49、54、55 および 61、ビアホール導体 43、45、46、50、52、56、57 および 59、ならびにコンデンサパターン 47、51 および 53 を形成するにあたっては、導電性ペーストが用いられ、この導電性ペーストの付与のため、たとえばスクリーン印刷が適用されるが、少なくとも上述した境界に沿って形成される内部電極となるコンデンサパターン 47 および 53 については、低誘電率セラミック層 28 ~ 32 および 35 ~ 40 と高誘電率セラミック層 33 および 34 との両方に含まれる成分を添加成分として含むものが用いられる。

【0070】

部品本体 23 を得るため、上述したセラミック層 28 ~ 40 の各々となるべきセラミックグリーンシートが所定の順序で積層され、厚み方向に加圧され、その後、1000 以下、たとえば 800 ~ 1000 の温度で焼成される。ここで、焼成は、前述した積層セラミック電子部品 2 の場合と同様、配線導体が Cu を主成分とする場合には、窒素雰囲気等の非酸化性雰囲気中で実施され、Ag を主成分とする場合には、大気等の酸化性雰囲気中で実施される。

【0071】

次に、部品本体 23 の外表面上にある端子電極 24 ~ 27 の形成のため、たとえば、Cu または Ag を主成分とする導電性ペーストの塗布および焼付け、または、蒸着、めっきもしくはスパッタリングなどの薄膜形成法等が適用される。

【0072】

以上のようにして得られた積層セラミック電子部品 21 において、少なくとも、低誘電率セラミック層 32 と高誘電率セラミック層 33 との間の境界に沿って部分的に形成される内部電極となるコンデンサパターン 47 と、高誘電率セラミック層 34 と低誘電率セラミック層 35 との間の境界に沿って部分的に形成される内部電極となるコンデンサパターン 53 については、低誘電率セラミック層 28 ~ 32 および 35 ~ 40 と高誘電率セラミック層 33 および 34 との両方に含まれる成分を添加成分として含んでいる。そして、これらコンデンサパターン 47 および 53 に対しても、前述した境界内部電極 6 (A) に対して適用された実施形態が適用され得る。

【0073】

積層セラミック電子部品 21 では、低誘電率セラミック層 28 ~ 32 および 35 ~ 40

10

20

30

40

50

と高誘電率セラミック層 33 および 34 と間での相互拡散による特性ばらつきを少なくでき、かつデラミネーションや界面剥離を抑制できるため、コイルの電気的特性を安定させることができる。

【0074】

この発明は、図示したような多層セラミック基板を構成する積層セラミック電子部品 2 または LC フィルタを構成する積層セラミック電子部品 21 以外の積層セラミック電子部品にも適用され得る。

【0075】

次に、この発明による効果を確認するために実施した実験例について説明する。

【0076】

図 6 に示すような断面構造を有する評価用試料 71 を作製した。評価用試料 71 は、コンデンサを構成するもので、厚み 25 μm の高誘電率セラミック層 72 を、厚み 300 μm の 2 つの低誘電率セラミック層 73 および 74 で挟んだ構造を有するものとした。高誘電率セラミック層 72 と低誘電率セラミック層 73 および 74 との各間の境界に沿って、それぞれ、厚み 5 μm の内部電極 75 および 76 を一部において互いに対向するように部分的に形成し、相対向する端面上には、内部電極 75 および 76 にそれぞれ電氣的に接続される外部電極 77 および 78 を形成した。評価用試料 71 の平面寸法は、2.5 mm \times 2.0 mm とした。

【0077】

高誘電率セラミック層 72、低誘電率セラミック層 73 および 74、ならびに内部電極 75 および 76 の各材料組成は、以下のとおりとした。

【0078】

[高誘電率セラミック層]

Ba - Nd - Ti 系酸化物： 82 重量%

フォルステライト： 6 重量%

ホウケイ酸バリウム系のガラス： 9 重量%

MnO： 3 重量%

[低誘電率セラミック層]

フォルステライト： 62 重量%

Ba - Nd - Ti 系酸化物： 10 重量%

ホウケイ酸バリウム系のガラス： 13 重量%

MnO： 15 重量%

[内部電極]

平均粒径 1 ~ 3 μm の Cu 粉末： 100 重量部に対して、後掲の表 1 の「添加成分」の欄に示した添加成分を「添加量（重量部）」の欄に示した添加量をもって添加した無機粉末に、溶剤と樹脂とからなる有機ビヒクルとを加え、3本ロールミルで混練して、導電性ペーストを用いて形成した。

【0079】

得られた評価用試料について、表 1 に示すように、「コンデンサ容量」、「容量ばらつき」および「界面剥離」を評価した。「コンデンサ容量」は、LCRメータを用い、1 MHz にて、各試料につき 20 個ずつ静電容量を測定し、その平均値を示したものであり、「容量ばらつき」は、その標準偏差（ ）を示したものである。「界面剥離」は、目視にてその有無を評価した。

【0080】

なお、「デラミネーション」についても評価したが、この実験例で作製した試料 1 ~ 11 のすべてについて、デラミネーションは認められなかった。

【0081】

10

20

30

40

【表 1】

試料番号	添加成分	添加量 (重量部)	コンデンサ容量 (pF)	容量ばらつき (σ)	界面剥離
1*	なし	0	23.4	0.5	なし
2	Ba-Nd-Ti系酸化物	10	23.2	0.1	なし
3	フォルステライト	10	21.6	0.2	なし
4	ホウケイ酸バリウム系ガラス	10	19.8	0.3	なし
5*	ジルコニア	10	16.6	0.6	あり
6*	アルミナ	10	14.9	0.4	なし
7	Ba-Nd-Ti系酸化物	1	23.5	0.4	なし
8	Ba-Nd-Ti系酸化物	2	23.4	0.2	なし
9	Ba-Nd-Ti系酸化物	5	23.6	0.1	なし
10	Ba-Nd-Ti系酸化物	20	21.3	0.2	なし
11	Ba-Nd-Ti系酸化物	25	17.6	0.1	なし

10

【0082】

表 1 において、試料番号に * を付したものは、この発明の範囲外の試料である。

【0083】

この発明の範囲外の試料である、内部電極が添加成分を含まない試料 1 では、「コンデンサ容量」は比較的大きいものの、「容量ばらつき」も大きい。このため、バンドパスフィルタなどに用いられるコンデンサのように、高精度のコンデンサが必要とされる製品に使用すると、良品率が低くなる。

20

【0084】

この発明の範囲内の試料である、内部電極が、セラミック層の成分と共通する、Ba-Nd-Ti系酸化物、フォルステライト、またはホウケイ酸バリウム系ガラスを添加成分として含む試料 2 ~ 4 および 7 ~ 11 では、試料 1 に比べて、「容量ばらつき」が低減している。

【0085】

上記試料 2 ~ 4 および 7 ~ 11 のうち、特に、内部電極が、コンデンサを構成している高誘電率セラミック層の主成分である Ba-Nd-Ti系酸化物を含み、かつ添加量が 2 ~ 20 重量部の範囲にある試料 2 および 8 ~ 10 では、試料 1 に比べて、「コンデンサ容量」の低下も実質的に生じていない。

30

【0086】

Ba-Nd-Ti系酸化物が添加された内部電極を有する試料 2 および 7 ~ 11 のうち、添加量が 2 重量部未満の 1 重量部と少ない試料 7 では、「容量ばらつき」が、試料 1 に比べては小さいものの、0.4 とそれほど小さくなっていない。他方、添加量が 20 重量部を超える 25 重量部と多い試料 11 では、内部電極での金属比率が低くなって、コンデンサとして有効な電極面積が小さくなる（カバレッジが低くなる）こともあり、試料 1 に比べて、「容量ばらつき」が低減されているものの、「コンデンサ容量」が低下している。これらのことからわかるように、「添加量」は、2 ~ 20 重量部の範囲に選ばれることが好ましい。

【0087】

なお、上記試料 7 は、内部電極が添加成分を含まない試料 1 に比べて、「コンデンサ容量」が低下していない点で改善されているので、この発明の範囲内のものとされる。また、試料 11 は、内部電極が添加成分を含まない試料 1 に比べて、「容量ばらつき」が小さくなっている点で改善されているので、この発明の範囲内のものとされる。

40

【0088】

内部電極が、高誘電率セラミック層および低誘電率セラミック層のいずれの成分も含まず、共通成分でないジルコニアおよびアルミナを添加成分としてそれぞれ含む試料 5 および 6 では、試料 1 に比べて、「コンデンサ容量」が小さく、「容量ばらつき」が大きくなっている。特に、ジルコニアを用いた試料 5 では、評価用試料の端面に引き出された内部電極とセラミック層との界面でも剥離が認められた。これは、内部電極中の添加成分とセ

50

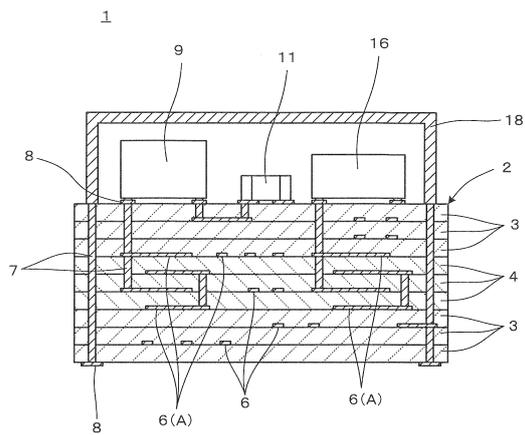
ラミック材料とが反応し、変質したためであると推測される。

【符号の説明】

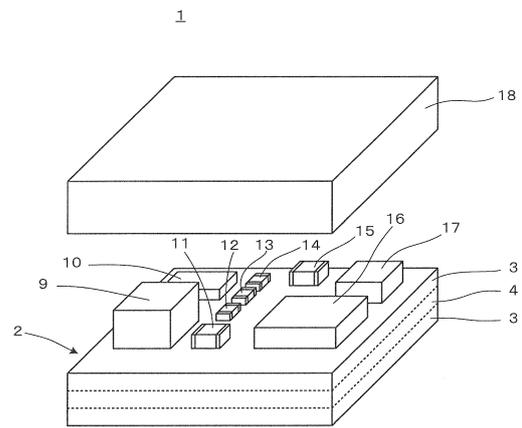
【0089】

- 1 セラミック多層モジュール
- 2, 21 積層セラミック電子部品
- 3, 28 ~ 32, 35 ~ 40, 73, 74 低誘電率セラミック層
- 4, 33, 34, 72 高誘電率セラミック層
- 6, 75, 76 内部電極
- 6(A) 境界内部電極
- 47, 53 コンデンサパターン
- 71 評価用試料

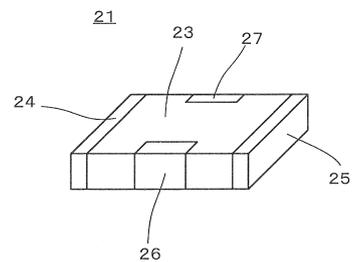
【図1】



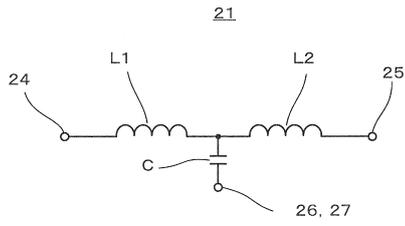
【図2】



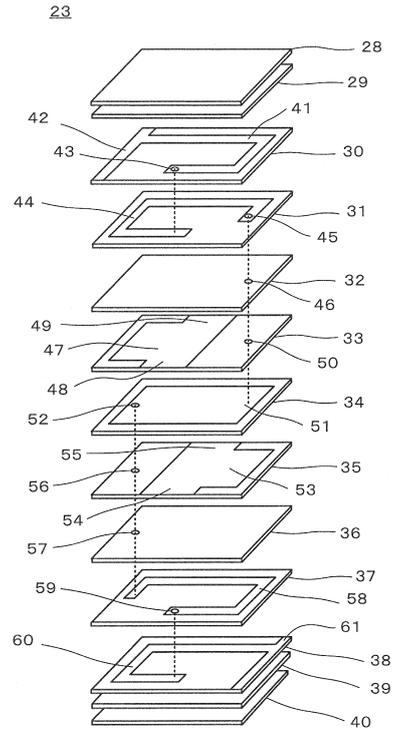
【図3】



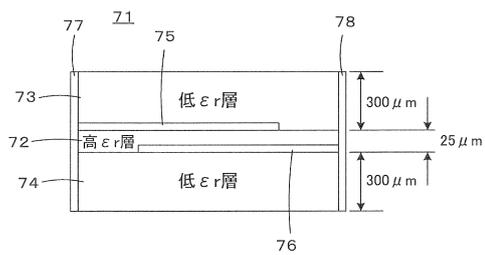
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 B	1/22	(2006.01)	H 0 5 K	3/46	H
			H 0 5 K	3/46	S
			H 0 5 K	3/46	T
			H 0 1 B	1/22	A

(56)参考文献 特開平 1 0 - 1 0 6 8 8 0 (J P , A)
特開 2 0 0 4 - 1 1 1 7 2 8 (J P , A)
特開平 1 1 - 1 8 6 7 2 7 (J P , A)
特開 2 0 0 4 - 0 6 3 7 0 3 (J P , A)
特開 2 0 0 5 - 1 9 1 1 2 9 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

H 0 1 G	4 / 2 3 2
H 0 1 B	1 / 2 2
H 0 1 G	4 / 1 2
H 0 1 G	4 / 3 0
H 0 1 G	4 / 4 0
H 0 5 K	3 / 4 6