

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-295850

(P2009-295850A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int. Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46 N	5E317
H01L 23/12 (2006.01)	H01L 23/12 N	5E346
H05K 3/42 (2006.01)	H01L 23/12 5O1W	
H05K 3/40 (2006.01)	H05K 3/46 X	
H05K 3/00 (2006.01)	H05K 3/42 610A	

審査請求 未請求 請求項の数 10 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願2008-149125 (P2008-149125)	(71) 出願人	000004455 日立化成工業株式会社 東京都新宿区西新宿2丁目1番1号
(22) 出願日	平成20年6月6日(2008.6.6)	(72) 発明者	柳田 英之 茨城県筑西市小川1500番地 日立化成工業株式会社内
		(72) 発明者	有家 茂晴 茨城県筑西市小川1500番地 日立化成工業株式会社内
		(72) 発明者	井上 文男 茨城県筑西市小川1500番地 日立化成工業株式会社内
		(72) 発明者	伊藤 定夫 茨城県筑西市小川1500番地 日立化成エレクトロニクス株式会社内 最終頁に続く

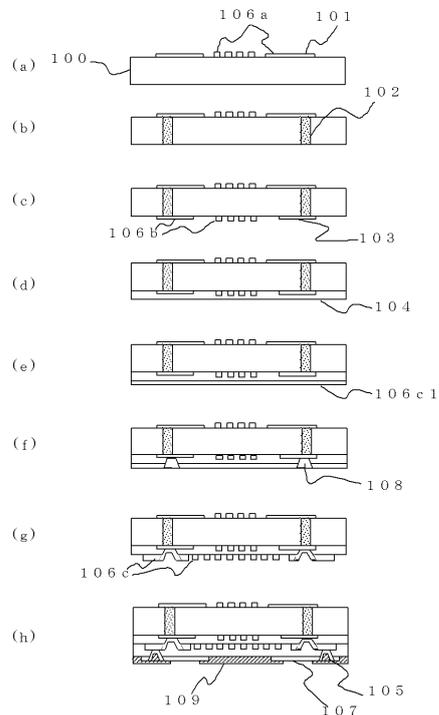
(54) 【発明の名称】 多層回路基板の製造方法及びこれから得られる多層回路基板、半導体チップ搭載基板並びにこの基板を用いた半導体パッケージ

(57) 【要約】

【課題】多層回路基板のビアホール径（トップ径とボトム径の差）を極力小さくして配線面積の低下を防ぐとともに微細配線の形成も可能で、かつ信頼性の高い多層回路基板の製造方法及びこれから得られる多層回路基板、半導体チップ搭載基板、並びにその基板を用いた半導体パッケージを提供する。

【解決手段】本発明は、絶縁層上に1種類以上の金属層を有する第1の金属層を形成する工程を含む多層回路基板の製造方法であって、前記第1の金属層と絶縁層に開口を形成する工程、前記開口内部をデスミア処理する工程、前記開口部及び前記第1の金属層上を無電解銅めっきによる第2の金属層をさらに形成する工程を順次行うことを特徴とする多層回路基板の製造方法である。また、上記製法から得られる多層回路基板、半導体チップ搭載基板、並びにその基板を用いた半導体パッケージである。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

絶縁層上に 1 種類以上の金属層を有する第 1 の金属層を形成した多層回路基板の製造方法であって、前記第 1 の金属層と絶縁層に開口を形成する工程、前記開口内部をデスミア処理する工程、前記開口部及び前記第 1 の金属層上に薄付け無電解銅めっきによる第 2 の金属層をさらに形成する工程を順次行うことを特徴とする多層回路基板の製造方法。

【請求項 2】

前記デスミア処理する工程は、ドライプロセスで行う工程である請求項 1 に記載の多層回路基板の製造方法。

【請求項 3】

前記デスミア処理する工程は、ドライプロセスとウェットプロセスを併用する工程である請求項 1 に記載の多層回路基板の製造方法。

【請求項 4】

前記開口を形成する工程は、レーザ加工による工程である請求項 1 ~ 3 の何れかに記載の多層回路基板の製造方法。

【請求項 5】

前記絶縁層上に 1 種類以上の金属層を有する第 1 の金属層を形成する工程は、少なくとも 1 層以上をドライプロセスで形成する工程を有している請求項 1 ~ 4 の何れかに記載の多層回路基板の製造方法。

【請求項 6】

前記第 1 の金属層の厚みは 1 μ m 以下である請求項 1 ~ 5 の何れかに記載の多層回路基板の製造方法。

【請求項 7】

前記絶縁層の表面粗さを平均粗さ (Ra) で 1 μ m 以下に形成する工程をさらに有する請求項 1 ~ 6 の何れかに記載の多層回路基板の製造方法。

【請求項 8】

請求項 1 ~ 7 の何れかに記載の多層回路基板の製造方法で製造された多層回路基板。

【請求項 9】

請求項 8 に記載の多層回路基板を用いた半導体チップ搭載基板であって、前記多層回路基板の一方の面に半導体チップ接続端子が、他方の面に外部接続端子が設けられる半導体チップ搭載基板。

【請求項 10】

請求項 9 に記載の半導体チップ搭載基板と、半導体チップ搭載領域に搭載される半導体チップと、前記半導体チップの少なくともフェース面を封止する封止樹脂からなる半導体パッケージ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、多層回路基板の製造方法及びこれから得られる多層回路基板、半導体チップ搭載基板並びにこの基板を用いた半導体パッケージに関する。

【背景技術】**【0002】**

半導体パッケージの分野では、近年一層の高集積化及び高速対応化の要求が高まっている。これらに対応した半導体パッケージとして、半導体チップを、ガラスエポキシのコア基板上に絶縁層を形成した多層回路基板上に搭載したものが提案されている。このような半導体パッケージは、半導体チップ搭載基板の外部接続端子でさらにマザーボードと呼ばれるより大きな基板に搭載され、マザーボード内の配線によって相互に接続される。このような実装形態をとることによって、半導体チップの電極間隔である 0.05 ~ 0.25 mm を、0.5 ~ 1.0 mm に広げてマザーボード上に実装することができる。

【0003】

10

20

30

40

50

一般に多層回路基板の層間接続は、ビアホールを形成した後、ビアホール内に金属層をめっきで形成して行われる。電子機器の小型化、軽量化、高性能化の要求に応えるために、ビアホールの小径化が求められており、このため最近では、レーザーでビアホールを形成する方法が増えてきた。

【0004】

各種のレーザーの中でも特に炭酸ガスレーザーはエポキシ樹脂、ポリイミド樹脂等の有機絶縁樹脂に高速で穴あけすることができ、プリント配線板用として工業的に最も多く用いられるようになったが、炭酸ガスレーザーで穴あけした場合は、ビアホールの底部に樹脂の炭化物(スミア)が残存する。そこで、プラズマや過マンガン酸塩水溶液等を使用してスミアを除去するデスミア工程が必要である。

10

【0005】

デスミア工程の際、プラズマや過マンガン酸水溶液によって、ビアホールの底部のみではなく、基板表面の絶縁層も処理される。このため、デスミアによって、絶縁層表面の粗さまたは官能基が変化してしまい、アディティブ法においては、その後絶縁層表面に形成される金属と絶縁層との接着強度(ピール強度)が低下する問題がある。このようなアディティブ法の問題を解決するために、最近では特許文献1に示すように、5 μ m以下の銅箔を貼り付けた絶縁層を内層回路に積層し、レーザーによるビアホールを開口後、デスミア工程、第2の金属層として薄付け無電解銅めっきを行い、電気めっきレジストを形成した後に電気銅めっきを行う工程と、電気めっきレジストを除去し、パターン部以外の銅をエッチング除去することで内層接続と回路形成する工程とを有する工法がある。このとき回路の配線密度は略導体幅/導体間隔(以下、L/Sという) = 25 μ m / 25 μ mである。また、特許文献2に示すように、ビルドアップ層(絶縁層)上にスパッタリングによりNi、Cr、Cu等の第2の金属層を形成し、レーザーによるビアホールを開口後、デスミア工程、金属層としてスパッタリングによりNi、Cu等の金属層を形成し、電気めっきレジストを形成した後に電気銅めっきを行う工程と、電気めっきレジストを除去し、パターン部以外の銅をエッチング除去することで内層接続と回路形成する工程とを有する工法がある。このとき回路の配線密度は略L/S = 12.5 μ m / 12.5 μ mである。

20

【0006】

【特許文献1】特開2003-086938号公報

30

【特許文献2】特開2004-235601号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

特許文献1による方法は、金属層が5 μ m以下のため、L/S = 25 μ m / 25 μ m未満の配線になると、金属層5 μ m以下の厚みをエッチングする際、同時に回路もエッチングされてしまい、回路が細くなる等の回路精度に悪影響を及ぼす。また、特許文献2による方法は、金属層をスパッタリングにより形成するため、ビアホールのトップ径とボトム径の差を大きくして、角度(テーパ角)のついた穴壁にしなければならない。そのため、配線面積が少なくなり高密度化の阻害要因となっている。

40

【0008】

本発明の目的は、上記従来技術の問題点を改善するためになされたものであり、その目的は、多層回路基板のビアホール径(トップ径とボトム径の差)を極力小さくして配線面積の低下を防ぐとともに微細配線の形成も可能で、かつ信頼性の高い多層回路基板の製造方法及びこれから得られる多層回路基板、半導体チップ搭載基板、並びにその基板を用いた半導体パッケージを提供することである。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明は次のように構成される。

(1) 絶縁層上に1種類以上の金属層を有する第1の金属層を形成する工程を含む多層

50

回路基板の製造方法であって、前記第1の金属層と絶縁層に開口を形成する工程、前記開口内部をデスミア処理する工程、前記開口部及び前記第1の金属層上を無電解銅めっきによる第2の金属層をさらに形成する工程を順次行うことを特徴とする多層回路基板の製造方法。

(2) 前記デスミア処理する工程は、ドライプロセスで行う工程である上記(1)に記載の多層回路基板の製造方法。

(3) 前記デスミア処理する工程は、ドライプロセスとウェットプロセスを併用する工程である上記(1)に記載の多層回路基板の製造方法。

(4) 前記開口を形成する工程は、レーザ加工による工程である上記(1)~(3)の何れかに記載の多層回路基板の製造方法。

(5) 前記絶縁層上に1種類以上の金属層を有する第1の金属層を形成する工程は、1層以上をドライプロセスで形成する工程を有する上記(1)~(4)の何れかに記載の多層回路基板の製造方法。

(6) 前記第1の金属層の厚みは1 μ m以下である上記(1)~(5)の何れかに記載の多層回路基板の製造方法。

(7) 前記絶縁層の表面粗さを、平均粗さ(Ra)で1 μ m以下に形成する工程をさらに有する上記(1)~(6)いずれかに記載の多層回路基板の製造方法。

(8) 上記(1)~(7)の何れかに記載の多層回路基板の製造方法で製造された多層回路基板。

(9) 上記(8)に記載の多層回路基板を用いた半導体チップ搭載基板であって、前記多層回路基板の一方の面に半導体チップ接続端子が、他方の面に外部接続端子が設けられる半導体チップ搭載基板。

(10) 上記(9)に記載の半導体チップ搭載基板と、半導体チップ搭載領域に搭載された半導体チップと、前記半導体チップの少なくともフェース面を封止する封止樹脂からなる半導体パッケージ。

【発明の効果】

【0010】

本発明の多層回路基板の製造方法によれば、ビアホールボトム径とトップ径の差が小さくなるため、ビアホール径を小さくすることが可能である。特にビルドアップ材の厚みが厚くなるに従い効果は大である。また、デスミア工程でスミアを確実に除去可能であるとともに絶縁層と配線の接着強度の低下を防ぎ、かつ微細配線の形成も可能で、信頼性の高い多層回路基板、半導体チップ搭載基板並びにこの基板を用いた半導体パッケージを提供することができる。さらに、本発明の基板の製造方法によれば、デスミアの際に絶縁樹脂と金属との接着強度が低下することがなく、耐リフロー性及び温度サイクル試験での信頼性を向上することができるため、実装信頼性に優れた多層回路基板、半導体チップ搭載基板、半導体パッケージを作製することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を用いて本発明の実施の形態を説明する。なお、多層回路基板として、半導体チップ搭載基板を例として説明するが、特に、これに限定されるものではない。

(半導体チップ搭載基板)

図1に、本発明の半導体チップ搭載基板の一実施例(片面ビルドアップ層2層)の断面模式図を示す。ここでは、ビルドアップ層104を片面にのみ形成した実施形態で説明するが、必要に応じてビルドアップ層104は両面に形成しても良い。本発明の半導体チップ搭載基板は、図1に示すように、半導体チップが搭載される側の絶縁層であるコア基板100上に、半導体チップ接続端子(図示しない。)及び第1の層間接続端子101を含む第1の配線106aが形成される。コア基板100の反対側には、第2の層間接続端子103を含む第2の配線106bが形成され、第1の層間接続端子101と第2の層間接続端子103は、コア基板100の第1の層間接続用ビアホール(以下、「第1のビアホール」という。)102を介して電氣的に接続される。コア基板100の第2の配線

10

20

30

40

50

106b上には、ビルドアップ層104が形成され、ビルドアップ層104上には第3の層間接続端子(図示しない。)を含む第3の配線106cが形成され、第2の層間接続端子103と第3の層間接続端子は、第2の層間接続用ブラインドバイアホール(以下、「第2のバイアホール」という。)108を介して電氣的に接続される。ビルドアップ層104が複数形成される場合は、同様の構造を積層し、例えば、第3の配線106c中、第3の層間接続端子は次のビルドアップ層104の層間接続端子と、第3の層間接続用ブラインドバイアホール(以下、「第3のバイアホール」という。)105を介して電氣的に接続される。最外層のビルドアップ層104上には、マザーボードと接続される外部接続端子107が形成される。配線の形状や各々の接続端子の配置等は特に制限されず、搭載する半導体チップや目的とする半導体パッケージを製造するために、適宜設計可能である。また、半導体チップ接続端子と第1の層間接続端子101等を共用することも可能である。更に、最外層のビルドアップ層104上には、必要に応じてソルダレジスト等の絶縁被覆109を設けることもできる。

10

【0012】

(コア基板)

コア基板100の材質は特に問わないが、有機基材、セラミック基材、シリコン基材、ガラス基材などが使用できる。有機基材としては、熱硬化性樹脂、熱可塑性樹脂、またはそれらの混合樹脂が使用できる。さらに熱硬化性の有機絶縁材料が主成分であることがより好ましい。熱硬化性樹脂としては、フェノール樹脂、尿素樹脂、メラミン樹脂、アルキド樹脂、アクリル樹脂、不飽和ポリエステル樹脂、ジアリルフタレート樹脂、エポキシ樹脂、シリコーン樹脂、シクロペンタジエンから合成した樹脂、トリス(2-ヒドロキシエチル)イソシアヌラートを含む樹脂、芳香族ニトリルから合成した樹脂、3量化芳香族ジシアナミド樹脂、トリアリルトリメタアクリレートを含む樹脂、フラン樹脂、ケトン樹脂、キシレン樹脂、縮合多環芳香族を含む熱硬化性樹脂、ベンゾシクロブテン樹脂等を用いることができる。熱可塑性樹脂としては、ポリイミド樹脂、ポリフェニレンオキサイド樹脂、ポリフェニレンサルファイド樹脂、アラミド樹脂、液晶ポリマ等が挙げられる。また、これらの樹脂をガラスクロスやガラス不織布などと一体になるように成形したものでもよい。

20

【0013】

熱膨張係数や絶縁性を考慮すると、セラミックや、ガラスを用いることが好ましい。ガラスのうち非感光性ガラスとしては、ソーダ石灰ガラス(成分例: SiO_2 65~75%、 Al_2O_3 0.5~4%、 CaO 5~15%、 MgO 0.5~4%、 Na_2O 10~20%)、ホウ珪酸ガラス(成分例: SiO_2 65~80%、 B_2O_3 5~25%、 Al_2O_3 1~5%、 CaO 5~8%、 MgO 0.5~2%、 Na_2O 6~14%、 K_2O 1~6%)等が挙げられる。また、感光性ガラスとしては Li_2O - SiO_2 系結晶化ガラスに感光剤として金イオン及び銀イオンを含むものが挙げられる。コア基板100の厚さは100~800 μm の範囲であるのが、IVH(Interstitial Via Hole)形成性の点で好ましく、更に150~500 μm の範囲であるのがより好ましい。

30

【0014】

(ビルドアップ層)

絶縁層であるビルドアップ層104は、絶縁材料からなるのが好ましい。絶縁材料としては、熱硬化性樹脂、熱可塑性樹脂、またはそれらの混合樹脂が使用できる。さらに熱硬化性の有機絶縁材料が主成分であることがより好ましい。熱硬化性樹脂としては、フェノール樹脂、尿素樹脂、メラミン樹脂、アルキド樹脂、アクリル樹脂、不飽和ポリエステル樹脂、ジアリルフタレート樹脂、エポキシ樹脂、シリコーン樹脂、シクロペンタジエンから合成した樹脂、トリス(2-ヒドロキシエチル)イソシアヌラートを含む樹脂、芳香族ニトリルから合成した樹脂、3量化芳香族ジシアナミド樹脂、トリアリルトリメタアクリレートを含む樹脂、フラン樹脂、ケトン樹脂、キシレン樹脂、縮合多環芳香族を含む熱硬化性樹脂、ベンゾシクロブテン樹脂等を用いることができる。熱可塑性樹脂としては、ポ

40

50

リイミド樹脂、ポリフェニレンオキサイド樹脂、ポリフェニレンサルファイド樹脂、アラミド樹脂、液晶ポリマ等が挙げられる。絶縁材料には充填材を添加しても良い。充填材としては、シリカ、タルク、水酸化アルミニウム、ホウ酸アルミニウム、窒化アルミニウム、アルミナ等が挙げられる。ビルドアップ層104の形成方法としては、ワニス状の絶縁材料をスピンコート、コンマコート、印刷等で形成した後、乾燥、硬化して形成することができる。また、フィルム状に予め形成し、プレスやラミネートでコア基板100に接着することもできる。絶縁材料によってはガラスクロスや不織布に材料を含浸させ、プリプレグ状にしてから接着して形成することもできる。さらに、金属箔にワニスを塗布し、乾燥後コア基板100に接着することもできる。

【0015】

(熱膨張係数)

半導体チップの熱膨張係数とコア基板100の熱膨張係数とが近似していて、かつコア基板100の熱膨張係数とビルドアップ層(絶縁層)104の熱膨張係数とが近似していることが好ましい。さらに、半導体チップ、コア基板100、ビルドアップ層(絶縁層)104の各々の熱膨張係数を1、2、3(ppm/°C)としたとき、1、2、3であることがより好ましい。具体的には、コア基板100の熱膨張係数は、7~13ppm/°Cが好ましく、更に好ましくは9~11ppm/°Cである。ビルドアップ層(絶縁層)104の熱膨張係数は10~60ppm/°Cであるのが好ましく、更に好ましくは10~50ppm/°Cである。熱膨張係数の測定は、TMA(Thermo-Mechanical Analysis)を用いJIS-C6481に準拠して測定を行うことができる。

【0016】

(ヤング率)

ビルドアップ層(絶縁層)104のヤング率は、1~5GPaであるのが熱ストレスに対する応力緩和の点で好ましい。ビルドアップ層(絶縁層)104中の充填材は、ビルドアップ層(絶縁層)104の熱膨張係数が10~60ppm/°C、ヤング率が1~5GPaになるように添加量を適宜調整して添加するのが好ましい。ヤング率の測定は、例えばAUTOGRAPH(島津製作所製、商品名、「AUTOGRAPH」は登録商標。)を用いJIS-K7127に準拠して測定を行うことができる。

【0017】

(平坦性)

コア基板100及びビルドアップ層104等の絶縁層の表面の平坦性は、平均粗さ(Ra)で1.0μm以下、特に0.01~1.0μmが高速電気信号の伝達特性の面から好ましく、更に0.01~0.4μmであることがより好ましい。1.0μmを超えると形成する配線の幅変動が大きく、また、高速電気信号の減衰が大きくなる傾向がある。0.01μm未満では、ピール強度が十分に得られなくなるという傾向がある。同様に配線表面の平坦性も、平均粗さ(Ra)で1.0μm以下であることが好ましく、更に0.01~0.4μmであることがより好ましい。すなわち、前記コア基板100と前記第1の配線106aとの界面、前記コア基板100と前記第2の配線106bとの界面、前記第2の配線106bと前記ビルドアップ層(絶縁層)104の界面、前記ビルドアップ層(絶縁層)104と前記第3の配線106cとの界面は、少なくともいずれか1つの界面の凹凸が、Raで1.0μm以下であるのが好ましい。特に0.01~1.0μmが好ましく、更に0.01~0.4μmであることがより好ましい。本発明において、Raは、上述のように平均粗さであり、例えば触針式表面粗さ計サーフテストSV-400(株式会社ミットヨ製、商品名)を用いて測定することができる(JIS-C6481参照)。

【0018】

(半導体チップ搭載基板の製造方法)

半導体チップ搭載基板は、以下の製造方法の組み合わせで製造することができる。製造工程の順番は、本発明の目的を逸脱しない範囲では、特に限定しない。

【0019】

10

20

30

40

50

(絶縁層上の第1の金属層の形成)

コア基板100及びビルドアップ層104等の絶縁層上に1種類以上の金属層を有する第1の金属層を形成する方法として、スパッタリング、真空加熱蒸着、真空EB(Electron Beam)蒸着などがある。スパッタリング装置は、2極スパッタ、3極スパッタ、4極スパッタ、マグネトロンスパッタ、ミラートロンスパッタ等を用いることができる。スパッタリングで形成できる金属層としては、Cr、Ni、Co、Pd、Zr、Zn、Cuまたはこれらの合金であることが好ましい。

スパッタリングで形成できる1層の金属層の厚みは1~1000nm程度であり、連続して複数層の金属層を形成して第1の金属層とすることも可能である。このような例として、例えばスパッタリングで絶縁層上に金属を形成する場合は、絶縁層との接着性を向上させるために1層目に下地金属を形成する。下地金属の膜厚は特に5~200nmが好ましく、金属としてはNi、Cr、Zn、Co及びそれらの合金が好ましい。2層目以降は必要に応じて金属種及び厚みを選択すればよいが、多層回路基板の配線を形成する場合は、Cuをターゲットにして5~1000nmスパッタリングして2層目の薄膜銅層を形成するのが好ましい。薄膜銅層の膜厚は特に100~500nmが好ましく、200~300nmがより好ましい。また、1層目の下地金属と2層目以降の薄膜銅層を合わせた第1の金属層全体としての厚みは、1000nm(1μm)以下が好ましい。

なお、本発明における第1の金属層とは、バイアホールのための開口を形成する前に、コア基板100及びビルドアップ層104等の絶縁層上に形成される金属層をいう。

【0020】

(絶縁層上の配線形成方法)

コア基板100及びビルドアップ層104等の絶縁層上の配線形成方法としては、絶縁層上に1種類以上の第1の金属層を形成し、この第1の金属層の不要な箇所をエッチング除去する方法(サブトラクティブ法)、絶縁層上に1種類以上の第1の金属層を形成し、その後電解めっきで必要な配線を形成した後、第1の金属層をエッチングで除去する方法(セミアディティブ法)、絶縁層上の必要な箇所にのみめっき処理により配線を形成する方法(アディティブ法)がある。

【0021】

(バイアホール)

コア基板100に設ける第1のバイアホール、及びビルドアップ層104に設ける第2、第3のバイアホールは、コア基板100やビルドアップ層104の絶縁層上に1種類以上の第1の金属層を形成した後、この第1の金属層側から絶縁層を開口して、バイアホールを形成する。

また、コア基板100に設ける第1のバイアホールは、コア基板100の片面に金属層を形成した後、絶縁層側から開口してバイアホールを形成してもよい。

【0022】

(開口を形成する方法)

開口を形成する方法としては、パンチやドリルなどの機械加工、レーザービームによる加工、薬液による化学エッチング加工、プラズマを用いたドライエッチング法などがあるが、微細な穴を加工できることや金属と絶縁層を同時に穴加工しやすいという観点から、特にレーザービームを使用するのがより好ましい。使用するレーザーは限定されるものではなく、炭酸ガスレーザー、YAGレーザー、エキシマレーザー等を用いることができる。

レーザーにより開口を形成する方法としては、銅箔上に直接レーザー光を照射するダイレクトレーザー穴あけ法や、開口径と同じ大きさの窓穴をフォトリソ法により形成した後、窓穴より大きなレーザー光を照射するコンフォーマル穴あけ法、開口径より大きな窓穴を銅箔上に形成した後、窓穴径と同じ径のレーザー光を照射して穴あけを行うラージウインドウ法の何れでもよいが、工数が少ない点からダイレクトレーザー穴あけ法が好ましい。

【0023】

(開口のテーパ角)

図9に開口部の断面図を示す。開口底部の第2の配線106b側の直径(ボトム径)を

10

20

30

40

50

B、開口の第1の金属層106c1側の直径(トップ径)をT、ビルドアップ層(絶縁層)104の厚みをtとしたとき、テーパ角は(1)式で表すことができる。

【0024】

【数1】

$$\theta = \tan^{-1}(2t/(T-B)) \dots (1)$$

基板の配線収容率を高めるためには、ボトム径Bを一定とした場合、トップ径Tとボトム径Bの差が小さいことが好ましい。しかし、トップ径Tとボトム径Bの差が小さくなるに従い、テーパ角が90度に近くなるため、スパッタリングや蒸着などを用いて開口部の側壁に金属を形成する場合は、良好な金属層を形成することが困難になる。スパッタリングの場合は、テーパ角は65度以下が好ましい。

10

【0025】

(デスマリア)

前述の方法により形成されたパイアホールのスミア除去としては、ドライ処理、ウェット処理または必要に応じてドライ処理とウェット処理を併用した処理を用いることができる。ドライ処理としては、プラズマ処理、逆スパッタリング処理、イオンガン処理が使用できる。さらに、プラズマ処理には大気圧プラズマ処理、真空プラズマ処理、RIE(Reactive Ion Etching)処理があり、必要に応じて選択できる。これらの処理に使用するガスとしては、窒素、酸素、アルゴン、フロン(CF₄)、またはこれらの混合ガスが好ましい。ウェット処理には、クロム酸塩、過マンガン酸塩等の酸化剤を用いることができるが、必要に応じて、水、酸またはアルカリ溶液、溶剤などで行うこともできる。さらに、ウェット処理中に超音波を併用することも可能である。また、ドライ処理とウェット処理を併用した処理では、ドライ処理後にウェット処理を行ってもよく、ウェット処理後にドライ処理を行ってもよい。これらの選択は使用する絶縁材料によって適宜選択すればよい。

20

【0026】

(層間接続)

層間接続は、コア基板に設けた第1のパイアホール及びビルドアップ層に設けた第2、第3のパイアホールに層間接続めっきや導電性ペーストを充填することで行われる。また、配線形成方法としてセミアディティブ法を用いる場合は、めっきで配線を形成する際に同時に層間接続を行うこともでき、効率的で好ましい。この場合、層間接続めっきは、下地めっきとしての薄付け無電解銅めっき層(第2の金属層)と、厚付けのための電解銅めっき層を備えるのが望ましい。

30

【0027】

(サブトラクティブ法による配線形成)

前述の方法で形成された金属層(第1、第2の金属層、電解銅めっき層を含む。)の配線となる箇所にエッチングレジストを形成し、エッチングレジストから露出した箇所に、化学エッチング液をスプレー噴霧して、不要な金属層(第1、第2の金属層、電解銅めっき層を含む。)をエッチング除去し、配線を形成することができる。例えば、金属層(第1、第2の金属層、電解銅めっき層を含む。)が銅層の場合、エッチングレジストは、通常の配線板に用いることのできるエッチングレジスト材料を用いることができ、レジストインクをシルクスクリーン印刷して形成したり、エッチングレジスト用感光性ドライフィルムを銅層の上にラミネートして、その上に配線形状に光を透過するフォトマスクを重ね、紫外線で露光し、露光しなかった箇所を現像液で除去して形成する。化学エッチング液には、塩化第二銅と塩酸の溶液、塩化第二鉄溶液、硫酸と過酸化水素の溶液、過硫酸アンモニウム溶液など、通常の配線板に用いる化学エッチング液を用いることができる。また、金属層(第1、第2の金属層、電解銅めっき層を含む。)が複数の金属から構成される場合は、それぞれ適切なエッチング液を組み合わせることでエッチングを行うことができる。

40

【0028】

(セミアディティブ法による配線形成)

50

前述の方法で形成された金属層（第1、第2の金属層）上に、めっきレジストを必要なパターンに形成し、金属層（第1、第2の金属層）を介して電解めっきにより配線を形成できる。その後、めっきレジストを剥離し、最後に金属層（第1、第2の金属層）をエッチング等により除去し、配線が形成できる。セミアディティブ法では、層間接続と配線形成を同時に行うことができ、効率的で好ましい。

【0029】

（配線の形状）

配線の形状は特に問わないが、少なくとも半導体チップが搭載される側には半導体チップ接続端子（ワイヤボンダ端子等）、その反対面にはマザーボードと電氣的に接続される外部接続端子（はんだボール等が搭載される箇所）及びそれらを繋ぐ展開配線、層間接続端子等から構成される。また、配線の配置も特に問わないが、図2に示すように（内層配線、層間接続端子等は省略。）、半導体チップ接続端子16より内側に外部接続端子を形成したファン-インタイプや、図3に示すような半導体チップ接続端子16の外側に外部接続端子19を形成したファン-アウトタイプ、またはこれらを組み合わせたタイプでもよい。

10

【0030】

図2は本発明の一実施形態であるファン-インタイプ半導体チップ搭載基板の平面図である。また、図3は、本発明の別の実施形態であるファン-アウトタイプ半導体チップ搭載基板の平面図である。図中、13は、半導体パッケージ領域である。フリップチップタイプの場合、14はダイボンダフィルム接着領域、15は半導体チップ搭載領域、16は半導体チップ接続端子である。ワイヤボンダタイプの場合、17はダイボンダフィルム接着領域、18は半導体チップ搭載領域である。また、19は外部接続端子、20は展開配線である。さらに必要に応じて、半導体チップと電氣的に接続されないダミーパターン21を形成することもできる。ダミーパターン21の形状や配置も特に問わないが、半導体チップ搭載領域15、18に均一に配置するのが好ましい。これによって、ダイボンダ接着剤で半導体チップを搭載する際に、ボイドが発生しにくくなり、信頼性を向上できる。

20

【0031】

（絶縁被覆の形成）

半導体チップ搭載基板の外部接続端子側には絶縁被覆を形成することができる。パターン形成は、ワニス状の材料であれば印刷で行うことも可能であるが、より精度を確保するためには、感光性のソルダレジスト、カバーレイフィルム、フィルム状レジストを用いるのが好ましい。材質としては、エポキシ系、ポリイミド系、エポキシアクリレート系、フルオレン系の材料を用いることができる。このような絶縁被覆は硬化時の収縮があるため、片面だけに形成すると基板に大きな反りを生じやすい。そこで、必要に応じて半導体チップ搭載基板の両面に絶縁被覆を形成することもできる。この場合は、反りは絶縁被覆の厚みによって変化するため、両面の絶縁被覆の厚みは実験的に反りが発生しないように調整することがより好ましい。さらに、絶縁被覆の熱膨張係数は、一般的には大きな材料が多いため、このような絶縁被覆を半導体チップ搭載側に形成する場合は、フレームの半導体パッケージ領域の外側だけに形成するのが好ましい。また、絶縁被覆の厚みは5～50μmであることが好ましく、10～30μmがより好ましい。厚みが50μm以上では、半導体チップ搭載基板全体の厚みが厚くなり、5μm以下では絶縁性に問題が発生する可能性がある。

30

40

【0032】

（配線のめっき）

配線の必要な部分にニッケル、金めっきを順次施すことができる。さらに必要に応じてニッケル、パラジウム、金めっきとしても良い。これらのめっきは、配線の半導体チップ接続端子と、マザーボードまたは他の半導体パッケージと電氣的に接続するための外部接続端子に施されるのが一般的である。このめっきは、無電解めっき、または電解めっきのどちらを用いてもよい。また、必要に応じて、露出した配線、ダミーパターン、補強パタ

50

ーン等の金属パターン表面に同時に施すこともできる。

【0033】

(半導体チップ搭載基板の製造工程)

本発明の半導体チップ搭載基板は、以下のような工程で製造することができる。図4の(a)~(h)に、本発明の半導体チップ搭載基板の製造方法の実施形態の一例を断面模式図で示す。ただし、製造工程の順番は、本発明の目的を逸脱しない範囲では、特に限定しない。

【0034】

(工程a)

(工程a)は、図4(a)に示すようにコア基板100上に第1の配線106aを作製する工程である。例えば片面に銅層が形成されたコア基板100に第1の配線106a形状にエッチングレジストを形成し、塩化銅や塩化鉄などのエッチング液を用いるサブトラクティブ法によって作製することができる。ガラス基板上に銅層を作製するには、スパッタリング、蒸着、めっき等により得ることができる。なお、第1の配線106aは、第1の層間接続端子101及び半導体チップ接続端子(半導体チップと電氣的に接続される部分、図示しない。)を含んでおり、微細配線の形成方法としてはアディティブ法やセミアディティブ法を用いることもできる。

10

【0035】

(工程b)

(工程b)は、図4(b)に示すように、前記第1の層間接続端子101と、後述する第2の配線106とを接続するための第1のビアホール102を形成する工程である。ビアホールの形成は、コア基板100が非感光性基材の場合レーザ光を用いることができる。使用するレーザ光は限定されるものではなく、炭酸ガスレーザ、YAGレーザ、エキシマレーザ等を用いることができる。コア基板100が感光性基材の場合、ビアホール以外の領域をマスクし、ビアホール部に紫外光を照射する。その後熱処理とエッチングによりビアホールを形成する。また、コア基板100が直接エッチング可能な基材の場合は、エッチングによって形成することもできる。形成されたビアホールは層間を電氣的に接続するために導電性のペーストやめっきなどで充填して層間接続のための導電層を形成することができる。

20

【0036】

(工程c)

(工程c)は、図4(c)に示すように、コア基板100の第1の配線106aと反対側の面に第2の配線106bを形成する工程である。コア基板100の第1の配線106aと反対の面に(工程a)と同様に銅層を形成し、その銅層を必要な配線形状にエッチングレジストを形成し、塩化銅や塩化鉄等のエッチング液を用いてサブトラクティブ法によって第2の配線106bを形成する。銅層は(工程a)と同様にスパッタリング、蒸着、めっきなどで形成できる。なお、第2の配線106bは第2の層間接続端子103を含んでおり、微細配線の形成方法としてはアディティブ法やセミアディティブ法を用いることもできる。

30

【0037】

(工程d)

(工程d)は、図4(d)に示すように前記第2の配線106bを形成した面にビルドアップ層104を形成する工程である。コア基板100表面及び第2の配線106b表面に、前述したようなワニス状の絶縁材料の印刷、スピンコート、またはフィルム状の絶縁材料をラミネートやプレスなどの手法を用いて積層形成してビルドアップ層(絶縁層)104を得ることができる。絶縁材料が熱硬化性材料を含む場合は、さらに加熱硬化させる。加熱条件は、材料に適した条件を選択すればよく、硬化後に反りやねじれが発生しないような条件が好ましい。

40

【0038】

ビルドアップ層(絶縁層)104を形成する前に、第2の配線106b表面にシランカ

50

カップリング剤等のカップリング剤を含む皮膜（図示しない。）を形成することが好ましい。このカップリング剤を含む皮膜により、第2の配線106b表面とビルドアップ層（絶縁層）104との接着信頼性を向上させることが可能である。使用するカップリング剤はシランカップリング剤が好ましく、例えば、シランカップリング剤は、エポキシ基、アミノ基、メルカプト基、イミダゾール基、ビニル基、またはメタクリル基等の官能基を分子中に有し、これらのシランカップリング剤の1種もしくは2種以上の混合物を含有する溶液を使用することができる。シランカップリング剤溶液の調整に使用される溶媒は、水或いはアルコール、ケトン類等を用いることが可能である。また、カップリング剤の加水分解を促進するために、少量の酢酸や塩酸等の酸を添加することもできる。前記カップリング剤の含有量は、溶液全体に対して、0.01重量%～5重量%、好ましくは、0.1重量%～0.5重量%である。カップリング剤による皮膜形成処理は、前記のように調整したカップリング剤溶液に浸漬する、前記溶液をスプレー噴霧する、塗布する等の方法により行うことができる。前記のシランカップリング剤で処理したコア基板100は、自然乾燥、加熱乾燥、または真空乾燥により乾燥を行うが、使用するカップリング剤の種類によって、乾燥前に水洗または超音波洗浄を行うことも可能である。さらに、シランカップリング剤処理前のコア基板100表面を、脱脂処理、アルカリ処理、酸処理、水洗などを必要に応じて適宜組合せて行い、表面を清浄することが好ましい。

【0039】

（工程e）

（工程e）は、図4（e）に示すように前記ビルドアップ層（絶縁層）104上に、第1の金属層106c1を形成する工程である。第1の金属層106c1は銅とビルドアップ層（絶縁層）104の接着を確保するための金属が好ましく、スパッタリング、蒸着などで形成できる。金属は特に限定しないが、Cr、Ni、Co、Pd、Zr、Zn、NiとCrの合金、NiとCuの合金等の金属を用いることができる。また、膜厚は5～200nmが好ましい。

連続して複数層の金属層を形成して第1の金属層とすることも可能である。1層目として、上記の金属層を形成した後、2層目以降は必要に応じて金属種及び厚みを選択すればよいが、多層回路基板の配線を形成する場合は、Cuをターゲットにして5～1000nmスパッタリングして2層目の薄膜銅層を形成するのが好ましい。薄膜銅層の膜厚は特に100～500nmが好ましく、200～300nmがより好ましい。また、1層目の下地金属と2層目以降の薄膜銅層を合わせた第1の金属層としての厚みは、1000nm（1μm）以下が好ましい。

【0040】

（工程f）

（工程f）は、図4（f）に示すように、前記第1の金属層106c1の上から第2のビアホール108を形成した後、ビアホール内部のスミアを除去する工程である。ビアホールの形成はレーザビーム加工が好ましく、特に炭酸ガスレーザがより好ましい。開口部は図9に示すボトム径Bとトップ径Tの差が小さいことが、配線収容率を上げることから好ましい。スミア除去として、ドライ処理、ウェット処理または必要に応じてドライ処理とウェット処理を併用した処理を用いることができる。ドライ処理としては、プラズマ処理、逆スパッタリング処理、イオンガン処理が使用できる。プラズマ処理には大気圧プラズマ処理、真空プラズマ処理、RIE（Reactive Ion Etching）処理があり、真空プラズマ処理が好ましい。ウェット処理には、クロム酸塩、過マンガン酸塩等の酸化剤を用いることができるが、必要に応じて、水、酸またはアルカリ溶液、溶剤などを行うこともできる。さらに、ウェット処理中に超音波を併用することも可能である。また、ドライ処理とウェット処理を併用した処理では、ドライ処理後にウェット処理を行ってもよく、ウェット処理後にドライ処理を行ってもよい。これらの選択は使用する絶縁材料によって適宜選択すればよい。

【0041】

（工程g）

10

20

30

40

50

(工程 g) は、図 4 (g) に示すように、前述のスミア除去された第 2 のバイアホールを有するビルドアップ層 (絶縁層) 104 上に、第 3 の配線 106c を形成する工程である。このような微細配線を形成するプロセスとしてはセミアディティブ法が好ましい。すなわち、第 1 の金属層 106c1 上にさらに第 2 の金属層 (図示しない。) を形成した後、めっきレジストを必要なパターンに形成し、第 1、第 2 の金属層を介して電解めっきにより第 3 の配線 106c 形成と第 2 のバイアホール 108 内部の層間接続を同時に行うことができる。その後、めっきレジストを剥離し、最後に第 1 の金属層 106c1 及び第 2 の金属層 (図示しない。) をエッチング等により除去し、第 3 の配線 106c が形成できる。第 2 の金属層 (図示しない。) は第 2 のバイアホール 108 内部の層間接続のため、無電解銅めっきを 150 ~ 3000 nm めっきして薄膜銅層を形成するのが好ましい。(工程 d) から (工程 g) までを繰り返して、図 4 (h) に示すようにビルドアップ層 (絶縁層) 104 を 2 層以上作製してもよい。この場合、最外のビルドアップ層 (絶縁層) 104 上に形成された層間接続端子が、外部接続端子 107 となる。

10

【0042】

(工程 h)

(工程 h) は、図 4 (h) に示すように、前記第 3 の配線 106c を形成した面に次のビルドアップ層 (絶縁層) 104 を形成し、前記ビルドアップ層 (絶縁層) 104 に第 3 のバイアホール 105 を形成し、さらに外部接続端子 107 以外の配線等を保護するための絶縁被覆 109 を形成する工程である。絶縁被覆材としては、ソルダレジストを用いるのが好ましく、熱硬化型や光硬化型のものが使用できるが、レジスト形状を精度良く仕上げることができる光硬化型のものが好ましい。

20

【0043】

(半導体チップ搭載基板の形状)

半導体チップ搭載基板 22 の形状は、特に問わないが、図 5 に示すようなフレーム形状にすることが好ましい。半導体チップ搭載基板 22 の形状をこのようにすることで、半導体パッケージの組立てを効率よく行うことができる。以下、好ましいフレーム形状について詳細に説明する。

【0044】

図 5 の (a) は本発明の半導体チップ搭載基板 22 のフレーム形状の一例を表す全体の平面図であり、(b) は (a) の破線部分の拡大図である。図 5 のように、半導体パッケージ領域 13 (1 個の半導体パッケージとなる部分) を行及び列に各々複数個等間隔で格子状に配置したブロック 23 を形成する。さらに、このようなブロック 23 を複数個行及び列に形成する。図 5 では、2 個のブロック 23 しか記載していないが、必要に応じて、ブロック 23 も格子状に配置してもよい。ブロック 23 間のスペース幅は特に問わないが、半導体チップ搭載基板 22 の有効利用を考えると、0.5 ~ 10 mm が好ましい。ここで、半導体パッケージ領域 13 間のスペース部の幅は、50 ~ 500 μm が好ましく、100 ~ 300 μm がより好ましい。さらに後に半導体パッケージを切断するとき使用するダイサーのブレード幅と同じにするのが最も好ましい。このように半導体パッケージ領域 13 を配置することで、半導体チップ搭載基板 22 の有効利用が可能になる。

30

【0045】

また、半導体チップ搭載基板 22 の端部には、位置合わせ用ガイド穴 11 のような位置決めマーク等を形成することが好ましく、貫通穴によるピン穴であることがより好ましい。ピン穴の形状や配置は、形成方法や半導体パッケージの組立て装置に合うように選択すればよい。

40

さらに、前記半導体パッケージ領域 13 間のスペース部や前記ブロック 23 の外側には補強パターン 24 を形成することが好ましい。補強パターン 24 を形成することにより、半導体チップ搭載基板 22 の剛性が向上し、半導体パッケージの組み立てが容易になる。また、補強パターン 24 は、半導体チップ搭載基板 22 の反りやねじれの防止も可能であり、必要に応じて基板の両側、さらには内層ビルドアップ層 (絶縁層) 104 にも形成することができる。補強パターン 24 は、別途作製し半導体チップ搭載基板 22 と貼り合わ

50

せてもよいが、半導体パッケージ領域 1 3 に形成される配線と同時に形成された金属パターンであることが好ましく、さらに、その表面には、配線と同様のニッケル、金などのめっきを施すか、絶縁被覆をすることがより好ましい。補強パターン 2 4 が、このような金属の場合は、電解めっきの際のめっきリードとして利用することも可能である。また、ブロック 2 3 の外側には、ダイサーで切断する際の切断位置合わせマーク 2 5 を形成することが好ましい。このようにして、半導体チップ搭載基板 2 2 を作製することができる。

【 0 0 4 6 】

(半導体パッケージ)

半導体パッケージは、前記半導体チップ搭載基板と、前記半導体チップ搭載基板に搭載された半導体チップと、前記半導体チップの少なくともフェース面を封止する樹脂とを含んで構成される。

10

【 0 0 4 7 】

図 6 に、本発明のフリップチップタイプ半導体パッケージの実施形態の一例を断面模式図で示す。図 6 に示すように本発明の半導体パッケージは、上記本発明の半導体チップ搭載基板に、さらに半導体チップ 1 1 1 が搭載されているもので、半導体チップ 1 1 1 と半導体チップ接続端子とを接続パンプ 1 1 2 を用いてフリップチップ接続することによって電氣的に接続して得ることができる。さらに、これらの半導体パッケージには、図示するように、半導体チップ 1 1 1 と半導体チップ搭載基板の間を熱硬化性樹脂等のアンダーフィル材 1 1 3 で封止することが好ましい。アンダーフィル材 1 1 3 の熱膨張係数は、半導体チップ 1 1 1 及びコア基板 1 0 0 の熱膨張係数と近似していることが好ましい。さらに

20

【 0 0 4 8 】

また、マザーボードとの電氣的な接続を行うために、外部接続端子には、例えばはんだボール 1 1 4 を搭載することができる。はんだボール 1 1 4 には共晶はんだや P b フリーはんだが用いられる。はんだボール 1 1 4 を外部接続端子に固着する方法としては、N₂ リフロー装置を用いるのが一般的である。

30

【 0 0 4 9 】

また、図 7 には、ワイヤボンダタイプ半導体パッケージの実施形態の断面図を示す。半導体チップ 1 1 1 の搭載には、一般のダイボンダペーストも使用できるが、図 7 に示すようにダイボンダフィルム 1 1 7 を用いるのがより好ましい。半導体チップ 1 1 1 と半導体チップ接続端子との電氣的な接続は金ワイヤ 1 1 5 を用いるワイヤボンダで行うのが一般的である。半導体チップ 1 1 1 の封止は、半導体用封止樹脂 1 1 6 をトランスファモールドで行うことができる。封止領域は、半導体チップ 1 1 1 の必要な部分だけを封止しても良いが、図 7 のように半導体パッケージ領域全体を封止してもよい。これは、半導体パッケージ領域を行及び列に複数個配列した半導体チップ搭載基板において、基板と封止樹脂を同時にダイサー等で切断する場合、特に有効な方法である。最後に、ダイサー等を用いて個々の半導体パッケージに切断する。

40

【 実施例 】

【 0 0 5 0 】

次に、実施例を挙げて本発明をさらに説明するが、本発明はこれら実施例に限定されるものではない。また、以下の実施例、比較例の(工程 a) ~ (工程 h) は、図 4 に対応する。

【 0 0 5 1 】

実施例 1

50

(工程 a) ~ (工程 c)

両面銅箔付き銅張り積層板 MCL-E-679F (日立化成工業株式会社製、商品名) の一方の面にドライフィルムレジストをラミネートし、露光、現像、エッチングを順次行い、銅張り積層板の一方の面に第 2 の配線 106b を形成した。本実施例では、ビルドアップ層 104 に設ける第 2 のバイアホール 108 へのめっき付き性を試験するのを目的とするので、第 1 のバイアホール 2 は設けていない。

【0052】

(工程 d)

シランカップリング剤処理をして第 2 の配線 106b 表面にシランカップリング剤を含んだ皮膜を形成した後、銅張り積層板の第 2 の配線 106b を形成した面に、ビルドアップ層 (絶縁層) 104 として AS-ZII 厚み 40 μm (日立化成工業株式会社製、商品名) を 110 40 秒でラミネートし、180 60 分間加熱硬化した。

10

【0053】

(工程 e)

ビルドアップ層 (絶縁層) 104 表面にスパッタリングにより Cr 層 10nm と Cu 層 200nm の 106c1 を形成した (第 1 の金属層 106c1)。スパッタリングは、株式会社アルバック社製装置型番 SIH-350-T08 を用いて以下に示した条件で行った。

〔条件〕

(1) Cr スパッタ

20

出力: 500W

時間: 21 秒

圧力: 1.3×10^{-5} Torr (1.7×10^{-3} Pa)

(2) Cu スパッタ

出力: 500W

時間: 230 秒

圧力: 1.3×10^{-5} Torr (1.7×10^{-3} Pa)

【0054】

(工程 f)

Cr 層と Cu 層を有する第 1 の金属層 106c1 の上から第 2 の配線 106b に到達するまで、レーザで表 1 に示す 5 種類の第 2 のバイアホール 108 を形成した。表 1 に、これらの第 2 のバイアホール 108 の開口径を示す。レーザには炭酸ガスレーザ ML605GTX (三菱電機株式会社製、商品名) を使用した。

30

【0055】

【表 1】

開口径区分	開口径 1	開口径 2	開口径 3	開口径 4	開口径 5
バイアホール寸法 (トップ μm / ボトム μm)	150/70	120/70	100/70	90/70	80/70
テーパ角 (度)	45	56	69	76	83

40

次に、大気圧プラズマ装置 AP-T02 (積水化学工業株式会社製、商品名) を使用し、第 2 のバイアホール 108 内部のスミアを除去した。大気圧プラズマ処理は以下に示した条件で行った。

〔条件〕

電極間隔: 2mm

酸素流量: 1L/分

50

電圧：60V × 90

時間：5分

【0056】

(工程g)

第2のバイアホール108の側壁及び第1の金属層106c1表面に、第2の金属層として薄付け無電解銅めっき121を200nm形成した。薄付け無電解銅めっき液は、CUST201(日立化成工業株式会社製、商品名)を用いて以下に示した条件で行った。

〔条件〕

(1) クリーナーコンディショナーCLC-601(日立化成工業株式会社製、商品名) : 50、5分

(2) 湯洗 : 50、1分

(3) 水洗 : 2分

(4) 酸洗浄 : 10重量%硫酸

(5) 水洗 : 1分

(6) プリディップPD-301(日立化成工業株式会社製、商品名) : 30、2分

(7) アクチュベーターHS-202B(日立化成工業株式会社製、商品名) : 30、5分

(8) 水洗 : 2分

(9) アクセレーターPDP-601(日立化成工業株式会社製、商品名) : 20、6分

(10) 水洗 : 1分

(11) CUST-201(日立化成工業株式会社製、商品名) : 20、10分

(12) 水洗 : 2分

(13) 乾燥(箱型乾燥機) : 80 20分

その後さらに、電気銅めっき120を5μm形成し、図8(a)に示す、第2のバイアホール108を形成した。

【0057】

比較例1

(工程a)~(工程f)までは実施例1と同様に行い、その後、以下の(工程g)を行った。

(工程g)

第2のバイアホール108の側壁及び第1の金属層106c1表面に、第2の金属層としてスパッタリングにより接着金属(Ni)層118を10nm及び薄膜銅層119を200nm形成した。スパッタリングは、株式会社アルバック社製装置型番SIH-350-T08を用いて行った。その後さらに、電解銅めっき層120を5μm形成し、図8(b)に示す、第2のバイアホール108を形成した。

【0058】

実施例2

(工程a)

図4に示すように、コア基板100として0.4mm厚のソーダガラス基板(熱膨張係数11ppm/)を用意し、片面にスパッタリングにより200nmの銅薄膜を形成した後、電気銅めっきで10μmの厚さまでめっきを行った。スパッタリングは、株式会社アルバック社製装置型番SIH-350-T08を用いて以下に示した条件で行った。その後、第1の配線106aとなる部分にエッチングレジストを形成し、塩化第二鉄エッチング液を用いてエッチングして第1の配線106a(第1の層間接続端子101及び半導体チップ接続端子(図示しない。))を含む。)を形成した。

〔条件〕

Cuスパッタ

出力 : 500W

時間 : 230秒

10

20

30

40

50

圧力： 1.3×10^{-5} Torr (1.7×10^{-3} Pa)

【0059】

(工程 b)

第1の配線106aが形成されたガラス基板の第1の配線106aと反対面から第1の層間接続端子101に到達するまで、レーザで $50 \mu\text{m}$ の穴を形成した。レーザにはYAGレーザLAVIA-UV2000(住友重機械工業株式会社製、商品名)を使用し、周波数4kHz、ショット数50、マスク径0.4mmの条件で行った。

得られた穴に導電性ペーストMP-200V(日立化成工業株式会社製、商品名)を充填してガラス基板の第1の層間接続端子101と電氣的に接続し、第1のビアホール102を形成した。

【0060】

(工程 c)

(工程 b)で形成された第1のビアホール102と電氣的に接続するために、ガラス基板の、第1の配線106aと反対側の面にスパッタリングにより200nmの銅薄膜を形成した後、電気銅めっきで $10 \mu\text{m}$ の厚さまでめっきを行った。スパッタリングは、(工程 a)と同様に行った。さらに、(工程 a)と同様に第2の配線106bの形状にエッチングレジストを形成し、塩化第二鉄エッチング液を用いてエッチングして第2の配線106b(第2の層間接続端子103を含む。)を形成した。

【0061】

(工程 d)

(工程 c)で形成した第2の配線106b側の面に、シランカップリング剤処理をして配線表面にシランカップリング剤を含んだ皮膜を形成した後、ビルドアップ層104を次のように形成した。すなわち、絶縁樹脂材料であるAS-ZII厚み $40 \mu\text{m}$ (日立化成工業株式会社製、商品名)を用いて、ラミネート法で、110-40秒により絶縁層を形成し、180-60分間加熱硬化してビルドアップ層104を得た。このビルドアップ層104の、熱膨張係数は49ppm/、ヤング率は2.7GPaである。

【0062】

(工程 e)

(工程 d)で形成されたビルドアップ層(絶縁層)104上に、スパッタリングによりCr層10nmとCu層200nmの106c1を形成した(第1の金属層106c1)。スパッタリングは、株式会社アルバック社製装置型番SIH-350-T08を用いて以下に示した条件で行った。

[条件]

(1) Crスパッタ

出力：500W

時間：21秒

圧力： 1.3×10^{-5} Torr (1.7×10^{-3} Pa)

(2) Cuスパッタ

出力：500W

時間：230秒

圧力： 1.3×10^{-5} Torr (1.7×10^{-3} Pa)

【0063】

(工程 f)

Cr層とCu層を有する第1の金属層106c1の上から第2の層間接続用端子103に到達するまで、レーザでトップ径/ボトム径= $100/70 \mu\text{m}$ (テーパ角69度)の第2のビアホール108を形成した。レーザには炭酸ガスレーザML605GTX(三菱電機株式会社製、商品名)を使用した。次に、大気圧プラズマ装置AP-T02(積水化学工業株式会社製、商品名)を使用し、第2のビアホール108内部のスミアを除去した。大気圧プラズマ処理は以下に示した条件で行った。

[条件]

10

20

30

40

50

電極間隔：2 mm
 酸素流量：1 L / 分
 電圧：60 V × 90
 時間：5分
 【0064】

(工程 g)

第3の配線106cの形成及び第2のバイアホール108の層間接続を行うために、第2の金属層として薄付け無電解銅めっき121を200 nm形成した(図8a)。無電解銅めっき液は、CUST201(日立化成工業株式会社製、商品名)を用いて以下に示した条件で行った。

[条件]

- (1) クリーナーコンディショナーCLC-601(日立化成工業株式会社製、商品名) : 50、5分
- (2) 湯洗 : 50、1分
- (3) 水洗 : 2分
- (4) 酸洗浄 : 10%硫酸
- (5) 水洗 : 1分
- (6) プリディップPD-301(日立化成工業株式会社製、商品名) : 30、2分
- (7) アクチュベーターHS-202B(日立化成工業株式会社製、商品名) : 30、5分
- (8) 水洗 : 2分
- (9) アクセレーターPDP-601(日立化成工業株式会社製、商品名) : 20、6分
- (10) 水洗 : 1分
- (11) CUST-201(日立化成工業株式会社製、商品名) : 20、10分
- (12) 水洗 : 2分
- (13) 乾燥(箱型乾燥機) : 80、20分

【0065】

次に、めっきレジストAZ10XT(220CP)(AZエレクトロニックマテリアルズ株式会社製、商品名)をスピンコート法で膜厚約9 μmのレジスト層を形成した。850 mJ / cm²の条件で露光し、TMAH(水酸化テトラメチルアンモニウム)2.38重量%現像液(多摩化学工業株式会社製、商品名)を用いて約25で8分間浸漬揺動し、L/S = 10 μm / 10 μmのレジストパターンを形成した。その後、硫酸銅めっき液を用いてパターン銅めっきを約5 μm行い、電解銅めっき層120を形成した(図8(a))。めっきレジストの剥離は、AZリムーバー700(AZエレクトロニックマテリアルズ株式会社製、商品名)を用いて約25で8分間浸漬揺動し除去した。銅及びCr金属膜のクイックエッチングには、銅は硝酸過酸化水素系エッチング液を用いて、45で360秒間スプレー式エッチング装置によりエッチング除去し、Crはフェリシアン化カリウム系エッチング液を用いて、40で60秒間浸漬することによりエッチング除去し、第3の配線106cを形成した。

【0066】

(工程 h)

この後、(工程 d) ~ (工程 g)までを再度繰り返し、ビルドアップ層(絶縁層)104及び外部接続端子107を含む最外層の配線をさらに一層形成し、最後にソルダレジスト109を形成して、図1(1パッケージ分の断面図)、図2(1パッケージ分の平面図)、及び図5(半導体チップ搭載基板全体図)に示すようなファン-インタイプBGA用半導体チップ搭載基板22を作製した。

【0067】

(工程 i)

図6に示すように、前記(工程 a) ~ (工程 h)により作製された半導体チップ搭載基

10

20

30

40

50

板 2 2 の半導体チップ搭載領域（フリップチップタイプ）1 5 に、接続バンプ 1 1 2 の形成された半導体チップ 1 1 1 を、フリップチップボンダを用いて超音波を印加しながら必要な数だけ搭載した。さらに、半導体チップ搭載基板 2 2 と半導体チップ 1 1 1 の隙間に、半導体チップ 1 1 1 端部からアンダーフィル材 1 1 3 を注入し、オープンを用いて 8 0 で 1 時間の 1 次硬化及び 1 5 0 で 4 時間の 2 次硬化を行った。次に、外部接続端子に直径 0 . 4 5 m m の鉛・錫共晶はんだボール 1 1 4 を N₂ リフロー装置で融着した。最後に、幅 2 0 0 μ m のブレードを装着したダイサーで半導体チップ搭載基板 2 2 を切断し、図 6 に示す半導体パッケージを作製した。

【 0 0 6 8 】

実施例 3

（工程 a）～（工程 h）の工程は実施例 2 と同様にして、図 1（1 パッケージ分の断面図）、図 3（1 パッケージ分の平面図）、及び図 5（半導体チップ搭載基板全体図）に示すようなワイヤボンダタイプ B G A 用半導体チップ搭載基板 2 2 を作製した。

【 0 0 6 9 】

（工程 i）

図 7 に示すように、前記（工程 a）～（工程 h）により作製された半導体チップ搭載基板 2 2 の半導体チップ搭載領域（ワイヤボンダタイプ）1 8 に、ダイボンダフィルム D F - 1 0 0（日立化成工業株式会社製、商品名）1 1 7 を用いて、半導体チップ 1 1 1 を必要な数だけ搭載した。次に、ワイヤボンダ U T C 2 3 0（株式会社新川製、商品名）で、半導体チップ 1 1 1 上の端子と半導体チップ搭載基板 2 2 の半導体チップ接続端子 1 6 とを、直径 2 5 μ m の金ワイヤ 1 1 5 で電氣的に接続した。さらに、半導体チップ 1 1 1 を封止樹脂 1 1 6 である C E L 9 2 0 0（日立化成工業株式会社製、商品名）を用いて、圧力 1 0 M P a、温度 1 8 0、時間 9 0 秒で、図 5 に示す 1 つのブロック 2 3 を一体にトランスファモールドした。次に、温度 1 8 0 のオープンで 5 時間の熱処理を行い、封止樹脂及びダイボンダフィルムを完全硬化して、外部接続端子に直径 0 . 4 5 m m の鉛・錫共晶はんだボール 1 1 4 を N₂ リフロー装置で融着した。最後に、幅 2 0 0 μ m のブレードを装着したダイサーで封止樹脂と半導体チップ搭載基板 2 2 を同時に切断し、図 7 に示す半導体パッケージを作製した。

【 0 0 7 0 】

比較例 2

前記（工程 a）～（工程 f）の工程は実施例 1 と同様にして、第 3 の配線 1 0 6 c の形成及び第 2 のバイアホール 1 0 8 の層間接続を行うために、（工程 g）の第 2 の金属層として接着金属（N i）層 1 1 8 および薄膜銅層 1 1 9（図 8（b））を比較例 1 の条件でスパッタリングにより形成した以外は実施例 2 と同様にして、ファン - インタイプ B G A 用半導体チップ搭載基板 2 2（図 5）及び半導体パッケージ（図 7）を作製した。

【 0 0 7 1 】

〔試験 1〕

実施例 1 および比較例 1 で形成したバイアホール寸法（バイアホール開口径）に対する電気銅めっき後のめっき付き性の比較を行った。その結果を表 2 に示す。めっき付き性は、バイアホール内を顕微鏡で観察して行い、バイアホール内壁の露出があるものを N G として評価した。

【 0 0 7 2 】

10

20

30

40

【表 2】

項 目	めっき付き性 (NG数)				
	開口径1	開口径2	開口径3	開口径4	開口径5
開口径区分					
ビアホール寸法 (トップ μm / ボトム μm)	150/70	120/70	100/70	90/70	80/70
実施例1	0/20	0/20	0/20	0/20	0/20
比較例1	0/20	0/20	0/20	10/20	18/20

10

【0073】

〔試験2〕

実施例2、実施例3、および比較例2で作製した各半導体パッケージのサンプルに、以下の試験を行った。

各々の半導体パッケージサンプルを、吸湿処理を行った後、サンプル数20個を到達温度240、長さ2mのリフロー炉に0.5m/分の条件で流してリフローし、クラックの発生を調べた。結果を表3に示す。クラックの有無は、顕微鏡で観察し、クラックが認められたものをNGとして評価した。

20

【0074】

【表 3】

項 目	リフロー後のNG数
実施例2	0/20
実施例3	0/20
比較例2	0/20

30

【0075】

また、同様に半導体パッケージサンプル数20個を厚さ0.8mmのマザーボードに実装し、-55~125 各30分の条件で温度サイクル試験を行い、ビアホールの接続信頼性を調べた。結果を表4に示す。ビアホールの接続信頼性は、半導体パッケージサンプルの接続抵抗を測定し、抵抗上昇が初期抵抗の10%を超えたものをNGとして評価した。

40

【0076】

【表 4】

項 目	温度サイクル試験後のNG数		
	500 回	1000 回	1500 回
実施例 2	0 / 20	0 / 20	0 / 20
実施例 3	0 / 20	0 / 20	0 / 20
比較例 2	4 / 20	15 / 20	20 / 20

10

【 0 0 7 7 】

本発明の製造方法により製造した実施例 1 は、ボトム径とトップの径の差が小さいパイアホールにおいてもめっき付き性は良好であり、パイアホール径を小さくすることができるため、高密度配線の形成が可能である。特にビルドアップ材の厚みが厚くなるに従い効果は大である。これに対し、スパッタリングで第 2 の金属層を形成した比較例 1 は、ボトム径とトップの径の差が小さいパイアホールを形成することができないため、高密度の配線を形成することが困難である。また、本発明の製造方法により製造した実施例 2, 3 の半導体パッケージでは、耐リフロー性及び温度サイクル試験とも良好な結果が得られた。しかし、スパッタリングで第 2 の金属層を形成した比較例 2 は、温度サイクル試験でのパイアホール接続信頼性を満足することはできなかった。以上の結果から、本願発明により、信頼性の高い多層回路基板、半導体チップ搭載基板並びにこの基板を用いた半導体パッケージを提供することができる。また、耐リフロー性及び温度サイクル試験での信頼性を満足できる高密度配線の半導体パッケージを作製することができる。

20

【図面の簡単な説明】

【 0 0 7 8 】

【図 1】本発明の一実施形態が適用される半導体チップ搭載基板の断面図である。

【図 2】本発明の一実施形態であるファン - インタイプ半導体チップ搭載基板の平面図である。

30

【図 3】本発明の別の実施形態であるファン - アウトタイプ半導体チップ搭載基板の平面図である。

【図 4】(a) ~ (h) は本発明の半導体チップ搭載基板の製造方法の一実施形態を示す工程図である。

【図 5】(a) は、本発明の半導体チップ搭載基板のフレーム形状の一例を表す全体の平面図である。(b) は、(a) の破線部分の拡大図である。

【図 6】本発明の一実施形態が適用されるフリップチップタイプ半導体パッケージの断面図である。

【図 7】本発明の一実施形態が適用されるワイヤボンダタイプ半導体パッケージの断面図である。

40

【図 8】(a) は、本発明の一実施形態が適用される半導体チップ搭載基板のパイアホール部の断面図である。(b) は、従来技術による半導体チップ搭載基板のパイアホール部の断面図である。

【図 9】金属層及び絶縁層に形成した開口部の断面図である。

【符号の説明】

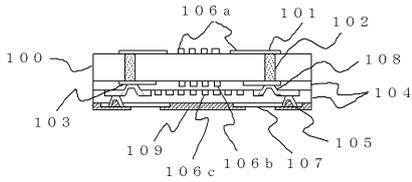
【 0 0 7 9 】

- 1 1 位置合わせ用ガイド穴
- 1 3 半導体パッケージ領域
- 1 4 ダイボンドフィルム接着領域 (フリップチップタイプ)
- 1 5 半導体チップ搭載領域 (フリップチップタイプ)

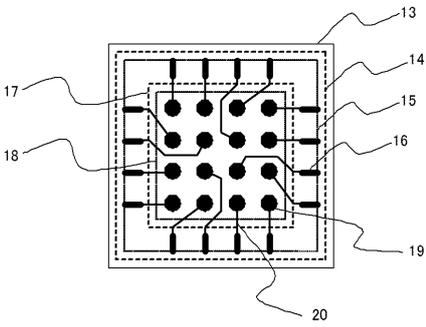
50

1 6	半導体チップ接続端子	
1 7	ダイボンドフィルム接着領域（ワイヤボンドタイプ）	
1 8	半導体チップ搭載領域（ワイヤボンドタイプ）	
1 9	外部接続端子	
2 0	展開配線	
2 1	ダミーパターン	
2 2	半導体チップ搭載基板	
2 3	ブロック	
2 4	補強パターン	
2 5	切断位置合わせマーク	10
1 0 0	コア基板	
1 0 1	第 1 の層間接続端子	
1 0 2	第 1 のビアホール	
1 0 3	第 2 の層間接続端子	
1 0 4	ビルドアップ層	
1 0 5	第 3 のビアホール	
1 0 6 a	第 1 の配線	
1 0 6 b	第 2 の配線	
1 0 6 c	第 3 の配線	
1 0 6 c 1	第 1 の金属層	20
1 0 7	外部接続端子	
1 0 8	第 2 のビアホール	
1 0 9	絶縁被覆（ソルダレジスト）	
1 1 1	半導体チップ	
1 1 2	接続バンプ	
1 1 3	アンダーフィル材	
1 1 4	はんだボール	
1 1 5	金ワイヤ	
1 1 6	封止樹脂	
1 1 7	ダイボンドフィルム	30
1 1 8	接着金属（Ni）層（第 2 の金属層）	
1 1 9	薄膜銅層（第 2 の金属層）	
1 2 0	電解銅めっき層	
1 2 1	薄付け無電解銅めっき層（第 2 の金属層）	

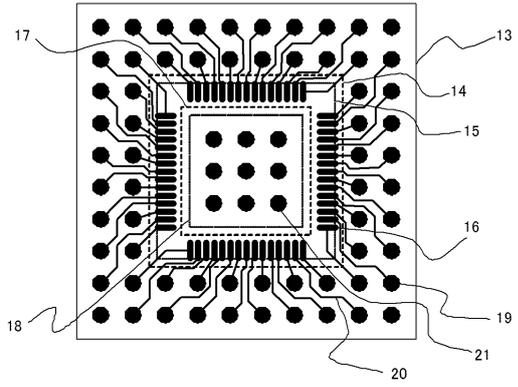
【 図 1 】



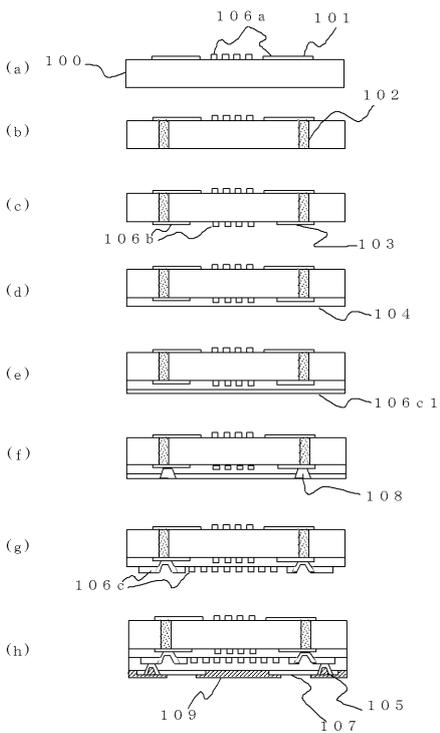
【 図 2 】



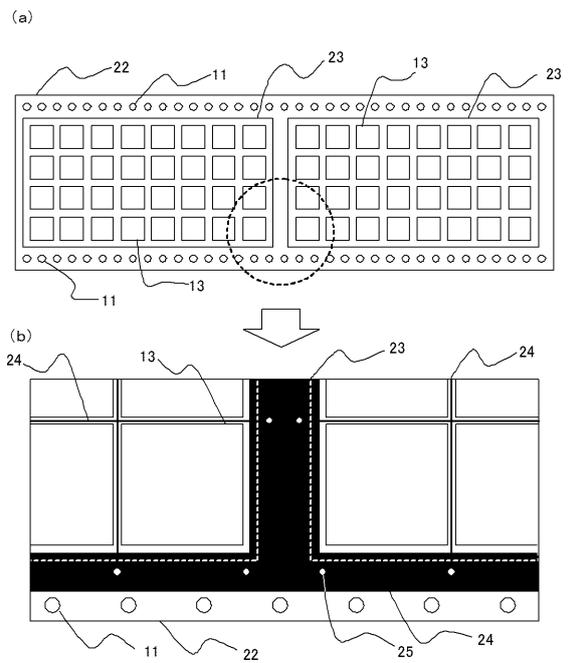
【 図 3 】



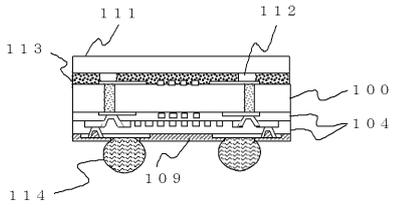
【 図 4 】



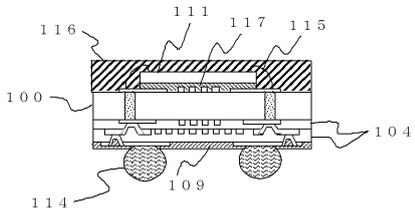
【 図 5 】



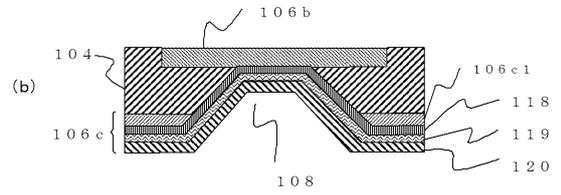
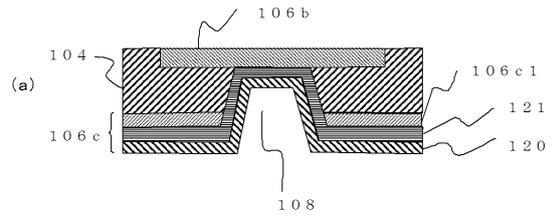
【図6】



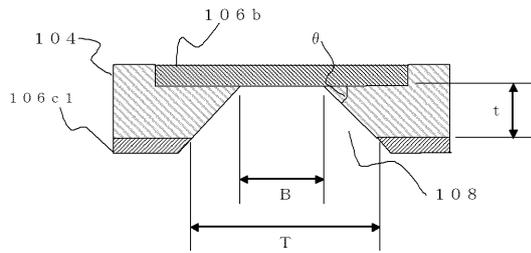
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 5 K 3/40	E
	H 0 5 K 3/00	N

Fターム(参考)	5E317	AA24	BB02	BB03	BB04	BB12	CC25	CC31	CD27	CD32	CD40
		GG14									
	5E346	AA02	AA12	AA15	AA35	AA43	CC08	CC16	CC32	DD17	DD23
		DD32	DD33	EE33	FF03	FF13	GG15	GG17	GG22	HH26	