

(12) 发明专利

(10) 授权公告号 CN 101206318 B

(45) 授权公告日 2010.05.19

(21) 申请号 200610157860.1

(22) 申请日 2006.12.22

(73) 专利权人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇富
士康科技工业园 E 区 4 栋 1 层

专利权人 群创光电股份有限公司

(72) 发明人 杨文辉 陈思孝

(51) Int. Cl.

G02F 1/133(2006.01)

G09G 3/36(2006.01)

G09G 3/20(2006.01)

(56) 对比文件

CN 1588555 A, 2005.03.02, 说明书第 4 页第
1 行 - 第 5 页第 27 行、附图 4-6.

审查员 贾培军

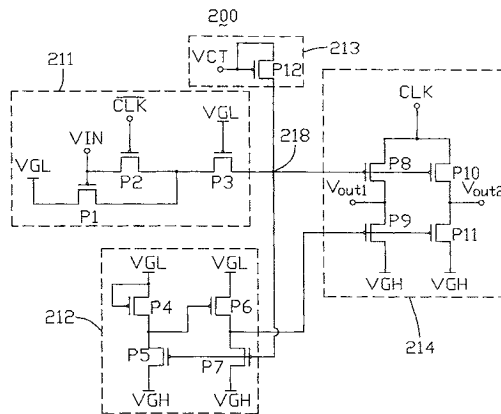
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

移位寄存器与液晶显示装置

(57) 摘要

本发明涉及一种移位寄存器与采用该移位寄存器的液晶显示装置。该液晶显示装置包括一液晶面板、一数据驱动电路与一扫描驱动电路。该数据驱动电路与该扫描驱动电路均包括一移位寄存器。每一移位寄存器包括多个移位寄存单元，每一移位寄存单元均接收来自外部电路的两时钟信号，且两个相邻的移位寄存单元所接收的时钟信号反相，前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。每一移位寄存单元均包括一信号输出电路、一信号输入电路与一逻辑转换电路。该移位寄存器的输出信号无重叠，采用该移位寄存器的液晶显示装置无色差。



1. 一种移位寄存器,其包括多个移位寄存单元,每一移位寄存单元均接收来自外部电路的两时钟信号,且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号,其特征在于:两相邻的移位寄存单元所分别接收的两时钟信号反相,每一移位寄存单元均包括一信号输出电路、一信号输入电路与一逻辑转换电路,该信号输出电路接收来自外部电路的第一时钟信号,其包括一第一晶体管与一第二晶体管,该第一晶体管输出该第一时钟信号,该第二晶体管输出一截止信号;该信号输入电路接收前一移位寄存单元的输出信号和来自外部电路的、与该第一时钟信号反相的第二时钟信号,并向该信号输出电路的第一晶体管输出控制信号,该信号输入电路包括一第三晶体管、一第四晶体管与一第五晶体管,该第五晶体管的漏极接收来自外部电路的低电平信号,其栅极与该第四晶体管的源极均接收所述前一移位寄存单元的输出信号,该第五晶体管的源极与该第四晶体管的漏极相连,该第四晶体管的栅极接收该第二时钟信号,该第三晶体管的栅极接收低电平信号,其漏极连接至该第五晶体管的源极,自该第三晶体管的源极输出该信号输入电路的输出信号,该第三晶体管始终处于导通状态,且向该信号输入电路的输出端放电,并保持其输出信号在一时钟周期内不变;该逻辑转换电路接收该信号输入电路的输出信号,并输出一控制信号,控制该第二晶体管的导通与截止;当该信号输入电路输出导通信号时,该导通信号导通该第一晶体管与该逻辑转换电路,使该第一时钟信号经由该第一晶体管输出,同时该逻辑转换电路输出一截止信号,使该第二晶体管截止;反之,当该信号输入电路输出截止信号时,该截止信号使该第一晶体管截止,该逻辑转换电路自动输出一导通信号,从而使该第二晶体管导通,并输出一截止信号。

2. 如权利要求 1 所述的移位寄存器,其特征在于:每一移位寄存单元是由多个晶体管构成。

3. 如权利要求 2 所述的移位寄存器,其特征在于:该晶体管为 PMOS 型晶体管。

4. 如权利要求 2 所述的移位寄存器,其特征在于:该逻辑转换电路包括一第六晶体管、一第七晶体管、一第八晶体管与一第九晶体管,该第六晶体管的漏极接收外部电路的低电平信号,其栅极连接至漏极,其源极连接至该第七晶体管的漏极;该第七晶体管的源极接收外部电路的高电平信号,其栅极连接至该第九晶体管的栅极;该第八晶体管的漏极接收外部电路的低电平信号,其栅极连接至该第六晶体管的源极,其源极连接至该第九晶体管的漏极;该第九晶体管的栅极接收该信号输入电路的输出信号,其源极接收外部电路的高电平信号。

5. 如权利要求 2 所述的移位寄存器,其特征在于:该移位寄存单元进一步包括一测试信号输入电路。

6. 如权利要求 5 所述的移位寄存器,其特征在于:该测试信号输入电路包括一第十晶体管,该第十晶体管的栅极与源极接收来自外部电路的测试信号,其漏极向该逻辑转换电路与该信号输出电路输出信号。

7. 如权利要求 2 所述的移位寄存器,其特征在于:该信号输出电路进一步包括一第十一晶体管与一第十二晶体管,该第一晶体管与该第十一晶体管的漏极接收该第一时钟信号,该第一晶体管的栅极与该第十一晶体管的栅极接收该信号输入电路的输出信号,该第一晶体管的源极与该第十一晶体管的源极分别输出信号;该第二晶体管与该第十二晶体管的栅极接收该逻辑转换电路的控制信号,该第二晶体管的源极与该第十二晶体管的源极接

收外部电路的高电平信号,该第二晶体管的漏极连接至该第一晶体管的源极,该第十二晶体管的漏极连接至该第十一晶体管的源极。

8. 一种液晶显示装置,其包括一液晶面板、一数据驱动电路及一扫描驱动电路,该数据驱动电路与该扫描驱动电路均包括一移位寄存器,其特征在于:该移位寄存器是权利要求 1 至 7 中任意一项所述的移位寄存器。

移位寄存器与液晶显示装置

技术领域

[0001] 本发明涉及一种移位寄存器与采用该移位寄存器的液晶显示装置。

背景技术

[0002] 目前薄膜晶体管 (Thin Film Transistor, TFT) 液晶显示器已逐渐成为各种数字产品的标准输出设备,然而,其需要设计适当的驱动电路以保证其稳定工作。

[0003] 通常,液晶显示器驱动电路包括一数据驱动电路与一扫描驱动电路。数据驱动电路用来控制每一像素单元的显示亮度,扫描驱动电路则用来控制薄膜晶体管的导通与截止。两驱动电路均采用移位寄存器作为核心电路单元。通常,移位寄存器是由多个移位寄存单元串联而成,且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。

[0004] 请参阅图 1,是一种现有技术移位寄存器的移位寄存单元的电路图。该移位寄存单元 100 包括一第一时钟反相电路 110、一换流电路 120 与一第二时钟反相电路 130。该移位寄存单元 100 的各电路均由 PMOS (P-channel Metal Oxide Semiconductor, P 沟道金属氧化物半导体) 型晶体管组成,每一 PMOS 型晶体管均包括一栅极、一源极与一漏极。

[0005] 该第一时钟反相电路 110 包括一第一 PMOS 型晶体管 M1、一第二晶体管 M2、一第三晶体管 M3、一第四晶体管 M4、一第一输出端 V01 与一第二输出端 V02。该第一晶体管 M1 的栅极接收该移位寄存单元 100 的前一移位寄存单元 (图未示) 的输出信号 VS,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第二晶体管 M2 的源极。该第二晶体管 M2 的栅极与其漏极接收来自外部电路的低电平信号 VSS。该第三晶体管 M3 与该第四晶体管 M4 的栅极均接收来自外部电路的反相时钟信号 \overline{TS} ,二者的漏极分别作为该第一时钟反相电路 110 的第一输出端 V01 与第二输出端 V02,且该第三晶体管 M3 的源极连接至该第一晶体管 M1 的漏极,该第四晶体管 M4 的源极连接至该第一晶体管 M1 的栅极。

[0006] 该换流电路 120 包括一第五晶体管 M5、一第六晶体管 M6 与一信号输出端 V0。该第五晶体管 M5 的栅极连接至该第一输出端 V01,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第六晶体管 M6 的源极。该第六晶体管 M6 的栅极连接至该第二输出端 V02,其漏极接收来自外部电路的低电平信号 VSS,其源极为该移位寄存单元 100 的信号输出端 V0。

[0007] 该第二时钟反相电路 130 包括一第七晶体管 M7、一第八晶体管 M8、一第九晶体管 M9 与一第十晶体管 M10。该第七晶体管 M7 的栅极连接至该信号输出端 V0,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第八晶体管 M8 的源极。该第八晶体管 M8 的栅极与其漏极均接收来自外部电路的低电平信号 VSS。该第九晶体管 M9 的源极连接至该第一输出端 V01,其栅极接收来自外部电路的时钟信号 TS,其漏极连接至该第七晶体管 M7 的漏极。该第十晶体管的栅极接收外部电路的时钟信号 TS,其源极连接至该第二输出端 V02,其漏极连接至该信号输出端 V0。

[0008] 请一并参阅图 2,是该移位寄存单元 100 的工作时序图。在 T1 时段内,该前一移位寄存单元的输出信号 VS 由高电平跳变为低电平,反相时钟信号 \overline{TS} 由低电平跳变为高电

平,则使该第三晶体管 M3 与该第四晶体管 M4 截止,从而使该第一时钟反相电路 110 断开。而该时钟信号 TS 由高电平跳变为低电平,使该第九晶体管 M9 与该第十晶体管 M10 导通,从而使该第二时钟反相电路 130 导通,而该信号输出端 V0 初始状态的高电平经该第十晶体管 M10,使该第六晶体管 M6 截止,而该第八晶体管 M8 输出的低电平经由该第九晶体管 M9,使该第五晶体管 M5 导通,从而使其源极的高电平信号 VDD 输出至该信号输出端 V0,故该信号输出端 V0 保持高电平输出。

[0009] 在 T2 时段内,该反相时钟信号 \overline{TS} 由高电平跳变为低电平,则使该第三晶体管 M3 与该第四晶体管 M4 导通,从而使该第一时钟反相电路 110 导通。而该时钟信号 TS 由低电平跳变为高电平,则使该第九晶体管 M9 与该第十晶体管 M10 截止,从而使该第二时钟反相电路 130 断开。该输入信号 VS 由高电平跳变为低电平,则使该第一晶体管 M1 导通,其源极的高电平 VDD 经该第三晶体管 M3 截止该第五晶体管 M5,且该输入信号 VS 的低电平经该第四晶体管 M4 导通该第六晶体管 M6,使该信号输出端 V0 输出低电平。

[0010] 在 T3 时段内,该反相时钟信号 \overline{TS} 由低电平跳变为高电平,则使该第三晶体管 M3 与该第四晶体管 M4 截止,从而使该第一时钟反相电路 110 断开。而该时钟信号 TS 由高电平跳变为低电平,使该第九晶体管 M9 与该第十晶体管 M10 导通,从而使该第二时钟反相电路 130 导通。该信号输出端 V0 的低电平导通该第七晶体管 M7,其源极的高电平经该第九晶体管 M9 截止该第五晶体管 M5。同时,该信号输出端 V0 的低电平也经该第十晶体管 M10,导通该第六晶体管 M6,该第六晶体管 M6 的漏极低电平使该信号输出端 V0 保持低电平输出。

[0011] 在 T4 时段内,该反相时钟信号 \overline{TS} 由高电平跳变为低电平,则使该第三晶体管 M3 与该第四晶体管 M4 导通,从而使该第一时钟反相电路 110 导通。而该时钟信号 TS 由低电平跳变为高电平,使该第九晶体管 M9 与该第十晶体管 M10 截止,从而使该第二时钟反相电路 120 断开。输入信号 VS 的高电平经该第四晶体管 M4 截止该第六晶体管 M6,而该第二晶体管 M2 的漏极低电平经该第三晶体管 M3 导通该第五晶体管 M5,使其源极的高电平输出至该信号输出端 V0,使该信号输出端 V0 的输出由低电平跳变为高电平。

[0012] 从工作时序可见,该移位寄存单元 100 的前一移位寄存单元在 T1 时段与 T2 时段内输出信号,而该移位寄存单元 100 在 T2 时段与 T3 时段内输出信号,两输出信号在 T2 时段存在信号重叠情况,从而导致采用该移位寄存器作为数据驱动电路与扫描驱动电路的液晶显示装置,在进行行扫描或列扫描时,存在相邻二行 (Row) 或列 (Column) 同时进行扫描的现象,导致加载信号产生相互干扰,使画面产生色差。

发明内容

[0013] 为了解决现有技术移位寄存器输出信号存在重叠的问题,有必要提供一种输出信号无重叠的移位寄存器。

[0014] 为了解决现有技术因移位寄存器输出信号存在重叠而导致液晶显示装置的显示画面存在色差的问题,有必要提供一种无色差的液晶显示装置。

[0015] 一种移位寄存器,其包括多个移位寄存单元。每一移位寄存单元均接来自收外部电路的两时钟信号,两相邻的移位寄存单元所接收的两时钟信号相反,且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。每一移位寄存单元均包括一信号输出电路、一信号输入电路与一逻辑转换电路。该信号输出电路接收来自外部电路的第一时钟信

号,其包括一第一晶体管与一第二晶体管,该第一时钟信号经该第一晶体管输出,一截止信号经该第二晶体管输出。该信号输入电路接收来自外部电路的第二时钟信号与前一级移位寄存单元的输出信号,并向该信号输出电路的第一晶体管输出控制信号,其包括一始终处于导通状态的第三晶体管,该第三晶体管向该信号输入电路的输出端放电,并保持其输出信号在一时钟周期内不变。该逻辑转换电路接收该信号输入电路的输出信号,并输出一控制信号,控制该第二晶体管的导通与截止。当该信号输入电路输入导通信号时,该导通信号导通该第一晶体管与该逻辑转换电路,使该第一时钟信号经由该第一晶体管输出,同时该逻辑转换电路输出一截止信号,使该第二晶体管截止;反之,当该信号输入电路输入截止信号时,使该第一晶体管截止,该逻辑转换电路自动输出一导通信号,使该第二晶体管导通,从而输出一截止信号。

[0016] 一种液晶显示装置,其包括一液晶面板,一数据驱动电路与一扫描驱动电路。该数据驱动电路与该扫描驱动电路均包括移位寄存器。每一移位寄存器包括多个移位寄存单元,每一移位寄存单元均接来自收外部电路的时钟信号,两相邻的移位寄存单元所接收的两时钟信号相反,且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。每一移位寄存单元均包括一信号输出电路、一信号输入电路与一逻辑转换电路。该信号输出电路接收来自外部电路的第一时钟信号,其包括一第一晶体管与一第二晶体管,该第一时钟信号经该第一晶体管输出,一截止信号经该第二晶体管输出。该信号输入电路接收来自外部电路的第二时钟信号与前一级移位寄存单元的输出信号,并向该信号输出电路的第一晶体管输出控制信号,其包括一始终处于导通状态的第三晶体管,该第三晶体管向该信号输入电路的输出端放电,并保持其输出信号在一时钟周期内不变。该逻辑转换电路接收该信号输入电路的输出信号,并输出一控制信号,控制该第二晶体管的导通与截止。该信号输入电路输入导通信号时,该导通信号导通该第一晶体管与该逻辑转换电路,使该第一时钟信号经由该第一晶体管输出,同时该逻辑转换电路输出一截止信号,使该第二晶体管截止。反之,当该信号输入电路输入截止信号时,使该第一晶体管截止,该逻辑转换电路自动输出一导通信号,使该第二晶体管导通,从而输出一截止信号。

[0017] 该移位寄存单元接收来自外部电路的导通信号,且当该第一时钟信号为导通信号时,该移位寄存单元输出一导通信号,同时,该导通信号输入后一移位寄存单元,并为其第三晶体管充电。当该第一时钟信号为截止信号时,该第二时钟信号为导通信号,则该移位寄存单元输出截止信号,该后一移位寄存单元的第三晶体管放电使其第一晶体管保持导通,从而输出该第二时钟信号即为一导通信号。由于该第一时钟信号与该第二时钟信号互为反相信号,故移位寄存器的相邻二移位寄存单元的输出信号无重叠,采用该移位寄存器的液晶显示装置不会出现相邻行或列同时进行扫描的现象,从而避免加载信号产生的相互干扰现象,画面不会产生色差。

附图说明

[0018] 图 1 是一种现有技术移位寄存器的移位寄存单元的电路图。

[0019] 图 2 是图 1 所示移位寄存单元的工作时序图。

[0020] 图 3 是本发明移位寄存器一较佳实施方式的电路结构框图。

[0021] 图 4 是图 3 所示移位寄存器的一移位寄存单元的电路图。

[0022] 图 5 是图 3 所示移位寄存器的工作时序图。

[0023] 图 6 是应用图 3 所示移位寄存器的主动矩阵液晶显示装置的结构示意图。

具体实施方式

[0024] 请参阅图 3, 是本发明移位寄存器一较佳实施方式的电路结构框图。该移位寄存器 20 包括多个结构相同的移位寄存单元 200。该多个移位寄存单元 200 依次串联, 且前一移位寄存单元 200 的输出信号为后一移位寄存单元 200 的输入信号。每一移位寄存单元 200 包括一时钟信号输入引脚 CLK、一反相时钟信号输入引脚 $\overline{\text{CLK}}$ 、一信号输入引脚 VIN、一第一信号输出引脚 VOUT1、一第二信号输出引脚 VOUT2 与一测试信号引脚 VCT。该移位寄存器 20 的前一移位寄存单元 200 的时钟信号输入引脚 CLK 接收来自外部电路 (图未示) 的时钟输入信号 CLOCK, 其反相时钟信号输入引脚 $\overline{\text{CLK}}$ 接收来自外部电路的反相时钟输入信号 $\overline{\text{CLOCK}}$, 其信号输入引脚 VIN 作为该移位寄存单元 200 的信号输入端, 其第一信号输出引脚 VOUT1 连接至后一移位寄存单元 200 的信号输入引脚 VIN, 其第二信号输出引脚 VOUT2 向外部电路输出信号, 其测试信号引脚 VCT 接收来自外部电路的测试信号 VT。后一移位寄存单元 200 的连接方式与其相似, 其区别在于: 后一移位寄存单元 200 的时钟信号输入引脚 CLK 接收来自外部电路的反相时钟输入信号 $\overline{\text{CLOCK}}$, 其反相时钟信号输入引脚 $\overline{\text{CLK}}$ 接收来自外部电路的时钟输入信号 CLOCK。其余移位寄存单元 200 的连接方式遵循前述两移位寄存单元 200 的连接方式, 其时钟信号输入引脚 CLK 与其反相时钟信号输入引脚 $\overline{\text{CLK}}$ 分别交替接收该时钟输入信号 CLOCK 与该反相时钟输入信号 $\overline{\text{CLOCK}}$ 。

[0025] 请参阅图 4, 是该移位寄存器 20 的一移位寄存单元 200 的电路图。该移位寄存单元 200 包括一信号输入电路 211、一逻辑转换电路 212、一测试信号输入电路 213 与一信号输出电路 214。该信号输入电路 211 的输出端与该测试信号输入电路 213 的输出端连接至一节点 218。该移位寄存单元 200 的各电路均由 PMOS 型晶体管组成, 每一晶体管均包括一栅极、一源极与一漏极。

[0026] 该信号输入电路 211 包括一第一晶体管 P1、一第二晶体管 P2 与一第三晶体管 P3。该第一晶体管 P1 的漏极接收来自外部电路的低电平信号 VGL, 其栅极是该移位寄存单元 200 的输入信号引脚 VIN, 其源极连接至该第二晶体管 P2 的漏极。该第二晶体管 P2 的源极连接至该第一晶体管 P1 的栅极, 其栅极是该移位寄存单元 200 的反相时钟信号输入引脚 $\overline{\text{CLK}}$, 其漏极连接至该第三晶体管 P3 的源极。该第三晶体管 P3 的栅极接收来自外部电路的低电平信号 VGL, 其漏极连接至节点 218。

[0027] 该逻辑转换电路 212 包括一第四晶体管 P4、一第五晶体管 P5、一第六晶体管 P6 与一第七晶体管 P7。该第四晶体管 P4 的漏极与栅极接收来自外部电路的低电平信号 VGL, 其源极连接至该第五晶体管 P5 的漏极。该第五晶体管 P5 的栅极连接至该节点 218, 其源极接收来自外部电路的高电平信号 VGH。该第六晶体管 P6 的栅极连接至该第四晶体管 P4 的源极, 其漏极接收来自外部电路的低电平信号 VGL, 其源极连接至该第七晶体管 P7 的漏极。该第七晶体管 P7 的栅极连接至该节点 218, 其源极接收来自外部电路的高电平信号 VGH。

[0028] 该信号输出电路 214 包括一第八晶体管 P8、一第九晶体管 P9、一第十晶体管 P10 与一第十一晶体管 P11。该第八晶体管 P8 的漏极是该移位寄存单元 200 的时钟信号输入引脚 CLK, 其栅极连接至该节点 218, 自其源极引出该移位寄存单元 200 的第一信号输出引脚

VOUT1。该第九晶体管 P9 的栅极连接至该第六晶体管 P6 的源极,其漏极连接至该第八晶体管 P8 的源极,其源极接收来自外部电路的高电平信号 VGH。该第十晶体管 P10 的漏极连接至该时钟信号输入引脚 CLK,其栅极连接至该节点 218,自其源极引出该第二信号输出引脚 VOUT2。该第十一晶体管 P11 的漏极连接至该第十晶体管 P10 的源极,其栅极连接至该第六晶体管 P6 的源极,其源极接收来自外部电路的高电平信号 VGH。

[0029] 该测试信号输入电路 213 包括一第十二晶体管 P12,该第十二晶体管 P12 的栅极为测试信号引脚 VCT,其源极连接至其栅极,其漏极连接至该节点 218。

[0030] 请参阅图 5,是该移位寄存器 20 的工作时序图。在 T1 时段内,该输入信号引脚 VIN 接收来自外部电路的低电平信号 VGL,该时钟输入信号 CLOCK 由高电平跳变为低电平,该反相时钟输入信号 $\overline{\text{CLOCK}}$ 由低电平跳变为高电平,该第一晶体管 P1 导通,该第二晶体管 P2 截止,而该第三晶体管 P3 一直处于导通状态,其作用类似于一电容器。该第一晶体管 P1 的漏极低电平信号 VGL 经由该第三晶体管 P3 自该节点 218 输出低电平,同时为该第三晶体管 P3 进行充电。当该节点 218 的电压漂移 (Floating) 时,该第三晶体管 P3 对该节点 218 的电压进行保持,使该节点 218 输出稳定的低电平。自该节点 218 输出的低电平使该第八晶体管 P8 与该第十晶体管 P10 导通,该时钟信号引脚 CLK 输出的低电平经由该第八晶体管 P8 与该第一信号输出引脚 VOUT1 向后一移位寄存单元 200 输出一低电平信号 VGL,同时也经由该第十晶体管 P10 与该第二信号输出引脚 VOUT2 向外部电路输出低电平信号 VGL。另外,自该节点 218 输出的低电平也使该逻辑转换电路 212 的第五晶体管 P5 与该第七晶体管 P7 导通,该第五晶体管 P5 与该第七晶体管 P7 分别输出高电平至该第九晶体管 P9 与该第十一晶体管 P11 的栅极,使该第九晶体管 P9 与该第十一晶体管 P11 截止,从而使该第一信号输出引脚 VOUT1 与该第二信号输出引脚 VOUT2 的输出不受该第九晶体管 P9 与该第十一晶体管 P11 漏极的高电平影响。

[0031] 在 T1 时段内,当该移位寄存单元 200 的第一信号输出引脚 VOUT1 向其前一移位寄存单元 200 输入低电平时,由于前一移位寄存单元 200 的时钟信号输入引脚 CLK 接收来自外部电路的反相时钟输入信号 $\overline{\text{CLOCK}}$,其反相时钟信号输入引脚 $\overline{\text{CLK}}$ 接收来自外部电路的时钟输入信号 CLOCK,且此时时钟输入信号 CLOCK 为低电平,该反相时钟输入信号 $\overline{\text{CLOCK}}$ 为高电平,故使前一移位寄存单元 200 的第一晶体管与第二晶体管导通,其信号输入电路 211 输出低电平,且为其第三晶体管充电,以保证其信号输入电路 211 在一时钟周期内输出稳定的低电平,前一移位寄存单元 200 的信号输入电路 211 输出的低电平使其逻辑转换电路 212 截止该第九晶体管与该第十晶体管,则其信号输出电路 211 输出与反相时钟输入信号 $\overline{\text{CLOCK}}$ 同步的高电平。

[0032] 在 T2 时段内,该移位寄存单元 200 的输入信号引脚 VIN 的输入信号由低电平跳变为高电平。该时钟输入信号 CLOCK 由低电平跳变至高电平,该反相时钟输入信号 $\overline{\text{CLOCK}}$ 由高电平跳变至低电平,该第二晶体管 P2 导通,使该节点 218 的输出由低电平跳变为高电平,从而使该第八晶体管 P8 与该第十晶体管 P10 截止。此时,该第四晶体管 P4 与该第六晶体管 P6 源极的低电压信号 VGL 使该第九晶体管 P9 与该第十一晶体管 P11 导通,从而使该第一信号输出引脚 VOUT1 与该第二信号输出引脚 VOUT2 的输出信号由低电平跳变至高电平,实现逻辑转换功能。

[0033] 在 T2 时段内,当该移位寄存单元 200 的最后一移位寄存单元 200 接收到该第一信号

输出引脚 VOUT1 输出的高电平后,其时钟信号引脚 CLK 为低电平,该反相时钟信号输入引脚 $\overline{\text{CLK}}$ 为高电平,使该后一移位寄存单元 200 的第一晶体管与第二晶体管截止,而在 T1 时段内储能的第三晶体管开始放电,使后一移位寄存单元 200 的信号输入电路 211 保持低电平输出,输出的低电平导通其信号输出电路 214 的第八晶体管与第十晶体管,从而使其第一信号输出引脚 VOUT1 与第二信号输出引脚 VOUT2 的输出信号由高电平跳变为低电平。

[0034] 该测试信号输入电路 213 正常工作情况下保持截止状态,对该移位寄存器的工作无影响,其仅在测试液晶面板时激活。

[0035] 从工作时序上可以看出,当该输入信号引脚 VIN 接收一低电平导通信号时,该低电平信号 VGL 使该第八晶体管 P8 与该第十晶体管 P10 导通,输出其源极的时钟输入信号 CLOCK,并向其后一移位寄存单元 200 输出该时钟输入信号 CLOCK。当时钟输入信号 CLOCK 输出导通信号时,该后一移位寄存单元 200 的第三晶体管开始充电,以保证其信号输入电路 211 在一时钟周期内稳定输出一低电平,即使后一移位寄存单元 200 的第八晶体管 P8 与第九晶体管 P9 导通,输出其源极的反相时钟输入信号 $\overline{\text{CLOCK}}$ 。由于该时钟输入信号 CLOCK 与该反相时钟输入信号 $\overline{\text{CLOCK}}$ 的波形相反,故该移位寄存单元 200 与其后一移位寄存单元 200 的输出波形无重叠。

[0036] 请参阅图 6,是应用该移位寄存器 20 的主动矩阵式液晶显示装置的结构示意图。该液晶显示装置 30 包括一液晶显示面板 31、一数据驱动电路 32 与一扫描驱动电路 33。该液晶显示面板 31 包括一上基板(图未示)、一下基板(图未示)与一夹持在上基板与下基板间的液晶层(图未示),且在该下基板邻近液晶层一侧设置有一用来控制液晶分子扭转状况的薄膜晶体管阵列(图未示)。该扫描驱动电路 33 输出扫描信号以控制该液晶显示面板 31 的薄膜晶体管阵列的导通与关断状态,该数据驱动电路 32 输出数据信号控制该液晶显示装置 30 显示画面变化。该扫描驱动电路 33 与该数据驱动电路 32 皆利用该移位寄存器 20 控制扫描信号与数据信号的输出时序,从而控制该液晶显示面板 31 的显示。该移位寄存器 20 可与该液晶显示装置 30 的薄膜晶体管阵列于同一制造工艺下形成。

[0037] 由于该移位寄存器 20 的各级移位寄存单元 200 的输出不存在信号重叠现象,故使得使用该移位寄存器 20 作为扫描驱动电路 32 与数据驱动电路 33 的液晶显示装置 30 在进行行扫描或列扫描时,其输出扫描信号与数据信号不会产生信号干扰,从而避免显示画面出现色差。

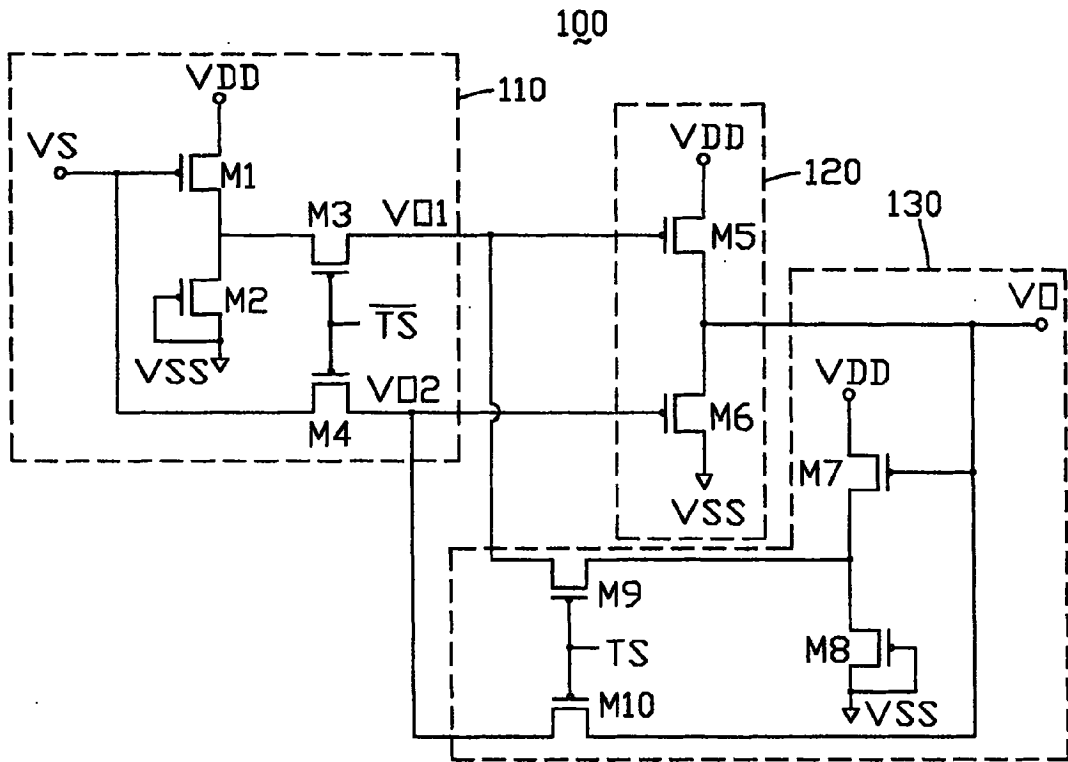


图 1

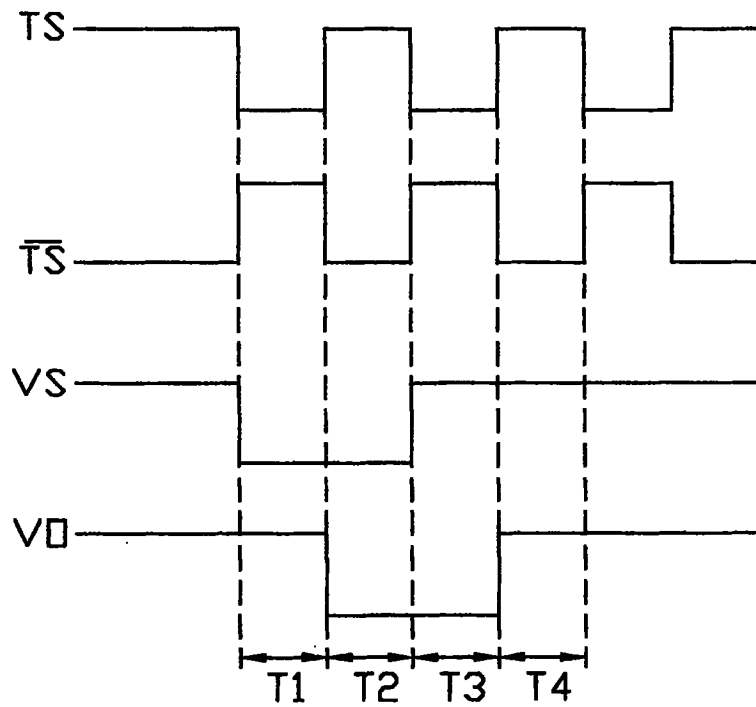


图 2

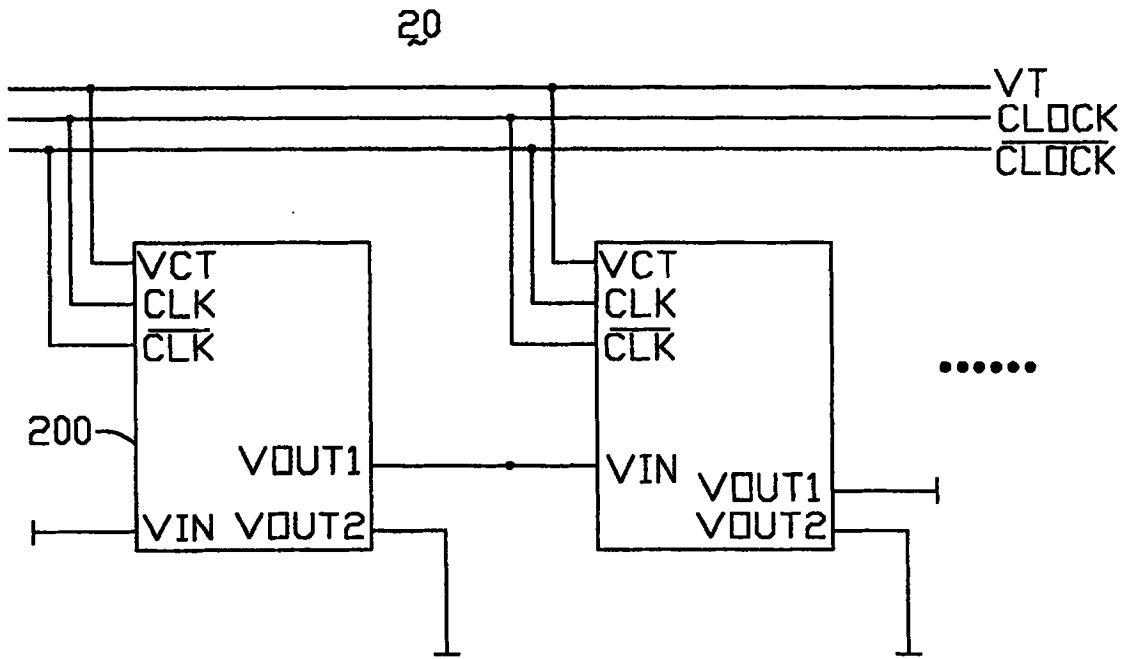


图 3

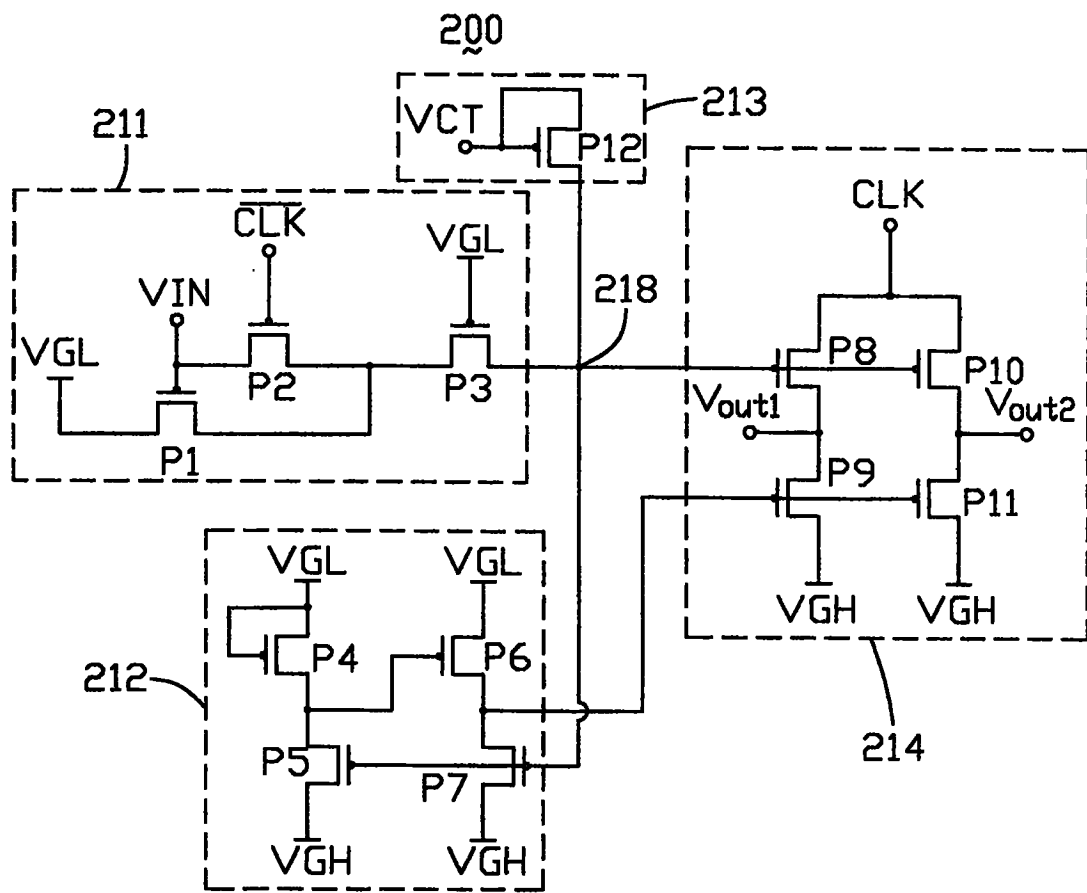


图 4

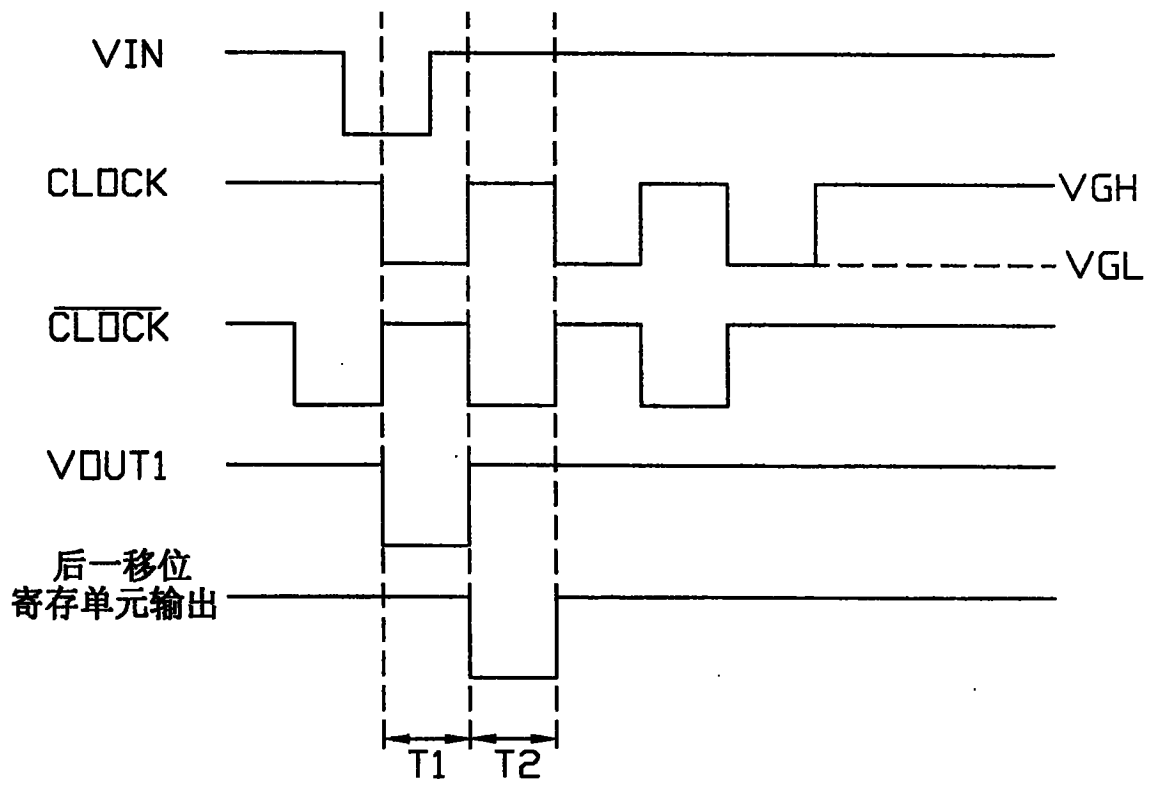


图 5

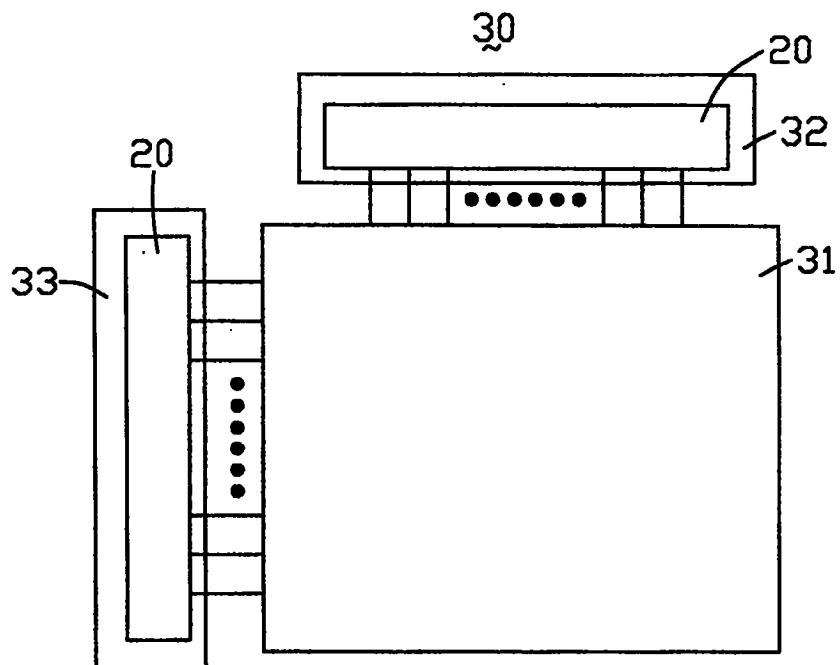


图 6