

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7063233号
(P7063233)

(45)発行日 令和4年5月9日(2022.5.9)

(24)登録日 令和4年4月25日(2022.4.25)

(51)国際特許分類		F I		
H 0 2 M	1/08 (2006.01)	H 0 2 M	1/08	A
H 0 3 K	17/16 (2006.01)	H 0 3 K	17/16	H
H 0 3 K	17/687(2006.01)	H 0 3 K	17/687	A

請求項の数 9 (全15頁)

(21)出願番号	特願2018-201844(P2018-201844)	(73)特許権者	000002945 オムロン株式会社 京都府京都市下京区塩小路通堀川東入南 不動堂町801番地
(22)出願日	平成30年10月26日(2018.10.26)	(74)代理人	110002860 特許業務法人秀和特許事務所
(65)公開番号	特開2020-68630(P2020-68630A)	(72)発明者	野坂 紀元 京都府京都市下京区塩小路通堀川東入南 不動堂町801番地 オムロン株式会社内
(43)公開日	令和2年4月30日(2020.4.30)	(72)発明者	岡田 亘 京都府京都市下京区塩小路通堀川東入南 不動堂町801番地 オムロン株式会社内
審査請求日	令和2年12月15日(2020.12.15)	(72)発明者	田内 宏憲 京都府京都市下京区塩小路通堀川東入南 不動堂町801番地 オムロン株式会社内 最終頁に続く

(54)【発明の名称】 スイッチング素子の駆動回路及びスイッチング回路

(57)【特許請求の範囲】

【請求項1】

電流駆動型のスイッチング素子を駆動する駆動回路であって、
第1端子と第2端子とを有し、前記スイッチング素子のゲート端子に制御信号を出力する制御部と、

前記制御部の前記第1端子に接続される、前記制御信号を形成する電流を規定する第1抵抗と該第1抵抗に並列に接続された第1コンデンサと、

並列に接続された第2コンデンサ及び第1ツェナーダイオードと、

前記第1抵抗及び第1コンデンサから前記ゲート端子に至り、前記スイッチング素子のソース端子から前記制御部の前記第2端子に至る電流の経路と、

を備え、

前記第2コンデンサ及び前記第1ツェナーダイオードは、前記ソース端子から前記制御部に至る経路に、前記第1ツェナーダイオードのカソード端子側に前記制御部の前記第2端子が接続され、前記第1ツェナーダイオードのアノード端子側に前記ソース端子が接続されるように、挿入されることを特徴とするスイッチング素子の駆動回路。

【請求項2】

前記第1コンデンサの容量をC1、前記第2コンデンサの容量をC2、前記スイッチング素子の入力容量をCiss、前記制御信号の電源電圧をVdd、前記スイッチング素子のターンオン時のゲート・ソース間電圧をVdev、該スイッチング素子に印加される負バイアス電圧をVccとしたとき、

【数 1】

$$\frac{1}{C_{iss}} * \frac{1}{\left(\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_{iss}}\right)} < \frac{V_{cc} + V_{dev}}{V_{dd}}$$

を満たすことを特徴とする請求項 1 に記載のスイッチング素子の駆動回路。

【請求項 3】

前記スイッチング素子並びに前記第 2 コンデンサ及び前記第 1 ツェナーダイオードを含む経路に並列にミラークランプ回路を設けたことを特徴とする請求項 1 又は 2 に記載のスイッチング素子の駆動回路。

10

【請求項 4】

前記スイッチング素子の前記ゲート端子と前記ソース端子との間に第 3 コンデンサを接続したことを特徴とする請求項 1 又は 2 に記載のスイッチング素子の駆動回路。

【請求項 5】

前記第 1 コンデンサに直列かつ前記第 1 抵抗に並列に前記経路に接続された第 3 抵抗を備えたことを特徴とする請求項 1 又は 2 に記載のスイッチング素子の駆動回路。

【請求項 6】

前記スイッチング素子の前記ゲート端子側に第 2 ツェナーダイオードのカソード端子を接続し、該スイッチング素子の前記ソース端子側に該第 2 ツェナーダイオードのアノード端子を接続したことを特徴とする請求項 1 又は 2 に記載のスイッチング素子の駆動回路。

20

【請求項 7】

前記スイッチング素子の前記ゲート端子と前記ソース端子との間に第 4 抵抗を接続したことを特徴とする請求項 1 又は 2 に記載のスイッチング素子の駆動回路。

【請求項 8】

前記スイッチング素子並びに前記第 2 コンデンサ及び前記第 1 ツェナーダイオードを含む経路に並列に、該スイッチング素子の前記ゲート端子側にショットキーダイオードのカソード端子を接続し、該第 1 ツェナーダイオードのカソード端子側に該ショットキーダイオードのアノード端子を接続したことを特徴とする請求項 1 又は 2 に記載のスイッチング素子の駆動回路。

30

【請求項 9】

直列に接続された複数の電流駆動型のスイッチング素子と、前記スイッチング素子をそれぞれ駆動する請求項 1 乃至 8 のいずれか 1 項に記載のスイッチング素子の駆動回路と、を備えたことを特徴とするスイッチング回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子の駆動回路に関する。

40

【背景技術】

【0002】

従来、電力変換器等におけるスイッチング素子として SiC (シリコンカーバイド) を材料とした JFET 等を用いる技術が提案されていた。このようなスイッチング素子の駆動回路では、誤動作を防止するために、ドレイン・ゲート間に生じる浮遊容量よりも大きな容量を有するコンデンサをスイッチング素子のゲート・ソース間に設けている。さらに、誤動作を防止するために、スピードアップコンデンサ C_{gD} を用いて、負バイアス化を実現する技術が提案されている (例えば、特許文献 1 を参照)。また、同様に、ツェナーダイオードを用いて、負バイアス化を実現する技術も提案されている (例えば、特許文献 2 を参照)。

50

【 0 0 0 3 】

ここで、上述のような従来のスイッチング素子の駆動回路における負バイアス電圧ではスイッチング素子のゲートサージが大きくなるという不都合が生じる場合があった。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 文献 】 特開 2 0 1 3 - 9 9 1 3 3 号 公 報

特開 2 0 1 4 - 9 3 5 8 6 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明は、上記のような問題に鑑みてなされたものであり、スイッチング素子の駆動回路において、スイッチング素子のゲートサージを低減することが可能な技術を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

上記の課題を解決するための本発明は、

電流駆動型のスイッチング素子を駆動する駆動回路であって、

第 1 端子と第 2 端子とを有し、前記スイッチング素子のゲート端子に制御信号を出力する制御部と、

前記制御部の前記第 1 端子に接続される、前記制御信号を形成する電流を規定する第 1 抵抗と該第 1 抵抗に並列に接続された第 1 コンデンサと、

並列に接続された第 2 コンデンサ及び第 1 ツェナーダイオードと、

前記第 1 抵抗及び第 1 コンデンサから前記ゲート端子に至り、前記スイッチング素子のソース端子から前記制御部の前記第 2 端子に至る電流の経路と、

を備え、

前記第 2 コンデンサ及び前記第 1 ツェナーダイオードは、前記ソース端子から前記制御部に至る経路に、前記第 1 ツェナーダイオードのカソード端子側に前記制御部の前記第 2 端子が接続され、前記第 1 ツェナーダイオードのアノード端子側に前記ソース端子が接続されるように、挿入されることを特徴とするスイッチング素子の駆動回路である。

【 0 0 0 7 】

本発明によれば、スイッチング素子のゲートオン時に、制御信号を形成する電流によって、第 1 コンデンサ、第 2 コンデンサ及びスイッチング素子の入力容量が充電され、スイッチング素子のゲートオフ時に、蓄積された電荷が第 1 抵抗及び第 2 抵抗を介して放電されることにより、スイッチング素子に負バイアス電圧が印加される。このようにして印加される負バイアス電圧は、スイッチング素子のゲートオフ時に負バイアス電圧が急激に大きくなることはないので、スイッチング素子のゲートサージを低減することができる。

【 0 0 0 8 】

また、本発明において、前記第 1 コンデンサの容量を C 1、前記第 2 コンデンサの容量を C 2、前記スイッチング素子の入力容量を C i s s、前記制御信号の電源電圧を V d d、前記スイッチング素子のターンオン時のゲート・ソース間電圧を V d e v、該スイッチング素子に印加される負バイアス電圧を V c c としたとき、

【 数 1 】

$$\frac{1}{C_{iss}} * \frac{1}{\left(\frac{1}{C1} + \frac{1}{C2} + \frac{1}{C_{iss}}\right)} < \frac{V_{cc} + V_{dev}}{V_{dd}}$$

を満たすようにしてもよい。

【 0 0 0 9 】

これによれば、負バイアス電圧を2段階で減衰するように設定することができる。これにより、急峻な電圧、電流変動を抑制するように負バイアス電圧を設定することができる。

【 0 0 1 0 】

また、本発明において、前記スイッチング素子並びに前記第2コンデンサ及び前記ツェナーダイオードを含む経路に並列にミラークランプ回路を設けてもよい。

【 0 0 1 1 】

このようにすれば、スイッチング素子にサージ電圧等の大きな電圧が印加されること防止することができる。

【 0 0 1 2 】

また、本発明において、前記スイッチング素子の前記ゲート端子と前記ソース端子との間に第3コンデンサを接続してもよい。

【 0 0 1 3 】

このようにすれば、第3コンデンサの容量値によって負バイアス電圧を変更することができる。また、第3コンデンサの容量値によって、スイッチング素子のスイッチング速度を変更することもできる。

【 0 0 1 4 】

また、本発明において、前記第1コンデンサに直列かつ前記第1抵抗に並列に前記経路に接続された第3抵抗を備えてもよい。

【 0 0 1 5 】

このようにすれば、第3抵抗により、スイッチング素子のゲートサージを低減することができる。また、スイッチング素子に生じるスイッチングノイズを低減することもできる。

【 0 0 1 6 】

また、本発明において、前記スイッチング素子の前記ゲート端子側に第2ツェナーダイオードのカソード端子を接続し、該スイッチング素子の前記ソース端子側に該第2ツェナーダイオードのアノード端子を接続してもよい。

【 0 0 1 7 】

このようにすれば、第2ツェナーダイオードにより、ゲートサージを低減することができる。

【 0 0 1 8 】

また、本発明において、前記スイッチング素子の前記ゲート端子と前記ソース端子との間に第4抵抗を接続してもよい。

【 0 0 1 9 】

このようにすれば、第4抵抗の抵抗値によって負バイアス電圧を変更することができる。

【 0 0 2 0 】

また、本発明において、前記スイッチング素子並びに前記第2コンデンサ及び前記第1ツェナーダイオードを含む経路に並列に、該スイッチング素子の前記ソース素子側にショットキーダイオードのカソード端子を接続し、該第1ツェナーダイオードのカソード端子側に該ショットキーダイオードのアノード端子を接続してもよい。

【 0 0 2 1 】

このようにすれば、ショットキーダイオードによってゲートサージを低減することができる。

【 0 0 2 2 】

また、本発明は、直列に接続された複数の電流駆動型のスイッチング素子と、前記スイッチング素子をそれぞれ駆動する前記スイッチング素子の駆動回路と、を備えたことを特徴とするスイッチング回路である。

【 0 0 2 3 】

本発明によれば、スイッチング回路を構成するスイッチング素子において、ゲートサージを低減することができる。これによって、スイッチング回路の誤動作を防止することができる。またノイズの発生を低減することもできる。

10

20

30

40

50

【発明の効果】

【0024】

本発明によれば、スイッチング素子の駆動回路において、スイッチング素子のゲートサージを低減することが可能となる。

【図面の簡単な説明】

【0025】

【図1】実施例1に係るゲート駆動回路100の回路構成を示す図である。

【図2】実施例1に係るスイッチング素子1のゲート電圧のプロファイルを示すグラフである。

【図3】実施例2に係るゲート駆動回路200の回路構成を示す図である。

10

【図4】実施例2に係るスイッチング素子1のゲート電圧のプロファイルを示すグラフである。

【図5】実施例3に係るゲート駆動回路300の回路構成を示す図である。

【図6】実施例4に係るゲート駆動回路400の回路構成を示す図である。

【図7】実施例5に係るゲート駆動回路500の回路構成を示す図である。

【図8】実施例6に係るゲート駆動回路600の回路構成を示す図である。

【図9】実施例7に係るゲート駆動回路700の回路構成を示す図である。

【図10】実施例6に係る同期整流型昇圧チョッパ回路の回路構成を示す図である。

【図11】従来例に係るスイッチング素子のゲート電圧のプロファイルを示すグラフである。

20

【発明を実施するための形態】

【0026】

〔適用例〕

以下、本発明の適用例について、図面を参照しつつ説明する。本発明は、例えば、図1に示すような、電流駆動型のスイッチング素子のゲート駆動回路100に適用される。

スイッチング素子1では、直列に接続された他のスイッチング素子から発生するノイズ等の要因によって、ゲートオフ時に誤点弧しないように負バイアス電圧を印加することが行われている。

このような負バイアス電圧として、図11に示すようなプロファイルの電圧をゲート・ソース間に印加することが行われていた。図11に示されているように、スイッチング素子のゲートオフ時に負バイアス電圧が急激に大きくなりゲートサージが発生することがあった。

30

このため、本発明は、負バイアス電圧を適切に変更することによって、ゲートサージを低減しようとするものである。

【0027】

図1に示すゲート駆動回路によって負バイアス電圧が印加される場合の、スイッチング素子のゲート・ソース間電圧 V_{gs} は、図2に示すようなプロファイルとなる。本発明においては、スイッチング素子に供給されるゲート電流を規定する第1抵抗と、この第1抵抗に並列に接続された第1コンデンサを備える。このような第1抵抗及び第1コンデンサは、それぞれ制限抵抗及びスピードアップコンデンサと呼ばれるものである。

40

スイッチング素子のゲートを制御するための制御部から出力される制御信号を形成する電流は、制限抵抗及びスピードアップコンデンサを介して、スイッチング素子のゲート端子へと流れる。そして、この電流はスイッチング素子のソース端子から制御部へと流れる。本発明は、このスイッチング素子のソース端子から制御部へと至る電流の経路に第2コンデンサと、これに並列に接続されたツェナーダイオードを挿入している。このとき、ツェナーダイオードのカソード端子側が制御部に、アノード端子側がスイッチング素子のソース端子に接続される。

【0028】

経路に直列に接続されるスピードアップコンデンサ、スイッチング素子の入力容量、第2コンデンサが、ゲートオン時に流れるゲート電流によって充電され、ゲートオフ時には、

50

充電された電荷が、制限抵抗及び第2抵抗を通じて放電される。このようなスピードアップコンデンサ、スイッチング素子の入力容量、第2コンデンサに蓄積された電荷の放電の態様によって、図2に示すプロファイルの負バイアス電圧が印加されるので、スイッチング素子のゲートサージを低減することができる。

【0029】

本発明は、また、直列に接続されたスイッチング素子を含み、これらのスイッチング素子を本発明に係る駆動回路によって駆動するスイッチング回路として構成することもできる。このようなスイッチング回路では、スイッチング素子がオフされているときに、他のスイッチング素子が相補的にオンされることによるサージ電圧やノイズが生じる場合でも、負バイアス電圧を適切に変更することにより、スイッチング素子のゲートサージを低減することができる。これによって、スイッチング回路の誤動作を防止することもできる。このように、スイッチング回路に、バイアスを可変とした駆動回路を用いることにより、種々の効果を実現することができる。このようなスイッチング回路としては、複数のスイッチング素子を直列に接続してスイッチングを行う回路であればよく、同期整流型昇圧チョップ回路や、DC/DCコンバータや、インバータ等を含むがこれらに限られない。

【0030】

〔実施例1〕

以下では、本発明の実施例に係るゲート駆動回路について、図面を用いて、より詳細に説明する。

【0031】

<装置構成>

図1は、本実施例に係るゲート駆動回路を示す。

【0032】

スイッチング素子1のゲート端子には、スピードアップコンデンサとして機能するコンデンサ11の一端が接続されている。このコンデンサ11にはスイッチング素子1のオン時に微小電流を流すための制限抵抗として機能する抵抗13が並列に接続されている。そして、このコンデンサ11の他端は、ドライブ回路12の出力電圧 V_{out} が出力される端子123（以下「 V_{out} 端」という。）に接続されている。スイッチング素子1のソース端子には、コンデンサ14の一端が接続されている。そして、このコンデンサ14の他端はドライブ回路12の端子124（以下「 V_{ee} 端」という。）に接続されている。このコンデンサ14にはツェナーダイオード15が並列に接続されている。ツェナーダイオード15は、アノード端子がスイッチング素子1のソース端子側に接続され、カソード端子が V_{ee} 端を介してドライブ回路12に接続されている。ドライブ回路12は、電圧源 V_{dd} に接続される端子（以下「 V_{dd} 端」という。）125と V_{ee} 端124との間に直列に接続された二つのnチャンネルMOSFET121, 122を有する。二つのMOSFET121, 122の中点が V_{out} 端123としてコンデンサ11の他端に接続されている。ドライブ回路12は、入力信号 V_{sig} に基づいて、MOSFET121, 122のオン・オフを切り替える。MOSFET122をオンし、MOSFET121をオフすることにより、コンデンサ11の他端は V_{out} 端123を介して V_{dd} 端125に接続され、コンデンサ11及び抵抗13を介してスイッチング素子1にゲート電流が流れる。そして、MOSFET122をオフし、MOSFET121をオンすることにより、コンデンサ11の他端は V_{out} 端123を介して V_{ee} 端125及びコンデンサ14の他端に接続され、スイッチング素子1のゲート・ソース間に負バイアス電圧が印加される。ここでは、コンデンサ11は第1コンデンサ、抵抗13は第1抵抗、コンデンサ14は第2コンデンサ、ツェナーダイオード15は第2コンデンサに並列に接続された第1ツェナーダイオード、ドライブ回路12は制御部、 V_{out} 端123が第1端子、 V_{ee} 端124が第2端子に対応する。また、コンデンサ11及び抵抗13からスイッチング素子1のゲート端子に至り、スイッチング素子1のソース端子からドライブ回路12に至るまで接続された回路が経路に相当する。また、ドライブ回路12のMOSFET121, 122のオン・オフを切り替えることにより、スイッチング素子1のゲート端子に入力され

10

20

30

40

50

る電流が制御信号に相当する。

【 0 0 3 3 】

本実施例では、コンデンサ 1 1、コンデンサ 1 4、スイッチング素子 1 の入力容量をそれぞれ $C 1$ 、 $C 2$ 、 $C i s s$ 、ゲート電源電圧を $V d d$ 、オン時のデバイス電圧を $V d e v$ 、ゲート電圧を $V g s$ 、負バイアス電圧値を $V c c$ とおく。このとき、下記条件を満たすことで、スイッチング素子のゲートオフ時のゲート電圧を二段階で減衰させることが可能となる。

【数 2】

$$\frac{1}{C i s s} * \frac{1}{\left(\frac{1}{C 1} + \frac{1}{C 2} + \frac{1}{C i s s}\right)} < \frac{V c c + V d e v}{V d d}$$

10

本実施例に係るスイッチング素子 1 のゲート電圧のプロファイルを図 2 に示す。図 2 の (ア) はスイッチング素子 1 のゲートがオンされている状態であり、(イ)、(ウ)、(エ) はスイッチング素子 1 のゲートがオフされている状態である。(イ) 及び (ウ) に示すように、上述の条件を満たすことで、スイッチング素子 1 のゲート電圧は二段階で減衰する。これにより、スイッチング素子のゲートサージの低減を実現することができる。

【 0 0 3 4 】

本実施例では、コンデンサ 1 4 と並列にツェナーダイオード 1 5 を接続しているため、スイッチング素子 1 のゲート電圧がツェナーダイオード 1 5 の降伏電圧 (ツェナー電圧) で規定され、 $V c c$ より低くなることはない。

20

また、本実施例に係るゲート駆動回路 1 0 0 では、スイッチング素子 1 のターンオン時に、コンデンサ 1 1 を介して、スイッチング素子 1 のゲートを充電する必要がある。このため、スイッチング素子 1 のゲートの電荷量を $Q g$ とおいて、下記の条件式を満足するように設計することで、スイッチング素子 1 のターンオン時のスイッチング速度を早くすることができる。

【数 3】

$$C 1 > Q g (V d d - V d e v - V c c)$$

30

図 2 に示すように、コンデンサ 1 1 の容量を大きくし、上記条件式を満たすように設計することにより、スイッチング素子 1 のスイッチング速度が速くなり、ゲートオンのゲート電圧波形の立ち上がりを急峻にすることが出来る。

【 0 0 3 5 】

〔実施例 2〕

図 3 に、本発明の実施例 2 に係るゲート駆動回路 2 0 0 を示す。

実施例 1 と同様の構成については、同様の符号を付して詳細な説明を省略する。

本実施例では、スイッチング素子 1 のゲート・ソース間に並列にスイッチング素子 1 6 を接続している。スイッチング素子 1 6 は、スイッチング素子 1 のゲート端子とコンデンサ 1 1 及び抵抗 1 3 の一端との間と、コンデンサ 1 4 の他端及びツェナーダイオード 1 5 のカソード端子との間に接続されている。ここでは、スイッチング素子 1 6 として n チャネル MOS FET を用い、スイッチング素子 1 のゲート素子側に、スイッチング素子 1 6 のドレイン端子を、コンデンサの他端及びツェナーダイオードのカソード端子側に、スイッチング素子 1 6 のソース端子を接続している。また、スイッチング素子 1 6 のゲート端子はドライブ回路 1 2 に接続され、スイッチング素子 1 6 はドライブ回路 1 2 から入力される信号によって制御される。

40

【 0 0 3 6 】

スイッチング素子 1 6 はミラークランプ回路として機能する。ゲート電圧 $V g s$ が $V m i$

50

mirror電圧以下（例えば V_a （負バイアス電圧値の最小値） $+ 2V$ ）になった場合に、スイッチング素子16がターンオンして $V_{gs} = V_a$ となるように設定する。図4に、本実施例に係るゲート駆動回路200によって駆動されるスイッチング素子1のゲート電圧 V_{gs} のプロファイルを示す。図4の（ウ'）に示す期間において、上述のように、ゲート電圧 V_{gs} が V_{mirror} 以下となった場合に、ゲート電圧 V_{gs} が V_a に引き下げられている。

本実施例では、スイッチング素子を設けることにより、同期整流型のスイッチング素子のゲート駆動回路として用いた場合に、対向アームのスイッチング素子がオンであるときに負バイアス電圧値を大きくすることで、誤点弧を防止することができ、ゲートサージが低減する。また、デッドタイム期間の逆導通損失を低減することができる。

【0037】

〔実施例3〕

図5に、本発明の実施例3に係るゲート駆動回路300を示す。

実施例2と同様の構成については、同様の符号を付して詳細な説明を省略する。

本実施例では、実施例2のスイッチング素子1のゲート・ソース間にコンデンサ17を並列に接続している。コンデンサ17の一端はスイッチング素子1のゲート端子とスイッチング素子16のドレイン素子との間に接続し、コンデンサの他端はスイッチング素子1のソース端子とコンデンサ14の一端及びツェナーダイオード15のアノード端子との間に接続している。ここでは、コンデンサ17は第3コンデンサに対応する。

本実施例では、コンデンサ17を設けることにより、コンデンサ17の容量値によってスイッチング速度を変更することができる。

【0038】

〔実施例4〕

図6に、本発明の実施例4に係るゲート駆動回路400を示す。

実施例3と同様の構成については、同様の符号を付して詳細な説明を省略する。

本実施例では、コンデンサ11と直列に抵抗18を接続し、この直列に接続されたコンデンサ11及び抵抗18に並列に抵抗13を接続している。ここでは、抵抗13は第3抵抗に対応する。

本実施例では、抵抗18の抵抗値を変更することにより、スイッチング素子1のスイッチング速度を変更することができる。これにより、ゲートサージ及びスイッチングノイズを低減することができる。

【0039】

〔実施例5〕

図7に、本発明の実施例5に係るゲート駆動回路500を示す。

実施例4と同様の構成については、同様の符号を付して詳細な説明を省略する。

本実施例では、スイッチング素子1のゲート・ソース間に並列にツェナーダイオード19を接続している。ツェナーダイオード19のカソード端子はスイッチング素子1のゲート端子側である、抵抗13からスイッチング素子1のゲート端子に至る回路に接続される。そして、ツェナーダイオード19のアノード端子はスイッチング素子1のソース端子側である、ソース端子からツェナーダイオード15のアノード端子に至る回路に接続される。ここでは、ツェナーダイオード19が第2ツェナーダイオードに対応する。

本実施例では、ツェナーダイオード19を設けることにより、ゲートサージを低減することができる。

【0040】

〔実施例6〕

図8に、本発明の実施例6に係るゲート駆動回路600を示す。

実施例5と同様の構成については、同様の符号を付して詳細な説明を省略する。

本実施例では、スイッチング素子1のゲート・ソース間に並列に接続したコンデンサ17にさらに並列に抵抗20を接続している。

本実施例では、抵抗20を設けることにより、外部ノイズによるスイッチング素子の誤動

10

20

30

40

50

作を抑制することができる。

【 0 0 4 1 】

〔実施例 7〕

図 9 に、本発明の実施例 7 に係るゲート駆動回路 7 0 0 を示す。

実施例 6 と同様の構成については、同様の符号を付して詳細な説明を省略する。

本実施例では、ショットキーダイオード 2 1 を、スイッチング素子 1 並びに並列に接続されたツェナーダイオード 1 5 及びコンデンサ 1 4 に並列に接続している。ショットキーダイオード 2 1 のカソード端子は、抵抗 1 3 からスイッチング素子 1 のゲート端子に至る回路に接続されている。そして、ショットキーダイオード 2 1 のアノード端子は、並列に接続されたコンデンサ 1 4 及びツェナーダイオード 1 5 のカソード端子からドライブ回路 1 2 の V e e 端 1 2 4 に至る回路に接続されている。

10

本実施例では、ショットキーダイオード 2 1 を設けることにより、ゲートサージを低減することができる。

【 0 0 4 2 】

〔実施例 8〕

図 1 0 に本実施例 8 に係る同期整流型昇圧チョッパ回路 1 0 を示す。

同期整流型昇圧チョッパ回路 1 0 は、スイッチング素子 1 a , 1 b、ゲート駆動回路 1 0 0 a , 1 0 0 b、入力電源 2、リアクトル 3、バイパスコンデンサ 4、負荷 5 等を備える。この同期整流型昇圧チョッパ回路 1 0 においては、二つのスイッチング素子 1 a , 1 b が直列に接続され、それぞれにゲート駆動回路 1 0 0 a , 1 0 0 b が接続されている。ゲート駆動回路としては、実施例 1 に係るゲート駆動装置に限らず、他の実施例に係るゲート駆動回路を用いてもよい。同期整流型昇圧チョッパ回路 1 0 機能は公知のものであるため詳細な説明は省略する。

20

【 0 0 4 3 】

このようにすれば、同期整流型昇圧チョッパ回路 1 0 を構成するスイッチング素子において、ゲートサージを低減することができる。これによって、同期整流型昇圧チョッパ回路 1 0 の誤動作を防止することができ信頼性の高い同期整流型昇圧チョッパ回路 1 0 を実現することができる。

ここでは、同期整流型昇圧チョッパ回路を例として説明したが、本発明の実施例に係るゲート駆動回路によって駆動されるスイッチング素子が複数個直列に接続されたスイッチング回路であればよく、D C / D C コンバータやインバータであってもよい。

30

【 0 0 4 4 】

なお、以下には本発明の構成要件と実施例の構成とを対比可能とするために、本発明の構成要件を図面の符号付きで記載しておく。

< 発明 1 >

電流駆動型のスイッチング素子 (1) を駆動する駆動回路 (1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 , 5 0 0) であって、

第 1 端子 (1 2 3) と第 2 端子 (1 2 4) とを有し、前記スイッチング素子 (1) のゲート端子に制御信号を出力する制御部 (1 2) と、

前記制御部 (1 2) の前記第 1 端子 (1 2 3) に接続される、前記制御信号を形成する電流を規定する第 1 抵抗 (1 3) と該第 1 抵抗 (1 3) に並列に接続された第 1 コンデンサ (1 1) と、

40

並列に接続された第 2 コンデンサ (1 4) 及び第 1 ツェナーダイオード (1 5) と、

前記第 1 抵抗 (1 3) 及び第 1 コンデンサ (1 1) から前記ゲート端子に至り、前記スイッチング素子 (1) のソース端子から前記制御部 (1 2) の前記第 2 端子 (1 2 4) に至る電流の経路と、

を備え、

前記第 2 コンデンサ (1 4) 及び前記第 1 ツェナーダイオード (1 5) は、前記ソース端子から前記制御部 (1 2) に至る経路に、前記第 1 ツェナーダイオード (1 5) のカソード端子側に前記制御部 (1 2) の前記第 2 端子 (1 2 4) が接続され、前記第 1 ツェナー

50

ダイオード(15)のアノード端子側に前記ソース端子が接続されるように、挿入されることを特徴とするスイッチング素子の駆動回路。

< 発明 2 >

前記第1コンデンサ(11)の容量をC1、前記第2コンデンサ(14)の容量をC2、前記スイッチング素子(1)の入力容量をCiss、前記制御信号の電源電圧をVdd、前記スイッチング素子(1)のターンオン時のゲート・ソース間電圧をVdev、該スイッチング素子に印加される負バイアス電圧をVccとしたとき、

【数4】

$$\frac{1}{C_{iss}} * \frac{1}{\left(\frac{1}{C1} + \frac{1}{C2} + \frac{1}{C_{iss}}\right)} < \frac{V_{cc} + V_{dev}}{V_{dd}}$$

10

を満たすことを特徴とする請求項1に記載のスイッチング素子の駆動回路。

< 発明 3 >

前記スイッチング素子(1)並びに前記第2コンデンサ(14)及び前記ツェナーダイオード(15)を含む経路に並列にミラークランプ回路(16)を設けたことを特徴とする請求項1又は2に記載のスイッチング素子の駆動回路。

< 発明 4 >

前記スイッチング素子(1)の前記ゲート端子と前記ソース端子との間に第3コンデンサ(17)を接続したことを特徴とする請求項1又は2に記載のスイッチング素子の駆動回路。

20

< 発明 5 >

前記第1コンデンサ(11)に直列かつ前記第1抵抗(13)に並列に前記経路に接続された第3抵抗(18)を備えたことを特徴とする請求項1又は2に記載のスイッチング素子の駆動回路。

< 発明 6 >

前記スイッチング素子(1)の前記ゲート端子側に第2ツェナーダイオード(19)のカソード端子を接続し、該スイッチング素子(1)の前記ソース端子側に該第2ツェナーダイオード(19)のアノード端子を接続したことを特徴とする請求項1又は2に記載のスイッチング素子の駆動回路。

30

< 発明 7 >

前記スイッチング素子(1)の前記ゲート端子と前記ソース端子との間に第4抵抗(20)を接続したことを特徴とする請求項1又は2に記載の駆動回路。

< 発明 8 >

前記スイッチング素子(1)並びに前記第2コンデンサ(14)及び前記第1ツェナーダイオード(15)を含む経路に並列に、該スイッチング素子(1)の前記ソース端子側にショットキーダイオード(21)のカソード端子を接続し、該第1ツェナーダイオード(15)のカソード端子側に該ショットキーダイオード(21)のアノード端子を接続したことを特徴とする請求項1又は2に記載のスイッチング素子の駆動回路。

40

< 発明 9 >

直列に接続された複数の電流駆動型のスイッチング素子(1)と、前記スイッチング素子(1)をそれぞれ駆動する請求項1乃至8のいずれか1項に記載のスイッチング素子の駆動回路(100, 200, 300, 400, 500)と、を備えたことを特徴とするスイッチング回路(10)。

【符号の説明】

【0045】

1 : スwitchング素子

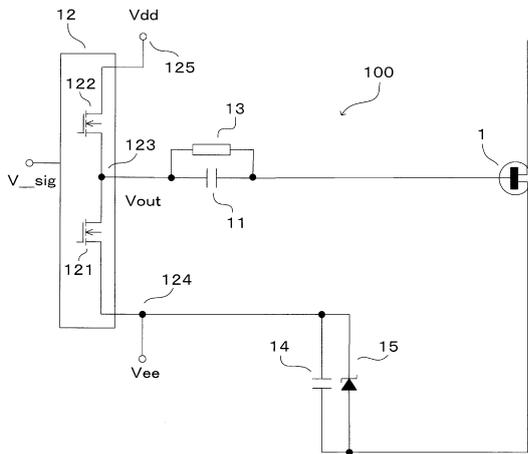
10 : 同期整流型昇圧チョッパ回路

50

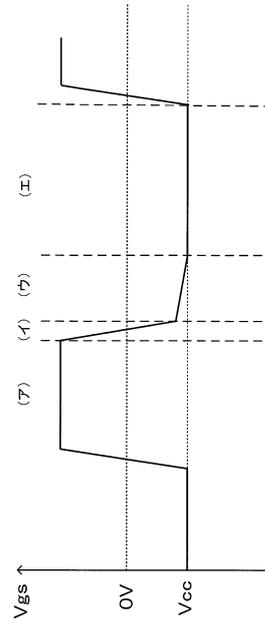
- 1 1 , 1 4 , 1 7 : コンデンサ
- 1 2 : ドライブ回路
- 1 2 3 : V o u t 端
- 1 2 4 : V e e 端
- 1 3 , 1 8 , 2 0 : 抵抗
- 1 5 , 1 9 : ツェナーダイオード
- 1 6 : スイッチング素子
- 1 9 ショットキーダイオード
- 1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 , 5 0 0 : ゲート駆動回路

【図面】

【図 1】



【図 2】



10

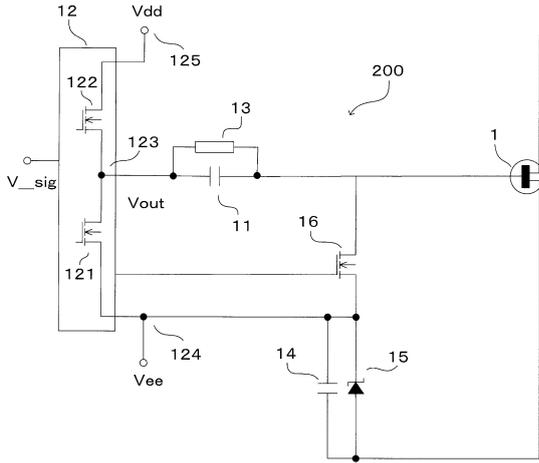
20

30

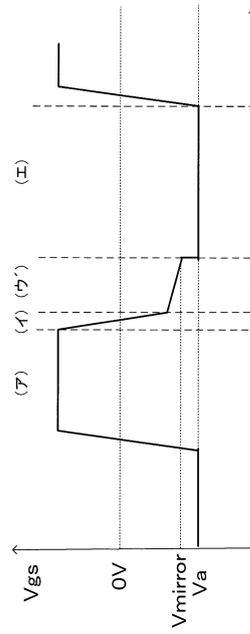
40

50

【図 3】



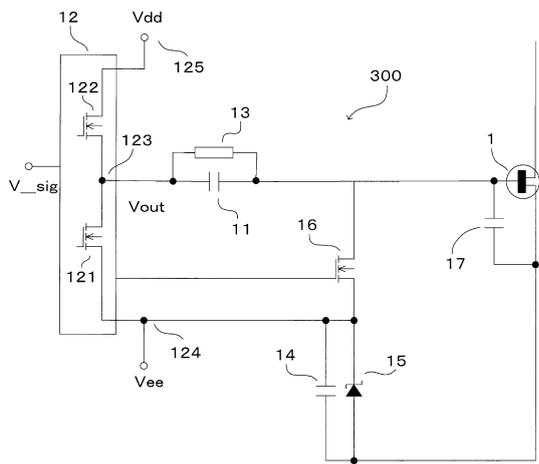
【図 4】



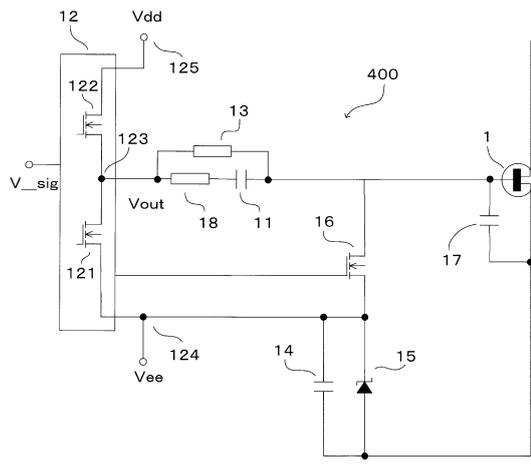
10

20

【図 5】



【図 6】

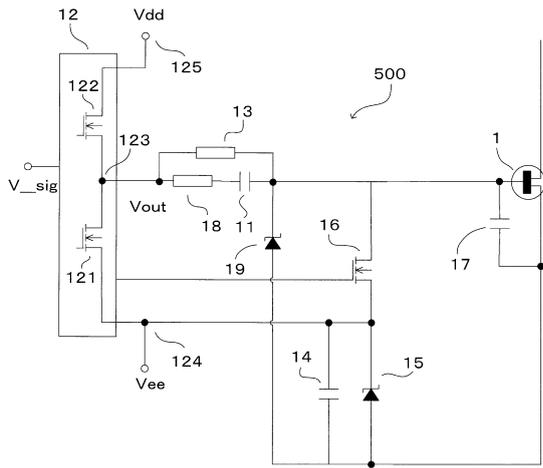


30

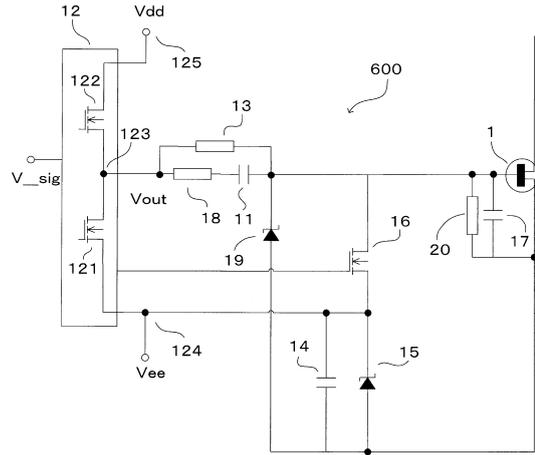
40

50

【図 7】

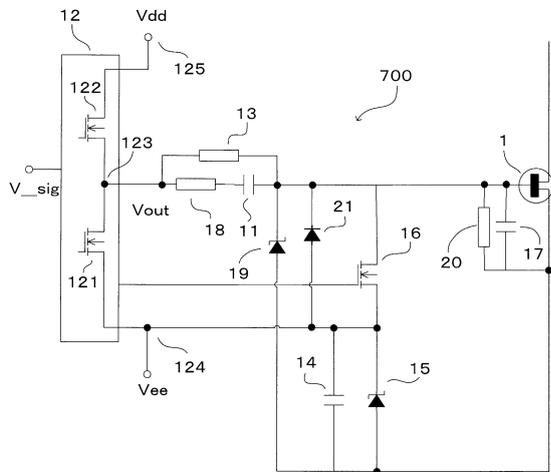


【図 8】

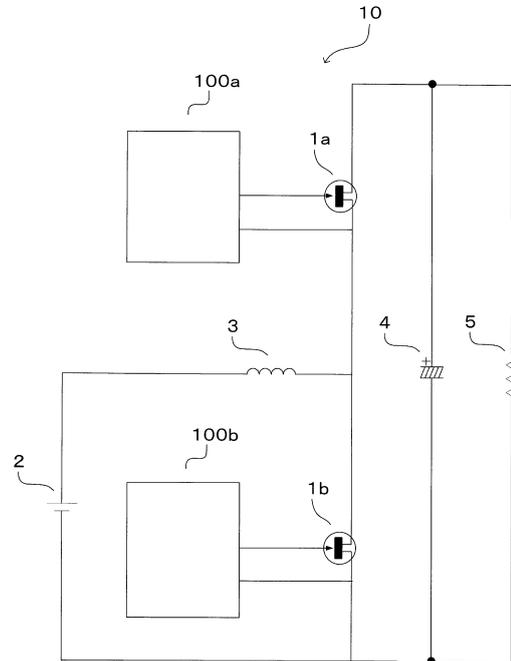


10

【図 9】



【図 10】



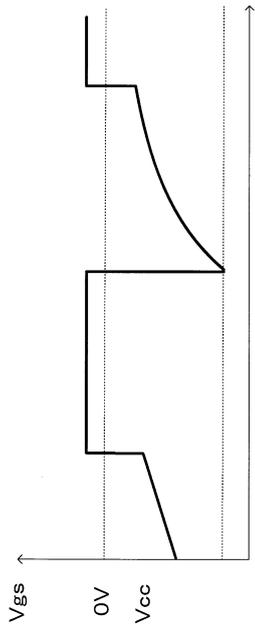
20

30

40

50

【 1 1】



10

20

30

40

50

フロントページの続き

(72)発明者 岩井 聡

京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内

審査官 石坂 知樹

(56)参考文献 米国特許第04527228 (US, A)

国際公開第2017/038390 (WO, A1)

特開2017-118717 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H02M 1/08

H03K 17/16

H03K 17/687