

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-518476
(P2008-518476A)

(43) 公表日 平成20年5月29日(2008.5.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 A	5 F 0 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 Z	5 F 1 1 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 1 9 A	5 F 1 4 0
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 6 1 7 J	
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 0 1 P	

審査請求 未請求 予備審査請求 有 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2007-538967 (P2007-538967)
 (86) (22) 出願日 平成17年10月12日(2005.10.12)
 (85) 翻訳文提出日 平成19年6月13日(2007.6.13)
 (86) 国際出願番号 PCT/US2005/036779
 (87) 国際公開番号 W02006/049834
 (87) 国際公開日 平成18年5月11日(2006.5.11)
 (31) 優先権主張番号 102004052617.6
 (32) 優先日 平成16年10月29日(2004.10.29)
 (33) 優先権主張国 ドイツ(DE)
 (31) 優先権主張番号 11/145,697
 (32) 優先日 平成17年6月6日(2005.6.6)
 (33) 優先権主張国 米国(US)

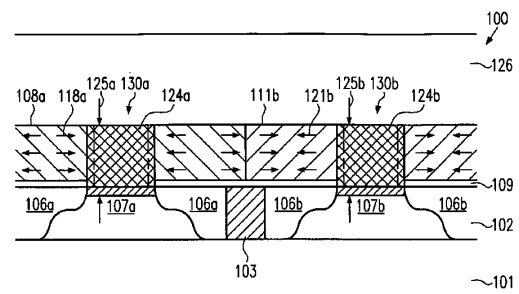
(71) 出願人 591016172
 アドバンスト・マイクロ・デバイス・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペール、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メール・ストップ
 ・68 (番地なし)
 (74) 代理人 100099324
 弁理士 鈴木 正剛
 (74) 代理人 100111615
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 異なるように歪ませた歪みチャネル領域を有する半導体領域を含む、半導体デバイスおよびその製造方法

(57) 【要約】

インレイド技術により形成されたトランジスタ構成のゲート電極構造を横方向に取り囲む絶縁層の固有の応力を部分的に修正することによって、異なるトランジスタ素子の荷電キャリア移動度を個別に調整する。特に、インレイド・ゲート構造トランジスタ構成において、NMOSトランジスタおよびPMOSトランジスタは、それぞれ、引っ張り応力と圧縮応力を受け取り得る。



【特許請求の範囲】**【請求項 1】**

基板（101）上にたい積した半導体層（102）中に形成された第1半導体領域（107a）上に、第1ブレースホルダ構造（104a）を形成し、

前記半導体層（102）中に形成された第2半導体領域（107b）上に、第2ブレースホルダ構造（104b）を形成し、

前記第1ブレースホルダ構造（104a）および前記第2ブレースホルダ構造（104b）を取り囲むように、前記半導体層（102）上に特定の固有の応力を有する絶縁層（108）をたい積し、

前記第2ブレースホルダ構造（104b）を取り囲む前記絶縁層（108）の一部を、
前記一部の前記固有の応力を変えるべく変更し、

前記第1ブレースホルダ構造（104a）および前記第2ブレースホルダ構造（104b）を導電材料で置換する、

方法。

【請求項 2】

さらに、前記第1半導体領域（107a）および前記第2半導体領域（107b）に隣接する前記半導体層（102）中に、ドーブ領域（106a）（106b）を形成する、請求項1記載の方法。

【請求項 3】

前記ドーブ領域（106a）（106b）の形成は、前記第1ブレースホルダ構造（104a）および前記第2ブレースホルダ構造（104b）を注入マスクとして使用する一方で、イオン注入プロセスにより、少なくとも1つのドーパント種を導入する、請求項2記載の方法。

【請求項 4】

前記ドーブ領域（106a）（106b）の形成は、

前記第1ブレースホルダ構造（104a）および前記第2ブレースホルダ構造（104b）のそれぞれのサイドウォール上に、少なくとも1つのサイドウォールスペーサ素子を形成し、

少なくとも前記イオン注入プロセスの1ステップの間に、前記少なくとも1つのサイドウォールスペーサを注入マスクとして使用することを含む、請求項3記載の方法。

【請求項 5】

さらに、前記絶縁層（108）をたい積する前に、前記少なくとも1つのサイドウォールスペーサを除去する、請求項5記載の方法。

【請求項 6】

前記第2ブレースホルダ構造（104b）を取り囲む前記一部の変更は、前記一部を除去することを含む、請求項1記載の方法。

【請求項 7】

前記半導体層（102）上に、前記絶縁層（108）の固有の応力と異なる第2の固有の応力を有する第2絶縁層（126）をさらにたい積する、請求項7記載の方法。

【請求項 8】

さらに、前記第2ブレースホルダ構造（104b）の上面を露出すべく、前記第2絶縁層（126）の材料を除去する、請求項8記載の方法。

【請求項 9】

前記第2ブレースホルダ構造（104b）を取り囲む前記一部を除去する前に、前記第2絶縁層（126）の表面をプレーナ化する、請求項7記載の方法。

【請求項 10】

前記第2ブレースホルダ構造（104b）を取り囲む前記一部の変更は、前記一部中の前記固有の応力を選択的に緩和する、請求項1記載の方法。

【請求項 11】

前記固有の応力は、前記一部のイオン衝撃によって選択的に緩和される、請求項10記

10

20

30

40

50

載の方法。

【請求項 1 2】

さらに、前記第 1 半導体領域 (1 0 7 a) および前記第 2 半導体領域 (1 0 7 b) の少なくとも一方に隣接している領域に不活性な種を注入し、

前記不活性な種によるボイドを形成するように、前記基板を熱処理する、請求項 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して半導体回路に関し、より詳しくは、半導体領域中に歪みを生成することにより、電界効果トランジスタのチャンネル領域のような荷電キャリア移動度が増加した半導体領域の形成に関する。

10

【背景技術】

【0002】

集積回路の製造には、特定の回路レイアウトによる与えられたチップ面積上に多くの回路素子を形成することが必要とされる。

このために、さらなるドーパント材料を有する、またはドーパント材料を有しない、実質的に結晶質半導体領域 (crystalline semiconductor regions) は、" 活性 " 領域、すなわち、少なくとも一時的に導電性領域としての役割を果たすように、特定の基板の一部に定義される。

20

一般に、現在、マイクロプロセッサ、記憶チップ、およびこれらに類するもののような複雑な回路類について複数のプロセス技術が実行される。これらについては、MOSテクノロジーは、処理速度および (または) 電源消費、および (または) コスト効率を考慮して優れた特性により、現在最も有効な手法である。

MOSテクノロジーを使用する複雑な集積回路の製造において、何百万ものトランジスタ、すなわちNチャンネルトランジスタおよび (または) Pチャンネルトランジスタが、結晶質半導体層を含む基板上に形成される。

MOSTランジスタは、NチャンネルトランジスタまたはPチャンネルトランジスタが考慮されるかどうかに関係なく、高度にドーパされたドレインとソース領域とのインターフェースによって形成される、いわゆるPN接合部を含む。このドレイン領域およびソース領域の間には、わずかにドーパまたはドーパされていないチャンネル領域が配置される。

30

チャンネル領域の導電性、すなわち導電チャンネルのドライブ電流の能力は、チャンネル領域に隣接しており、絶縁膜によって分離されたゲート電極によって制御される。

ゲート電極に適切な制御電圧をかけることによる導電チャンネルの形成におけるチャンネル領域の導電率は、ドーパント濃度、荷電キャリアの移動度、およびチャンネル長さとも呼ばれる、ソースおよびドレイン領域の間の距離上のトランジスタ幅方向におけるチャンネル領域の与えられた拡張部、に依存する。

したがって、ゲート電極に制御電圧をかける際、絶縁層より下の導電チャンネルを急速に生成する能力とともに、チャンネル領域の導電率は、MOSTランジスタの性能に実質的に影響を与える。

40

このように、チャンネルを生成する速度 (すなわちゲート電極の導電率) 、およびチャンネル固有抵抗がトランジスタ特性を実質的に決定するので、チャンネル長の減少、これに関連するチャンネル固有抵抗の減少、およびゲート固有抵抗の増加が、集積回路の処理速度を上げるために、チャンネル長に主要な設計基準となる。

【0003】

しかしながら、トランジスタ寸法を持続的に縮小することは、MOSTランジスタのチャンネル長を確実に減少させることにより得られる利点をそれほど減らさないように扱う必要がある、これに関連する複数の問題を要する。

この点において主要な問題のうちの1つは、新しいデバイス世代のための、トランジスタのゲート電極のようなクリティカルディメンションの回路素子を確実に再現して生成す

50

るために、増強されたフォトリソグラフィおよびエッチング戦略を開発することである。

さらに、所望のチャンネル制御性ととも到低いシート抵抗率およびコンタクト抵抗率を提供するために、横方向と同様に縦方向においても、高度に複雑化されたドーパント・プロファイルが、ドレインおよびソース領域において必要とされる。

加えて、チャンネル長を縮小することは、ゲート絶縁膜およびチャンネル領域によって形成されたインターフェースに関してドレインとソース領域の深さを縮小することをさらに必要とするので、ゲート絶縁膜についてのPS接合の垂直な場所はまた、漏れ電流の制御を考慮したクリティカルデザイン基準を表わし、これにより、精巧な注入技術が必要となる。

他の方法によれば、高くしたドレインおよびソース領域と呼ばれるエピタキシャル成長させた領域は、ゲート絶縁膜に関して浅いPN接合を維持している間、同時に高くしたドレインおよびソース領域の導電率を増加するために、ゲート電極から所定の量だけずらして形成される。

【0004】

他の従来 of 解決方法においては、ドレインおよびソース領域と、ゲート電極とを形成するためのセルフアラインされたプロセス・シーケンスを維持している間、極度にスケーリングされたデバイス中のポリシリコンゲート電極の固有抵抗が増加した問題は、現在使用されている、ゲート電極材料として金属によってドーパされたポリシリコンに置換することが行われている。

このことは、除去可能なサイドウォールスペーサと結びついて、ドレインおよびソース領域の形成中に注入マスクの役割を果たし得るダミーゲートを形成することにより達成することができる。

層間絶縁膜中にダミーゲートを埋め込んだ後、このダミーゲートは、金属のような伝導性の高いゲート材料と置換することができる。

この「インレイド」ゲート電極の方法で、トランジスタの性能は著しく改善され得る。

しかしながら、チャンネル導電率が制限されるという問題は、この方法によっては解決されない。

【0005】

さらに、クリティカルディメンションの連続的なサイズ、すなわちトランジスタのゲート長さの減少は、上記のプロセス・ステップに関する非常に複雑なプロセス技術への適応、および新たな開発を要する。

このことはまた、与えられたチャンネル長についてのチャンネル領域の荷電キャリア移動度を増加させることによってトランジスタ素子のデバイス性能を向上させるために提案されており、これにより、デバイス・スケーリングに関連した上記のプロセス調整の多くを回避する一方、ダウンサイズされたデバイスの未来のテクノロジーノードへの進歩と同程度のパフォーマンスの向上を達成する可能性を提示する。

【0006】

したがって、チャンネル領域中またはその下に、対応する圧力に帰着し得る引っ張り応力または圧縮応力を生成すべく、例えばシリコン/ゲルマニウム層またはシリコン/カーボン層を導入することが提案されている。

チャンネル領域中またはその下に応力を生成する層を導入することによって、トランジスタの性能をかなり高めることはできるが、従来 of 公知のMOS技術に対応する応力層の形成を実行する著しい努力をする必要がある。

例えば、チャンネル領域中またはその下における適当な位置にゲルマニウムまたはカーボンを含む応力層を形成するように、処理フローにさらなるエピタキシャル成長技術を開発したり実行したりする必要がある。

よって、プロセスの複雑さが著しく増加し、これによりさらに製造コストおよび生産歩留まりの減少の可能性を増加させる。

【0007】

上記の状況から、高い導電率のゲート電極の導入を含んだ、改善されたトランジスタ・

10

20

30

40

50

アーキテクチャの形成の可能性を提供する一方で、異なる半導体領域における異なる所望の応力状態の生成を可能にする別の技術が必要である。

【0008】

以下、本発明のいくつかの態様を基本的に理解するために、本発明の概要を説明する。この概要は、本発明の全体像を詳細に説明するものではない。本発明の主要な、または重要な要素を特定しようとするものでも、本発明の範囲を説明しようとするものでもない。ここでの目的は、本発明のいくつかのコンセプトを簡単な形で提供して、後続のより詳細な説明に対する前置きとすることである。

【発明の開示】

【発明の概要】

10

【0009】

概して、本発明は、2つの異なる半導体領域における、少なくとも2つの異なる歪みの大きさまたは種類を提供するように、強化された応力または歪みで、いわゆる「インレイド」(組み込んだ)(in-laid)ゲート電極を含むトランジスタ素子のような高度なトランジスタ技術を形成するポテンシャルを有するプロセス戦略の組み合わせを可能にする技術に関する。

したがって、ダイ領域内または複数の個々のダイ領域を有する基板全面を横切る異なる領域は、個々にその荷電キャリア移動度、すなわちこれらの導電率を特定のプロセスおよびデバイス必要条件に適したものとするように、異なるように歪ませた半導体領域を受け取る。

20

特に、N型またはNチャネルトランジスタ、P型またはPチャネルトランジスタのような、異なる種類のトランジスタは、それぞれのチャネル領域内の異なる種類または異なる大きさの歪みを受け取ることができる一方、所望するならば、金属のような高い導電材料に基づいてインレイド・ゲート電極構造を形成する可能性により、同時にゲート導電率を増強することができる。

【0010】

本発明の実施形態の一例によれば、方法は、基板上にたい積した半導体層中に形成された第1半導体領域上に、第1プレースホルダ構造を形成するステップを含む。

第2半導体領域を、半導体層中に形成された第2半導体領域上に形成する。そして、第1および第2プレースホルダ構造を取り囲むべく、特定の固有の応力を有する絶縁層を。半導体層上にたい積する。

30

さらに、第2プレースホルダ構造を取り囲む絶縁層の一部を、その一部内の固有の応力を変えるべく変更する。

最後に、第1および第2プレースホルダ構造を導電材料で置換する。

【0011】

本発明の他の実施形態の一例によれば、方法は、第1トランジスタの第1チャネル領域上に第1プレースホルダ構造を形成し、第2トランジスタの第2チャネル領域上に第2プレースホルダ構造を形成することを含む。

さらに、第1ドレインおよびソース領域は第1チャネル領域に隣接して形成され、第2ドレインおよびソース領域は第2チャネル領域に隣接して形成される。

40

さらに、第1ドレインおよびソース領域上に、第1の固有の応力を有する第1絶縁層が形成され、また、第2ドレインおよびソース領域上に、第1の固有の応力とは異なる第2の固有の応力を有する第2絶縁層が形成される。

最後に、第1プレースホルダ構造は、第1ゲート電極構造と置換され、また、第2プレースホルダ構造は、第2ゲート電極構造と置換される。

【0012】

本発明のさらに異なる実施形態の一例によれば、半導体デバイスは、第1の高さを備えた第1ゲート電極を有する第1トランジスタ素子、および第2の高さを備えた第2ゲート電極を有する第2トランジスタ素子を含む。

このデバイスは、第1の固有の応力を有しており、横方向に第1ゲート電極を取り囲む

50

第 1 絶縁層をさらに含む。この第 1 の固有の応力は、第 1 の高さまでの第 1 絶縁層内で実質的に均質に振る舞う。

さらに、このデバイスは、第 1 の固有の応力と異なる第 2 の固有の応力を有しており、横方向に第 2 ゲート電極を取り囲む第 2 絶縁層をさらに含む。この第 2 の固有の応力は、第 2 の高さまでの第 2 絶縁層内で実質的に均質に振る舞う。

【 0 0 1 3 】

本発明は、添付の図面と共に、詳細な説明を参照することによって理解することができる。図面中、類似する参照符号は、類似する要素を示す。

本発明は、様々な変形および代替形態をとることが可能であるが、この中の特定の実施例を図面に記載した例で示し、詳細に説明する。

しかしながら、本図面および詳細な説明は、発明を開示された特定の形式に制限するものではない。それどころか、添付の請求項によって定義されるような本発明の趣旨およびその範囲内にある修正例、均等物および代替物に及ぶ。

【 発明を実施するための最良の形態 】

【 0 0 1 4 】

本発明の一例となる実施形態について、以下に説明する。明確化のために、実製品のすべての特徴点が、この明細書に記述されるとは限らない。このような実製品の開発では、開発者の特別の目的を達成するために、実施の度に变化する、システムおよびビジネスに関連するような制限に応じて、実施に特有の多数の決定を下さなければならない。さらに、そのような開発努力は、複雑で時間を消費する可能性があるが、それにも拘わらず、この開示から利益を受ける技術分野における当業者にとってはそれが定例のことである。

【 0 0 1 5 】

本発明を、添付の図面を参照しながら以下に説明する。

様々な構造、システムおよびデバイスは、図面では、非常に正確ではっきりとした配置および分布を有するものとして記載されるが、実際には、当業者は、これらの領域および構造が図面に記載されているほど正確ではないことを認識する。しかしながら、添付した図面は、本発明の実施形態の一例を記載し、説明するために含まれている。ここで使用される用語およびフレーズは、これらの用語およびフレーズについての当業者による理解と一致する意味を有するように理解され、解釈されるべきである。用語またはフレーズが特別な定義（すなわち、当業者によって理解される通常の、一般的な意味と異なる定義）がなければ、ここでの用語またはフレーズの一貫した使用による意味であることになる。用語またはフレーズが特別な意味（すなわち、当業者によって理解される以外の意味）を有する限り、このような特別の定義は、用語またはフレーズについて特別の定義を直接かつ明白に提供するように、明細書において説明される。

【 0 0 1 6 】

本発明は、トランジスタ素子のチャネル領域のような半導体領域中の歪みが、関心のある半導体領域に近接して形成される特定の固有の応力（intrinsic stress）を有している材料層によって、効率よく生成され得るという概念に基づくものである。

対となる相補型トランジスタの異なるチャネル領域におけるように、複数のダイ領域を含んでおり非常に小さなスケールのダイ領域または異なる基板領域内の歪みの有効な局所的な調節を可能とするプロセス戦略の提供によって、進んだ歪み技術は、進んだトランジスタ・アーキテクチャと結びつき得る。これによって、高度にスケールされたトランジスタデバイスについても高い荷電キャリア移動度、したがってチャネル導電率と共に、高いゲート導電率を提供する。

添付の図面を参照すると、本発明のさらなる実施例がより詳細に記載される。

【 0 0 1 7 】

図 1 a は、基板 1 0 1 を含む半導体素子 1 0 0 の概略的な断面図であり、例えばマイクロプロセッサ、記憶チップおよびこれに類するような集積回路の回路素子をその上に形成する任意の適切な基板であり得る。

基板 1 0 1 は、シリコン基板のようなバルク半導体基板を示し得る。あるいはある特定

10

20

30

40

50

の実施形態において、シリコン・オン・インシュレータ(SOI)基板を示し得る。半導体層102は、基板101内に図示しない絶縁層上に形成された結晶質シリコン層を示し得る。

MOS技術によって製造された進んだ集積回路の大部分はシリコンに基づいて製造されているので、以下の記載において、半導体層102に関してしばしばシリコンを指し得る。ガリウム砒素、ゲルマニウム、シリコン/ゲルマニウム、あるいはその他のIII-VまたはII-VI半導体材料のように、他の適切な半導体材料もまた本発明に使用してもよいことを認識すべきである。

同様に、分かれた層として示すが、半導体層102は、バルク半導体基板の上部を示し得る。

【0018】

半導体素子100は、二酸化シリコン、アモルファス・カーボン、およびこれらに類するもののような任意の適切な材料から形成された第1プレースホルダ構造104aを含んでいる。

第1プレースホルダ構造104aは、第1半導体領域107a上に形成される。第1プレースホルダ構造104aの手段によってトランジスタが形成されることになっている場合、この第1半導体領域107aは第1チャネル領域を示し得る。

第1半導体領域107aに関して対称的または非対称的に配置され得る第1ドーブ領域106aは、図示の実施形態においては、層102内にドレインおよびソース領域の形態で形成され得る。

すなわち、第1ドーブ領域106aの縦方向および横方向のドーパント・プロファイルは、特定のトランジスタのタイプのデバイス要求にしたがって設計することができる。

したがって、特定の実施形態においては、ドーブ領域106aは、第1ドレインおよびソース領域を表わす。この第1ドレインおよびソース領域は、これらの領域に特定のタイプの導電率を与えるドーパント材料をそこに含んでいる。

この実施形態では、領域106aはNドーブすることができ、第1半導体領域107aとつながる領域106aは、Nチャネルトランジスタの特性を有し得る。

さらに、サイドウォールスペーサ105aは、第1プレースホルダ構造104aのサイドウォール上に形成される。このサイドウォールスペーサ105aは、ある特定の実施形態において、後のエッチング手順において所望の高いエッチング選択比を呈するように、第1プレースホルダ構造104aからの材料構成と異なり得る。

例えば、サイドウォールスペーサ105aは、アモルファス炭素、窒化シリコン、二酸化シリコンおよびこれらに類するもので構成することができる。

【0019】

同様に、第2プレースホルダ構造104bは、第2半導体領域107b上に形成され得る。この第2半導体領域107bは、実施形態のうちのいくつかにおいて、第2トランジスタ素子のチャネル領域を示し得る。

さらに、第2半導体領域107bに隣接するドーブ領域106bは、特定の実施形態において、ドレインおよびソース領域と特定のトランジスタのタイプのチャネル領域とを定義するように形成することができる。

例えば、ドーブ領域106bによって囲まれた第2半導体領域107bは、それぞれのドーブ領域106aによって囲まれた第1半導体領域107aの隣りに位置し得るが、進んだ半導体デバイス中で一般的に使用されるように、トレンチ分離構造の形態で提供され得る分離構造103によってそこから分離することができる。

トランジスタ構造を示す場合、領域107b、106bは、領域107a、106aとして同じタイプであってもよい。あるいはP型またはPチャネルトランジスタのような異なるタイプのトランジスタを示し得る。

しかしながら、第1および第2半導体領域107a、107bは、同一のダイ領域内の非常に異なる位置に位置するが、異なる電気特性を提供するように、異なるタイプまたは大きさの歪みを受けるのに必要とされる回路素子を示し得る。

10

20

30

40

50

同様に、領域 107a、107b は、中央領域および周辺の領域のような異なる基板領域における異なる回路素子または異なるダイ部分を示し得る。第 1 および第 2 半導体領域 107a、107b についての歪み技術は、基板 101 の中央・周辺の領域上に製造された半導体デバイスのより均一な電氣的ふるまいを提供することができる。

そのサイドウォール上に形成されたサイドウォールスペーサ 105b および第 2 プレースホルダ構造 104b の材料構成に関して、対応する構成要素 104a および 105a について記載のように、同じ基準が適用される。

【0020】

図 1a に示されるような半導体デバイス 100 を形成するための一般的な処理フローは、以下のようなプロセスを含んでいてもよい。

半導体層 102 を含んだ基板 101 を形成した後、またはこれと同じ物を基板製造業者から受け取った後、注入処理が、第 1 および第 2 半導体領域 107a、107b 内の特定の縦方向のドーパント・プロファイルを形成するように実行することができる。

その後、第 1 および第 2 プレースホルダ 104a、104b は、公知のデポジション、フォトリソグラフィ、およびエッチング技術により形成することができる。この第 1 および第 2 プレースホルダ 104a、104b の長さ、すなわち、図 1a におけるこれらの構成要素の横方向の寸法（またはゲート長さ寸法）は、設計条件により、約 100nm とすることができる。また、非常に進んだ集積回路においてはずっと小さいものとすることができる。

その後、その中にドーブ領域 106a、106b を形成すべく、ドーパント種を導入してよい。デバイス条件によって、所望のタイプのドーパント材料で各ドーブ領域 106a、106b を形成するように、このデバイス 100 を例えばフォトレジストマスクによってマスクしてもよい。

これらの注入の間、プレースホルダ 104a、104b は、それぞれの半導体領域 107a、107b のドーパント浸透を実質的に回避する注入マスクとして働く。

その後、対応する材料層をたい積し、この材料層を異方性エッチングすることによって、サイドウォールスペーサ 105a、105b を形成することができる。一般的に、異方性エッチング雰囲気中に晒された際に、半導体層 102 の表面を過度に破損しないように、スペーサ材料より前にライナー材料をたい積してもよいことを認識すべきである。簡略化のため、対応するライナーは図 1a においては示されない。

それから、例えばフォトレジストマスク上でさらなる注入プロセスを実行することができる。また、各サイドウォールスペーサ 105a、105b とつながる第 1 および第 2 プレースホルダ 104a、104b は、ドーブ領域 106a、106b における所望の縦方向のドーパント・プロファイルをそれぞれ得るための注入マスクの役割を果たす。

その後、領域 106a、106b 中のドーパントを活性化すべく、また、損傷を受けた結晶部分を再結晶させるべく、対応するアニーリング処理 (annealing cycle) を実行することができる。代わりに、上記 1 つ以上の注入の後、対応するアニーリングプロセスを実行してもよい。

【0021】

いくつかの例において、領域 106a、106b 内のより複雑なドーパント・プロファイルを得るべく、さらなる注入ステップの前に、高度に複雑な縦方向のドーパント・プロファイルが必要とされる際、さらなる図示しないサイドウォールスペーサが形成され得ることに注目すべきである。

ある特定の実施形態においては、その後、公知のプロセス・レシピに基づいた選択性エッチングプロセスによって、サイドウォールスペーサ領域 105a、105b を除去することができる。

例えばスペーサ 105a、105b が窒化シリコンにより構成されている場合、熱いリン酸によって選択的に除去することができる。

他の例においては、スペーサ 105a、105b はプラズマ・エッチングプロセスによって除去され得る。いくつかの実施例においては、エッチング停止層として一般的に使用

10

20

30

40

50

される図示しないライナーは、注入サイクル中に残され、スペーサ 105 a、105 b を除去する間にはエッチング停止層として使用することができる。

他の実施例においては、スペーサ 105 a、105 b はデバイス 100 のさらなる処理の間残すことができる。

【0022】

図 1 b は、次の製造段階にあるデバイス 100 を概略的に示している。この図においてデバイス 100 は、特定の固有の応力を有する絶縁層 108 を含む。この固有の応力は、第 1 および第 2 プレースホルダ 104 a、104 b を囲むように形成される。

「固有の応力」という語は、ある種の応力、すなわち引っ張り応力または圧縮応力、またはこれらの変形、つまり、大きさと同様、方向に依存する引っ張り応力または圧縮応力として理解される。

したがって、ある実施形態の一例においては、絶縁層 108 は、約 0.1 ないし 1.0 GPa (ギガ・パスカル) の大きさを有する固有の引張応力を有し得る。

絶縁層 108 は、窒化シリコンのような任意の適切な材料で構成されてよい。

ある実施形態の一例においては、デバイス 100 は、絶縁層 108 と比較して異なる材料構成を有しており、また絶縁層 108 と比較して著しく薄い厚みを有している、共形のエッチング停止層 109 をさらに含む。このエッチング停止層 109 は、例えば二酸化シリコンで構成されてよい。

【0023】

エッチング停止層 109 は、形成される場合、TEOS またはシランのようなプレカーサ材料に基づく、公知のプラズマ化学気相成長法 (PECVD) 技術によって形成することができる。

絶縁層 108 は、周知のプロセス・レシピに基づく PECVD 技術によって形成することができる。

このプロセス・パラメータは、所望する固有の応力となるように調整することができる。例えば、窒化シリコンは、高い圧縮応力または引張応力をかけてたい積されてもよい。この応力の種類や大きさは、蒸着温度、蒸着圧力、ツール構成、蒸着プロセスの間のイオン衝撃を調整するバイアス力、プラズマ電力、およびこれに類するもののような、プロセス・パラメータを制御することにより、容易に調整することができる。

例えば、残りのパラメータが同じであるとすれば、窒化シリコンの蒸着中に増加したイオン衝撃、すなわち増加したバイアス力は、圧縮応力の生成を促進する。

特定の実施形態のいくつかにおいては、絶縁層 108 の蒸着した結果形成される微細構成は、公知のプロセス・レシピにしたがい、例えば化学的機械的研磨 (CMP) によってプレーナ化することができる。

これにより、絶縁層 108 の超過材料は、実質的に平らな表面となる程度まで除去されてよく、ある実施形態においては、材料の除去は、第 1 および第 2 プレースホルダ 104 a、104 b の上面が露出するまで継続され得る。

しかしながら、他の実施例においては、層 108 をプレーナ化することなく、さらなる処理が実行され得る。

【0024】

図 1 c は、さらなる製造段階にあるデバイス 100 を概略的に示したものである。この段階では、第 2 プレースホルダ 104 b を取り囲む層 108 の一部が除去され、その一方で、第 1 プレースホルダ 104 a はまだ残りの絶縁層 108 (108 a) によって少なくとも横方向に埋め込まれている。

さらに、第 2 プレースホルダ 104 b および、エッチング停止層が形成された場合にこの層を含んだ層 102 の関連する部分を露出するように、レジストマスク 110 がデバイス 100 上に形成される。

【0025】

レジストマスク 110 は、P 型および N 型トランジスタを異なるようにドーブするのに使用され得るフォトリソグラフィ技術によって形成することができ、よって、対応するプ

10

20

30

40

50

プロセスは公知である。

その後、特定の固有の応力を有する絶縁層 108a を最終的に得るように、絶縁層 108 を、異方性プロセス・レシピによって選択的にエッチングすることができる。異方性エッチングプロセス中に、エッチング停止層 109 が形成される場合には、不適当な材料の除去および（または）半導体層 102 の露出した部分の損傷を防ぐことができる。

【0026】

図 1 d は、第 2 の特定の固有の応力を有する第 2 絶縁層 111 を備えたデバイス 100 を概略的に示している。この第 2 絶縁層 111 は、絶縁層部分 108a、第 2 プレースホルダ 104b、および露出した半導体層 102 またはエッチング停止層 109 を被覆する。

10

先の絶縁層 108 の異方性エッチングプロセスによって、エッチング停止層 109 の露出した部分に何らかの損傷を生じると考えられる場合、第 2 絶縁層 111 をたい積する前に、エッチング停止層 109 の露出した部分を除去してもよいことに注目すべきである。

この場合、層 109 に類するさらなるエッチング停止層をたい積することができる。その後、このエッチング停止層はまた、絶縁層部分 108a（ダッシュ線で示される）を被覆し、半導体層 102 および第 2 プレースホルダ 104b の露出部分を被覆し得る。

便宜上、エッチング停止層のこの部分は、符号 109 として示されている。半導体層 102 上にエッチング停止層 109 を提供することは、後の製造段階においてコンタクト開口部を形成するのに有利となり得る。

しかしながら、他の実施形態においては、エッチング停止層 109 は省略され得る。

20

【0027】

窒化シリコンのような任意の適切な材料で構成され得る第 2 絶縁層 111 は、公知の蒸着レシピによってたい積することができ、そのプロセス・パラメータは、デバイス必要条件によって所望の固有の応力を提供するように制御される。

上述したように、窒化シリコンは、例えば 1.0 GPa の圧縮応力から 1.0 GPa の引張応力に達する、広範囲にわたる圧縮応力および引張応力を有する周知のプロセス・レシピに基づいて容易にたい積することができる。

ある特定の実施形態の一例においては、第 2 半導体領域 107b が P 型トランジスタのチャネル領域を示す場合、第 2 絶縁層 111 の固有の応力は、この第 2 半導体領域 107b に圧縮応力を引き起こすように形成される。

30

その後、図 1 c および図 1 d に示されるように、絶縁層 108 がプレーナ化されていないか、第 1 プレースホルダ 104a 上が十分な程度まで平面になった場合、絶縁層 111 および場合によって層部分 108a の超過材料は、CMP プロセスによって除去され、これによってデバイス 100 の微細構成はさらにプレーナ化される。

【0028】

図 1 e は、上述したプロセス・シーケンス後のデバイス 100 を概略的に示している。よってデバイス 100 は、横方向に第 1 プレースホルダ 104a を囲む層部分 108a、横方向に第 2 プレースホルダ 104b を囲む第 2 層部分 111b で、実質的に平坦な微細構成を含む。

したがって、118a として示される引張応力として図示される、層部分 108a の実質的に均質的にふるまう固有の応力は、第 1 半導体領域 107a 中にそれぞれ変形、すなわち歪み、すなわちこの例では引張歪み、を生成する。この引っ張り歪みは一般的に、この領域における電子の移動度を増加させる。

40

同様に、本実施形態において圧縮応力 121b として示される、実質的に均質的にふるまう第 2 の固有の応力を有する層部分 111b は、同様に、第 2 の半導体領域 107b 内に変形または歪みを生成する。この変形または歪みは、本実施形態においては圧縮歪みであり、これによりホールの移動度が増加する。

半導体領域 107a、107b 中に異なる歪みを生成すべく、他の構成を採用してもよい。例えば、固有の応力 118a は圧縮応力であり、固有の応力 121b は引っ張り応力であってよい。あるいは、固有の応力 118a および 121b の双方が圧縮応力または引

50

っ張り応力であってもよいし、またはこれらの応力の大きさにおいて異なってもよい。

他の例において、固有の応力 118 a または 121 b は、他の半導体領域が所望する大きさの歪みを受け取る一方で、それぞれの半導体領域中の歪みを実質的にゼロとなるように選択されてもよい。

この構成は、N型トランジスタの性能の質を下げることがない一方で、P型トランジスタの移動度は増加されることになり、P型トランジスタおよびN型トランジスタのより電気的特性をより一定にする点において有利となり得る。

【0029】

図 1 f は、ブレースホルダ 104 a、104 b を除去したデバイス 100 を概略的に示している。さらに、各第 1 および第 2 半導体領域 107 a、107 b 上にそれぞれゲート絶縁膜 113 a、113 b が形成される。

10

【0030】

ブレースホルダ 104 a、104 b の除去は、選択エッチングプロセスによって実行することができる。このプロセスは、プラズマ・エッチングプロセスおよび（または）ウェットケミカル・エッチングプロセスを含んでよい。

例えば、ブレースホルダ 104 a、104 b が二酸化シリコンまたはアモルファス炭素で構成され、層部分 108 a、111 b が例えば窒化シリコンからなる場合、層部分 108 a、111 b に関して容易に選択的にエッチングすることができる。また第 1 および第 2 半導体領域 107 a、107 b の材料に関しては、公知のプロセスレシピに基づいて、容易に選択的にエッチングすることができる。

20

例えば、第 1 および第 2 ブレースホルダ 104 a、104 b の残りの部分をその後、領域 107 a、107 b をあまり損傷しないように等方性の高いまたはウェットケミカル・エッチングプロセスによって除去することができる一方で、除去プロセスは、これらの第 1 および第 2 ブレースホルダ 104 a、104 b の実質的な量を選択的に除去するプラズマ・エッチングプロセスを含んでよい。

他の実施形態においては、さらにまたは代わりに、領域 107 a、107 b の損傷を受けた表面部分を、例えば熱酸化またはウェットケミカル酸化によって酸化させてもよい。また、酸化した部分は、例えば、領域 107 a、107 b を著しく損傷させることがないフッ素酸（HF）に基づいて選択性の高いウェットケミカル・エッチングプロセスによって除去することができる。

30

【0031】

ブレースホルダ 104 a、104 b を除去した後、設計条件に従って酸化および（または）蒸着によってゲート絶縁膜 113 a、113 b を形成することができる。

例えばゲート絶縁膜 113 a、113 b は、高度なトランジスタ・デバイスにおいて必要とされるような高度に調整された層の厚さを得るように、公知のレシピによる、熱またはウェットケミカル酸化によって形成することができる。これにより、ゲート絶縁膜の厚さは 1.5 ~ 数ナノメートルの範囲となり得る。

他の実施形態においては、極薄の熱酸化物が形成され、その後、ゲート絶縁膜 113 a、113 b を最終的に所望の厚さとするように、適切な絶縁材料のたい積してもよい。対応するたい積された層は、ダッシュ線において示され、符号 112 として図示される。ゲート絶縁膜 113 a、113 b はまた、たい積された層 112 のみによって形成されてもよい。

40

実施形態のうちのいくつかの例においては、ブレースホルダ 104 a によって定義された開口部の初期の長さ 112 a が、形成されるゲート電極の所望の値には大きすぎると考えられる場合、ゲート絶縁膜 113 a、113 b を形成する前に、層 112 のような絶縁層を、共形性が非常に高く、層の厚さを正確に定義する方法でたい積することができる。

その後、一般的なサイドウォールスペーサ技術において使用されるように、この開口部の底、すなわち領域 107 a 上にたい積された材料を、異方性エッチングプロセスによって同様に除去することができる。

50

このように、トランジスタ構造のゲート長は、フォトリソグラフィのばらつきを補うために、またはフォトリソグラフィの解像度を広げるために微調整することができる。その後、上述したように、それぞれのゲート絶縁膜を形成することができる。

【0032】

図1gは、図1fの構造の上に形成された導体材料123の層を有する半導体デバイス100を示す。

層123はドーブしたポリシリコンで構成してもよいし、または、非常に高度な半導体デバイスについての実施形態では、金属または金属化合物を含んでいてもよい。例えば、層123は、タンゲステン、タンゲステンシリサイド、アルミニウム、ニッケル、銅またはこれらの化合物、およびこれに類するものを含んでいてもよい。

層123に使用される材料の種類によって、対応するたい積技術が使用されてもよい。例えば、ポリシリコン、アルミニウム、タンゲステン、タンゲステンシリサイドおよびこれに類するものは、公知の化学蒸着法(CVD)技術によって容易にたい積することができる。

他の場合においては、プレーティングまたは無電解プレーティングのようなプレーティング方法は、第1および第2半導体領域107a、107b上のそれぞれの開口部を確実に充てんするのに使用され得る。

その後、層123の超過材料は、エッチング、化学的機械的研磨、およびこれらの組み合わせのような任意の適切な技術によって除去することができる。

【0033】

図1hは、層123の超過材料が除去され、生成される構造の上層として層間絶縁膜126がさらに形成された半導体デバイス100を示す。

したがって、デバイス100は、第1半導体領域107a上のゲート電極構造124aおよび第2半導体領域107b上の第2ゲート電極構造124bを含む。これにより、第1トランジスタ素子130aと、第2トランジスタ素子130bが定義される。

さらに、図1hに示すように、層部分108aは、高さ125aまでのゲート電極構造124aに、実質的に均質的に作用する第1の固有の応力118aを提供する。一方で、第2の層部分111bは、高さ125bまでの第2ゲート電極構造124bに実質的に均質的に作用する第2の固有の応力121bを提供する。

したがって、応力118a、121bによって、関連する半導体領域またはチャネル領域107a、107bにおいてそれぞれの変形または歪みが形成される。

よって、これらのチャネル領域中の荷電キャリア移動度は、応力118a、121bをそれぞれ制御することによって、個々に調整することができる。

図1hに示すようなトランジスタ構成は特に、実質的に平坦で、ドーブ領域106a、106b、すなわち関連するゲート電極構造124a、124bについての各ドレインおよびソース領域、のセルフアライン構成を可能にする。

さらに、ゲート電極構造124a、124bは、金属、金属化合物、高度にドーブしたポリシリコン、またはこれらの組み合わせ、およびこれに類するもののような、高い導電材料で形成されてよい。

特定の実施形態において、ゲート電極構造124a、124bは、実質的に金属で構成される。

【0034】

図2は、本発明のさらなる実施形態の一例による、製造の中間段階にある半導体デバイス200を概略的に示している。

図2では、図1dおよび図1eにおける構成要素と同一または類似の構成要素は、100番代ではなく200番代を使用する以外同じ参照符号によって示されている。

したがって、デバイス200は、関連するドーブ領域206a、206bを備える第1および第2半導体領域207a、207bを含む半導体層202がその上に形成された基板201を含んでいる。

ブレースホルダ204a、204bは、特定の固有の応力を有する絶縁層208中に縦

10

20

30

40

50

方向に埋め込まれる。

さらに、第2半導体領域207bに関連するデバイス200の一部分を露出するように、レジストマスク210が絶縁層208上に形成される。

図2に示すようなデバイス200の形成に関しては、図1a、図1bおよび図1cにおける記載が引用される。

【0035】

さらに、レジストマスク210によって被覆されていない絶縁層208の層部分208bの応力特性を変更すべく、デバイス200はイオン衝撃240に晒される。

例えば、キセノン、アルゴン、シリコンおよびこれらに類するもののような、重い不活性イオンが、層部分208b中に注入され得る。これにより、少なくとも部分的に、特定の固有の応力が緩和される。

したがって、層部分208aでは特定の固有の応力が維持される。これにより、第1半導体領域207a内に特定の变形が生成される。一方、第2半導体領域207b内の対応する歪みは、層部分208b内の緩和の程度により、層部分208aのものと著しく異なり得る。

例えば領域206a、207aがP型トランジスタ構成を示すものとなっている場合、絶縁層208は、第1半導体領域207a中のホール移動度を著しく改善すべく、例えば高い圧縮応力でたい積されていてよい。

特定の程度まで層部分208b中の初期圧縮応力を緩和することによって、第2半導体領域207b内の電子移動度の減少量は、n型チャネル領域として設計された場合、設計要件により調整することができる。

既に上述したように、第1および第2半導体領域207a、207bは必ずしも異なる種類のチャネル領域を示す必要はないが、また、同一のチャネル領域を表わし得る。例えば、図2に示されるようなプロセス技術によって異なる程度の処理動作、またはデバイスの均一性を調整するための所望の程度を達成することができる。

【0036】

その後、さらに、図1eないし図1hに記載されるデバイス100について記載されるように、デバイス200のさらなる処理が継続されてもよい。

【0037】

図3aは、本発明のさらなる実施形態の一例による、半導体デバイス300を概略的に示している。

デバイス300は、図1eに記載されるデバイスと類似のデバイスを示し得るので、同一または類似の構成要素は、100番代ではなく300番代を使用する以外同じ参照符号によって示されている。したがって、これらの構成要素の詳細は、ここでは省略する。

さらに、デバイス300は、半導体層302または基板301に、水素、ヘリウムまたは酸素のような軽いイオン種を挿入するようにイオン注入350に晒される。

イオン注入350は、層302および(または)基板301内の所望の深さが高い不純物濃度となるように、高いドーズ量および適切なエネルギー量で実行される。例えば、当初注入されたピーク濃度は、約 10^{21} ないし 10^{23} 原子/cm³の範囲で濃度を達成するように選択され得る。

ヘリウムまたは水素の一般的な注入パラメータは、 5×10^5 ないし 2×10^{16} イオン/cm²のドーズ量を有する所望の浸透度により、約3ないし15keVとすることができる。

その後、例えば約350ないし1000の温度で熱処理を実行することができる。「気泡」または「ポイド」351を層302および(または)基板301に生成するように、一般的には数分の間、約700ないし950の温度で熱処理が実行される。

イオン注入350は、プレースホルダ304a、304bがまだ存在する状態で層部分308a、311bを貫通して実行されるので、気泡351の深さは実質的に一定とすることができる。

軽い不活性種が導入されるので、層308a、311b中の損傷、すなわち応力緩和を

10

20

30

40

50

無視できるように、注入の間の停止メカニズムは主に結晶電子との相互作用に基づく。

気泡351により、残りの層302および(または)基板301からの領域306a、307a、306b、307bの機械的な分断はある程度達成され、これにより、層部分308a、311bから各領域307a、307b中への応力の移動(transfer)を著しく向上する。

したがって、領域307a、307bの歪み技術を著しく向上させることができる。したがって、荷電キャリア移動度およびチャネル導電率をより効率的に改善することができる。

【0038】

他の実施形態においては、イオン注入350は、例えば、層部分308a、311bを形成する前、あるいはプレースホルダ304a、304bを形成する前のような、初期の製造段階において実行され得る。これにより、上述したように、例えばそれらが非常に小さくても、どんな緩和効果も回避する。

その後、領域306a、306b中のドーパントを活性化するアニーリングサイクル中に、気泡351を生成してもよい。

【0039】

図3bは、イオン注入350の前にプレースホルダ304a、304bが除去された半導体デバイス300を概略的に示している。

この場合、実質的に領域306a、306bに影響を与えることなく半導体層302ないに軽いイオン種を位置させるように、注入エネルギーを選択することができる。したがって、気泡351により、残りの半導体層302から半導体領域307a、307bを効率高く分断することができる。

したがって、領域307a、307bに移動させた応力をまた著しく増加する。

さらに、気泡351はそれら自体が応力の源の役割を果たし、これにより、各領域307a、307bないの対応する歪みをさらに生成する。

このようにして、2つの効果的な歪み導入メカニズムが結びつき得る。

【0040】

この結果、本発明は、この形成プロセスにより、導電性の高いゲート電極を含んだ平坦なトランジスタ構造を形成することができる一方で、異なる半導体領域が異なる歪みを受け得る半導体デバイスおよびこの半導体デバイスを形成する技術を提供する。

この目的のために、複数のトランジスタ要素のゲート電極構造を横方向に囲む絶縁層は、少なくとも2つの異なる歪み成分がそれぞれのチャネル領域において得られるように、部分的に変更される。

したがって、対となる相補型トランジスタを、それぞれのトランジスタが異なる歪みを有するチャネル領域を有するように形成することができる。

歪み導入応力層の変更は、層の特定の部分を除去し、それを異なる固有の応力の層部分に置換することにより、および(または)所望する程度まで固有の応力を緩和することにより達成することができる。

さらに、組み込んだ(in-laid)ゲート電極構造についてのプロセスを備えた高度な応力または歪み技術の組み合わせにより、非常に導電性の高いゲート電極構造を得ることができる。これにより、100nmまたはこれよりもずっと短いゲート長さを有する非常にスケールされたデバイスについてさえ、高いゲートおよびチャネル導電率が提供される。

加えて、部分的な応力を変更することは、有効に周囲の材料からチャネル領域を効果的に分断するためのメカニズムと有利に結びつき、これにより、それぞれのチャネル領域中に応力伝達の効率が著しく上昇する。

【0041】

上記に示された特定の実施形態は、専ら説明のためのものであり、ここに記載された教示の利益を有する当業者には、異なるが均等な方式で修正の上、実施可能であることは明

10

20

30

40

50

らかである。例えば、上述したプロセス手順は、異なる順序で実行してもよい。さらに、添付の請求項に記載されている他は、ここに示された構造または設計の詳細に本発明を制限するものではない。したがって、上述の特定の実施形態は、代替または修正をすることができ、このような全ての変形例は、発明の要旨及び範囲内のものとして考えられる。したがって、本願で要求する保護は、添付の特許請求の範囲に記載される。

【図面の簡単な説明】

【0042】

【図1a】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

10

【図1b】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

【図1c】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

【図1d】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

【図1e】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

20

【図1f】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

【図1g】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

【図1h】組み込まれたゲート電極構造の形成を可能にするプロセス戦略にしたがい、半導体領域の近くに形成されたそれぞれの応力層により、異なる半導体領域において異なる歪みが生成される、様々な製造段階における半導体デバイスを概略的に示す断面図。

30

【図2】さらなる実施形態の一例により、応力層の固有の応力が部分的に変更される、製造段階中の半導体デバイスを概略的に示す断面図。

【図3a】本発明のさらなる実施形態の一例により、それぞれの半導体領域への応力伝達を強めるように、所定の位置においてイオン種をたい積する、製造段階中の半導体デバイスを概略的に示す断面図。

【図3b】本発明のさらなる実施形態の一例により、それぞれの半導体領域への応力伝達を強めるように、所定の位置においてイオン種をたい積する、製造段階中の半導体デバイスを概略的に示す断面図。

【 図 1 a 】

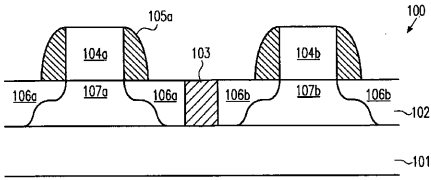


Fig.1a

【 図 1 b 】

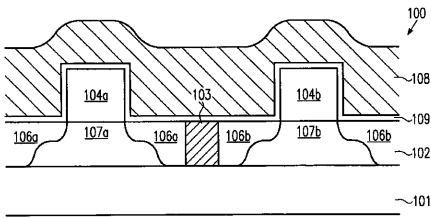


Fig.1b

【 図 1 c 】

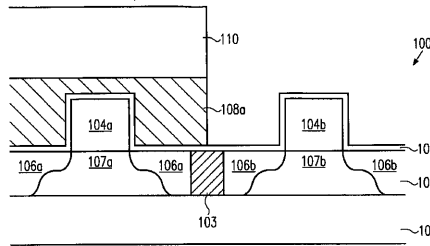


Fig.1c

【 図 1 d 】

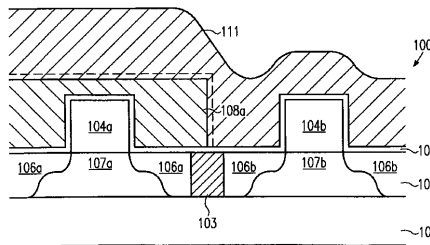


Fig.1d

【 図 1 e 】

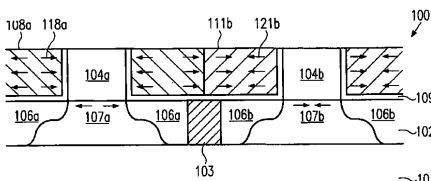


Fig.1e

【 図 1 h 】

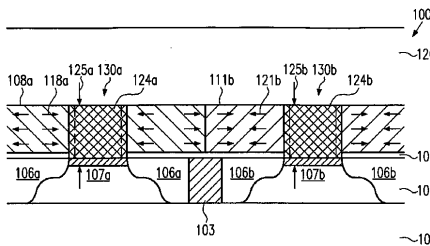


Fig.1h

【 図 1 f 】

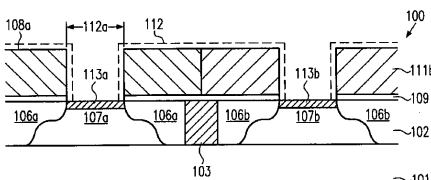


Fig.1f

【 図 2 】

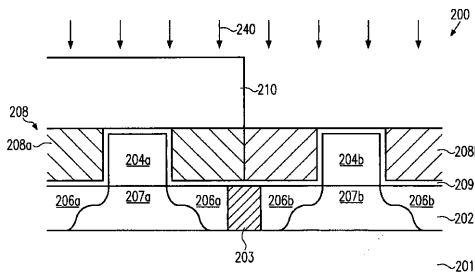


Fig.2

【 図 1 g 】

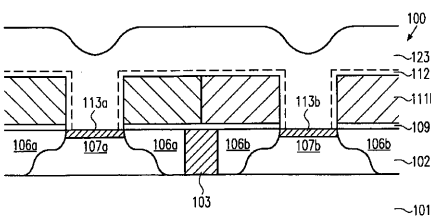


Fig.1g

【図 3 a】

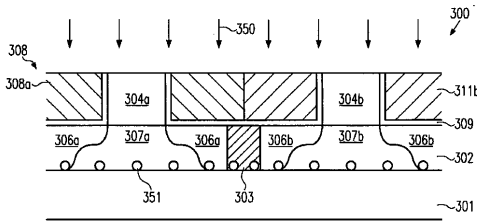


Fig.3a

【図 3 b】

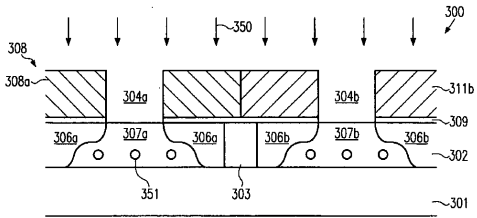


Fig.3b

【手続補正書】

【提出日】平成18年10月11日(2006.10.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板(101)上にたい積した半導体層(102)中に形成された第1半導体領域(107a)上に、第1プレスホルダ構造(104a)を形成し、

前記半導体層(102)中に形成された第2半導体領域(107b)上に、第2プレスホルダ構造(104b)を形成し、

前記第1プレスホルダ構造(104a)および前記第2プレスホルダ構造(104b)を取り囲むように、前記半導体層(102)上に特定の固有の応力を有する絶縁層(108)をたい積し、

前記第2プレスホルダ構造(104b)を取り囲む前記絶縁層(108)の一部を、前記一部の前記固有の応力を変えるべく変更し、

前記第1プレスホルダ構造(104a)および前記第2プレスホルダ構造(104b)を露出するように、前記絶縁層(108)の少なくとも超過材料を除去し、

前記第1プレスホルダ構造(104a)および前記第2プレスホルダ構造(104b)を導電材料で置換する、

方法。

【請求項 2】

さらに、前記第1半導体領域(107a)および前記第2半導体領域(107b)に隣

接する前記半導体層(102)中に、ドーブ領域(106a)(106b)を形成する、請求項1記載の方法。

【請求項3】

前記ドーブ領域(106a)(106b)の形成は、前記第1ブレースホルダ構造(104a)および前記第2ブレースホルダ構造(104b)を注入マスクとして使用する一方で、イオン注入プロセスにより、少なくとも1つのドーパント種を導入する、請求項2記載の方法。

【請求項4】

前記ドーブ領域(106a)(106b)の形成は、前記第1ブレースホルダ構造(104a)および前記第2ブレースホルダ構造(104b)のそれぞれのサイドウォール上に、少なくとも1つのサイドウォールスペーサ素子を形成し、

少なくとも前記イオン注入プロセスの1ステップの間に、前記少なくとも1つのサイドウォールスペーサを注入マスクとして使用することを含む、請求項3記載の方法。

【請求項5】

さらに、前記絶縁層(108)をたい積する前に、前記少なくとも1つのサイドウォールスペーサを除去する、請求項4記載の方法。

【請求項6】

前記第2ブレースホルダ構造(104b)を取り囲む前記一部の変更は、前記一部を除去することを含む、請求項1記載の方法。

【請求項7】

前記半導体層(102)上に、前記絶縁層(108)の固有の応力と異なる第2の固有の応力を有する第2絶縁層(126)をさらにたい積する、請求項6記載の方法。

【請求項8】

さらに、前記第2ブレースホルダ構造(104b)の上面を露出すべく、前記第2絶縁層(126)の材料を除去する、請求項7記載の方法。

【請求項9】

前記第2ブレースホルダ構造(104b)を取り囲む前記一部を除去する前に、前記第2絶縁層(126)の表面をプレーナ化する、請求項6記載の方法。

【請求項10】

前記第2ブレースホルダ構造(104b)を取り囲む前記一部の変更は、前記一部中の前記固有の応力を選択的に緩和する、請求項1記載の方法。

【請求項11】

前記固有の応力は、前記一部のイオン衝撃によって選択的に緩和される、請求項10記載の方法。

【請求項12】

さらに、前記第1半導体領域(107a)および前記第2半導体領域(107b)の少なくとも一方に隣接している領域に不活性な種を注入し、

前記不活性な種によるポイドを形成するように、前記基板を熱処理する、請求項1記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2005/036779

A. CLASSIFICATION OF SUBJECT MATTER H01L21/8238 H01L21/336 H01L21/265		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/075148 A1 (KUMAGAI YUKIHIRO ET AL) 22 April 2004 (2004-04-22) figures 9-22	1-12
Y	US 6 376 888 B1 (TSUNASHIMA YOSHITAKA ET AL) 23 April 2002 (2002-04-23) figures 1G-1I column 6, line 11 - line 19; figures 4-7 ----- -/--	1-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 6 March 2006		Date of mailing of the international search report 14/03/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Nesso, S

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/US2005/036779

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SHIMIZU A ED - INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "Local mechanical-stress control (LMC) a new technique for CMOS-performance enhancement" INTERNATIONAL ELECTRON DEVICES MEETING 2001. IEDM. TECHNICAL DIGEST. WASHINGTON, DC, DEC. 2 - 5, 2001, NEW YORK, NY : IEEE, US, 2 December 2001 (2001-12-02), pages 1941-1944, XP010575160 ISBN: 0-7803-7050-3 abstract; figure 1 -----	10-12
A	US 2004/113217 A1 (CHIDAMBARRAO DURESETI ET AL) 17 June 2004 (2004-06-17) figures 4a,4b -----	5
A	US 2004/124492 A1 (MATSUO KOUJI) 1 July 2004 (2004-07-01) figures 8A-10C -----	1-12
A	US 2004/212035 A1 (YEO YEE-CHIA ET AL) 28 October 2004 (2004-10-28) the whole document -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2005/036779

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004075148 A1	22-04-2004	CN 1505839 A WO 0247167 A1 JP 2003086708 A TW 518749 B	16-06-2004 13-06-2002 20-03-2003 21-01-2003
US 6376888 B1	23-04-2002	JP 2000315789 A	14-11-2000
US 2004113217 A1	17-06-2004	CN 1532912 A US 2005040460 A1	29-09-2004 24-02-2005
US 2004124492 A1	01-07-2004	JP 3651802 B2 JP 2004128491 A	25-05-2005 22-04-2004
US 2004212035 A1	28-10-2004	CN 1540757 A SG 115690 A1 TW 222715 B US 2005156274 A1	27-10-2004 28-10-2005 21-10-2004 21-07-2005

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 27/08	(2006.01)	H 0 1 L 29/78	3 0 1 G	
		H 0 1 L 29/78	3 0 1 N	
		H 0 1 L 27/08	3 2 1 C	
		H 0 1 L 27/08	3 3 1 E	

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 マンフレッド ホルストマン

ドイツ、0 1 8 3 3 デュロスドルフ - ディッターズバッハ、アウゼーレ パルクシュトラッセ
2 5

(72)発明者 エーケハルト プリューフエル

ドイツ、0 1 2 7 7 ドレスデン、ベルクガルテンシュトラッセ 3 8

(72)発明者 ボルフガング プーフホルツ

ドイツ、0 1 4 4 5 ラーデボイル、アム ボンベルゲ 8

Fターム(参考) 5F048 AA08 AC03 AC04 BA14 BA16 BC06 BD01 BG07 BG13
5F110 AA01 BB04 CC02 DD05 DD13 EE02 EE03 EE04 EE05 EE09
EE42 EE45 FF02 FF22 FF23 GG01 GG02 GG03 GG04 GG06
GG12 GG33 GG58 HJ13 HJ23 NN03 NN23 NN24 NN35 NN40
QQ19
5F140 AA05 AB03 AC28 AC36 BA01 BA03 BA05 BA07 BB16 BC06
BE07 BE15 BF04 BF05 BF07 BG03 BG05 BG27 BG28 BG36
BG40 BG54 BG58 BH34 BH39 BH45 BK05 BK13 CB04 CC01
CC03 CC08 CC11 CC13 CE07