



(12) 发明专利申请

(10) 申请公布号 CN 104600074 A

(43) 申请公布日 2015. 05. 06

(21) 申请号 201410528576. 5

(22) 申请日 2010. 10. 21

(30) 优先权数据

2009-255448 2009. 11. 06 JP

(62) 分案原申请数据

201080049931. 0 2010. 10. 21

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 小山润 加藤清

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王莉莉

(51) Int. Cl.

H01L 27/115(2006. 01)

H01L 27/108(2006. 01)

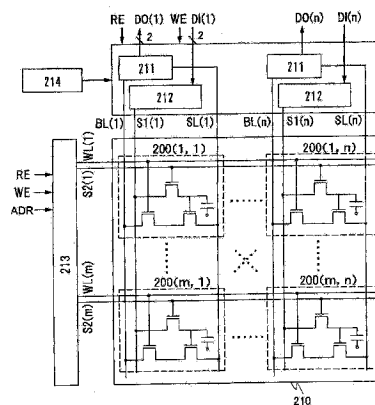
权利要求书2页 说明书37页 附图36页

(54) 发明名称

半导体装置

(57) 摘要

目的在于提供一种具有新型结构的半导体装置。包括：第一配线；第二配线；第三配线；第四配线；第一晶体管，包括第一栅电极、第一源电极和第一漏电极；第二晶体管，包括第二栅电极、第二源电极和第二漏电极。第一晶体管布置在包括半导体材料的衬底上方并且第二晶体管包括氧化物半导体层。



1. 一种用于驱动半导体装置的方法,包括:

第一线;

第二线;

存储单元;

第一电路,电连接到所述第一线;以及

第二电路,电连接到所述第二线,

所述方法包括写入步骤和读取步骤,所述写入步骤包括如下步骤:

选择多个写入电位中的一个;以及

将所述多个写入电位中的所述一个输出到所述第一线,以及

所述读取步骤包括如下步骤:

将所述第二线的电位与多个参考电位进行比较,

其中所述存储单元包括:

第一晶体管,包括第一栅极、第一源极和第一漏极;

第二晶体管,包括第二栅极、第二源极和第二漏极;以及

第三晶体管,包括第三栅极、第三源极和第三漏极,

其中所述第二晶体管包括氧化物半导体层,

其中所述第一栅极以及所述第二源极和所述第二漏极中的一个彼此电连接,

其中所述第一漏极和所述第三源极彼此电连接,

其中所述第二线和所述第三漏极彼此电连接,以及

其中所述第一线以及所述第二源极和所述第二漏极中的另一个彼此电连接。

2. 一种用于驱动半导体装置的方法,包括:

第一线;

第二线;

存储单元;

第一电路,电连接到所述第一线;以及

第二电路,电连接到所述第二线,

所述方法包括写入步骤和读取步骤,所述写入步骤包括如下步骤:

选择多个写入电位中的一个;以及

将所述多个写入电位中的所述一个输出到所述第一线,以及

所述读取步骤包括如下步骤:

将所述第二线的电位与多个参考电位进行比较,

其中所述存储单元包括:

第一晶体管,包括第一栅极、第一源极和第一漏极;

第二晶体管,包括第二栅极、第二源极和第二漏极;和

电容器,

其中所述第二晶体管包括氧化物半导体层,

其中所述第一栅极以及所述第二源极和所述第二漏极中的一个彼此电连接,

其中所述第一栅极以及所述电容器的一个电极彼此电连接,

其中所述第二线和所述第一漏极彼此电连接,以及

其中所述第一线以及所述第二源极和所述第二漏极中的另一个彼此电连接。

3. 一种用于驱动半导体装置的方法,包括:

第一线;

第二线;

第三线;

多个存储单元,彼此并联电连接在所述第二线和所述第三线之间;

第一电路,电连接到所述第一线;以及

第二电路,电连接到所述第二线,

所述方法包括写入步骤和读取步骤,所述写入步骤包括如下步骤:

选择多个写入电位中的一个;以及

将所述多个写入电位中的所述一个输出到所述第一线,以及

所述读取步骤包括如下步骤:

将所述第二线的电位与多个参考电位进行比较,

其中所述多个存储单元中的一个包括:

第一晶体管,包括第一栅极、第一源极和第一漏极;

第二晶体管,包括第二栅极、第二源极和第二漏极;以及

电容器,

其中所述第二晶体管包括氧化物半导体层,

其中所述第一栅极以及所述第二源极和所述第二漏极中的一个彼此电连接,

其中所述第一栅极以及所述电容器的一个电极彼此电连接,

其中所述第二线和所述第一漏极彼此电连接,以及

其中所述第一线以及所述第二源极和所述第二漏极中的另一个彼此电连接。

4. 如权利要求 1 所述的方法,其中所述半导体装置还包括电容器,所述电容器电连接到所述第一栅极。

5. 如权利要求 1-3 中任意一项所述的方法,其中所述氧化物半导体层包括 In、Ga 和 Zn。

6. 如权利要求 1-3 中任意一项所述的方法,其中所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。

7. 如权利要求 1-3 中任意一项所述的方法,其中所述氧化物半导体层中的氢浓度小于或等于 5×10^{19} 原子/cm³。

8. 如权利要求 1-3 中任意一项所述的方法,其中所述第二晶体管的截止电流小于或等于 1×10^{-13} A。

9. 如权利要求 1-3 中任意一项所述的方法,所述半导体装置还包括第三电路,

所述方法进一步包括:

产生所述多个写入电位并将其提供给所述第一电路;以及

产生所述多个参考电位并将其提供给所述第二电路。

半导体装置

[0001] 本申请是申请日为 2009 年 11 月 6 日、申请号为 201080049931.0,发明名称为“半导体装置”发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种使用半导体元件的半导体装置及其制造方法。

背景技术

[0003] 使用半导体元件的存储装置大体上分为：易失性存储装置，当电源停止时丢失它们的存储内容；和非易失性存储装置，当电源停止时能够保留它们的存储内容。

[0004] 作为易失性存储装置的典型例子，给出动态随机存取存储器 (DRAM)。在 DRAM 中，选择存储元件中所包括的晶体管并且在电容器中积聚电荷，从而存储数据。

[0005] 由于上述原理，当在 DRAM 中读出数据时，电容器中的电荷丢失；因此，必须再次执行写入以使在读取数据之后再次存储数据。另外，在存储元件中所包括的晶体管中存在漏电流，并且即使未选择晶体管，存储在电容器中的电荷也流动或者电荷流入到电容器中，由此数据保持时间段是短的。因此，必须在预定周期中再次执行写入（刷新操作）并且难以充分地减小功耗。另外，由于当未向 DRAM 供电时存储内容丢失，所以对于长时间存储的存储内容，需要使用磁性材料或光学材料的其他存储装置。

[0006] 作为易失性存储装置的其他例子，给出静态随机存取存储器 (SRAM)。在 SRAM 中，使用诸如双稳态多谐振荡器的电路保留存储内容，从而不需要刷新操作。考虑到这一点，SRAM 优于 DRAM。然而，存在这样的问题：因为使用了诸如双稳态多谐振荡器的电路，每存储容量的成本变高。另外，考虑到当未供电时存储内容丢失这一点，SRAM 并不优于 DRAM。

[0007] 作为非易失性存储装置的典型例子，给出闪速存储器。闪速存储器包括位于晶体管中的栅电极和沟道形成区域之间的浮栅。闪速存储器通过在浮栅中保留电荷存储存储内容，从而数据保持时间段极长（半永久），并因此具有这样的优点：不需要在易失性存储装置中必需的刷新操作（例如，参见专利文件 1）。

[0008] 然而，在闪速存储器中，存在这样的问题，即在执行写入预定次数之后，存储元件不工作，因为存储元件中所包括的栅极绝缘层由于当执行写入时发生的隧穿电流而劣化。为了缓解这个问题的影响，例如，采用例如均衡存储元件的写入操作的次数的方法。然而，实现该方法需要复杂的外围电路。即使采用这种方法，也未解决使用寿命的基本问题。也就是说，闪速存储器不适合以高频率写入数据的应用。

[0009] 另外，需要高电压以在浮栅中保留电荷或者去除电荷。另外，保留或去除电荷需要相对较长的时间，并且不能容易地增加写入和擦除的速度。

[0010] [参考资料]

[0011] [专利文件]

[0012] [专利文件 1]

[0013] 日本公开专利申请 No. S57-105889

发明内容

[0014] 考虑到以上问题,本发明的实施例的目的在于提供一种半导体装置,该半导体装置具有能够在未供电的状态下保留存储的内容并且对写入的次数没有限制的新型结构。

[0015] 本发明的实施例是具有叠层的半导体装置,该叠层包括使用氧化物半导体的晶体管和使用除氧化物半导体之外的材料的晶体管。例如,该半导体装置能够采用下面的结构。

[0016] 本发明的实施例是一种半导体装置,包括:源极线;位线;第一信号线;多个第二信号线;多个字线;多个存储单元,在源极线和位线之间彼此并联;用于第二信号线和字线的驱动器电路,地址信号输入到该驱动器电路,并且该驱动器电路驱动所述多个第二信号线和所述多个字线,从而从所述多个存储单元选择由地址信号指定的存储单元;用于第一信号线的驱动器电路,选择多个写入电位中的任何一个写入电位并将其输出到第一信号线;读取电路,位线的电位和多个参考电位输入到该读取电路,并且该读取电路比较位线的电位和所述多个参考电位以读出数据;和电位产生电路,产生所述多个写入电位和所述多个参考电位并将其提供给用于第一信号线的驱动器电路和读取电路。所述多个存储单元之一包括:第一晶体管,包括第一栅电极、第一源电极和第一漏电极;第二晶体管,包括第二栅电极、第二源电极和第二漏电极;和第三晶体管,包括第三栅电极、第三源电极和第三漏电极。第一晶体管布置在包括半导体材料的衬底上。第二晶体管包括氧化物半导体层。第一栅电极以及第二源电极和第二漏电极中的一个彼此电连接。源极线和第一源电极彼此电连接。第一漏电极和第三源电极彼此电连接。位线和第三漏电极彼此电连接。第一信号线以及第二源电极和第二漏电极中的另一个彼此电连接。所述多个第二信号线之一和第二栅电极彼此电连接。所述多个字线之一和第三栅电极彼此电连接。

[0017] 另外,在以上结构中,半导体装置还包括:电容器,电连接到第一栅电极以及所述第二源电极和第二漏电极中的一个。

[0018] 本发明的实施例是一种半导体装置,包括:源极线;位线;第一信号线;多个第二信号线;多个字线;多个存储单元,在源极线和位线之间彼此并联;用于第二信号线和字线的驱动器电路,地址信号输入到该驱动器电路,并且该驱动器电路驱动所述多个第二信号线和所述多个字线,从而从所述多个存储单元选择由地址信号指定的存储单元;用于第一信号线的驱动器电路,选择多个写入电位中的任何一个写入电位并将其输出到第一信号线;读取电路,位线的电位和多个参考电位输入到该读取电路,该读取电路包括参考存储单元,并且该读取电路比较指定的存储单元的电导和参考存储单元的电导以读出数据;和电位产生电路,产生所述多个写入电位和所述多个参考电位并将其提供给用于第一信号线的驱动器电路和读取电路。所述多个存储单元之一包括:第一晶体管,包括第一栅电极、第一源电极和第一漏电极;第二晶体管,包括第二栅电极、第二源电极和第二漏电极;和第三晶体管,包括第三栅电极、第三源电极和第三漏电极。第一晶体管布置在包括半导体材料的衬底上。第二晶体管包括氧化物半导体层。第一栅电极以及第二源电极和第二漏电极中的一个彼此电连接。源极线和第一源电极彼此电连接。第一漏电极和第三源电极彼此电连接。位线和第三漏电极彼此电连接。第一信号线以及第二源电极和第二漏电极中的另一个彼此电连接。所述多个第二信号线之一和第二栅电极彼此电连接。所述多个字线之一和第三栅电极彼此电连接。

[0019] 本发明的实施例是一种半导体装置,包括:源极线;位线;第一信号线;多个第二信号线;多个字线;多个存储单元,在源极线和位线之间彼此并联;用于第二信号线和字线的驱动器电路,地址信号和多个参考电位输入到该驱动器电路,该驱动器电路驱动所述多个第二信号线和所述多个字线,从而从所述多个存储单元选择由地址信号指定的存储单元,并且该驱动器电路选择所述多个参考电位中的任何一个参考电位并将其输出到从字线选择的一个字线;用于第一信号线的驱动器电路,选择多个写入电位中的任何一个写入电位并将其输出到第一信号线;读取电路,连接到位线并通过读出指定的存储单元的电导来读出数据;和电位产生电路,产生所述多个写入电位和所述多个参考电位并将其提供给用于第一信号线的驱动器电路和读取电路。所述多个存储单元之一包括:第一晶体管,包括第一栅电极、第一源电极和第一漏电极;第二晶体管,包括第二栅电极、第二源电极和第二漏电极;和电容器。第一晶体管布置在包括半导体材料的衬底上。第二晶体管包括氧化物半导体层。第一栅电极、第二源电极和第二漏电极中的一个以及电容器的一个电极彼此电连接。源极线和第一源电极彼此电连接。位线和第一漏电极彼此电连接。第一信号线以及第二源电极和第二漏电极中的另一个彼此电连接。所述多个第二信号线之一和第二栅电极彼此电连接。所述多个字线之一和电容器的另一个电极彼此电连接。

[0020] 在以上结构中,第一晶体管包括:沟道形成区域,布置在所述包括半导体材料的衬底上;杂质区域,沟道形成区域布置在该杂质区域之间;第一栅极绝缘层,位于沟道形成区域上方;第一栅电极,位于第一栅极绝缘层上方;以及第一源电极和第一漏电极,分别电连接到杂质区域。

[0021] 另外,在以上结构中,第二晶体管包括:第二栅电极,位于所述包括半导体材料的衬底上方;第二栅极绝缘层,位于第二栅电极上方;氧化物半导体层,位于第二栅极绝缘层上方;以及第二源电极和第二漏电极,电连接到氧化物半导体层。

[0022] 另外,在以上结构中,第三晶体管包括:沟道形成区域,布置在所述包括半导体材料的衬底上;杂质区域,沟道形成区域布置在该杂质区域之间;第三栅极绝缘层,位于沟道形成区域上方;第三栅电极,位于第三栅极绝缘层上方;以及第三源电极和第三漏电极,分别电连接到杂质区域。

[0023] 另外,在以上结构中,作为包括半导体材料的衬底,优选地使用单晶半导体衬底。特别地,半导体材料优选地是硅。另外,SOI衬底可用作包括半导体材料的衬底。

[0024] 另外,在以上结构中,氧化物半导体层优选地包括基于In-Ga-Zn-O的氧化物半导体材料。特别地,氧化物半导体层优选地包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。另外,氧化物半导体层中的氢浓度优选地小于或等于 5×10^{19} 原子/cm³。第二晶体管的截止电流优选地小于或等于 1×10^{-13} A。

[0025] 另外,在以上结构中,第二晶体管能够布置在与第一晶体管重叠的区域中。

[0026] 需要注意的是,在本说明书等中,在部件之间的物理关系的描述中,“在…上方”和“在…下方”未必分别意味着“直接在…上面”和“直接在…下面”。例如,“在栅极绝缘层上方的第一栅电极”的表达可表示这样的情况:另一部件位于栅极绝缘层和第一栅电极之间。另外,术语“在…上方”和“在…下方”仅为了解释的方便而使用,并且除非另外指出,否则它们能够互换。

[0027] 在本说明书等中,术语“电极”或“配线”不限制部件的功能。例如,“电极”能够用

作“配线”的一部分,并且“配线”能够用作“电极”的一部分。另外,术语“电极”或“配线”也能够表示例如多个“电极”和“配线”的组合。

[0028] 另外,例如,当采用具有不同极性的晶体管或者电流的方向在电路操作中改变时,“源极”和“漏极”的功能在一些情况下调换。因此,在本说明书中,术语“源极”和“漏极”能够调换。

[0029] 需要注意的是,在本说明书中,“电连接”的表达包括通过“具有任何电功能的物体”的电连接的情况。这里,对“具有任何电功能的物体”不存在特定的限制,只要该物体能够在该物体连接的部件之间实现电信号的发送和接收即可。

[0030] 例如,在“具有任何电功能的物体”中,包括开关元件(诸如,晶体管)、电阻器、电感器、电容器和具有几种功能的其它元件以及电极和配线。

[0031] 通常,术语“SOI 衬底”表示在绝缘表面上方具有硅半导体层的衬底。在本说明书等中,术语“SOI 衬底”还表示在绝缘表面上方具有使用除硅之外的材料的半导体层的衬底。也就是说,“SOI 衬底”中所包括的半导体层不限于硅半导体层。另外,“SOI 衬底”中的衬底不限于半导体衬底(诸如,硅晶圆),并且可以是非半导体衬底(诸如,玻璃衬底、石英衬底、蓝宝石衬底和金属衬底)。也就是说,“SOI 衬底”还包括导电衬底和绝缘衬底,在所述导电衬底和绝缘衬底上方,使用半导体材料形成一层。另外,在本说明书等中,“半导体衬底”表示仅半导体材料的衬底,并且还表示包括半导体材料的一般衬底。换句话说,在本说明书等中,“SOI 衬底”也被包括在“半导体衬底”的大类中。

[0032] 本发明的一个实施例提供一种半导体装置,该半导体装置包括位于它的下部的使用除氧化物半导体之外的材料的晶体管和位于它的上部的使用氧化物半导体的晶体管。

[0033] 使用氧化物半导体的晶体管具有极低的断态电流;因此,通过使用该晶体管,存储内容能够保留极长时间。也就是说,刷新操作能够变得不必要或者刷新操作的频率能够显著减小,从而功耗能够充分地减小。另外,即使在未供电的情况下,存储内容也能够长时间保留。

[0034] 另外,对于写入数据而言不需要高电压并且不存在元件的劣化的问题。另外,根据晶体管的导通状态和截止状态执行数据的写入,从而能够容易地实现高速操作。另外,存在这样的优点:当执行数据的重写入时,不需要用于擦除以前数据的操作。

[0035] 另外,使用除氧化物半导体之外的材料的晶体管能够工作于足够高的速度,由此能够以高速读出存储内容。

[0036] 因此,通过提供使用除氧化物半导体材料之外的材料的晶体管和使用氧化物半导体的晶体管的组合,能够实现具有前所未有的特征的半导体装置。

附图说明

[0037] 在附图中:

[0038] 图 1 是用于解释半导体装置的电路图;

[0039] 图 2A 和 2B 分别是用于解释半导体装置的截面图和俯视图;

[0040] 图 3A 至 3H 是用于解释半导体装置的截面图;

[0041] 图 4A 至 4G 是用于解释半导体装置的制造步骤的截面图;

[0042] 图 5A 至 5D 是用于解释半导体装置的制造步骤的截面图;

- [0043] 图 6 是用于解释半导体装置的截面图；
- [0044] 图 7A 和 7B 是用于解释半导体装置的截面图；
- [0045] 图 8A 和 8B 是用于解释半导体装置的截面图；
- [0046] 图 9A 和 9B 是用于解释半导体装置的截面图；
- [0047] 图 10 是用于解释存储元件的电路图；
- [0048] 图 11 是用于解释半导体装置的电路图；
- [0049] 图 12 是用于解释驱动器电路的电路图；
- [0050] 图 13 是用于解释驱动器电路的电路图；
- [0051] 图 14 是用于解释驱动器电路的电路图；
- [0052] 图 15 是用于解释驱动器电路的电路图；
- [0053] 图 16A 和 16B 是用于解释操作的时序图；
- [0054] 图 17 是用于解释半导体装置的电路图；
- [0055] 图 18 是用于解释半导体装置的电路图；
- [0056] 图 19 是用于解释半导体装置的电路图；
- [0057] 图 20 是用于解释驱动器电路的电路图；
- [0058] 图 21 是用于解释操作的时序图；
- [0059] 图 22 是用于解释存储元件的电路图；
- [0060] 图 23 是用于解释半导体装置的电路图；
- [0061] 图 24 是用于解释驱动器电路的电路图；
- [0062] 图 25 是用于解释驱动器电路的电路图；
- [0063] 图 26 是用于解释操作的时序图；
- [0064] 图 27 是显示节点 A 的电位和字线的电位之间的关系的曲线图；
- [0065] 图 28 是用于解释驱动器电路的电路图；
- [0066] 图 29 是用于解释操作的时序图；
- [0067] 图 30A 至 30F 表示电子设备；
- [0068] 图 31 是包括氧化物半导体的晶体管的截面图；
- [0069] 图 32 是沿图 31 的线 A-A' 获得的能带图（示意图）；
- [0070] 图 33A 是显示在正电压 ($+V_G > 0$) 施加于栅极 (GE1) 的状态下的示图，并且图 33B 是显示在负电压 ($-V_G < 0$) 施加于栅极 (GE1) 的状态下的示图。
- [0071] 图 34 显示真空能级和金属的功函数 (ϕ_M) 之间的关系以及真空能级和氧化物半导体的电子亲和势 (χ) 之间的关系。

具体实施方式

[0072] 以下，将参照附图描述本发明的实施例的例子。需要注意的是，本发明不限于下面的描述，并且本领域技术人员将会容易地理解，在不脱离本发明的精神和范围的情况下能够以各种方法修改实施方式和细节。因此，本发明不应解释为局限于下面的实施例的描述。

[0073] 需要注意的是，为了容易理解，在附图等中表示的每个部件的位置、尺寸、范围等在一些情况下不是实际的位置、尺寸、范围等。因此，本发明不限于在附图等中公开的位置、尺寸、范围等。

[0074] 需要注意的是,在本说明书等中,使用序数(诸如,“第一”、“第二”和“第三”)以便避免部件之间的混淆,但这些术语并不在数量方面限制部件。

[0075] [实施例 1]

[0076] 在这个实施例中,参照图 1、图 2A 和 2B、图 3A 至 3H、图 4A 至 4G、图 5A 至 5D、图 6、图 7A 和 7B、图 8A 和 8B 以及图 9A 和 9B 描述根据公开的发明的一个实施例的半导体装置的结构和制造方法。

[0077] < 半导体装置的电路结构 >

[0078] 图 1 表示半导体装置的电路结构的例子。半导体装置包括使用除氧化物半导体之外的材料形成的晶体管 160 和使用氧化物半导体形成的晶体管 162。需要注意的是,标记“OS”添加到图 1 中的晶体管 162 以显示晶体管 162 是使用氧化物半导体(OS)形成的。

[0079] 这里,晶体管 160 的栅电极电连接到晶体管 162 的源电极和漏电极中的一个。第一配线(表示为“第一线”并且也称为源极线)和第二配线(表示为“第二线”并且也称为位线)分别电连接到晶体管 160 的源电极和晶体管 160 的漏电极。另外,第三配线(表示为“第三线”并且也称为第一信号线)和第四配线(表示为“第四线”并且也称为第二信号线)分别电连接到晶体管 162 的源电极和漏电极中的另一个以及晶体管 162 的栅电极。

[0080] 使用除氧化物半导体之外的材料形成的晶体管 160 能够高速工作。因此,通过使用晶体管 160,能够实现存储内容的高速读取等。另外,在使用氧化物半导体形成的晶体管 162 中,截止电流极小。因此,当晶体管 162 截止时,晶体管 160 的栅电极的电位能够保留极长时间。另外,在使用氧化物半导体形成的晶体管 162 中,不太可能引起短沟道效应,这是有益的。

[0081] 栅电极的电位能够保留极长时间的优点使得能够如下所述执行数据的写入、保持和读取。

[0082] 首先描述数据的写入和保持。首先,第四配线的电位设置为使晶体管 162 导通电位,由此使晶体管 162 处于导通状态。相应地,第三配线的电位施加于晶体管 160 的栅电极(数据的写入)。其后,第四配线的电位设置为使晶体管 162 截止的电位,由此使晶体管 162 处于截止状态;相应地,保持晶体管 160 的栅电极的电位(数据的保持)。

[0083] 由于晶体管 162 的截止电流极小,所以晶体管 160 的栅电极的电位长时间保留。例如,当晶体管 160 的栅电极的电位是使晶体管 160 导通电位时,晶体管 160 的导通状态长时间保留。当晶体管 160 的栅电极的电位是使晶体管 160 截止的电位时,晶体管 160 的截止状态长时间保留。

[0084] 接下来,描述数据的读取。当如上所述保持晶体管 160 的导通状态或截止状态并且给定电位(低电位)施加于第一配线时,第二配线的电位的值根据晶体管 160 的状态(导通状态或截止状态)而不同。例如,当晶体管 160 处于导通状态时,第二配线的电位通过受第一配线的电位影响而降低。另一方面,当晶体管 160 处于截止状态时,第二配线的电位不变。

[0085] 以这种方式,通过在保持数据的状态下比较第一配线的电位和第二配线的电位,能够读出数据。

[0086] 然后,描述数据的重写入。以类似于上述数据的写入和保持的方式执行数据的重写入。也就是说,第四配线的电位设置为使晶体管 162 导通电位,由此使晶体管 162 处于

导通状态。相应地,第三配线的电位(与新数据相关的电位)施加于晶体管 160 的栅电极。其后,第四配线的电位设置为使晶体管 162 截止的电位,由此使晶体管 162 处于截止状态;相应地,保持新数据。

[0087] 如上所述,在根据公开的发明的一个实施例的半导体装置中,通过再次执行数据的写入能够直接重写入数据。因此不需要在闪速存储器等中需要的擦除操作;因此,能够抑制由于擦除操作导致的操作速度的降低。换句话说,实现了半导体装置的高速操作。

[0088] 需要注意的是,在以上描述中,使用了使用电子作为载流子的 n 型晶体管(n 沟道晶体管);然而,当然能够使用以空穴作为载流子的 p 沟道晶体管替代 n 沟道晶体管。

[0089] < 半导体装置的平面结构和截面结构 >

[0090] 以上半导体装置的结构例子表示在图 2A 和 2B 中。图 2A 和 2B 分别是半导体装置的截面图及其俯视图。这里,图 2A 对应于沿图 2B 的线 A1-A2 和线 B1-B2 获得的截面。图 2A 和 2B 中表示的半导体装置包括位于下部的使用除氧化物半导体之外的材料形成的晶体管 160 和位于上部的使用氧化物半导体形成的晶体管 162。需要注意的是,虽然 n 沟道晶体管被描述为晶体管 160 和 162,但可采用 p 沟道晶体管。特别地,p 沟道晶体管能够用作晶体管 160。

[0091] 晶体管 160 包括:沟道形成区域 116,针对包含半导体材料的衬底 100 提供;杂质区域 114 和高浓度杂质区域 120,沟道形成区域 116 被夹在杂质区域 114 之间,并且沟道形成区域 116 被夹在高浓度杂质区域 120 之间(杂质区域 114 和高浓度杂质区域 120 也统称为杂质区域);栅极绝缘层 108a,布置在沟道形成区域 116 上方;栅电极 110a,布置在栅极绝缘层 108a 上方;以及源或漏电极 130a 和源或漏电极 130b,电连接到杂质区域 114。

[0092] 这里,为栅电极 110a 的侧表面提供侧壁绝缘层 118。另外,在当在俯视图中观看时衬底 100 的不与侧壁绝缘层 118 重叠的区域中,布置高浓度杂质区域 120,并且另外的金属化合物区域 124 布置在高浓度杂质区域 120 上方。在衬底 100 上,提供元件隔离绝缘层 106 以包围晶体管 160,并且提供层间绝缘层 126 和层间绝缘层 128 以覆盖晶体管 160。源或漏电极 130a 和源或漏电极 130b 通过形成在层间绝缘层 126 和 128 中的开口而电连接到金属化合物区域 124。换句话说,源或漏电极 130a 和源或漏电极 130b 经金属化合物区域 124 电连接到高浓度杂质区域 120 和杂质区域 114。另外,栅电极 110a 电连接到类似于源或漏电极 130a 和源或漏电极 130b 的方式提供的电极 130c。

[0093] 晶体管 162 包括:栅电极 136d,布置在层间绝缘层 128 上方;栅极绝缘层 138,布置在栅电极 136d 上方;氧化物半导体层 140,布置在栅极绝缘层 138 上方;以及源或漏电极 142a 和源或漏电极 142b,布置在氧化物半导体层 140 上方并电连接到氧化物半导体层 140。

[0094] 这里,栅电极 136d 布置为嵌入在绝缘层 132 中,绝缘层 132 形成在层间绝缘层 128 上方。另外,类似于栅电极 136d,形成电极 136a、电极 136b 和电极 136c 并且它们分别与源或漏电极 130a、源或漏电极 130b 和电极 130c 接触。

[0095] 在晶体管 162 上方,提供保护绝缘层 144 并且保护绝缘层 144 与氧化物半导体层 140 的一部分接触。层间绝缘层 146 布置在保护绝缘层 144 上方。这里,在保护绝缘层 144 和层间绝缘层 146 中,形成到达源或漏电极 142a 和源或漏电极 142b 的开口。在这些开口中,形成电极 150d 和电极 150e,并且电极 150d 和电极 150e 分别与源或漏电极 142a 和源或漏电极 142b 接触。类似于电极 150d 和电极 150e,在位于栅极绝缘层 138、保护绝缘层 144

和层间绝缘层 146 中的开口中形成电极 150a、电极 150b 和电极 150c, 并且电极 150a、电极 150b 和电极 150c 分别与电极 136a、电极 136b 和电极 136c 接触。

[0096] 这里, 氧化物半导体层 140 优选地是通过去除杂质 (诸如, 氢) 而高度净化的氧化物半导体层。具体地讲, 氧化物半导体层 140 中的氢浓度小于或等于 5×10^{19} 原子 / cm^3 , 优选地小于或等于 5×10^{18} 原子 / cm^3 , 或者更优选地小于或等于 5×10^{17} 原子 / cm^3 。在通过充分减小氢浓度而高度净化的氧化物半导体层 140 中, 载流子浓度小于或等于 $5 \times 10^{14} / \text{cm}^3$, 优选地小于或等于 $5 \times 10^{12} / \text{cm}^3$ 。以这种方式, 通过使用通过充分减小氢浓度而高度净化并且是 i 型氧化物半导体或者基本上是 i 型氧化物半导体的氧化物半导体, 能够获得具有极有利的截止电流特性的晶体管 162。例如, 当漏极电压 V_d 是 +1V 或 +10V 并且栅极电压 V_g 处于 -5V 到 -20V 的范围时, 截止电流小于或等于 1×10^{-13} A。当使用通过充分减小氢浓度而高度净化的氧化物半导体层 140 并且减小了晶体管 162 的截止电流时, 能够实现具有新型结构的半导体装置。需要注意的是, 通过次级离子质谱法 (SIMS) 测量氧化物半导体层 140 中的氢浓度。

[0097] 另外, 绝缘层 152 布置在层间绝缘层 146 上方。电极 154a、电极 154b、电极 154c 和电极 154d 布置为嵌入在绝缘层 152 中。这里, 电极 154a 与电极 150a 接触; 电极 154b 与电极 150b 接触; 电极 154c 与电极 150c 和 150d 接触; 并且电极 154d 与电极 150e 接触。

[0098] 也就是说, 在图 2A 和 2B 中表示的半导体装置中, 晶体管 160 的栅电极 110a 经电极 130c、136c、150c、154c 和 150d 电连接到晶体管 162 的源或漏电极 142a。

[0099] < 用于制造半导体装置的方法 >

[0100] 接下来, 将描述用于制造上述半导体装置的方法的例子。首先, 将参照图 3A 至 3H 描述制造在下部的晶体管 160 的方法, 然后将参照图 4A 至 4G 和图 5A 至 5D 描述制造在上部的晶体管 162 的方法。

[0101] < 用于制造在下部的晶体管的方法 >

[0102] 首先, 准备包含半导体材料的衬底 100 (参见图 3A)。作为包含半导体材料的衬底 100, 能够使用包含硅、碳化硅等的单晶半导体衬底或多晶半导体衬底, 包含硅锗等的化合物半导体衬底, SOI 衬底等。这里, 描述单晶硅衬底用作包含半导体材料的衬底 100 的例子。需要注意的是, 通常, 术语“SOI 衬底”表示在其绝缘表面上方具有硅半导体层的半导体衬底。在本说明书中, 术语“SOI 衬底”还表示在其绝缘表面上方具有使用除硅之外的材料的半导体层的衬底。换句话说, “SOI 衬底”中所包括的半导体层不限于硅半导体层。SOI 衬底的例子包括在其诸如玻璃衬底的绝缘衬底上方具有半导体层的衬底, 在半导体层和绝缘衬底之间具有绝缘层。

[0103] 在衬底 100 上方, 保护层 102 用作用于形成元件隔离绝缘层的掩模 (参见图 3A)。作为保护层 102, 例如, 能够使用利用氧化硅、氮化硅、氧氮化硅等形成的绝缘层。需要注意的是, 给出 n 型电导的杂质元素或者给出 p 型电导的杂质元素可在以上步骤之前或之后添加到衬底 100, 从而控制晶体管的阈值电压。作为给出 n 型电导的杂质, 当衬底 100 中所包含的半导体材料是硅时能够使用磷、砷等。作为给出 p 型电导的杂质, 例如能够使用硼、铝、镓等。

[0104] 接下来, 使用以上保护层 102 作为掩模, 通过蚀刻去除衬底 100 的在未被保护层 102 覆盖的区域 (暴露区域) 中的部分。因此, 形成分离的半导体区域 104 (参见图 3B)。对

于蚀刻,优选地执行干法蚀刻,但能够执行湿法蚀刻。根据待蚀刻的物体的材料能够合适地选择蚀刻气体和蚀刻剂。

[0105] 接下来,形成绝缘层以覆盖半导体区域 104 并且在与半导体区域 104 重叠的区域中选择性地去除该绝缘层,由此形成元件隔离绝缘层 106(参见图 3B)。使用氧化硅、氮化硅、氧氮化硅等形成绝缘层。作为用于去除绝缘层的方法,存在蚀刻和抛光处理(诸如,CMP),并且能够采用它们中的任何一种。需要注意的是,在形成半导体区域 104 之后或者在形成元件隔离绝缘层 106 之后去除保护层 102。

[0106] 然后,绝缘层形成在半导体区域 104 上方,并且包含导电材料的层形成在绝缘层上方。

[0107] 绝缘层稍后用作栅极绝缘层并优选地具有通过 CVD 法、溅射法等获得的使用包含氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽等的膜的单层结构或叠层结构。替代地,可通过经高密度等离子体处理或热氧化处理氧化或氮化半导体区域 104 的表面获得以上绝缘层。可以使用例如稀有气体(诸如,He、Ar、Kr 或 Xe)和氧气、氧化氮、氨、氮气、氢气等的组合的混合气体执行高密度等离子体处理。对于绝缘层的厚度没有特定的限制,但是厚度例如能够大于或等于 1nm 并且小于或等于 100nm。

[0108] 使用金属材料(诸如,铝、铜、钛、钽或钨)能够形成所述包含导电材料的层。替代地,使用包含导电材料的半导体材料(诸如,多晶硅)可形成包含导电材料的层。对用于形成包含导电材料的层的方法也没有特定的限制,并且可应用各种膜形成方法中的任何一种,诸如蒸发法、CVD 法、溅射法和旋涂法。需要注意的是,在这个实施例中,描述使用金属材料形成包含导电材料的层的情况的例子。

[0109] 其后,通过选择性地蚀刻绝缘层和包含导电材料的层,形成栅极绝缘层 108a 和栅电极 110a(参见图 3C)。

[0110] 接下来,形成覆盖栅电极 110a 的绝缘层 112(参见图 3C)。磷(P)、砷(As)等随后被添加到半导体区域 104,由此形成具有在浅区域的浅结深度的杂质区域 114(参见图 3C)。需要注意的是,虽然在这里添加磷或砷从而形成 n 沟道晶体管,但在形成 p 沟道晶体管的情况下可添加诸如硼(B)或铝(Al)的杂质元素。还需要注意的是,通过形成杂质区域 114,在栅极绝缘层 108a 下方在半导体区域 104 中形成沟道形成区域 116(参见图 3C)。这里,能够合适地设置添加的杂质的浓度;在半导体元件高度小型化的情况下,浓度优选地设置为高。另外,替代于这里采用的在形成绝缘层 112 之后形成杂质区域 114 的工艺,可采用在形成杂质区域 114 之后形成绝缘层 112 的工艺。

[0111] 然后,形成侧壁绝缘层 118(参见图 3D)。形成绝缘层以覆盖绝缘层 112,然后该绝缘层经受高度各向异性蚀刻,由此能够以自对准方式形成侧壁绝缘层 118。优选地,绝缘层 112 在此时被部分地蚀刻,从而栅电极 110a 的顶表面和杂质区域 114 的顶表面露出。

[0112] 其后,形成绝缘层以覆盖栅电极 110a、杂质区域 114、侧壁绝缘层 118 等。磷(P)、砷(As)等随后被添加到杂质区域 114 的与绝缘层接触的区域,由此形成高浓度杂质区域 120(参见图 3E)。接下来,去除以上绝缘层并且形成金属层 122 以覆盖栅电极 110a、侧壁绝缘层 118、高浓度杂质区域 120 等(参见图 3E)。各种方法(诸如,真空蒸发法、溅射法和旋涂法)中的任何一种方法可用于形成金属层 122。优选地,使用与半导体区域 104 中所包含的半导体材料发生反应以形成具有低电阻的金属化合物的金属材料形成金属层 122。这

种金属材料的例子包括钛、钽、钨、镍、钴和铂。

[0113] 接下来,执行热处理,由此金属层 122 与半导体材料发生化学反应。相应地,形成与高浓度杂质区域 120 接触的金属化合物区域 124(参见图 3F)。需要注意的是,在对于栅电极 110a 使用多晶硅的情况下,栅电极 110a 的与金属层 122 接触的部分也具有金属化合物区域。

[0114] 作为热处理,能够采用利用闪光灯的照射。虽然当然可使用其他热处理方法,但优选地使用能够实现极短时间热处理的方法,以便提高金属化合物的形成中的化学反应的可控制性。需要注意的是,通过金属材料与半导体材料的反应形成以上金属化合物区域,并且金属化合物区域具有充分增加的电导率。通过形成金属化合物区域,能够充分地减小电阻并且能够提高元件特性。在形成金属化合物区域 124 之后,去除金属层 122。

[0115] 形成层间绝缘层 126 和 128 以覆盖在以上步骤中形成的部件(参见图 3G)。使用包含无机绝缘材料(诸如,氧化硅、氮化硅、氮化硅、氧化钪、氧化铝或氧化钽)的材料能够形成层间绝缘层 126 和 128。替代地,能够使用有机绝缘材料,诸如聚酰亚胺或丙烯酸树脂。需要注意的是,虽然层间绝缘层 126 和层间绝缘层 128 在这里形成两层结构,但层间绝缘层的结构不限于此。还需要注意的是,在形成层间绝缘层 128 之后,层间绝缘层 128 的表面优选地经受 CMP 处理、蚀刻等以便变平。

[0116] 其后,在层间绝缘层中形成到达金属化合物区域 124 的开口,然后在这些开口中形成源或漏电极 130a 和源或漏电极 130b(参见图 3H)。例如,源或漏电极 130a 和源或漏电极 130b 能够如下形成:通过 PVD 法、CVD 法等包括这些开口的区域中形成导电层;然后,通过蚀刻、CMP 处理等去除导电层的一部分。

[0117] 需要注意的是,在源或漏电极 130a 和源或漏电极 130b 通过去除导电层的一部分形成的情况下,优选地对其表面进行处理以使其表面是平的。例如,钛膜、氮化钛膜等在包括开口的区域中形成为具有小的厚度并且随后钨膜形成为嵌入在开口中的情况下,在其后执行的 CMP 能够去除钨膜、钛膜、氮化钛膜等的不必要的部分,并提高表面的平整度。通过如上所述使包括源或漏电极 130a 和源或漏电极 130b 的表面的表面变平,能够在稍后的步骤中形成有利的电极、配线、绝缘层、半导体层等。

[0118] 需要注意的是,虽然仅描述了与金属化合物区域 124 接触的源或漏电极 130a 和源或漏电极 130b,但在同一过程中能够形成与栅电极 110a 接触的电极(例如,图 2A 的电极 130c)等。对于用于源或漏电极 130a 和源或漏电极 130b 的材料没有特定的限制,并且能够使用各种导电材料中的任何一种材料。例如,能够使用诸如钼、钛、铬、钽、钨、铝、铜、钨或钨的导电材料。

[0119] 通过以上过程,形成使用包含导电材料的衬底 100 形成的晶体管 160。需要注意的是,在执行以上过程之后,也可以形成另外的电极、配线、绝缘层等。当层间绝缘层和导电层堆叠的多层配线结构用作配线结构时,能够提供高度集成的半导体装置。

[0120] <用于制造在上部的晶体管的方法>

[0121] 然后,参照图 4A 至 4G 和图 5A 至 5D 描述制造在层间绝缘层 128 上方的晶体管 162 的过程。需要注意的是,在表示层间绝缘层 128 上方的各种电极、晶体管 162 等的制造过程的图 4A 至 4G 和图 5A 至 5D 中,省略了晶体管 162 下方的晶体管 160 等。

[0122] 首先,绝缘层 132 形成在层间绝缘层 128、源或漏电极 130a、源或漏电极 130b 和电

极 130c 上方 (参见图 4A)。通过 PVD 法、CVD 法等能够形成绝缘层 132。包含无机绝缘材料 (诸如, 氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钪或氧化钽) 的材料能够用于绝缘层 132。

[0123] 接下来, 在绝缘层 132 中形成到达源或漏电极 130a、源或漏电极 130b 和电极 130c 的开口。此时, 在将要形成栅电极 136d 的区域中形成另一开口。导电层 134 形成为嵌入在这些开口中 (参见图 4B)。例如, 通过使用掩模的蚀刻能够形成以上开口。例如, 通过经使用光掩模曝光能够形成掩模。对于蚀刻, 可执行湿法蚀刻或干法蚀刻, 但考虑到精细图案化, 优选地执行干法蚀刻。通过诸如 PVD 法或 CVD 法的沉积方法能够形成导电层 134。用于导电层 134 的材料例子包括导电材料, 诸如钼、钛、铬、钽、钨、铝、铜、钽和铪、这些材料中的任何材料的合金以及包含这些材料中的任何材料的化合物 (例如, 这些材料中的任何材料的氮化物)。

[0124] 具体地讲, 例如, 导电层 134 能够如下形成: 钛膜在包括开口的区域中通过 PVD 法形成为具有小的厚度, 并且氮化钛膜随后通过 CVD 法形成为具有小的厚度; 然后, 钨膜形成为嵌入在开口中。这里, 通过 PVD 法形成的钛膜具有减少在界面的氧化膜并减小与下部电极 (这里, 源或漏电极 130a、源或漏电极 130b 和电极 130c 等) 的接触电阻的功能。另外, 随后形成的氮化钛膜具有阻挡层性质, 从而防止导电材料的扩散。替代地, 在使用钛、氮化钛等形成阻挡膜之后, 可通过镀覆法形成铜膜。

[0125] 在形成导电层 134 之后, 通过蚀刻、CMP 处理等去除导电层 134 的一部分, 从而露出绝缘层 132 并且形成电极 136a、136b 和 136c 以及栅电极 136d (参见图 4C)。需要注意的是, 当通过去除以上导电层 134 的一部分形成电极 136a、136b 和 136c 以及栅电极 136d 时, 优选地执行处理从而获得变平的表面。通过使绝缘层 132、电极 136a、136b 和 136c 以及栅电极 136d 的表面变平, 能够在稍后的步骤中形成有利的电极、配线、绝缘层、半导体层等。

[0126] 其后, 形成栅极绝缘层 138 以覆盖绝缘层 132、电极 136a、136b 和 136c 以及栅电极 136d (参见图 4D)。通过溅射法、CVD 法等能够形成栅极绝缘层 138。栅极绝缘层 138 优选地包含氧化硅、氮化硅、氮氧化硅、氮化硅、氧化铝、氧化钪、氧化钽等。需要注意的是, 栅极绝缘层 138 可具有单层结构或叠层结构。例如, 通过使用硅烷 (SiH_4)、氧气和氮气作为源气体的等离子体 CVD 法能够形成氮氧化硅的栅极绝缘层 138。对于栅极绝缘层 138 的厚度没有特定的限制, 但厚度例如能够大于或等于 10nm 并且小于或等于 500nm。当采用叠层结构时, 优选地通过堆叠具有大于或等于 50nm 并且小于或等于 200nm 的厚度的第一栅极绝缘层和位于第一栅极绝缘层上方的具有大于或等于 5nm 并且小于或等于 300nm 的厚度的第二栅极绝缘层, 形成栅极绝缘层 138。

[0127] 需要注意的是, 通过去除杂质变为 i 型氧化物半导体或者基本上 i 型氧化物半导体的氧化物半导体 (高度净化的氧化物半导体) 对界面态或界面电荷极为灵敏; 因此, 当这种氧化物半导体用于氧化物半导体层时, 氧化物半导体层和栅极绝缘层之间的界面很重要。换句话说, 将要与高度净化的氧化物半导体层接触的栅极绝缘层 138 需要具有高质量。

[0128] 例如, 使用微波 (2.45GHz) 的高密度等离子体 CVD 法是有利的, 因为由此能够形成具有高耐受电压的致密的高质量栅极绝缘层 138。这是因为, 当高度净化的氧化物半导体层和高质量栅极绝缘层彼此接触时, 界面态能够减小并且界面特性能够是有利的。

[0129] 当然, 即使在使用这种高度净化的氧化物半导体层时, 也能够采用其他方法 (诸如, 溅射法或等离子体 CVD 法), 只要能够形成具有良好质量的绝缘层作为栅极绝缘层即

可。替代地,可应用在形成之后通过热处理修改了其膜质量和界面特性的绝缘层。在任何情况下,可接受具有作为栅极绝缘层 138 的良好质量并且减小栅极绝缘层和氧化物半导体层之间的界面态密度的层,从而形成良好的界面。

[0130] 此外,当在氧化物半导体中包含杂质时,在利用电场强度 $2 \times 10^6 \text{V/cm}$ 的在 12 小时期间在 85°C 的偏置温度测试 (BT 测试) 中,通过强电场 (B:偏置) 和高温 (T:温度) 切割杂质和氧化物半导体的主要成分之间的组合,并且产生的悬空键导致阈值电压 (V_{th}) 的漂移。

[0131] 另一方面,根据公开的发明的一个实施例,通过如上所述去除氧化物半导体中的杂质 (尤其是氢或水) 并在栅极绝缘层和氧化物半导体层之间实现良好的界面特性,能够提供即使在 BT 测试中也稳定的晶体管。

[0132] 然后,氧化物半导体层形成在栅极绝缘层 138 上方并通过诸如使用掩模的蚀刻的方法处理,从而形成具有岛形的氧化物半导体层 140 (参见图 4E)。

[0133] 作为氧化物半导体层,能够应用使用下面材料中的任何材料形成的氧化物半导体层:四成分金属氧化物,诸如 In-Sn-Ga-Zn-O;三成分金属氧化物,诸如 In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O 和 Sn-Al-Zn-O;二成分金属氧化物,诸如 In-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O 和 In-Mg-O;单成分金属氧化物,诸如 In-O、Sn-O 和 Zn-O;等等。另外,以上氧化物半导体层可包含 SiO_2 。

[0134] 作为氧化物半导体层,能够使用由 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 代表的薄膜。这里,M 代表从 Ga、Al、Mn 和 Co 选择的一种或多种金属元素。例如,M 能够是 Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等。由包括 Ga 作为 M 的 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 代表的氧化物半导体膜称为基于 In-Ga-Zn-O 的氧化物半导体,并且基于 In-Ga-Zn-O 的氧化物半导体的薄膜称为基于 In-Ga-Zn-O 的氧化物半导体膜 (基于 In-Ga-Zn-O 的非晶膜)。

[0135] 在这个实施例中,作为氧化物半导体层,利用用于沉积的基于 In-Ga-Zn-O 的氧化物半导体靶通过溅射法形成非晶氧化物半导体层。需要注意的是,通过把硅添加到非晶氧化物半导体层,能够抑制结晶;因此,使用包含大于或等于 2wt. % 并且小于或等于 10wt. % 的 SiO_2 的靶可形成氧化物半导体层。

[0136] 作为用于通过溅射法形成氧化物半导体层的靶,例如,能够使用包含氧化锌作为其主要成分的金属氧化物靶。此外,例如,能够使用包含 In、Ga 和 Zn ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$ 的成分比 = 1:1:1 [摩尔比]) 等的用于沉积的氧化物半导体靶。另外,可使用包含 In、Ga 和 Zn ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$ 的成分比 = 1:1:2 [摩尔比] 或者 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$ 的成分比 = 1:1:4 [摩尔比]) 的用于沉积的氧化物半导体靶。用于沉积的氧化物半导体靶的填充率是 90% 至 100% (包括 90% 和 100%),优选地大于或等于 95% (例如,99.9%)。使用具有高填充率的用于沉积的氧化物半导体靶形成致密的氧化物半导体层。

[0137] 用于形成氧化物半导体层的气氛优选地是稀有气体 (通常为氩气) 气氛、氧气气氛或者稀有气体 (通常为氩气) 和氧气的混合气氛。具体地讲,优选地使用高纯度气体,其中,杂质 (诸如,氢、水、羟基和氢化物) 的浓度减小至近似百万分之几 (优选地,十亿分之几)。

[0138] 在形成氧化物半导体层时,衬底固定在保持于减压状态的处理室中,并且衬底温度高于或等于 100°C 并且低于或等于 600°C ,优选地高于或等于 200°C 并且低于或等于 400°C 。当在衬底加热的同时形成氧化物半导体层时,氧化物半导体层中所包含的杂质的浓

度能够减小。另外,减小了由于溅射导致的损伤。在去除了留在处理室中的水分的同时,引入去除了氢和水分的溅射气体,并且利用金属氧化物作为靶形成氧化物半导体层。为了去除处理室中的剩余水分,优选地使用捕集真空泵。例如,能够使用低温泵、离子泵或者钛升华泵。抽空单元可以是具有冷阱的涡轮泵。从利用低温泵抽空的沉积室去除氢原子、包含氢原子的化合物(诸如,水(H_2O))、(优选地,包含碳原子的化合物)等,由此减小在沉积室中形成的氧化物半导体层中所包含的杂质的浓度。

[0139] 例如,沉积条件能够设置如下:衬底和靶之间的距离是100mm;压力是0.6Pa;直流(DC)功率是0.5kW;并且气氛是氧气气氛(氧气流量的比例是100%)。优选地,使用脉冲直流(DC)电源,因为能够减少粉状物质(也称为颗粒或粉尘)并且膜厚度能够是均匀的。氧化物半导体层的厚度大于或等于2nm并且小于或等于200nm,优选地大于或等于5nm并且小于或等于30nm。需要注意的是,合适的厚度取决于应用的氧化物半导体材料,并且氧化物半导体层的厚度可根据材料而合适地设置。

[0140] 需要注意的是,在通过溅射法形成氧化物半导体层之前,优选地通过反溅射去除附着于栅极绝缘层138的表面的粉尘,在反溅射中,引入氩气并产生等离子体。这里,反溅射表示一种通过离子撞击待处理的物体的表面提高表面的质量的方法,而一般的溅射是通过离子撞击溅射靶来实现的。用于使离子撞击待处理的物体的表面的方法包括这样的方法:在氩气气氛中在表面上施加高频电压并且在衬底附近产生等离子体。需要注意的是,替代于氩气气氛,可使用氮气气氛、氦气气氛、氧气气氛等。

[0141] 对于氧化物半导体层的蚀刻,可使用干法蚀刻或者湿法蚀刻。当然,可采用干法蚀刻和湿法蚀刻的组合。根据材料合适地设置蚀刻条件(蚀刻气体、蚀刻溶液、蚀刻时间、温度等),从而氧化物半导体层能够蚀刻为所希望的形状。

[0142] 用于干法蚀刻的蚀刻气体的例子是包含氯的气体(基于氯的气体,诸如氯气(Cl_2)、三氯化硼(BCl_3)、四氯化硅($SiCl_4$)或者四氯化碳(CCl_4))等。替代地,可使用包含氟的气体(基于氟的气体,诸如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或者三氟甲烷(CHF_3));溴化氢(HBr);氧气(O_2);添加诸如氦气(He)或氩气(Ar)的稀有气体的这些气体中的任何气体;等等。

[0143] 作为干法蚀刻方法,能够使用平行板反应离子蚀刻(RIE)法或者感应耦合等离子体(ICP)蚀刻法。为了把层蚀刻为所希望的形状,合适地设置蚀刻条件(施加于线圈形电极的电功率的量、施加于衬底侧的电极的电功率的量、衬底侧的电极的温度等)。

[0144] 作为用于湿法蚀刻的蚀刻剂,能够使用磷酸、醋酸和硝酸的混合溶液、氨水和过氧化氢混合物(31wt%的过氧化氢溶液:28wt%的氨水溶液:水=5:2:2)等。替代地,可使用诸如IT007N(由Kanto Chemical Co., Inc.生产)等的蚀刻剂。

[0145] 然后,氧化物半导体层优选地经受第一热处理。通过这种第一热处理,氧化物半导体层能够脱水或者脱氢。在高于或等于300°C并且低于或等于750°C(优选地,高于或等于400°C并且低于衬底的应变点)的温度执行第一热处理。例如,衬底被引入到使用电阻加热元件等的电炉中,并且氧化物半导体层140在一小时期间在450°C的温度在氮气气氛中经受热处理。此时,防止氧化物半导体层140暴露于空气,从而防止水或氢的进入。

[0146] 需要注意的是,热处理设备不限于电炉,并且可包括用于通过由介质(诸如,加热气体等)提供的热传导或热辐射加热待处理的物体的装置。例如,能够使用快速热退火

(RTA) 设备, 诸如气体快速热退火 (GRTA) 设备或者灯快速热退火 (LRTA) 设备。GRTA 设备是用于使用高温气体的热处理的设备。作为气体, 使用不会由于热处理而与待处理的物体发生反应的惰性气体, 诸如氮气或稀有气体 (诸如, 氩气)。LRTA 设备是用于通过从灯 (诸如, 卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或者高压汞灯) 发出的光的辐射 (电磁波) 加热待处理的物体的设备。

[0147] 例如, 作为第一热处理, GRTA 可如下执行。衬底被放置在已被加热到 650°C 至 700°C 的高温的惰性气体中, 加热几分钟, 并被从惰性气体中取出。GRTA 能够在短时间里实现高温热处理。另外, 即使当温度超过衬底的应变点时也可应用这种热处理, 因为仅花费很短时间。

[0148] 需要注意的是, 优选地在包含氮气或稀有气体 (例如, 氦气、氖气或氩气) 作为其主要成分并且不包含水、氢等的气氛中执行第一热处理。例如, 引入到热处理设备中的氮或稀有气体 (例如, 氦气、氖气或氩气) 的纯度大于或等于 6 N(99.9999%), 优选地大于或等于 7N(99.99999%) (也就是说, 杂质的浓度小于或等于 1ppm, 优选地, 小于或等于 0.1ppm)。

[0149] 在一些情况下, 根据第一热处理的条件或者氧化物半导体层的材料, 氧化物半导体层可能结晶化为微晶层或多晶层。例如, 氧化物半导体层可结晶化以变为具有大于或等于 90% 或者大于或等于 80% 的结晶的程度的微晶氧化物半导体层。另外, 根据第一热处理的条件或者氧化物半导体层的材料, 氧化物半导体层可变为不包含结晶成分的非晶氧化物半导体层。

[0150] 氧化物半导体层可变为在非晶氧化物半导体 (例如, 氧化物半导体层的表面) 中混有微晶 (具有大于或等于 1nm 并且小于或等于 20nm, 典型地, 大于或等于 2nm 并且小于或等于 4nm 的粒径) 的氧化物半导体层。

[0151] 另外, 通过非晶氧化物半导体中布置微晶能够改变氧化物半导体层的电特性。例如, 在利用用于沉积的基于 In-Ga-Zn-O 的氧化物半导体靶形成氧化物半导体层的情况下, 通过形成由具有电各向异性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 代表的晶粒排列的微晶部分能够改变氧化物半导体层的电特性。

[0152] 更具体地讲, 例如, 通过把 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 轴排列为取向沿着垂直于氧化物半导体层的表面的方向, 提高在平行于氧化物半导体层的表面的方向上的电导率, 由此在垂直于氧化物半导体层的表面的方向上的绝缘性质能够增加。另外, 这种微晶部分具有抑制杂质 (诸如, 水或氢) 进入氧化物半导体层的功能。

[0153] 需要注意的是, 通过由 GRTA 加热氧化物半导体层的表面能够形成以上包括微晶部分的氧化物半导体层。当使用 Zn 的量小于 In 或 Ga 的量的溅射靶时, 能够实现更加有利的形成。

[0154] 能够对还未处理成岛形层的氧化物半导体层 140 执行对氧化物半导体层 140 执行的第一热处理。在这种情况下, 在第一热处理之后, 从加热设备取出衬底并且执行光刻步骤。

[0155] 需要注意的是, 以上热处理能够使氧化物半导体层 140 脱水或脱氢, 因此能够称为脱水处理或脱氢处理。例如, 在形成氧化物半导体层之后, 在源或漏电极堆叠在氧化物半导体层 140 上方之后, 或者在保护绝缘层形成在源或漏电极上方之后, 可以在任何时刻执行这种脱水处理或脱氢处理。这种脱水处理或脱氢处理可执行超过一次。

[0156] 接下来,将源或漏电极 142a 和源或漏电极 142b 形成为与氧化物半导体层 140 接触(参见图 4F)。源或漏电极 142a 和源或漏电极 142b 能够以这种方式形成:形成导电层以覆盖氧化物半导体层 140,然后选择性地蚀刻该导电层。

[0157] 通过 PVD 法(诸如,溅射法)、CVD(诸如,等离子体 CVD 法)能够形成导电层。作为导电层的材料,能够使用从铝、铬、铜、钽、钛、钼和钨选择的元素,包含以上元素中的任何元素作为其成分的合金等。另外,可使用包含从锰、镁、锆、铍和钪选择的一种或多种元素的材料。组合铝和从钛、钽、钨、钼、铬、钽和铪选择的一种或多种元素的材料也可用于导电层的材料。

[0158] 替代地,可使用导电金属氧化物形成导电层。作为导电金属氧化物,能够使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟-氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$, 在一些情况下缩写入为 ITO)、氧化铟-氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$) 或者包含硅或氧化硅的金属氧化物材料中的任何材料。

[0159] 导电层可具有单层结构或者两层或更多层的叠层结构。例如,能够给出:包含硅的铝膜的单层结构;铝膜和堆叠在其上方的钛膜的两层结构;钛膜、铝膜和钛膜依次堆叠的三层结构等。

[0160] 这里,紫外线、KrF 激光束或者 ArF 激光束优选地用于形成蚀刻掩模的曝光。

[0161] 晶体管的沟道长度(L)由源或漏电极 142a 的下边缘部分和源或漏电极 142b 的下边缘部分之间的距离确定。在执行沟道长度(L)小于 25nm 的图案的曝光的情况下,在几纳米至几十纳米的极远紫外范围(该范围是极短波长)中执行用于制作掩模的曝光。在使用极远紫外光的曝光中,分辨率高并且聚焦深度大。因此,稍后将要形成的晶体管的沟道长度(L)能够大于或等于 10nm 并且小于或等于 1000nm,由此电路的操作速度能够增加。另外,晶体管的断态电流极小,这防止了功耗的增加。

[0162] 合适地调整层的材料和蚀刻条件,从而在导电层的蚀刻中不去除氧化物半导体层 140。需要注意的是,根据材料和蚀刻条件,氧化物半导体层 140 在一些情况下在这个步骤中被部分地蚀刻以变为具有凹槽(凹陷部分)的氧化物半导体层。

[0163] 氧化物导电层可形成在氧化物半导体层 140 和源或漏电极层 142a 之间并且在氧化物半导体层 140 和源或漏电极层 142b 之间。氧化物导电层以及用于形成源或漏电极 142a 和源或漏电极 142b 的导电层能够连续地形成(连续沉积)。氧化物导电层能够用作源区域或者漏区域。通过提供这种氧化物导电层,能够减小源区域和漏区域的电阻并且能够实现晶体管的高速操作。

[0164] 为了减少掩模和步骤的数量,可利用使用多色调掩模形成的抗蚀剂掩模执行蚀刻,多色调掩模是曝光掩模,光透射通过该曝光掩模以具有多种强度。利用多色调掩模形成的抗蚀剂掩模具有有着多种厚度的形状(阶梯状形状)并且还能够通过磨光而在形状方面改变;因此,抗蚀剂掩模能够用在多个蚀刻步骤中以用于处理成不同图案。也就是说,通过一个多色调掩模能够形成与至少两种或更多种不同图案对应的抗蚀剂掩模。因此,曝光掩模的数量能够减少并且对应的光刻步骤的数量也能够减少;由此能够实现工艺的简化。

[0165] 需要注意的是,在以上步骤之后优选地执行使用气体(诸如, N_2O 、 N_2 或 Ar)的等离子体处理。通过这种等离子体处理,附着于露出的氧化物半导体层的表面的水被去除。替代地,可使用氧气和氩气的混合气体执行等离子体处理。

[0166] 其后,在不暴露于空气的情况下形成与氧化物半导体层 140 的一部分接触的保护绝缘层 144(参见图 4G)。

[0167] 通过合适地采用诸如溅射法的方法能够形成保护绝缘层 144,通过该方法防止杂质(诸如,水或氢)进入保护绝缘层 144。保护绝缘层 144 形成为具有大于或等于 1nm 的厚度。作为能够用于保护绝缘层 144 的材料,存在氧化硅、氮化硅、氮氧化硅、氧氮化硅等。保护绝缘层 144 可具有单层结构或叠层结构。用于保护绝缘层 144 的成形的衬底温度优选地高于或等于室温并且低于或等于 300°C。用于保护绝缘层 144 的形成的气氛优选地是稀有气体(通常为氩气)气氛、氧气气氛或者稀有气体(通常为氩气)和氧气的混合气氛。

[0168] 如果氢被包含在保护绝缘层 144 中,则引起氢进入到氧化物半导体层、由氢提取氧化物半导体层中的氧等,并且使氧化物半导体层的背沟道侧的电阻变低,这可形成寄生沟道。因此,很重要地,采用尽可能少地使用氢的形成方法,从而保护绝缘层 144 尽可能少地包含氢。

[0169] 另外,优选地,在去除处理室中的剩余水分的同时形成保护绝缘层 144。这是为了防止氢、羟基或水分被包含在氧化物半导体层 140 和保护绝缘层 144 中。

[0170] 为了去除处理室中的剩余水分,优选地使用捕集真空泵。例如,优选地使用低温泵、离子泵或者钛升华泵。抽空单元可以是具有冷阱的涡轮泵。从利用低温泵抽空的沉积室去除氢原子、包含氢原子的化合物(诸如,水(H₂O))等,由此减小在沉积室中形成的保护绝缘层 144 中所包含的杂质的浓度。

[0171] 作为在保护绝缘层 144 的形成中使用的溅射气体,优选地使用杂质(诸如,氢、水、羟基或氢化物)减少至近似百万分之几(优选地,十亿分之几)的高纯度气体。

[0172] 然后,优选地在惰性气体气氛或氧气气氛中执行第二热处理(优选地在高于或等于 200°C 并且低于或等于 400°C 的温度,例如在高于或等于 250°C 并且低于或等于 350°C 的温度)。例如,在一小时期间在 250°C 在氮气气氛中执行第二热处理。第二热处理能够减小薄膜晶体管的电特性的变化。

[0173] 另外,可在空气中在大于或等于 1 小时并且小于或等于 30 小时期间在高于或等于 100°C 并且低于或等于 200°C 的温度执行热处理。可在固定加热温度执行这种热处理。替代地,可反复多次应用下面的温度循环:温度从室温增加至高于或等于 100°C 并且低于或等于 200°C 的温度,然后减小至室温。另外,这种热处理可在保护绝缘层的形成之前在减小的压力下执行。减小的压力能够使热处理时间较短。需要注意的是,可替代于第二热处理执行这种热处理;替代地,可除了第二热处理之外还在第二热处理之前或之后执行这种热处理。

[0174] 然后,层间绝缘层 146 形成在保护绝缘层 144 上方(参见图 5A)。层间绝缘层 146 能够通过 PVD 法、CVD 法等形式形成。包含无机绝缘材料(诸如,氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝或氧化钽)的材料能够用于层间绝缘层 146。另外,在形成层间绝缘层 146 之后,层间绝缘层 146 的表面优选地经受 CMP 处理、蚀刻处理等以便变平。

[0175] 接下来,在层间绝缘层 146、保护绝缘层 144 和栅极绝缘层 138 中形成到达电极 136a、136b 和 136c、源或漏电极 142a 和源或漏电极 142b 的开口;然后,导电层 148 形成为嵌入在这些开口中(参见图 5B)。例如,通过使用掩模的蚀刻能够形成以上开口。例如,通过经使用光掩模曝光能够形成掩模。对于蚀刻,可执行湿法蚀刻或干法蚀刻,但考虑到精细图案化,优选地执行干法蚀刻。通过诸如 PVD 法或 CVD 法的沉积方法能够形成导电层 148。

用于导电层 148 的材料例子包括导电材料,诸如钼、钛、铬、钽、钨、铝、铜、钹和铈、这些材料中的任何材料的合金以及包含这些材料中的任何材料的化合物(例如,这些材料中的任何材料的氮化物)。

[0176] 具体地讲,例如,导电层 148 能够如下形成:钛膜在包括开口的区域中通过 PVD 法形成为具有小的厚度并且氮化钛膜随后通过 CVD 法形成为具有小的厚度;然后,钨膜形成为嵌入在开口中。这里,通过 PVD 法形成的钛膜具有减小在界面的氧化膜并减小与下部电极(这里,电极 136a、136b 和 136c、源或漏电极 142a 和源或漏电极 142b 等)的接触电阻的功能。另外,随后形成的氮化钛膜具有阻挡层性质,从而防止导电材料的扩散。替代地,在使用钛、氮化钛等形成阻挡膜之后,可通过镀覆法形成铜膜。

[0177] 在形成导电层 148 之后,通过蚀刻处理、CMP 处理等去除导电层 148 的一部分,从而露出层间绝缘层 146 并且形成电极 150a、150b、150c、150d 和 150e(参见图 5C)。需要注意的是,当通过去除以上导电层 148 的一部分形成电极 150a、150b、150c、150d 和 150e 时,优选地执行处理从而获得变平的表面。通过使层间绝缘层 146 以及电极 150a、150b、150c、150d 和 150e 的表面变平,能够在稍后的步骤中形成有利的电极、配线、绝缘层等。

[0178] 另外,形成绝缘层 152 并且在绝缘层 152 中形成到达电极 150a、150b、150c、150d 和 150e 的开口;然后,导电层形成为嵌入在这些开口中。其后,通过蚀刻、CMP 等去除导电层的一部分,从而露出绝缘层 152 并且形成电极 154a、154b、154c 和 154d(参见图 5D)。这个步骤类似于形成电极 150a 等的步骤;因此,这里省略详细的描述。

[0179] 当以上述方式制造晶体管 162 时,氧化物半导体层 140 中的氢浓度小于或等于 5×10^{19} 原子/cm³ 并且晶体管 162 的断态电流小于或等于 1×10^{-13} A。因此,通过采用高度净化的氧化物半导体层 140 能够获得具有极佳特性的晶体管 162,在高度净化的氧化物半导体层 140 中,充分地减小了氢浓度并且减少了由于缺氧导致的缺陷。另外,能够制造具有极佳特性的半导体装置,该半导体装置包括位于下部的使用除氧化物半导体之外的材料形成的晶体管 160 和位于上部的使用氧化物半导体形成的晶体管 162。

[0180] 需要注意的是,碳化硅(例如,4H-SiC)是与氧化物半导体相比的半导体材料。氧化物半导体和 4H-SiC 具有一些共同的特点。一个例子是载流子密度。在室温使用费米-狄拉克(Fermi-Dirac)分布,少数载流子的密度在氧化物半导体中被估计为近似 10^{-7} /cm³,该密度与 4H-SiC 的 6.7×10^{-11} /cm³ 一样极低。当比较氧化物半导体的少数载流子密度与硅的本征载流子密度(1.4×10^{10} /cm³)时,容易理解氧化物半导体的少数载流子密度很低。

[0181] 另外,氧化物半导体的能带隙为 3.0eV 至 3.5eV,并且 4H-SiC 的能带隙为 3.26eV,这意味着氧化物半导体和碳化硅都是宽带隙半导体。

[0182] 相比之下,在氧化物半导体和碳化硅之间存在很大差异,即在处理温度方面。在使用碳化硅的半导体处理中通常需要在 1500°C 至 2000°C 激活的热处理,从而难以形成碳化硅和使用除碳化硅之外的半导体材料形成的半导体元件的叠层。这是因为,半导体衬底、半导体元件等被这种高温损伤。另一方面,能够利用在 300°C 至 500°C(在低于或等于玻璃态转化温度的温度,最大为近似 700°C)的热处理形成氧化物半导体;因此,在使用其他半导体材料形成集成电路之后,能够使用氧化物半导体形成半导体元件。

[0183] 氧化物半导体相对于碳化硅具有这样的优点:能够使用低耐热衬底,诸如玻璃衬底。此外,氧化物半导体还具有这样的优点:与碳化硅相比能够充分地减少能量成本,因为

不需要在高温的加热温度。

[0184] 需要注意的是,虽然进行了许多关于诸如氧化物半导体的态密度(DOS)的物理性质的研究,但它们未提出充分地减少能隙中的局域态的思想。在公开的发明的一个实施例中,从氧化物半导体去除能够引起局域能级的水或氢,由此制造高度净化的氧化物半导体。这基于充分地减少局域态的思想并实现了优异工业产品的制造。

[0185] 需要注意的是,当去除氢、水等时,在一些情况下也去除氧。因此,有利的是,通过把氧提供给由于缺氧产生的金属的悬空键从而减少由于缺氧导致的局域态,进一步净化氧化物半导体(使其成为i型氧化物半导体)。例如,由于缺氧导致的局域态能够以下面的方式减少:具有过多氧的氧化膜形成为与沟道形成区域紧密接触;并且执行在200℃至400℃(典型地,近似250℃)的热处理,从而氧被从氧化膜提供给氧化物半导体。

[0186] 另外,在充分地减少氢、水等的气氛或者氧气气氛中执行并且跟在第二加热处理之后的温度减小步骤中,氧能够被提供给氧化物半导体。

[0187] 能够考虑:氧化物半导体的缺陷的因素是在导带以下在0.1eV至0.2eV由于过多的氢导致的浅能级、由于缺氧导致的深能级等。彻底去除氢并充分地提供氧以便消除这些缺陷的技术思想应该是有效的。

[0188] 需要注意的是,虽然氧化物半导体通常具有n型电导率,但在公开的发明的一个实施例中,通过去除杂质(诸如,水或氢)并提供作为氧化物半导体的成分的氧使氧化物半导体成为i型氧化物半导体。从这个方面,不同于通过添加杂质而成为i型硅的硅的情况,公开的发明的一个实施例包括新的技术思想。

[0189] 需要注意的是,使用氧化物半导体形成的晶体管162在这个实施例中是底栅晶体管;然而,本发明的实施例不限于此。晶体管162可以是底栅晶体管、顶栅晶体管或者双栅晶体管。双栅晶体管表示这样的晶体管:两个栅电极层布置在沟道区域上方和下方并且在其间布置栅极绝缘层。

[0190] <使用氧化物半导体的晶体管的导电机制>

[0191] 将参照图31、图32、图33A和33B以及图34描述包括氧化物半导体的晶体管的导电机制。需要注意的是,下面的描述为了容易理解而基于理想情况的假设并且不必反映实际情况。还需要注意的是,下面的描述仅是一种考虑并且不影响本发明的有效性。

[0192] 图31是包括氧化物半导体的晶体管(薄膜晶体管)的截面图。氧化物半导体层(OS)布置在栅电极(GE1)上方并且栅极绝缘层(GI)位于它们之间,并且源电极(S)和漏电极(D)布置在它们上方。提供绝缘层以覆盖源电极(S)和漏电极(D)。

[0193] 图32是图31的A-A'部分的能带图(示意图)。在图32中,黑圆圈(●)和白圆圈(○)分别代表电子和空穴并具有电荷(-q,+q)。在正电压($V_D > 0$)施加于漏电极的情况下,虚线显示没有电压施加于栅电极($V_G = 0$)的情况,并且实线显示正电压施加于栅电极($V_G > 0$)的情况。在没有电压施加于栅电极的情况下,载流子(电子)因为高势垒而不会从电极注入到氧化物半导体侧,从而电流不流动,这意味着截止状态。另一方面,当正电压施加于栅电极时,势垒降低,因此电流流动,这意味着导通状态。

[0194] 图33A和33B是图31的B-B'部分的能带图(示意图)。图33A表示正电压($V_G > 0$)施加于栅电极(GE1)并且载流子(电子)在源电极和漏电极之间流动的导通状态。图33B表示负电压($V_G < 0$)施加于栅电极(GE1)并且少数载流子不流动的截止状态。

[0195] 图 34 表示真空能级和金属的功函数 (ϕ_m) 之间的关系以及真空能级和氧化物半导体的电子亲和势 (χ) 之间的关系。

[0196] 在普通温度,金属中的电子退化并且费米能级位于导带中。另一方面,常规氧化物半导体是 n 型半导体,在 n 型半导体中,费米能级 (E_F) 离开位于带隙的中间的本征费米能级 (E_i) 并更靠近导带。需要注意的是,已知氢的一部分是氧化物半导体中的施主并且是导致氧化物半导体成为 n 型半导体的一个因素。

[0197] 另一方面,通过去除作为使氧化物半导体具有 n 型电导的一个因素的氢以便按照尽可能少地包含不是其主要成分的元素(杂质元素)的方式进行高度净化,使根据公开的发明的一个实施例的氧化物半导体成为本征(i 型)氧化物半导体或者基本上本征的氧化物半导体。换句话说,根据公开的发明的一个实施例的氧化物半导体不是通过添加杂质元素而成为 i 型氧化物半导体的氧化物半导体,而是通过尽可能多地去除杂质(诸如,氢或水)而高度净化的 i 型(本征)或者几乎 i 型的氧化物半导体。以这种方式,费米能级 (E_F) 能够极为接近本征费米能级 (E_i)。

[0198] 据称,氧化物半导体的带隙 (E_g) 为 3.15eV 并且电子亲和势 (χ) 是 4.3V。源电极和漏电极中所包括的钛(Ti)的功函数基本上等于氧化物半导体的电子亲和势 (χ)。在这种情况下,在金属和氧化物半导体之间的界面未形成电子的肖特基势垒。

[0199] 此时,电子在栅极绝缘层和净化的氧化物半导体(在能量方面稳定的氧化物半导体的最下面部分)之间的界面的附近移动,如图 33A 中所示。

[0200] 另外,如图 33B 中所示,当负电位施加于栅电极(GE1)时,电流的值极为接近零,因为作为少数载流子的空穴基本上为零。

[0201] 以这种方式,通过进行净化以使得尽可能少地包含除其主要元素之外的元素(即,杂质元素),获得本征(i 型)氧化物半导体或者基本上本征的氧化物半导体。因此,氧化物半导体和栅极绝缘层之间的界面的特性变得明显。由于这个原因,栅极绝缘层需要能够与氧化物半导体形成有利的界面。具体地讲,优选地使用例如使用利用 VHF 频带至微波频带的范围中的电源频率产生的高密度等离子体通过 CVD 法形成的绝缘层、通过溅射法形成的绝缘层等。

[0202] 当净化氧化物半导体并且使氧化物半导体和栅极绝缘层之间的界面变得有利时,在晶体管具有例如 $1 \times 10^4 \mu\text{m}$ 的沟道宽度(W)和 $3 \mu\text{m}$ 的沟道长度(L)的情况下,可实现 10^{-13}A 或更小的断态电流和 0.1V/dec 的亚阈值摆幅(S 值)(利用 100nm 厚的栅极绝缘层)。

[0203] 如上所述净化氧化物半导体以尽可能少地包含除其主要元素之外的元素(即,杂质元素),从而薄膜晶体管能够以有利的方式工作。

[0204] < 修改例子 >

[0205] 参照图 6、图 7A 和 7B、图 8A 和 8B 以及图 9A 和 9B 描述半导体装置的结构修改例子。需要注意的是,在下面的修改例子中,晶体管 162 的结构不同于已经描述的结构。换句话说,晶体管 160 的结构类似于已经描述的结构。

[0206] 在图 6 中表示的例子中,晶体管 162 包括位于氧化物半导体层 140 和源或漏电极 142a 和源或漏电极 142b 下方的栅电极 136d,源或漏电极 142a 和源或漏电极 142b 在氧化物半导体层 140 的底表面与氧化物半导体层 140 接触。由于平面结构可对应于截面结构合适地改变,所以在里仅描述截面结构。

[0207] 作为图 6 中表示的结构和图 2A 和 2B 中表示的结构之间的很大差异,存在源或漏电极 142a 和源或漏电极 142b 连接到氧化物半导体层 140 的多个连接位置。也就是说,在图 2A 和 2B 中表示的结构中,源或漏电极 142a 和源或漏电极 142b 在氧化物半导体层 140 的顶表面与氧化物半导体层 140 接触;另一方面,在图 6 中表示的结构中,源或漏电极 142a 和源或漏电极 142b 在氧化物半导体层 140 的底表面与氧化物半导体层 140 接触。另外,由于这种接触的差异,其他电极、其他绝缘层等的位置改变。关于每个部件的细节,可以参照图 2A 和 2B。

[0208] 具体地讲,半导体装置包括:栅电极 136d,布置在层间绝缘层 128 上方;栅极绝缘层 138,布置在栅电极 136d 上方;源或漏电极 142a 和源或漏电极 142b,布置在栅极绝缘层 138 上方;和氧化物半导体层 140,与源或漏电极 142a 和源或漏电极 142b 的顶表面接触。

[0209] 这里,栅电极 136d 布置为嵌入在绝缘层 132 中,绝缘层 132 形成在层间绝缘层 128 上方。另外,类似于栅电极 136d,电极 136a、电极 136b 和电极 136c 被形成为分别与源或漏电极 130a、源或漏电极 130b 和电极 130c 接触。

[0210] 在晶体管 162 上方,提供保护绝缘层 144 并且保护绝缘层 144 与氧化物半导体层 140 的一部分接触。层间绝缘层 146 布置在保护绝缘层 144 上方。这里,在保护绝缘层 144 和层间绝缘层 146 中,形成到达源或漏电极 142a 和源或漏电极 142b 的开口。在这些开口中,电极 150d 和电极 150e 被形成为分别与源或漏电极 142a 和源或漏电极 142b 接触。类似于电极 150d 和电极 150e,在栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 中的开口中,电极 150a、电极 150b 和电极 150c 被形成为分别与电极 136a、电极 136b 和电极 136c 接触。

[0211] 另外,绝缘层 152 布置在层间绝缘层 146 上方。电极 154a、电极 154b、电极 154c 和电极 154d 布置为嵌入在绝缘层 152 中。这里,电极 154a 与电极 150a 接触;电极 154b 与电极 150b 接触;电极 154c 与电极 150c 和 150d 接触;并且电极 154d 与电极 150e 接触。

[0212] 图 7A 和 7B 中的每一个表示栅电极 136d 布置在氧化物半导体层 140 上方的例子。这里,图 7A 表示源或漏电极 142a 和源或漏电极 142b 在氧化物半导体层 140 的底表面与氧化物半导体层 140 接触的例子;并且图 7B 表示源或漏电极 142a 和源或漏电极 142b 在氧化物半导体层 140 的顶表面与氧化物半导体层 140 接触的例子。

[0213] 图 7A 和 7B 的结构在很大程度上不同于图 2A 和 2B 以及图 6 中的结构,差别在于:栅电极 136d 布置在氧化物半导体层 140 上方。另外,图 7A 中表示的结构和图 7B 中表示的结构之间的很大差异在于源或漏电极 142a 和源或漏电极 142b 与氧化物半导体层 140 接触的表面,该接触的表面是氧化物半导体层 140 的顶表面或底表面。另外,由于这些差异,其他电极、其他绝缘层等的位置改变。关于每个部件的细节,可以参照图 2A 和 2B 中表示的结构。

[0214] 具体地讲,在图 7A 中,半导体装置包括:源或漏电极 142a 和源或漏电极 142b,布置在层间绝缘层 128 上方;氧化物半导体层 140,与源或漏电极 142a 和源或漏电极 142b 的顶表面接触;栅极绝缘层 138,布置在氧化物半导体层 140 上方;和栅电极 136d,在栅极绝缘层 138 上方位于与氧化物半导体层 140 重叠的区域中。

[0215] 在图 7B 中,半导体装置包括:氧化物半导体层 140,布置在层间绝缘层 128 上方;源或漏电极 142a 和源或漏电极 142b,布置为与氧化物半导体层 140 的顶表面接触;栅极绝

缘层 138,布置在氧化物半导体层 140、源或漏电极 142a 和源或漏电极 142b 上方;和栅电极 136d,在栅极绝缘层 138 上方位于与氧化物半导体层 140 重叠的区域中。

[0216] 需要注意的是,在图 7A 和 7B 中表示的结构中,在一些情况下能够省略图 2A 和 2B 等中表示的结构所具有的部件(例如,电极 150a、电极 154a 等)。在这种情况下,能够次要地实现制造过程的简化。当然,在图 2A 和 2B 等中表示的结构中也能够省略不必要的部件。

[0217] 图 8A 和 8B 中的每一个表示元件具有相对较大的尺寸并且栅电极 136d 布置在氧化物半导体层 140 下方的结构的例子。在这种情况下,配线、电极等不需要被形成为嵌入在绝缘层中,因为表面的平整度或覆盖范围不需要极高。例如,栅电极 136d 等能够以这种方式形成:形成导电层,然后进行图案化。需要注意的是,虽然未示出,但能够类似地制造晶体管 160。

[0218] 图 8A 中表示的结构和图 8B 中表示的结构之间的很大差异在于源或漏电极 142a 和源或漏电极 142b 与氧化物半导体层 140 接触的表面,该接触的表面是氧化物半导体层 140 的顶表面或底表面。另外,由于这种差异,其他电极、其他绝缘层等的位置改变。关于每个部件的细节,可以参照图 2A 和 2B 或其它附图中表示的结构。

[0219] 具体地讲,在图 8A 中表示的结构中,半导体装置包括:栅电极 136d,布置在层间绝缘层 128 上方;栅极绝缘层 138,布置在栅电极 136d 上方;源或漏电极 142a 和源或漏电极 142b,布置在栅极绝缘层 138 上方;和氧化物半导体层 140,与源或漏电极 142a 和源或漏电极 142b 的顶表面接触。

[0220] 在图 8B 中表示的结构中,半导体装置包括:栅电极 136d,布置在层间绝缘层 128 上方;栅极绝缘层 138,布置在栅电极 136d 上方;氧化物半导体层 140,布置在栅极绝缘层 138 上方以与栅电极 136d 重叠;以及源或漏电极 142a 和源或漏电极 142b,布置为与氧化物半导体层 140 的顶表面接触。

[0221] 需要注意的是,在图 8A 和 8B 中表示的结构中,在一些情况下也能够省略图 2A 和 2B 等中表示的结构所具有的部件。在这种情况下,也能够实现制造过程的简化。

[0222] 图 9A 和 9B 中的每一个表示元件具有相对较大的尺寸并且栅电极 136d 布置在氧化物半导体层 140 上方的结构的例子。在这种情况下,配线、电极等也不需要被形成为嵌入在绝缘层中,因为表面的平整度或覆盖范围不需要极高。例如,栅电极 136d 等能够以这种方式形成:形成导电层,然后进行图案化。需要注意的是,虽然未示出,但能够类似地制造晶体管 160。

[0223] 图 9A 中表示的结构和图 9B 中表示的结构之间的很大差异在于源或漏电极 142a 和源或漏电极 142b 与氧化物半导体层 140 接触的表面,该接触的表面是氧化物半导体层 140 的顶表面或底表面。另外,由于这种差异,其他电极、其他绝缘层等的位置改变。关于每个部件的细节,可以参照图 2A 和 2B 或其它附图中表示的结构。

[0224] 具体地讲,在图 9A 中,半导体装置包括:源或漏电极 142a 和源或漏电极 142b,布置在层间绝缘层 128 上方;氧化物半导体层 140,与源或漏电极 142a 和源或漏电极 142b 的顶表面接触;栅极绝缘层 138,布置在源或漏电极 142a、源或漏电极 142b 和氧化物半导体层 140 上方;和栅电极 136d,在栅极绝缘层 138 上方布置在与氧化物半导体层 140 重叠的区域中。

[0225] 在图 9B 中,半导体装置包括:氧化物半导体层 140,布置在层间绝缘层 128 上方;

源或漏电极 142a 和源或漏电极 142b, 布置为与氧化物半导体层 140 的顶表面接触; 栅极绝缘层 138, 布置在源或漏电极 142a、源或漏电极 142b 和氧化物半导体层 140 上方; 和栅电极 136d, 在栅极绝缘层 138 上方布置在与氧化物半导体层 140 重叠的区域中。

[0226] 需要注意的是, 在图 9A 和 9B 中表示的结构中, 在一些情况下也能够省略图 2A 和 2B 等中表示的结构所具有的部件。在这种情况下, 也能够实现制造过程的简化。

[0227] 如上所述, 根据公开的发明的一个实施例, 实现了具有新型结构的半导体装置。虽然晶体管 160 和晶体管 162 在这个实施例中是堆叠的, 但半导体装置的结构不限于此。另外, 虽然描述了晶体管 160 的沟道长度方向和晶体管 162 的沟道长度方向彼此垂直的例子, 但晶体管 160 和 162 的位置不限于此。另外, 晶体管 160 和 162 可布置为彼此重叠。

[0228] 需要注意的是, 虽然在这个实施例中为了容易理解而描述了每最小存储单元 (一位) 的半导体装置, 但半导体装置的结构不限于此。通过合适地连接多个半导体装置能够形成更发达的半导体装置。例如, 通过使用多个半导体装置可制作 NAND 类型或 NOR 类型半导体装置。配线的结构不限于图 1 中表示的配线的结构并且能够合适地改变。

[0229] 在根据这个实施例的半导体装置中, 晶体管 162 的小断态电流特性使数据能够保存极长时间。换句话说, 不需要在 DRAM 等中需要的刷新操作; 因此, 能够抑制功耗。另外, 该半导体装置能够基本上用作非易失性半导体装置。

[0230] 由于通过晶体管 162 的开关操作写入数据, 所以不需要高电压并且在半导体装置中元件不会劣化。另外, 因为通过使晶体管导通或截止来写入或擦除数据, 所以半导体装置能够容易地工作于高速。另外, 存在这样的优点: 不需要用于擦除数据的擦除操作, 擦除操作是 闪存存储器等中的必要操作。

[0231] 另外, 使用除氧化物半导体之外的材料形成的晶体管能够与使用氧化物半导体形成的晶体管相比工作于高得多的速度, 并因此实现存储内容的高速读取。

[0232] 在这个实施例中描述的结构、方法等能够合适地与任何其它实施例中的结构、方法等组合。

[0233] [实施例 2]

[0234] 在这个实施例中, 描述根据本发明实施例的半导体装置的电路结构和操作。

[0235] 半导体装置中所包括的存储元件 (以下, 也称为存储单元) 的电路图的例子表示在图 10 中。图 10 中表示的存储单元 200 是多值存储单元并包括源极线 SL、位线 BL、第一信号线 S1、第二信号线 S2、字线 WL、晶体管 201、晶体管 202、晶体管 203 和电容器 205。使用除氧化物半导体之外的材料形成晶体管 201 和 203, 并且使用氧化物半导体形成晶体管 202。

[0236] 这里, 晶体管 201 的栅电极电连接到晶体管 202 的源电极和漏电极中的一个。另外, 源极线 SL 电连接到晶体管 201 的源电极, 并且晶体管 203 的源电极电连接到晶体管 201 的漏电极。位线 BL 电连接到晶体管 203 的漏电极, 并且第一信号线 S1 电连接到晶体管 202 的源电极和漏电极中的另一个。第二信号线 S2 电连接到晶体管 202 的栅电极, 并且字线 WL 电连接到晶体管 203 的栅电极。另外, 电容器 205 的一个电极电连接到晶体管 201 的栅电极以及所述晶体管 202 的源电极和漏电极中的一个。为电容器 205 的另一个电极提供预定电位, 例如 GND。

[0237] 接下来, 描述图 10 中表示的存储单元 200 的操作。描述存储单元 200 是四值存储

单元的情况。存储单元 200 的四种状态是数据“00b”、“01b”、“10b”和“11b”，并且在四种状态下的节点 A 的电位分别是 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。

[0238] 当对存储单元 200 执行写入时，源极线 SL 设置为 0[V]，字线 WL 设置为 0[V]，位线 BL 设置为 0[V]，并且第二信号线 S2 设置为 2[V]。当执行数据“00b”的写入时，第一信号线 S1 设置为 V_{00} [V]。当执行数据“01b”的写入时，第一信号线 S1 设置为 V_{01} [V]。当执行数据“10b”的写入时，第一信号线 S1 设置为 V_{10} [V]。当执行数据“11b”的写入时，第一信号线 S1 设置为 V_{11} [V]。此时，晶体管 203 处于截止状态并且晶体管 202 处于导通状态。需要注意的是，在写入的末尾，在第一信号线 S1 的电位改变之前，第二信号线 S2 设置为 0[V]，从而晶体管 202 截止。

[0239] 结果，在写入数据“00b”、“01b”、“10b”或“11b”之后，连接到晶体管 201 的栅电极的节点（以下，称为节点 A）的电位分别为近似 V_{00} [V]、 V_{01} [V]、 V_{10} [V] 或 V_{11} [V]。电荷根据第一信号线 S1 的电位而积聚在节点 A 中，并且由于晶体管 202 的截止电流极小或者基本上为 0，所以晶体管 201 的栅电极的电位长时间保留。

[0240] 当执行存储单元 200 的读取时，首先，位线 BL 预充电至 V_{pc} [V]。然后，源极线 SL 设置为 V_{s_read} [V]，字线 WL 设置为 2V，第二信号线 S2 设置为 0V，并且第一信号线 S1 设置为 0[V]。此时，晶体管 203 处于导通状态并且晶体管 202 处于截止状态。

[0241] 结果，电流从源极线 SL 流至位线 BL，并且位线 BL 充电至由（节点 A 的电位）-（晶体管 201 的阈值电压 V_{th} ）代表的电位。因此，位线 BL 的电位变为分别与数据“00b”、“01b”、“10b”和“11b”对应的 $V_{00}-V_{th}$ 、 $V_{01}-V_{th}$ 、 $V_{10}-V_{th}$ 和 $V_{11}-V_{th}$ 。由于位线的与数据对应的电位彼此不同，所以连接到位线 BL 的读取电路能够读出数据“00b”、“01b”、“10b”和“11b”。

[0242] 包括 $m \times n$ 位的存储容量的根据本发明实施例的半导体装置的方框电路图表示在图 11 中。

[0243] 根据本发明实施例的半导体装置包括： m 个字线 WL； m 个第二信号线 S2； n 个位线 BL； n 个第一信号线 S1； n 个源极线 SL；存储单元阵列 210，包括按照 m 个单元（行）乘 n 个单元（列）（ m 和 n 都是自然数）的矩阵布置的多个存储单元 200 (1, 1) 至 200 (m , n)；和外围电路，诸如读取电路 211、第一信号线驱动器电路 212、用于第二信号线和字线的驱动器电路 213 和电位产生电路 214。作为其他外围电路，可提供刷新电路等。

[0244] 考虑每个存储单元，例如存储单元 200 (i , j)（这里， i 是大于或等于 1 并且小于或等于 m 的整数， j 是大于或等于 1 并且小于或等于 n 的整数）。存储单元 200 (i , j) 连接到位线 BL (j)、第一信号线 S1 (j)、源极线 SL (j)、字线 WL (i) 和第二信号线 S2 (i)。另外，位线 BL (1) 至 BL (n) 和源极线 SL (1) 至 SL (n) 连接到读取电路 211。第一信号线 S1 (1) 至 S1 (n) 连接到第一信号线驱动器电路 212。字线 WL (1) 至 WL (m) 和第二信号线 S2 (1) 至 S2 (m) 连接到用于第二信号线和字线的驱动器电路 213。

[0245] 用于第二信号线和字线的驱动器电路 213 的例子表示在图 12 中。用于第二信号线和字线的驱动器电路 213 包括解码器 215。解码器 215 经开关连接到第二信号线 S2 和字线 WL。另外，第二信号线 S2 和字线 WL 经开关连接到 GND（地电位）。这些开关由读使能信号（RE 信号）或者写使能信号（WE 信号）控制。地址信号 ADR 从外部输入到解码器 215。

[0246] 当地址信号 ADR 输入到用于第二信号线和字线的驱动器电路 213 时，由该地址指定的行（以下，也称为选择的行）被断言（激活）并且其它行（以下，也称为非选择的行）

被去断言（去激活）。另外，当断言 RE 信号时，字线 WL 连接到解码器 215 的输出，并且当去断言 RE 信号时，字线 WL 连接到 GND。当断言 WE 信号时，第二信号线 S2 连接到解码器 215 的输出，并且当去断言 WE 信号时，第二信号线 S2 连接到 GND。

[0247] 第一信号线驱动器电路 212 的例子表示在图 13 中。第一信号线驱动器电路 212 包括复用器 (MUX1)。DI 和写入电位 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} 输入到复用器 (MUX1)。复用器的输出端子经开关连接到第一信号线 S1。另外，第一信号线 S1 经开关连接到 GND。这些开关由写入使能信号 (WE 信号) 控制。

[0248] 当 DI 输入到第一信号线驱动器电路 212 时，复用器 (MUX1) 根据 DI 的值从写入电位 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} 选择写入电位 V_w 。复用器 (MUX1) 的行为显示在表 1 中。当断言 WE 信号时，选择的写入电位 V_w 施加于第一信号线 S1。当去断言 WE 信号时，0V 施加于第一信号线 S1 (第一信号线 S1 连接到 GND)。

[0249] [表 1]

[0250]

DI[1]	DI[0]	MUX1 输出
0	0	对应于 V_{00}
0	1	对应于 V_{01}
1	0	对应于 V_{10}
1	1	对应于 V_{11}

[0251] 读取电路 211 的例子表示在图 14 中。读取电路 211 包括多个感测放大器电路、逻辑电路 219 等。每个感测放大器电路的一个输入端子经开关连接到位线 BL 或配线 V_{pc} 。参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 中的任何一个输入到每个感测放大器电路的另一个输入端子。每个感测放大器电路的输出端子连接到逻辑电路 219 的输入端子。需要注意的是，这些开关由读使能信号 (RE 信号) 控制。

[0252] 通过设置每个参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 的值以满足 $V_{00} - V_{th} < V_{ref0} < V_{01} - V_{th} < V_{ref1} < V_{10} - V_{th} < V_{ref2} < V_{11} - V_{th}$ ，能够读出存储单元的状态作为 3 位数字信号。例如，在数据“00b”的情况下，位线 BL 的电位是 $V_{00} - V_{th}$ 。这里，位线的电位小于参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 中的任何一个；因此，感测放大器电路的每个输出 SA_OUT0、SA_OUT1 和 SA_OUT2 变为“0”。类似地，在数据“01b”的情况下，位线 BL 的电位是 $V_{01} - V_{th}$ ，从而感测放大器电路的输出 SA_OUT0、SA_OUT1 和 SA_OUT2 分别变为“1”、“0”和“0”。在数据“10b”的情况下，位线 BL 的电位是 $V_{10} - V_{th}$ ，由此感测放大器电路的输出 SA_OUT0、SA_OUT1 和 SA_OUT2 分别变为“1”、“1”和“0”。在数据“11b”的情况下，位线 BL 的电位是 $V_{11} - V_{th}$ ，从而感测放大器电路的输出 SA_OUT0、SA_OUT1 和 SA_OUT2 分别变为“1”、“1”和“1”。其后，使用在表 2 中的逻辑表中显示的逻辑电路 219，从读取电路 211 产生并输出 2 位数据 DO。

[0253] [表 2]

[0254]

SA_OUT0	SA_OUT1	SA_OUT2	DO1	DO0
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

[0255] 需要注意的是，在这里表示的读取电路 211 中，当去断言 RE 信号时，源极线 SL 连接到 GND 并且 0V 施加于源极线 SL。同时，电位 V_{pc} [V] 施加于位线 BL 和连接到位线 BL 的感

测放大器电路的端子。当断言 RE 信号时, V_{s_read} [V] 施加于源极线 SL, 由此反映数据的电位被充电至位线 BL。然后, 执行读取。需要注意的是, 电位 V_{pc} 设置为低于 $V_{00}-V_{th}$ 。另外, V_{s_read} 设置为高于 $V_{11}-V_{th}$ 。

[0256] 需要注意的是, 在读取中比较的“位线 BL 的电位”包括通过开关连接到位线 BL 的感测放大器电路的输入端子的节点的电位。也就是说, 在读取电路中比较的电位不必完全与位线 BL 的电位相同。

[0257] 电位产生电路 214 的例子表示在图 15 中。在电位产生电路 214 中, 通过电阻在 V_{dd} 和 GND 之间分割电位, 由此能够获得所希望的电位。然后, 通过模拟缓冲器 220 输出产生的电位。以这种方式, 产生写入电位 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} 以及参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 。需要注意的是, $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 的结构表示在图 21 中; 然而, 电位关系不限于此。通过调整电阻器和参考电位所连接到的节点, 能够合适地产生所需的电位。另外, 可使用与 V_{ref0} 、 V_{ref1} 和 V_{ref2} 不同的电位产生电路产生 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} 。

[0258] 图 17 表示差分感测放大器作为感测放大器电路的例子。差分感测放大器包括输入端子 $V_{in}(+)$ 和 $V_{in}(-)$ 以及输出端子 V_{out} , 并放大 $V_{in}(+)$ 和 $V_{in}(-)$ 之差。 V_{out} 在 $V_{in}(+) > V_{in}(-)$ 时是近似高输出并且在 $V_{in}(+) < V_{in}(-)$ 时是近似低输出。

[0259] 图 18 表示锁存感测放大器作为感测放大器电路的例子。锁存感测放大器包括输入-输出端子 V1 和 V2 以及控制信号 Sp 和 Sn 的输入端子。首先, 停止把信号 Sp 设置为高并且把信号 Sn 设置为低的电源。接下来, 把待比较的电位施加于 V1 和 V2。其后, 当提供把信号 Sp 设置为低并且把信号 Sn 设置为高的电源时, 在提供该电源之前的电位是 $V1 > V2$ 的情况下, V1 变为高输出并且 V2 变为低输出。当提供该电源之前的电位是 $V1 < V2$ 时, V1 变为低输出并且 V2 变为高输出。以这种方式, 放大 V1 和 V2 之间的电位差。

[0260] 图 16A 表示写入操作的时序图的例子。执行把数据“10b”写入到存储单元的情况表示在图 16A 中的时序图中。选择的第二信号线 S2 早于第一信号线 S1 变为 0V。在写入时间段期间, 第一信号线 S1 的电位变为 V_{10} 。需要注意的是, 字线 WL、位线 BL 和源极线 SL 具有 0V。另外, 图 16B 表示读取操作的时序图的例子。从存储单元执行数据“10b”的读取的情况表示在图 16B 中的时序图中。当断言选择的字线 WL 并且源极线 SL 具有 V_{s_read} [V] 时, 位线 BL 被充电至与存储单元的数据“10b”对应的 $V_{10}-V_{th}$ [V]。结果, SA_OUT0、SA_OUT1 和 SA_OUT2 分别变为“1”、“1”和“0”。需要注意的是, 第一信号线 S1 和第二信号线 S2 都具有 0V。

[0261] 这里, 描述特定工作电位 (电压) 的例子。例如, 能够获得下面各项: 晶体管 201 的阈值电压为近似 0.3V, 电源电压 V_{DD} 是 2V, V_{11} 是 1.6V, V_{10} 是 1.2V, V_{01} 是 0.8V, V_{00} 是 0V, V_{ref0} 是 0.3V, V_{ref1} 是 0.7V, 并且 V_{ref2} 是 1.1V。例如, 电位 V_{pc} 优选地是 0V。

[0262] 另外, 在这个实施例中, 第一信号线 S1 沿位线 BL 方向 (列方向) 布置并且第二信号线 S2 沿字线 WL 方向 (行方向) 布置; 然而, 本发明的一个实施例不限于此。例如, 第一信号线 S1 可沿字线 WL 方向 (行方向) 布置并且第二信号线 S2 可沿位线 BL 方向 (列方向) 布置。在这种情况下, 可合适地布置第一信号线 S1 所连接到的驱动器电路和第二信号线 S2 所连接到的驱动器电路。

[0263] 在这个实施例中, 描述了四值存储单元的操作, 也就是说, 在一个存储单元中执行四种不同状态中的任何一种状态的写入和读取的情况。然而, 通过合适地改变电路结构, 能

够执行 n 值存储单元的操作,也就是说,任意 n 种不同状态 (n 是大于或等于 2 的整数) 中的任何一种状态的写入和读取。

[0264] 例如,在八值存储单元中,存储容量变为两值存储单元的三倍。当执行写入时,准备确定节点 A 的电位的八种写入电位并且产生八种状态。当执行读时,准备能够用于区分这八种状态的七种参考电位。提供一个感测放大器并且执行七次比较,从而能够读出数据。另外,通过反馈比较的结果,比较次数可减少至三次。

[0265] 通常,在 2^k 值存储单元 (k 是大于或等于 1 的整数) 中,存储容量是两值存储单元的 k 倍。当执行写入时,准备确定节点 A 的电位的 2^k 种写入电位并且产生 2^k 种状态。当执行读取时,可准备能够用于区分这 2^k 种状态的 2^k-1 种参考电位。提供一个感测放大器并且执行 2^k-1 次比较,从而能够读取数据。另外,通过反馈比较的结果,比较次数可减少至 k 次。在用于驱动源极线 SL 的读取方法中,通过提供 2^k-1 个感测放大器能够在一次比较中读取数据。另外,能够提供多个感测放大器并且多次执行比较。

[0266] 因为晶体管 202 的断态电流特性,根据这个实施例的半导体装置能够把数据保留很长时间。也就是说,不需要在 DRAM 等中需要的刷新操作,从而能够抑制功耗。另外,这个实施例的半导体装置能够用作基本上非易失性的存储装置。

[0267] 由于通过晶体管 202 的开关操作执行写入数据等,所以不需要高电压并且不存在元件的劣化的问题。另外,因为通过使晶体管导通或截止来执行写入和擦除数据,所以能够容易地实现高速操作。另外,通过控制输入到晶体管的电位,能够执行数据的直接重写入。因此,不需要擦除操作(擦除操作是闪速存储器等中的必需操作),并且能够防止由于擦除操作导致的操作速度的减小。

[0268] 此外,使用除氧化物半导体材料之外的材料的晶体管能够工作于足够高的速度,因此,通过使用该晶体管,能够以高速读取存储内容。

[0269] 根据这个实施例的半导体装置是多值半导体装置,从而能够增加每面积的存储容量。因此,半导体装置的尺寸能够减小并且半导体装置能够高度集成。另外,在执行写入操作时变为浮动状态的节点的电位能够被直接控制;因此,能够以高准确性容易地控制阈值电压,这是多值存储元件所需要情况。因此,多值存储元件要求的写入数据之后的状态的核实能够省略,并且在这种情况下,写入数据所需的时间能够缩短。

[0270] [实施例 3]

[0271] 在这个实施例中,描述根据本发明实施例的半导体装置的电路结构和操作。

[0272] 在这个实施例中,利用图 10 中表示的存储单元的电路结构描述执行与实施例 2 的读取操作不同的读取操作的情况。需要注意的是,在一些情况下,在图 10 中不包括电容器 205。存储元件是多值存储元件,并且在这个实施例中描述四值存储单元。存储单元 200 的四种状态是数据“00b”、“01b”、“10b”和“11b”,并且在四种状态下的节点 A 的电位分别是 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。

[0273] 在对存储单元 200 执行写入的情况下,源极线 SL 设置为 0[V],字线 WL 设置为 0[V],位线 BL 设置为 0[V],并且第二信号线 S2 设置为 2[V]。在写入数据“00b”的情况下,第一信号线 S1 设置为 V_{00} [V]。在写入数据“01b”的情况下,第一信号线 S1 设置为 V_{01} [V]。在写入数据“10b”的情况下,第一信号线 S1 设置为 V_{10} [V]。在写入数据“11b”的情况下,第一信号线 S1 设置为 V_{11} [V]。此时,晶体管 203 处于截止状态并且晶体管 202 处于导通状

态。需要注意的是,在写入的末尾,在第一信号线 S1 的电位改变之前,第二信号线 S2 设置为 0[V],从而晶体管 202 截止。

[0274] 结果,在写入数据“00b”、“01b”、“10b”或“11b”之后,连接到晶体管 201 的栅电极的节点(以下,称为节点 A)的电位分别为近似 V_{00} [V]、 V_{01} [V]、 V_{10} [V] 或 V_{11} [V]。电荷根据第一信号线 S1 的电位而积聚在节点 A 中,并且由于晶体管 202 的截止电流极小或者基本上为 0,所以晶体管 201 的栅电极的电位长时间保留。

[0275] 接下来,在执行存储单元 200 的读取的情况下,源极线 SL 设置为 0V,字线 WL 设置为 V_{DD} ,第二信号线 S2 设置为 0V,第一信号线 S1 设置为 0V,并且连接到位线 BL 的读取电路 211 处于操作状态。此时,晶体管 203 处于导通状态并且晶体管 202 处于截止状态。

[0276] 结果,根据存储单元 200 的状态确定存储单元 200 的有效电阻值。当节点 A 的电位增加时,有效电阻值减小。读取电路能够根据电阻值之差读出数据“00b”、“01b”、“10b”和“11b”。需要注意的是,在除节点 A 的电位为最低值的数据“00b”之外的数据的情况下,优选地,晶体管 201 处于导通状态。

[0277] 图 19 表示包括 $m \times n$ 位的存储容量的根据本发明实施例的半导体装置的其他例子的方框电路图。

[0278] 图 19 中表示的半导体装置包括:m 个字线 WL;m 个第二信号线 S2;n 个位线 BL;n 个第一信号线 S1;存储单元阵列 210,在存储单元阵列 210 中按照 m 个单元(行)乘 n 个单元(列)(m 和 n 是自然数)的矩阵布置多个存储单元 200(1,1)至 200(m,n);和外围电路,诸如读取电路 221、第一信号线驱动器电路 212、用于第二信号线和字线的驱动器电路 213 和电位产生电路 214。作为其他外围电路,可提供刷新电路等。

[0279] 考虑每个存储单元,例如存储单元 200(i,j)(这里,i 是大于或等于 1 并且小于或等于 m 的整数,j 是大于或等于 1 并且小于或等于 n 的整数)。存储单元 200(i,j) 连接到位线 BL(j)、第一信号线 S1(j)、字线 WL(i)、第二信号线 S2(i) 和源配线。另外,位线 BL(1)至 BL(n) 连接到读取电路 221,第一信号线 S1(1)至 S1(n) 连接到第一信号线驱动器电路 212,字线 WL(1)至 WL(m) 和第二信号线 S2(1)至 S2(m) 连接到用于第二信号线和字线的驱动器电路 213。

[0280] 需要注意的是,例如,电位产生电路 214、用于第二信号线和字信号线的驱动器电路 213 和第一信号线驱动器电路 212 可以与图 15、图 12 和图 13 的结构相同。

[0281] 图 20 表示读取电路 221 的例子。读取电路 221 包括:感测放大器电路,参考单元 22,逻辑电路 219,复用器(MUX2),双稳态多谐振荡器电路 FF0、FF1 和 FF2,偏置电路 223 等。参考单元 225 包括晶体管 216、晶体管 217 和晶体管 218。参考单元 225 中所包括的晶体管 216、晶体管 217 和晶体管 218 分别对应于存储单元中所包括的晶体管 201、晶体管 202 和晶体管 203,并形成与存储单元相同的电路结构。优选地,使用除氧化物半导体之外的材料形成晶体管 216 和晶体管 218,并且使用氧化物半导体形成晶体管 217。另外,在存储单元包括电容器 205 的情况下,优选地,参考单元 225 也包括电容器。偏置电路 223 的两个输出端子分别经开关连接到位线 BL 和参考单元 225 中所包括的晶体管 218 的漏电极。另外,偏置电路 223 的输出端子连接到感测放大器电路的输入端子。感测放大器电路的输出端子连接到双稳态多谐振荡器电路 FF0、FF1 和 FF2。双稳态多谐振荡器电路 FF0、FF1 和 FF2 的输出端子连接到逻辑电路 219 的输入端子。信号 RE0、RE1 和 RE2,参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2}

和 GND 输入到复用器 (MUX2)。复用器 (MUX2) 的输出端子连接到参考单元 225 中所包括的晶体管 217 的源电极和漏电极之一。位线 BL 和参考单元 225 中所包括的晶体管 218 的漏电极经开关连接到配线 V_{pc} 。需要注意的是,这些开关由信号 FA 控制。

[0282] 读取电路 221 具有这样的结构:在该结构中,执行存储单元的电导与参考单元 225 的电导的比较。这种结构包括一个感测放大器电路。在这种结构中,执行三次比较以便读出四种状态。换句话说,在三种参考电位中的每一种参考电位的情况下执行存储单元的电导与参考单元 225 的电导的比较。这三次比较由信号 RE0、RE1、RE2 和 FA 控制。复用器 (MUX2) 根据信号 RE0、RE1 和 RE2 的值选择三种参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 和 GND 中的任何一种。复用器 (MUX2) 的性能表示在表 3 中。双稳态多谐振荡器电路 FF0、FF1 和 FF2 分别由信号 RE0、RE1 和 RE2 控制,并存储感测放大器的输出信号 SA_OUT 的值。

[0283] [表 3]

[0284]

RE0	RE1	RE2	V_{wl}
0	0	0	对应于 GND
1	0	0	对应于 V_{ref0}
0	1	0	对应于 V_{ref1}
0	0	1	对应于 V_{ref2}

[0285] 参考电位的值被确定为 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 。因此,根据这三次比较的结果能够读出四种状态。在数据“00b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“0”、“0”和“0”。在数据“01b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“0”和“0”。在数据“10b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“1”和“0”。在数据“11b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“1”和“1”。以这种方式,能够读出存储单元的状态作为 3 位数字信号。其后,通过使用在表 2 中的逻辑值表中表示的逻辑电路 219,从读取电路产生并输出 2 位数据 D0。

[0286] 需要注意的是,在图 20 中表示的读取电路中,当去断言 RE 信号时,位线 BL 和参考单元 225 连接到配线 V_{pc} ,从而执行预充电。当断言 RE 信号时,建立位线 BL 和偏置电路 223 之间以及参考单元 225 和偏置电路 223 之间的电连接。

[0287] 需要注意的是,并非必须执行预充电。在这个电路中,优选地,产生输入到感测放大器电路的两个信号的电路具有几乎相同的结构。例如,优选地,参考单元 225 中的晶体管的结构与存储单元中的对应晶体管的结构相同。优选地,偏置电路 223 中的对应晶体管和开关具有相同的结构。

[0288] 写入操作的时序图与图 16A 相同。读取操作的时序图的例子显示在图 21 中。图 21 显示在从存储单元读出数据“10b”的情况下的时序图。在分别断言信号 RE0、RE1 和 RE2 的情况下, V_{ref0} 、 V_{ref1} 和 V_{ref2} 输入到复用器 (MUX2) 的输出 MUX2_OUT。在每一情况的前半部分,信号 FA 被断言并且预定电位被施加于参考单元 225 中所包括的晶体管的节点 B。在每一情况的后半部分,信号 FA 被去断言,预定电位被保留在参考单元 225 中所包括的晶体管的节点 B,并且参考单元 225 中所包括的晶体管 218 的漏电极连接到偏置电路 223。然后,感测放大器电路中的比较的结果存储在每个双稳态多谐振荡器电路 FF0、FF1 和 FF2 中。在存储单元的数据是“10b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“1”和“0”。需要注意的是,第一信号线 S1 和第二信号线 S2 都具有 0V。

[0289] 接下来,描述与图 20 中表示的读取电路不同的读取电路和用于读取的方法。

[0290] 图 28 表示读取电路 222 作为例子。读取电路 222 包括:感测放大器电路、多个参考单元(参考单元 225a、参考单元 225b 和参考单元 225c)、逻辑电路 219、双稳态多谐振荡器电路 FF0、FF1 和 FF2、偏置电路 223 等。

[0291] 参考单元 225a、225b 和 225c 中的每一个包括晶体管 216、晶体管 217 和晶体管 218。晶体管 216、217 和 218 分别对应于晶体管 201、202 和 203,并形成与存储单元 200 的电路结构相同的电路结构。优选地,使用除氧化物半导体之外的材料形成晶体管 216 和晶体管 218,并且使用氧化物半导体形成晶体管 217。另外,在存储单元 包括电容器 205 的情况下,优选地,每个参考单元也包括电容器。偏置电路 223 的两个输出端子分别经开关连接到位线 BL 和多个参考单元中所包括的晶体管 218 的漏电极。另外,偏置电路 223 的输出端子连接到感测放大器电路的输入端子。感测放大器电路的输出端子连接到双稳态多谐振荡器电路 FF0、FF1 和 FF2。双稳态多谐振荡器电路 FF0、FF1 和 FF2 的输出端子连接到逻辑电路 219 的输入端子。位线 BL 和多个参考单元中所包括的晶体管 218 的漏电极经开关连接到配线 V_{pc} 。需要注意的是,这些开关由读使能信号(RE 信号)控制。

[0292] 读取电路 222 具有这样的结构:在该结构中,执行存储单元的电导与多个参考单元的电导的比较。这种结构包括一个感测放大器电路。在这种结构中,执行三次比较以便读出四种状态。也就是说,读取电路 222 具有这样的结构:在该结构中,执行存储单元的电导与三个参考单元中的每一个参考单元的电导的比较。这三次比较由信号 RE0、RE1、RE2 控制。 V_{ref0} 、 V_{ref1} 和 V_{ref2} 输入到三个参考单元的各自晶体管 216 的栅电极。在读取之前,断言信号 FA,所有晶体管 217 导通,并且执行对参考单元的写入。在读取操作之前,可执行一次对参考单元的写入。当然,当执行几次读取时,可执行一次写入,或者每次执行读取时,可执行一次写入。另外,双稳态多谐振荡器电路 FF0、FF1 和 FF2 由信号 RE0、RE1 和 RE2 控制,并存储感测放大器的输出信号 SA_OUT 的值。

[0293] 参考电位的值被确定为 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 。因此,根据这三次比较的结果能够读出四种状态。在数据“00b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“0”、“0”和“0”。在数据“01b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“0”和“0”。在数据“10b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“1”和“0”。在数据“11b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“1”和“1”。以这种方式,能够读出存储单元的状态作为 3 位数字信号。其后,通过使用在表 2 中的 逻辑值表中表示的逻辑电路 219,从读取电路产生并输出 2 位数据 D0。

[0294] 需要注意的是,在图 28 中表示的读取电路中,当去断言 RE 信号时,位线 BL 和参考单元 225 连接到配线 V_{pc} ,从而执行预充电。当断言 RE 信号时,建立位线 BL 和偏置电路 223 之间以及多个参考单元和偏置电路 223 之间的电连接。

[0295] 需要注意的是,并非必须执行预充电。在这个电路中,优选地,产生输入到感测放大器的信号的电路具有几乎相同的结构。例如,优选地,参考单元中的晶体管的结构与存储单元中的对应晶体管的结构相同。优选地,偏置电路 223 中的对应晶体管和开关具有相同的结构。

[0296] 写入操作的时序图与图 16A 相同。读操作的时序图的例子显示在图 29 中。图 29 显示在从存储单元读出数据“10b”的情况下的时序图。在分别断言信号 RE0、RE1 和 RE2 的

情况下,参考单元 225a、参考单元 225b 和参考单元 225c 被选择并连接到偏置电路 223。然后,感测放大器电路中的比较的结果存储在每个双稳态多谐振荡器电路 FF0、FF1 和 FF2 中。在存储单元的数据是“10b”的情况下,双稳态多谐振荡器电路 FF0、FF1 和 FF2 的值是“1”、“1”和“0”。需要注意的是,第一信号线 S1 和第二信号线 S2 都具有 0V。

[0297] 描述特定工作电位(电压)的例子。例如,能够获得下面各项:晶体管 201 的阈值电压为近似 0.3V,电源电位 V_{DD} 是 2V, V_{11} 是 1.6V, V_{10} 是 1.2V, V_{01} 是 0.8V, V_{00} 是 0V, V_{ref0} 是 0.6V, V_{ref1} 是 1.0V, 并且 V_{ref2} 是 1.4V。例如,电位 V_{pc} 优选地是 0V。

[0298] 虽然在这个实施例中第一信号线 S1 沿位线 BL 方向(列方向)布置并且第二信号线 S2 沿字线 WL 方向(行方向)布置,但本发明的实施例不限于此。例如,第一信号线 S1 可沿字线 WL 方向(行方向)布置并且第二信号线 S2 可沿位线 BL 方向(列方向)布置。在这种情况下,可合适地布置第一信号线 S1 所连接到的驱动器电路和第二信号线 S2 所连接到的驱动器电路。

[0299] 在这个实施例中,描述了四值存储单元的操作,也就是说,在一个存储单元中执行四种不同状态中的任何一种状态的写入和读取的情况。然而,通过合适地改变电路结构,能够执行 n 值存储单元的写入和读取,也就是说,任意 n 种不同状态(n 是 2 或更大的整数)中的任何一种状态的写入和读取。

[0300] 例如,八值存储单元的存储容量是两值存储单元的存储容量的三倍。当执行写入时,准备确定节点 A 的电位的八种写入电位并且产生八种状态。当执行读取时,准备能够用于区分这八种状态的七种参考电位。当执行读取时,提供一个感测放大器并且执行七次比较,从而能够读出数据。另外,通过反馈比较的结果,比较次数可减少至三次。在驱动源极线 SL 的读取方法中,当提供七个感测放大器时,能够通过执行一次比较读出数据。另外,能够采用提供多个感测放大器并且多次执行比较的结构。

[0301] 通常, 2^k 值存储单元(k 是 1 或更大的整数)的存储容量是两值存储单元的存储容量的 k 倍。当执行写入时,准备确定节点 A 的电位的 2^k 种写入电位并且产生 2^k 种状态。当执行读取时,优选地准备能够用于区分这 2^k 种状态的 2^k-1 种参考电位。提供一个感测放大器并且通过执行 2^k-1 次比较能够读出数据。另外,通过反馈比较的结果,比较次数可减少至 k 次。在驱动源极线 SL 的读取方法中,通过提供 2^k-1 个感测放大器,能够通过执行一次比较执行读取。另外,能够采用提供多个感测放大器并且多次执行比较的结构。

[0302] 在根据这个实施例的半导体装置中,因为晶体管 202 的低截止电流特性,数据能够保留极长时间。换句话说,不需要在 DRAM 等中需要的刷新操作,从而能够抑制功耗。另外,根据这个实施例的半导体装置能够用作基本上非易失性的存储装置。

[0303] 另外,通过晶体管 202 的开关操作执行数据的写入等;因此,不需要高电压并且不存在元件的劣化的问题。另外,通过使晶体管导通或截止来执行数据的写入和擦除;因此,能够容易地获得高速操作。通过控制输入到晶体管的电位,能够执行数据的直接重写入。因此,不需要擦除操作(擦除操作是在闪速存储器等中需要的操作),从而能够抑制由于擦除操作导致的操作速度的减小。

[0304] 另外,使用除氧化物半导体之外的材料形成的晶体管能够工作于足够高的速度,因此,通过使用该晶体管,能够以高速读出存储内容。

[0305] 由于根据这个实施例的半导体装置是多值半导体,所以能够增加每单位面积的存

储容量。因此,能够实现半导体装置的小型化及其高度集成。另外,当执行写入时,将要处于浮动状态的节点的电位能够被直接控制;因此,能够容易地执行多值存储元件中所需的具有高准确性的阈值电压的控制。因此,多值存储元件中要求的写入之后的状态的断言能够省略;因此,在这种情况下,写入所需的时间能够缩短。

[0306] [实施例 4]

[0307] 在这个实施例中,描述与实施例 2 和实施例 3 不同的半导体装置的电路结构和操作作为例子。

[0308] 图 22 表示半导体装置中所包括的存储单元的电路图的例子。图 22 中表示的存储单元 240 包括源极线 SL、位线 BL、第一信号线 S1、第二信号线 S2、字线 WL、晶体管 201、晶体管 202 和电容器 204。使用除氧化物半导体之外的材料形成晶体管 201,并且使用氧化物半导体形成晶体管 202。

[0309] 这里,晶体管 201 的栅电极、晶体管 202 的源电极和漏电极中的一个以及电容器 204 的电极中的一个彼此电连接。另外,源极线 SL 和晶体管 201 的源电极彼此电连接。位线 BL 和晶体管 201 的漏电极彼此电连接。第一信号线 S1 和晶体管 202 的源电极和漏电极中的另一个彼此电连接。第二信号线 S2 和晶体管 202 的栅电极彼此电连接。字线 WL 和电容器 204 的另一个电极彼此电连接。

[0310] 接下来,描述图 22 中表示的存储单元 240 的操作。这里,采用四值存储单元。存储单元 240 的四种状态是数据“00b”、“01b”、“10b”和“11b”,并且在四种状态下的节点 A 的电位分别是 V_{00} 、 V_{01} 、 V_{10} 和 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。

[0311] 在执行对存储单元 240 的写入的情况下,源极线 SL 设置为 0[V],字线 WL 设置为 0[V],位线 BL 设置为 0[V],并且第二信号线 S2 设置为 V_{DD} [V]。在写入数据“00b”的情况下,第一信号线 S1 设置为 V_{00} [V]。当写入数据“01b”的情况下,第一信号线 S1 设置为 V_{01} [V]。当写入数据“10b”的情况下,第一信号线 S1 设置为 V_{10} [V]。当写入数据“11b”的情况下,第一信号线 S1 设置为 V_{11} [V]。此时,晶体管 201 处于截止状态并且晶体管 202 处于导通状态。需要注意的是,在写入的末尾,在第一信号线 S1 的电位改变之前,第二信号线 S2 设置为 0[V],从而晶体管 202 截止。

[0312] 结果,在写入数据“00b”、“01b”、“10b”或“11b”(字线 WL 的电位设置为 0V)之后,连接到晶体管 201 的栅电极的节点(以下,称为节点 A)的电位分别为近似 V_{00} [V]、 V_{01} [V]、 V_{10} [V] 或 V_{11} [V]。电荷根据第一信号线 S1 的电位而积聚在节点 A 中,并且由于晶体管 202 的截止电流极小或者近似为 0,所以晶体管 201 的栅电极的电位长时间保留。

[0313] 接下来,在执行存储单元 240 的读取的情况下,源极线 SL 设置为 0V,第二信号线 S2 设置为 0V,第一信号线 S1 设置为 0V,并且连接到位线 BL 的读取电路处于操作状态。此时,晶体管 202 处于截止状态。

[0314] 字线 WL 设置为 V_{WL} [V]。存储单元 240 的节点 A 的电位取决于字线 WL 的电位。当字线 WL 的电位增加时,存储单元 240 的节点 A 的电位增加。例如,在四种不同状态下施加于存储单元的字线 WL 的电位从低电位变为高电位,数据“11b”的存储单元的晶体管 201 首先导通,然后,数据“10b”的存储单元、数据“01b”的存储单元和数据“00b”的存储单元按照这种次序导通。换句话说,通过合适地选择字线 WL 的电位,能够区分存储单元的状态(也就是,存储单元中所包括的数据)。通过合适地选择字线 WL 的电位,晶体管 201 处于导通

状态的存储单元处于低电阻状态,并且晶体管 201 处于截止状态的存储单元处于高电阻状态;因此,当由读取电路区分电阻状态时,能够读出数据“00b”、“01b”、“10b”或“11b”。

[0315] 图 23 表示包括 $m \times n$ 位的存储容量的根据本发明实施例的半导体装置的其他例子的方框电路图。

[0316] 图 23 中表示的半导体装置包括: m 个字线 WL; m 个第二信号线 S2; n 个位线 BL; n 个第一信号线 S1; 存储单元阵列 210, 存储单元阵列 210 中, 按照 m 个单元(行)乘 n 个单元(列)(m 和 n 是自然数)的矩阵布置多个存储单元 240(1, 1) 至 240(m , n); 和外围电路, 诸如读取电路 231、第一信号线驱动器电路 212、用于第二信号线和字线的驱动器电路 233 和电位产生电路 214。作为其他外围电路, 可提供刷新电路等。

[0317] 考虑每个存储单元, 例如存储单元 240(i , j) (这里, i 是大于或等于 1 并且小于或等于 m 的整数, j 是大于或等于 1 并且小于或等于 n 的整数)。存储单元 240(i , j) 连接到位线 BL(j)、第一信号线 S1(j)、字线 WL(i)、第二信号线 S2(i) 和源极线 SL。另外, 位线 BL(1) 至 BL(n) 连接到读取电路 231, 第一信号线 S1(1) 至 S1(n) 连接到第一信号线驱动器电路 212, 字线 WL(1) 至 WL(m) 和第二信号线 S2(1) 至 S2(m) 连接到用于第二信号线 S2 和字线 WL 的驱动器电路 233。

[0318] 需要注意的是, 图 13 和图 15 中表示的结构能够分别用于第一信号线驱动器电路 212 和电位产生电路 214 的结构。

[0319] 图 24 表示读取电路的例子。读取电路包括: 感测放大器电路、双稳态多谐振荡器电路、偏置电路 224 等。偏置电路 224 经开关连接到位线 BL。另外, 偏置电路 224 连接到感测放大器电路的输入端子。参考电位 V_r 输入到感测放大器电路的其他输入端子。感测放大器电路的输出端子连接到双稳态多谐振荡器电路 FF0 和 FF1 的输入端子。需要注意的是, 开关由读使能信号 (RE 信号) 控制。该读取电路能够通过读出连接到位线 BL 的指定存储单元的电导读出数据。需要注意的是, 存储单元的电导的读取表示存储单元中所包括的晶体管 201 的导通或截止状态的读取。

[0320] 图 24 中表示的读取电路包括一个感测放大器, 并执行两次比较以便区分四种状态。这两次比较由信号 RE0 和 RE1 控制。双稳态多谐振荡器电路 FF0 和 FF1 分别由信号 RE0 和 RE1 控制, 并存储感测放大器电路的输出信号的值。从读取电路输出双稳态多谐振荡器电路 FF0 的输出 DO[1] 和双稳态多谐振荡器电路 FF1 的输出 DO[0]。

[0321] 需要注意的是, 在示出的读取电路中, 当去断言 RE 信号时, 位线 BL 连接到配线 V_{pc} 并且执行预充电。当断言 RE 信号时, 建立位线 BL 和偏置电路 224 之间的电连接。需要注意的是, 并非必须执行预充电。

[0322] 图 25 表示用于第二信号线 S2 和字线 WL 的驱动器电路 233 作为其他例子。

[0323] 在图 25 中表示的用于第二信号线 S2 和字线 WL 的驱动器电路 233 中, 当输入地址信号 ADR 时, 由该地址指定的行(选择的行)被断言, 并且其它行(非选择的行)被去断言。当断言 WE 信号时, 第二信号线 S2 连接到解码器输出, 并且当去断言 WE 信号时, 第二信号线 S2 连接到 GND。选择的行中的字线 WL 连接到复用器 (MUX3) 的输出 V_{wl} , 并且非选择的行中的字线 WL 连接到 GND。复用器 (MUX3) 响应于信号 RE0、RE1 和 DO 的值选择三种参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 中的任何一种或者 GND。复用器 (MUX3) 的行为显示在表 4 中。

[0324] [表 4]

[0325]

RE0	RE1	DO[1]	V_{wl}
0	0	*	对应于 GND
1	0	*	对应于 V_{ref1}
0	1	0	对应于 V_{ref0}
0	1	1	对应于 V_{ref2}

[0326] 描述这三种参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} ($V_{ref0} < V_{ref1} < V_{ref2}$)。在选择 V_{ref0} 作为字线 WL 的电位的情况下,选择使数据“00b”的存储单元的晶体管 201 截止并且使数据“01b”的存储单元的晶体管 201 导通的电位作为 V_{ref0} 。另外,在选择 V_{ref1} 作为字线 WL 的电位的情况下,选择使数据“01b”的存储单元的晶体管 201 截止并且使数据“10b”的存储单元的晶体管 201 导通的电位作为 V_{ref1} 。另外,在选择 V_{ref2} 作为字线 WL 的电位的情况下,选择使数据“10b”的存储单元的晶体管 201 截止并且使数据“11b”的存储单元的晶体管 201 导通的电位作为 V_{ref2} 。

[0327] 在读取电路中,通过两次比较执行读取。使用 V_{ref1} 执行第一比较。当由于利用 V_{ref1} 的比较导致双稳态多谐振荡器电路 FF0 的值是“0”时使用 V_{ref0} 执行第二比较,或者当由于利用 V_{ref1} 的比较导致双稳态多谐振荡器电路 FF0 的值是“1”时使用 V_{ref2} 执行第二比较。按照以上方式,通过两次比较能够读出四种状态。

[0328] 写入操作的时序图与图 16A 相同。读取操作的时序图的例子显示在图 26 中。图 26 显示在从存储单元读出数据“10b”的情况下的时序图。在断言信号 RE0 和 RE1 的情况下, V_{ref1} 和 V_{ref2} 输入到选择的各字线 WL,并且感测放大器中的比较结果存储在双稳态多谐振荡器电路 FF0 和 FF1 中。在存储单元的数据是“10b”的情况下,双稳态多谐振荡器电路 FF0 和 FF1 的值是“1”和“0”。需要注意的是,第一信号线 S1 和第二信号线 S2 具有 0V。

[0329] 描述特定工作电位(电压)的例子。例如,晶体管 201 的阈值电压 V_{th} 为 2.2V。节点 A 的电位取决于字线 WL 和节点 A 之间的电容 C1 以及晶体管 202 的栅电容 C2,并且在这里,例如,当晶体管 202 处于截止状态时 $C1/C2 \gg 1$,并且当晶体管 202 处于导通状态时 $C1/C2 = 1$ 。图 27 显示在源极线 SL 具有 0V 的情况下节点 A 的电位和字线 WL 的电位之间的关系。从图 27,发现:在执行写入的情况下,参考电位 V_{ref0} 、 V_{ref1} 和 V_{ref2} 优选地分别是 0.8V、1.2V 和 2.0V,数据“00b”的节点 A 的电位是 0V,数据“01b”的节点 A 的电位是 0.8V,数据“10b”的节点 A 的电位是 1.2V,并且数据“11b”的节点 A 的电位是 1.6V。

[0330] 需要注意的是,在写入之后的晶体管 201 的节点 A 的电位(字线 WL 的电位是 0V)优选地低于或等于晶体管 201 的阈值电压。

[0331] 虽然这个实施例采用了第一信号线 S1 沿位线 BL 方向(列方向)布置并且第二信号线 S2 沿字线 WL 方向(行方向)布置的结构,但本发明的一个实施例不限于此。例如,第一信号线 S1 可沿字线 WL 方向(行方向)布置并且第二信号线 S2 可沿位线 BL 方向(列方向)布置。在这种情况下,可合适地布置第一信号线 S1 所连接到的驱动器电路和第二信号线 S2 所连接到的驱动器电路。

[0332] 在这个实施例中,描述了四值存储单元的操作,也就是说,对一个存储单元执行四种不同状态中的任何一种状态的写入和读取的情况。通过合适地改变电路结构,能够执行 n 值存储单元的写入和读取,也就是,任意 n 种不同状态(n 是 2 或更大的整数)中的任何一种状态的写入和读取。

[0333] 例如,八值存储单元的存储容量是两值存储单元的存储容量的三倍。当执行写入时,准备确定节点 A 的电位的八种写入电位并且产生八种状态。当执行读取时,准备能够用于区分这八种状态的七种参考电位。当执行读取时,提供一个感测放大器并且执行七次比较,从而能够读出数据。另外,通过反馈比较的结果,比较次数能够减少至三次。在驱动源极线 SL 的读取方法中,当提供七个感测放大器时,能够通过执行一次比较读出数据。另外,能够采用提供多个感测放大器并且多次执行比较的结构。

[0334] 通常, 2^k 值存储单元(k 是 1 或更大的整数)的存储容量是两值存储单元的存储容量的 k 倍。当执行写入时,准备确定节点 A 的电位的 2^k 种写入电位并且产生 2^k 种状态。当执行读取时,优选地准备能够用于区分这 2^k 种状态的 2^k-1 种参考电位。提供一个感测放大器并且通过执行 2^k-1 次比较能够读出数据。另外,通过反馈比较的结果,比较次数能够减少至 k 次。在驱动源极线 SL 的读取方法中,通过提供 2^k-1 个感测放大器,能够通过执行一次比较执行读取。另外,能够采用提供多个感测放大器并且多次执行比较的结构。

[0335] 在根据这个实施例的半导体装置中,因为晶体管 202 的低截止电流特性,数据能够保留极长时间。换句话说,不需要在 DRAM 等中需要的刷新操作,从而能够抑制功耗。另外,根据这个实施例的半导体装置能够用作基本上非易失性的存储装置。

[0336] 另外,通过晶体管 202 的开关操作执行数据的写入等;因此,不需要高电压并且不存在元件的劣化的问题。另外,通过使晶体管导通或截止来执行数据的写入和擦除;因此,能够容易地获得高速操作。通过控制输入到晶体管的电位,能够执行数据的直接重写入。因此,不需要擦除操作(擦除操作是在闪速存储器等中需要的操作),从而能够抑制由于擦除操作导致的操作速度的减小。

[0337] 另外,使用除氧化物半导体之外的材料形成的晶体管能够工作于足够高的速度,因此,通过使用该晶体管,能够以高速读出存储内容。

[0338] 由于根据这个实施例的半导体装置是多值半导体,所以能够增加每单位面积的存储容量。因此,能够实现半导体装置的小型化及其高度集成。另外,当执行写入时,将要处于浮动状态的节点的电位能够被直接控制;因此,能够容易地执行多值存储元件中所需的具有高准确性的阈值电压的控制。因此,多值存储元件中要求的写入之后的状态的断言能够省略;因此,在这种情况下,写入所需的时间能够缩短。

[0339] [实施例 5]

[0340] 在这个实施例中,参照图 30A 至 30F 描述安装根据以上实施例获得的半导体装置的电子设备的例子。根据以上实施例获得的半导体装置即使在没有电源的情况下也能够保留数据。不会引起由于写入和擦除导致的劣化。因此,其操作速度高。因此,通过使用该半导体装置,能够提供具有新型结构的电子设备。需要注意的是,根据以上实施例的半导体装置集成并安装于电路板等以便安装在电子设备上。

[0341] 图 30A 表示膝上型个人计算机,该膝上型个人计算机包括根据以上实施例的半导体装置并包括主体 301、壳体 302、显示部分 303、键盘 304 等。当把根据本发明实施例的半导体装置应用于该膝上型个人计算机时,即使在没有电源的情况下也能够保留数据。另外,不会引起由于写入和擦除导致的劣化。另外,其操作速度高。因此,优选地把根据本发明实施例的半导体装置应用于膝上型个人计算机。

[0342] 图 30B 表示便携式信息终端(PDA),该 PDA 包括根据以上实施例的半导体装置并具

有包括显示部分 313、外部接口 315、操作按钮 314 等的主体 311。另外,包括触摸笔 312 作为用于操作的配件。当把根据本发明实施例的半导体装置应用于 PDA 时,即使在没有电源的情况下也能够保留数据。另外,不会引起由于写入和擦除导致的劣化。另外,其操作速度高。因此,优选地把根据本发明实施例的半导体装置应用于 PDA。

[0343] 图 30C 表示电子书阅读器 320 作为包括根据以上实施例的半导体装置的电子纸的例子。电子书阅读器 320 包括两个壳体,即壳体 321 和壳体 323。壳体 321 和壳体 323 利用铰链 337 组合,从而电子书阅读器 320 能够利用铰链 337 作为轴线打开和闭合。根据这种结构,能够像纸书一样使用电子书阅读器 320。当把根据本发明实施例的半导体装置应用于该电子纸时,即使在没有电源的情况下也能够保留数据。另外,不会引起由于写入和擦除导致的劣化。另外,其操作速度高。因此,优选地把根据本发明实施例的半导体装置应用于电子纸。

[0344] 显示部分 325 被包括在壳体 321 中并且显示部分 327 被包括在壳体 323 中。显示部分 325 和显示部分 327 可显示一页,或者可显示不同页。当显示部分 325 和 327 显示不同页时,例如,位于右侧的显示部分(在图 30C 中的显示部分 325)能够显示文本,并且位于左侧的显示部分(在图 30C 中的显示部分 327)能够显示图形。

[0345] 图 30C 表示壳体 321 具有操作按钮等的例子。例如,壳体 321 具有电源按钮 331、操作键 333、扬声器 335 等。利用操作键 333 能够翻页。需要注意的是,键盘、定点装置等也可以布置在壳体的表面上,显示部分布置在该壳体上。另外,外部连接端子(耳机端子、USB 端子、能够连接到诸如 AC 适配器和 USB 线缆等的各种线缆的端子)、记录介质插入部分等可布置在壳体的背面或侧面上。另外,电子书阅读器 320 可具有电子字典的功能。

[0346] 电子书阅读器 320 可构造为以无线方式发送和接收数据。通过无线通信,能够从电子书服务器购买并下载所希望的书数据等。

[0347] 需要注意的是,电子纸能够应用于能够显示数据的任何领域中的电子设备。例如,除了电子书阅读器之外,电子纸还能够用于车辆(诸如,火车)中的海报、广告,各种卡(诸如,信用卡)中的显示等。

[0348] 图 30D 表示包括根据以上实施例的半导体装置的移动电话。移动电话包括两个壳体,即壳体 340 和壳体 341。壳体 341 包括:显示面板 342、扬声器 343、麦克风 344、定点装置 346、照相机镜头 347、外部连接端子 348 等。壳体 341 包括用于对移动电话充电的太阳能电池 349、外部存储插槽 350 等。另外,在壳体 341 中包括天线。当把根据本发明实施例的半导体装置应用于移动电话时,即使在没有电源的情况下也能够保留数据。另外,不会引起由于写入和擦除导致的劣化。另外,其操作速度高。因此,优选地把根据本发明实施例的半导体装置应用于该移动电话。

[0349] 显示面板 342 具有触摸面板功能。显示为图像的多个操作键 345 在图 30D 中由虚线表示。需要注意的是,移动电话包括升压电路,该升压电路用于把从太阳能电池 349 输出的电压升高到每个电路所需的电压。另外,除了以上结构之外,可采用这样的结构:在该结构中,包括非接触式 IC 芯片、小的记录装置等。

[0350] 显示面板 342 的显示方向根据使用模式而合适地改变。另外,照相机镜头 347 布置在与显示面板 342 相同的表面上,因此它能够用作可视电话。扬声器 343 和麦克风 344 能够用于可视电话、记录、重放等,而不局限于语言通信。此外,在壳体 340 和 341 如图 30D

中所 示展开的状态下的壳体 340 和 341 能够滑动,从而一个壳体重叠在另一个壳体上方;因此,移动电话的尺寸能够减小,这使得移动电话适合携带。

[0351] 外部连接端子 348 能够连接到诸如 AC 适配器或 USB 线缆等的各种线缆,这能够实现充电和数据通信。此外,通过把记录介质插入到外部存储插槽 350 中,移动电话能够进行存储和移动大容量的数据。另外,除了以上功能之外,可提供红外通信功能、电视接收功能等。

[0352] 图 30E 表示包括根据以上实施例的半导体装置的数字照相机。该数字照相机包括主体 361、显示部分 (A) 367、目镜 363、操作开关 364、显示部分 (B) 365、电池 366 等。当把根据本发明实施例的半导体装置应用于该数字照相机时,即使在没有电源的情况下也能够保留数据。另外,不会引起由于写入和擦除导致的劣化。另外,其操作速度高。因此,优选地把根据本发明实施例的半导体装置应用于数字照相机。

[0353] 图 30F 表示包括根据以上实施例的半导体装置的电视机。在电视机 370 中,显示部分 373 被包括在壳体 371 中。显示部分 373 能够显示图像。这里,壳体 371 由台座 375 支撑。

[0354] 电视机 370 能够由壳体 371 的操作开关或者单独的遥控器 380 操作。频道和音量能够由遥控器 380 的操作键 379 控制,从而能够控制显示部分 373 上显示的图像。另外,遥控器 380 可具有用于显示从遥控器 380 输出的数据的显示部分 377。当把根据本发明实施例的半导体装置应用于电视机时,即使在没有电源的情况下也能够保留数据。另外,不会引起由于写入和擦除导致的劣化。另外,其操作速度高。因此,优选地把根据本发明实施例的半导体装置应用于电视机。

[0355] 需要注意的是,电视机 370 优选地具有接收器、调制解调器等。利用接收器,能够接收一般电视广播。另外,当电视机 370 经调制解调器通过有线或无线连接连接到通信网络时,能够执行单向(从发射器到接收器)或双向(发射器和接收器之间、接收器之间,等等)数据通信。

[0356] 在这个实施例中描述的方法和结构能够合适地与其它实施例中描述的任何方法和结构组合。

[0357] 本申请基于 2009 年 11 月 6 日提交给日本专利局的序列号为 2009-255448 的日本专利申请,该专利申请的全部内容通过引用包含于此。

标号解释

100 :衬底 ;102 :保护层 ;104 :半导体区域 ;106 :元件隔离绝缘层 ;108a :栅极绝缘层 ;110a :栅电极 ;112 :绝缘层 ;114 :杂质区域 ;116 :沟道形成区域 ;118 :侧壁绝缘层 ;120 :高浓度杂质区域 ;122 :金属层 ;124 :金属化合物区域 ;126 :层间绝缘层 ;128 :层间绝缘层 ;130a :源或漏电极 ;130b :源或漏电极 ;130c :电极 ;132 :绝缘层 ;134 :导电层 ;136a :电极 ;136b :电极 ;136c :电极 ;136d :栅电极 ;138 :栅极绝缘层 ;140 :氧化物半导体层 ;142a :源或漏电极 ;142b :源或漏电极 ;144 :保护绝缘层 ;146 :层间绝缘层 ;148 :导电层 ;150a :电极 ;150b :电极 ;150c :电极 ;150d :电极 ;150e :电极 ;152 :绝缘层 ;154a :电极 ;154b :电极 ;154c :电极 ;154d :电极 ;160 :晶体管 ;162 :晶体管 ;200 :存储单元 ;201 :晶体管 ;202 :晶体管 ;203 :晶体管 ;204 :电容器 ;205 :电容器 ;210 :存储单元阵列 ;211 :读取电路 ;212 :信号线驱动器电路 ;213 :驱动器电路 ;214 :电势产生电路 ;215 :解码器 ;216 :晶体管 ;217 :

晶体管 ;218 :晶体管 ;219 :逻辑电路 ;220 :模拟缓冲器 ;221 :读取电路 ;222 :读取电路 ;223 :偏置电路 ;224 :偏置电路 ;225 :参考单元 ;225a :参考单元 ;225b :参考单元 ;225c :参考单元 ;231 :读取电路 ;232 :读取电路 ;233 :驱动器电路 ;240 :存储单元 ;301 :主体 ;302 :壳体 ;303 :显示部分 ;304 :键盘 ;311 :主体 ;312 :触摸笔 ;313 :显示部分 ;314 :操作按钮 ;315 :外部接口 ;320 :电子书阅读器 ;321 :壳体 ;323 :壳体 ;325 :显示部分 ;327 :显示部分 ;331 :电源按钮 ;333 :操作键 ;335 :扬声器 ;337 :铰链单元 ;340 :壳体 ;341 :壳体 ;342 :显示面板 ;343 :扬声器 ;344 :麦克风 ;345 :操作键 ;346 :定点装置 ;347 :照相机镜头 ;348 :外部连接端子 ;349 :太阳能电池 ;350 :外部存储插槽 ;361 :主体 ;363 :目镜 ;364 :操作开关 ;365 :显示部分 B ;366 :电池 ;367 :显示部分 A ;370 :电视机 ;371 :壳体 ;373 :显示部分 ;375 :台座 ;377 :显示部分 ;379 :操作键 ;和 380 :遥控器。

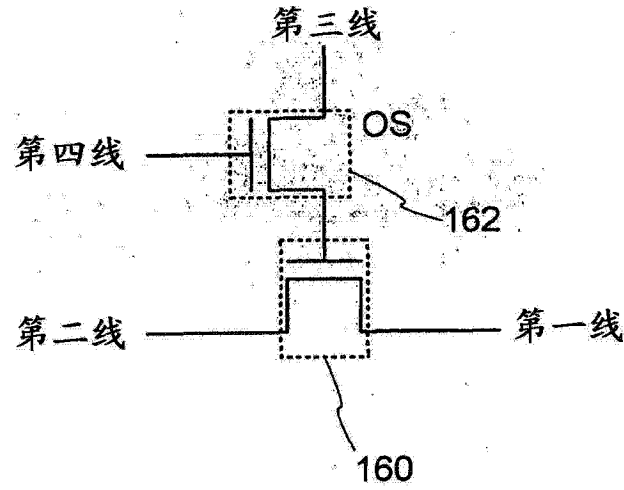


图 1

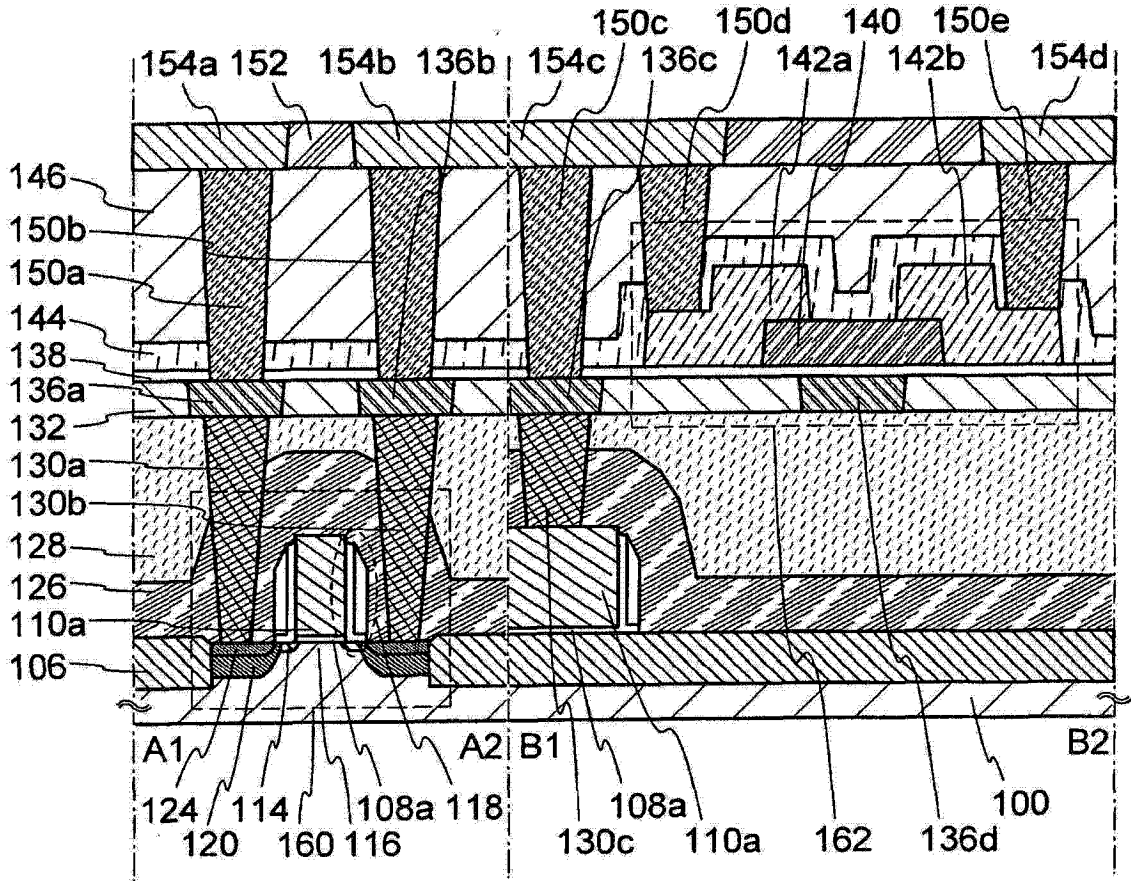


图 2A

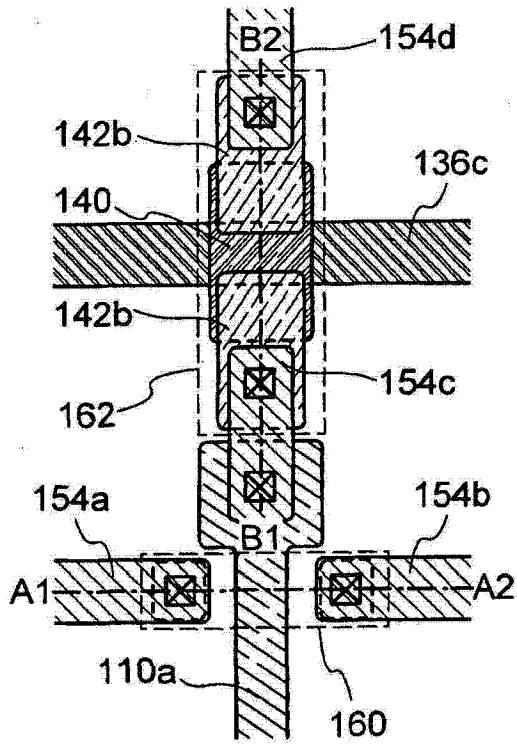


图 2B

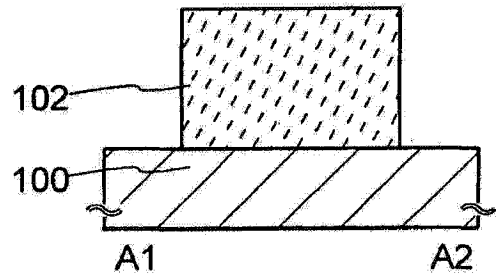


图 3A

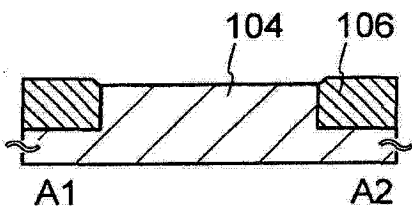


图 3B

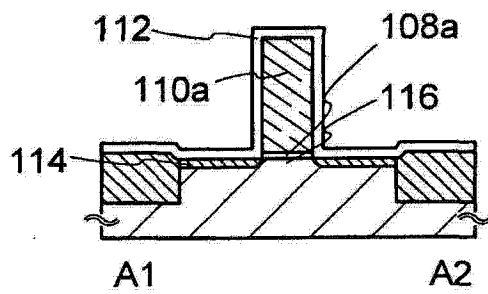


图 3C

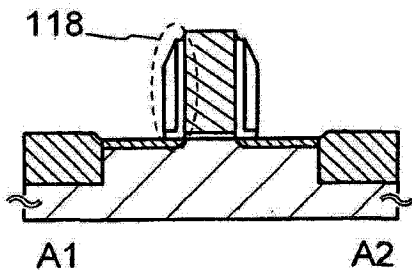


图 3D

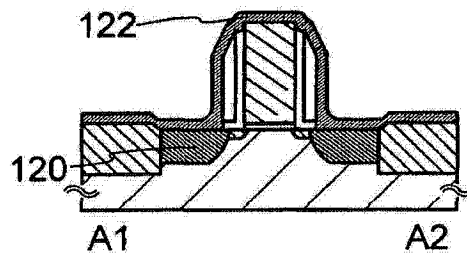


图 3E

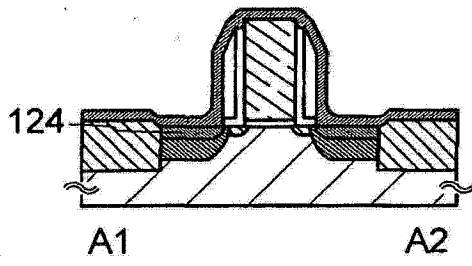


图 3F

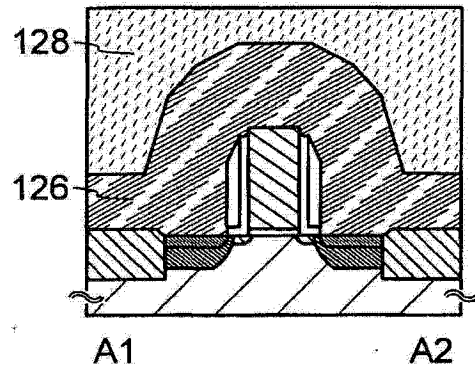


图 3G

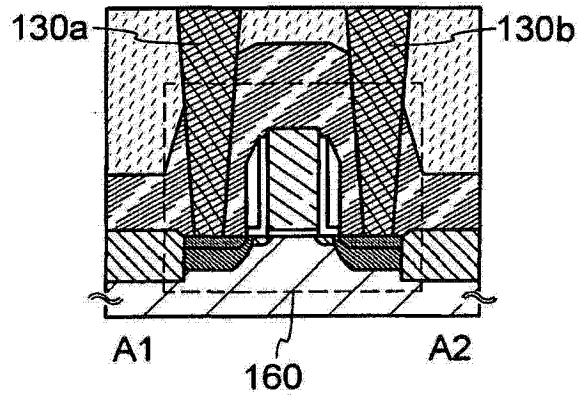


图 3H

图4A

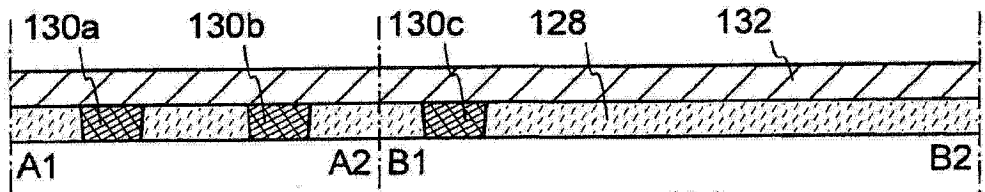


图4B

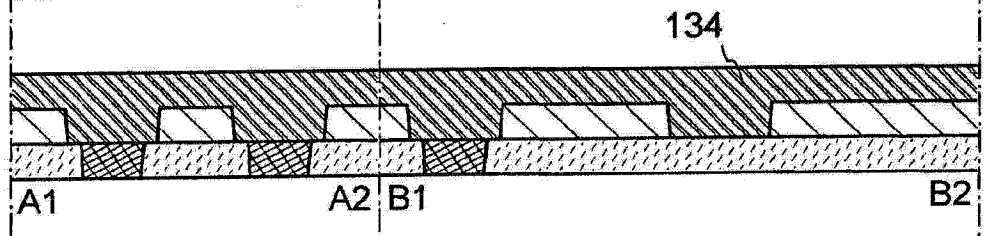


图4C

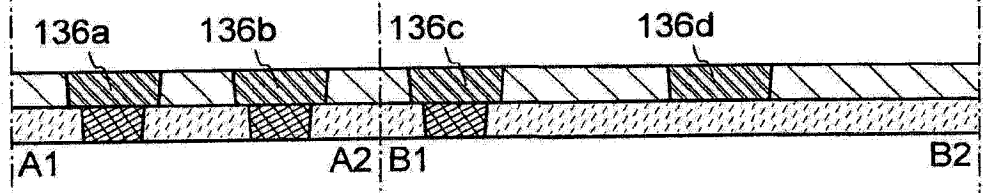


图4D

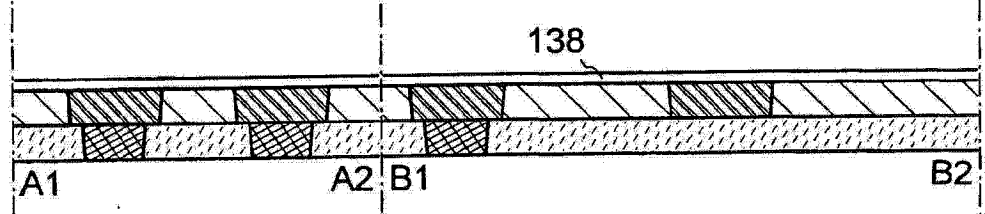


图4E

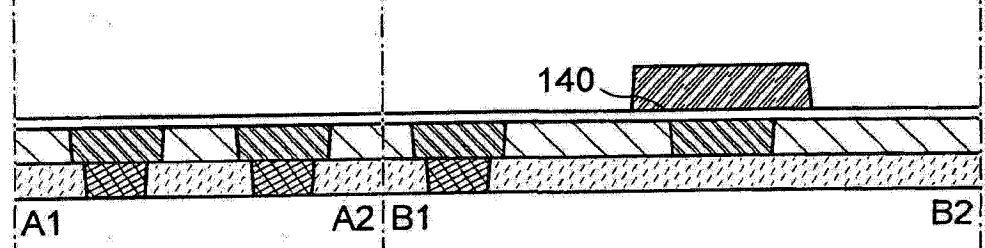


图4F

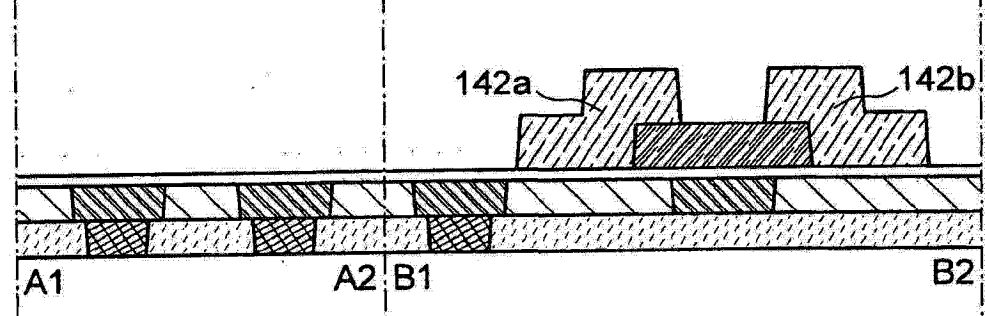


图4G

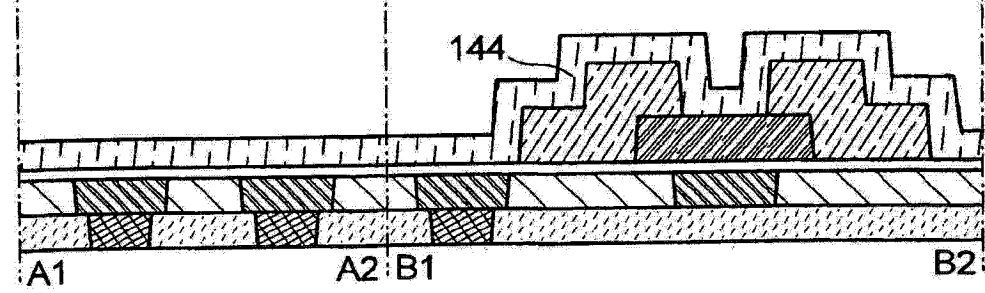


图 5A

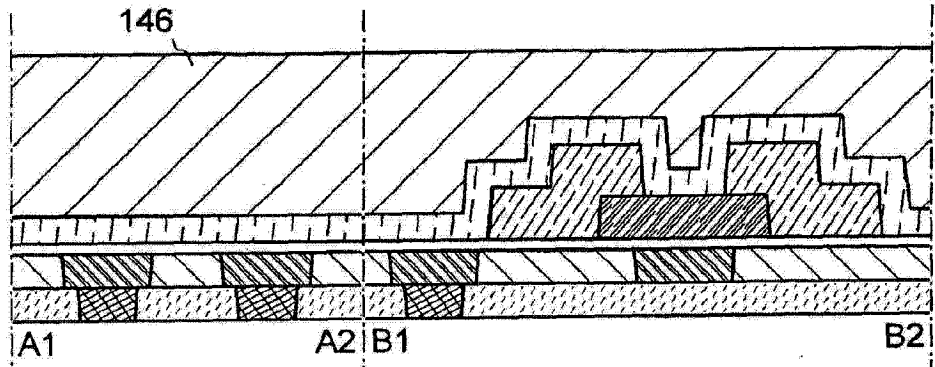


图 5B

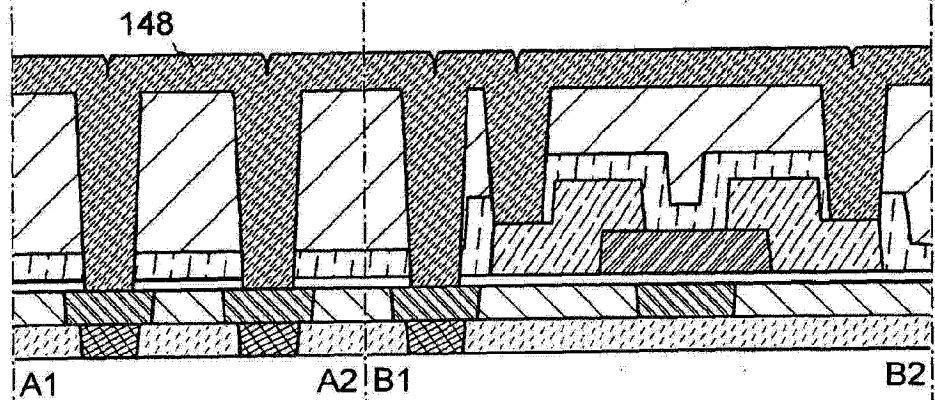


图 5C

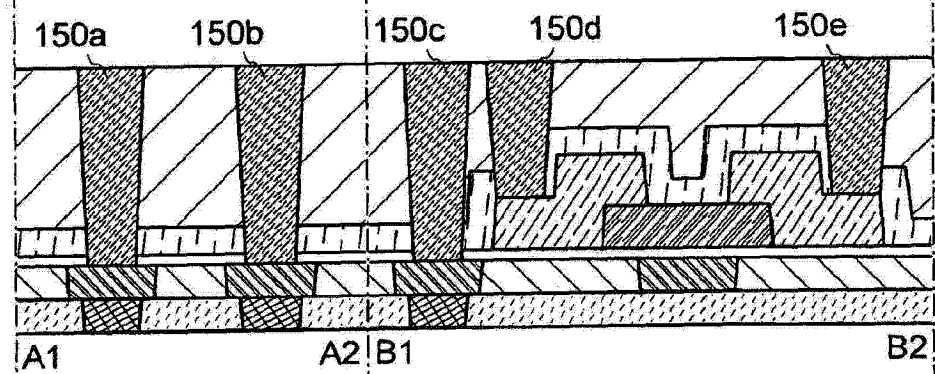
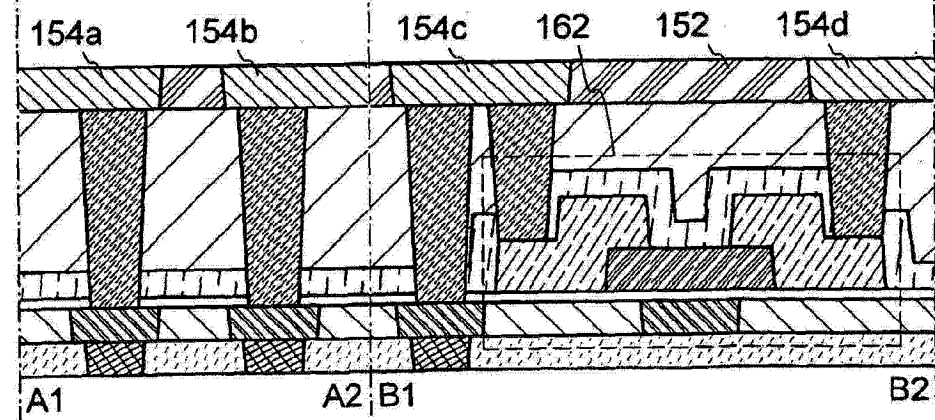


图 5D



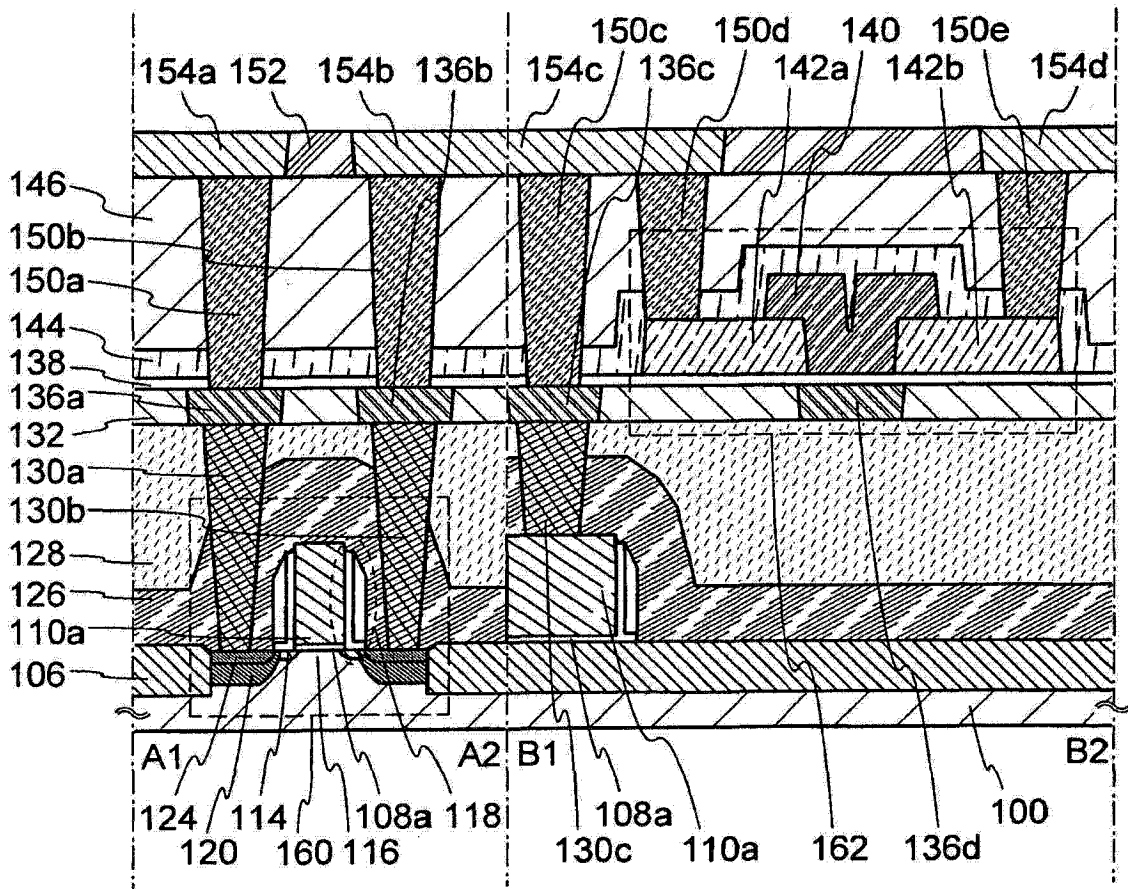


图 6

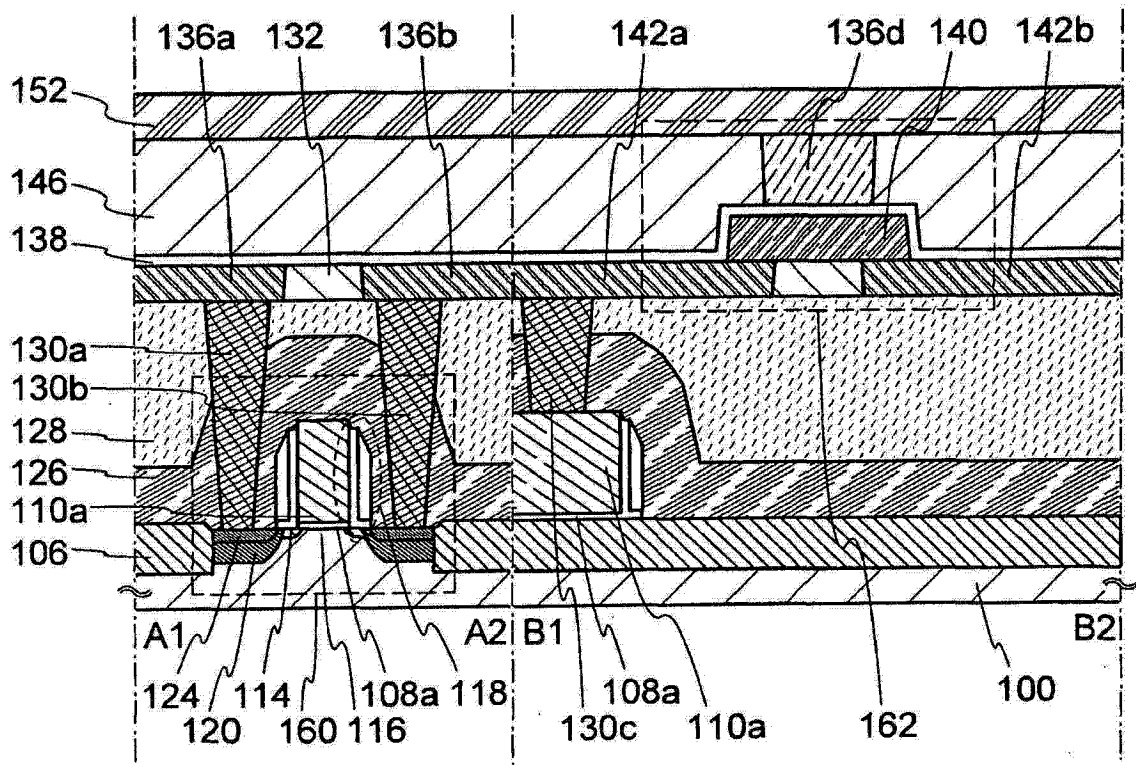


图 7A

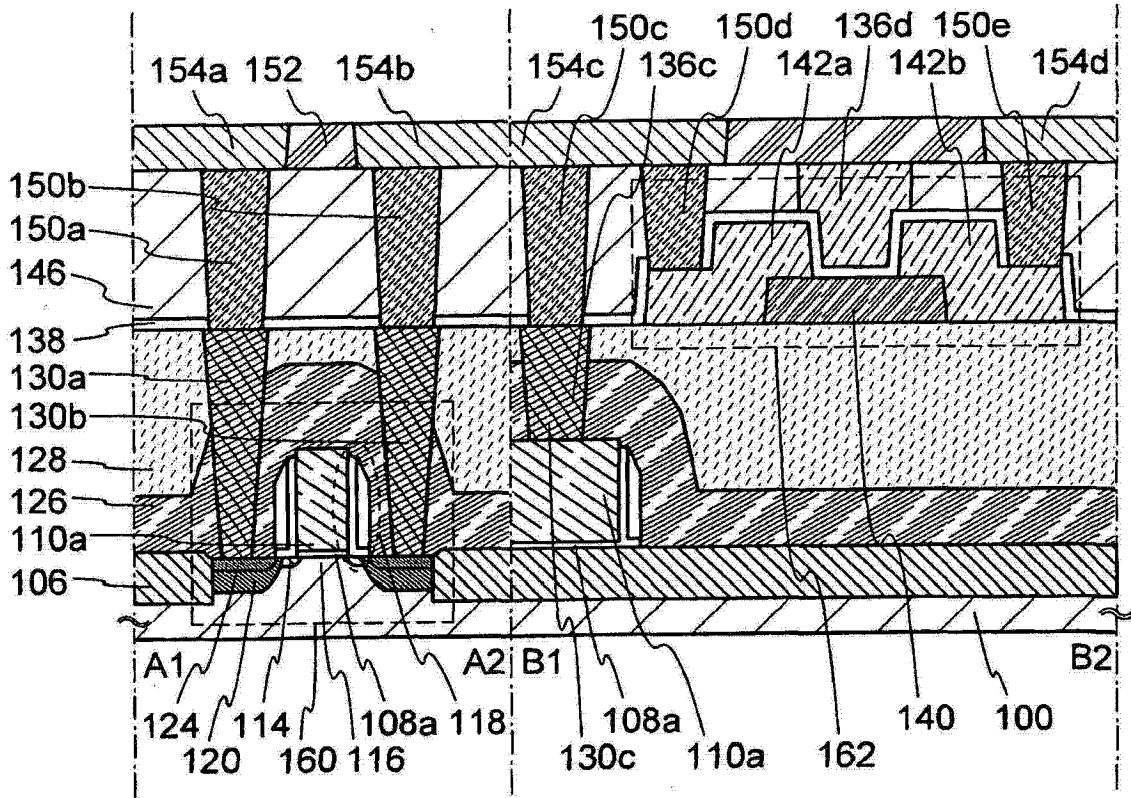


图 7B

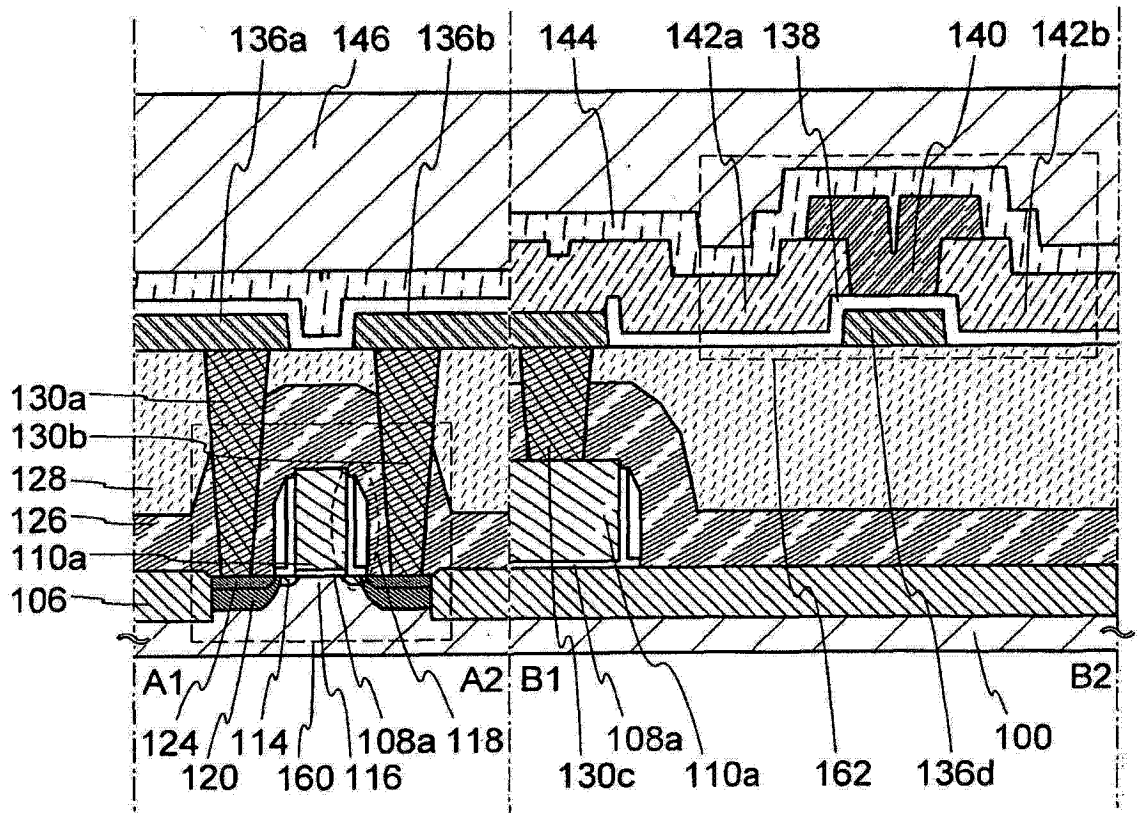


图 8A

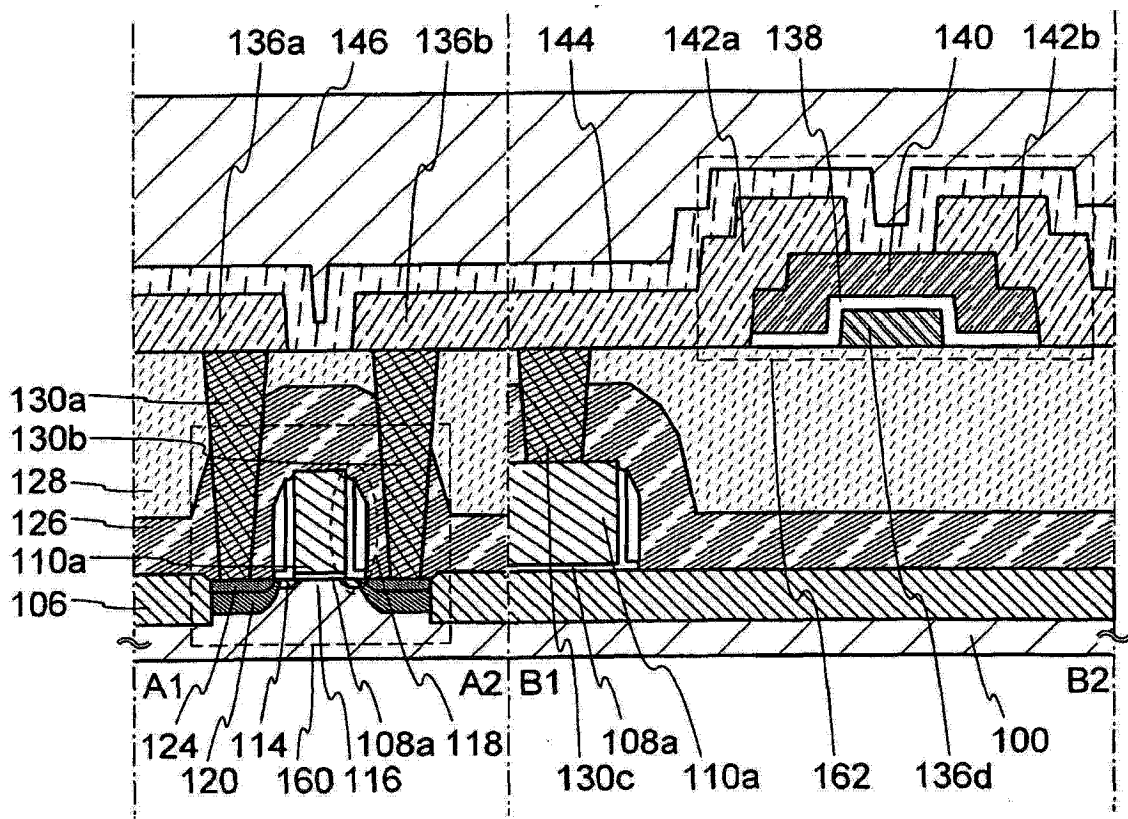


图 8B

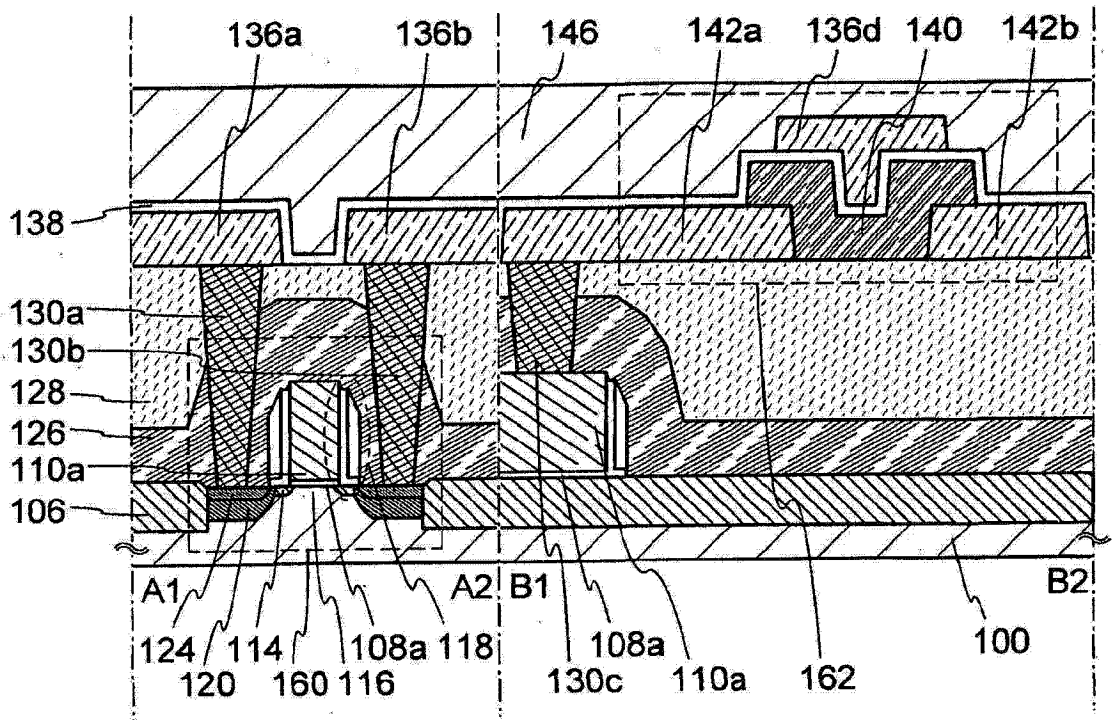


图 9A

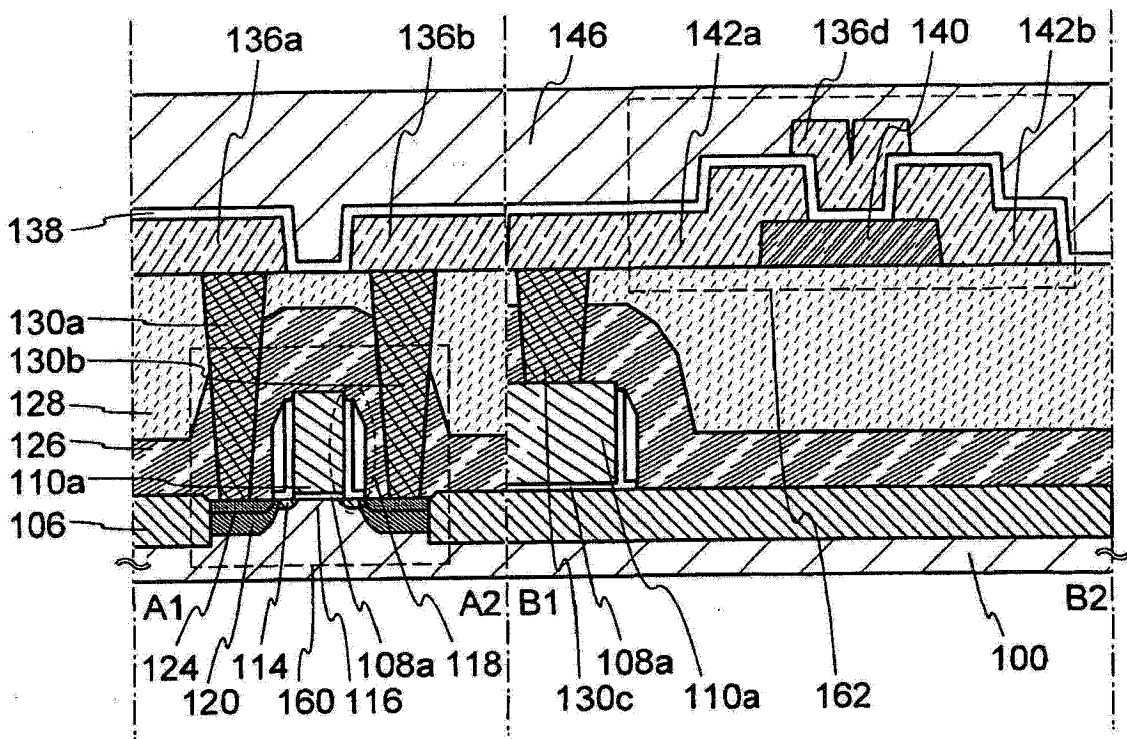


图 9B

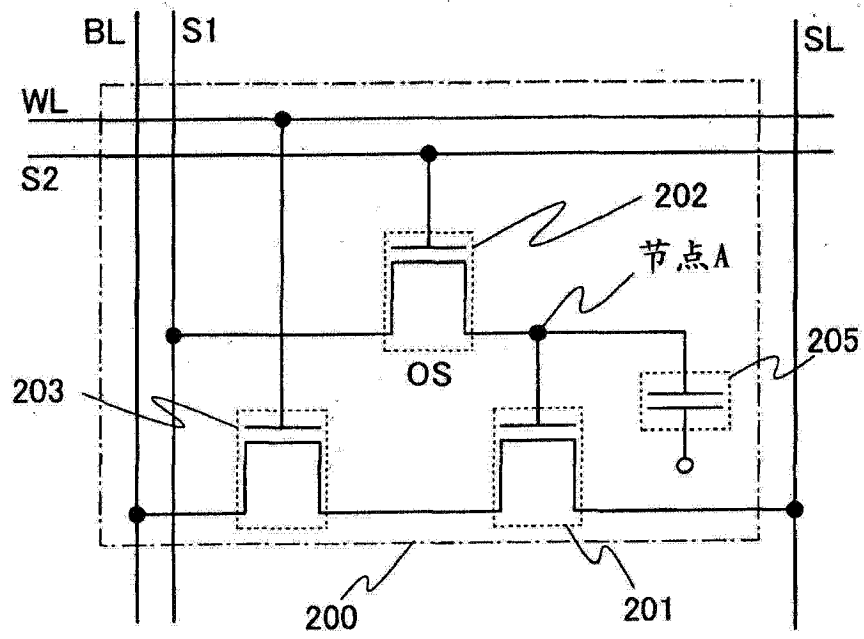


图 10

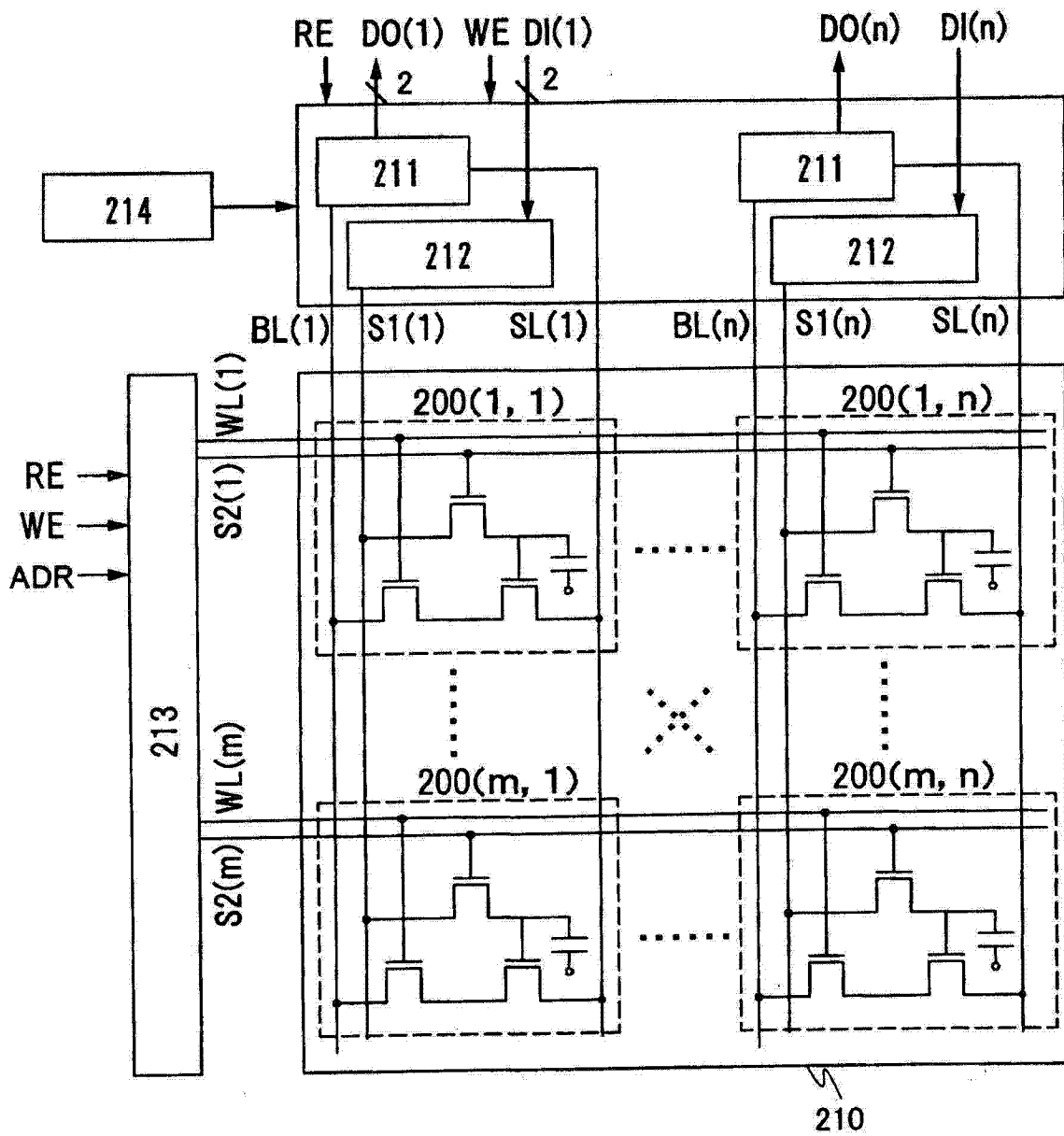


图 11

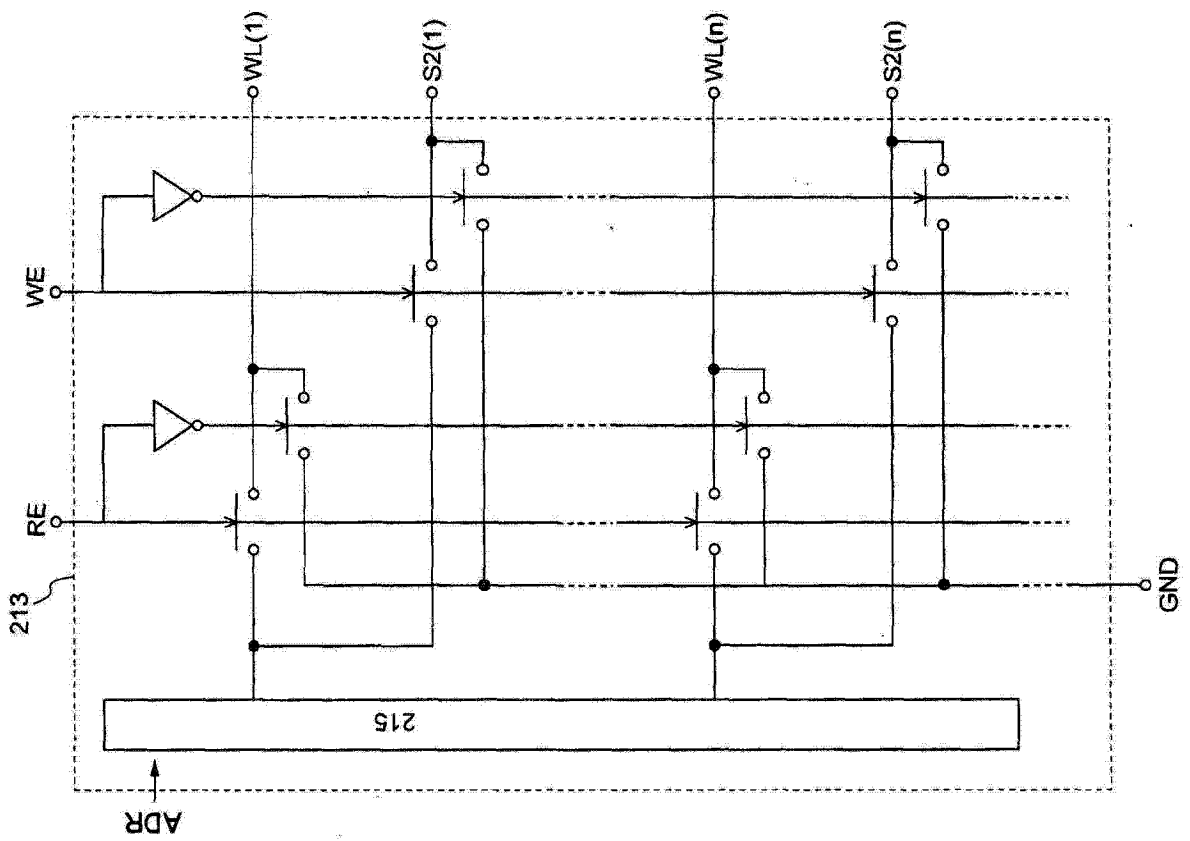


图 12

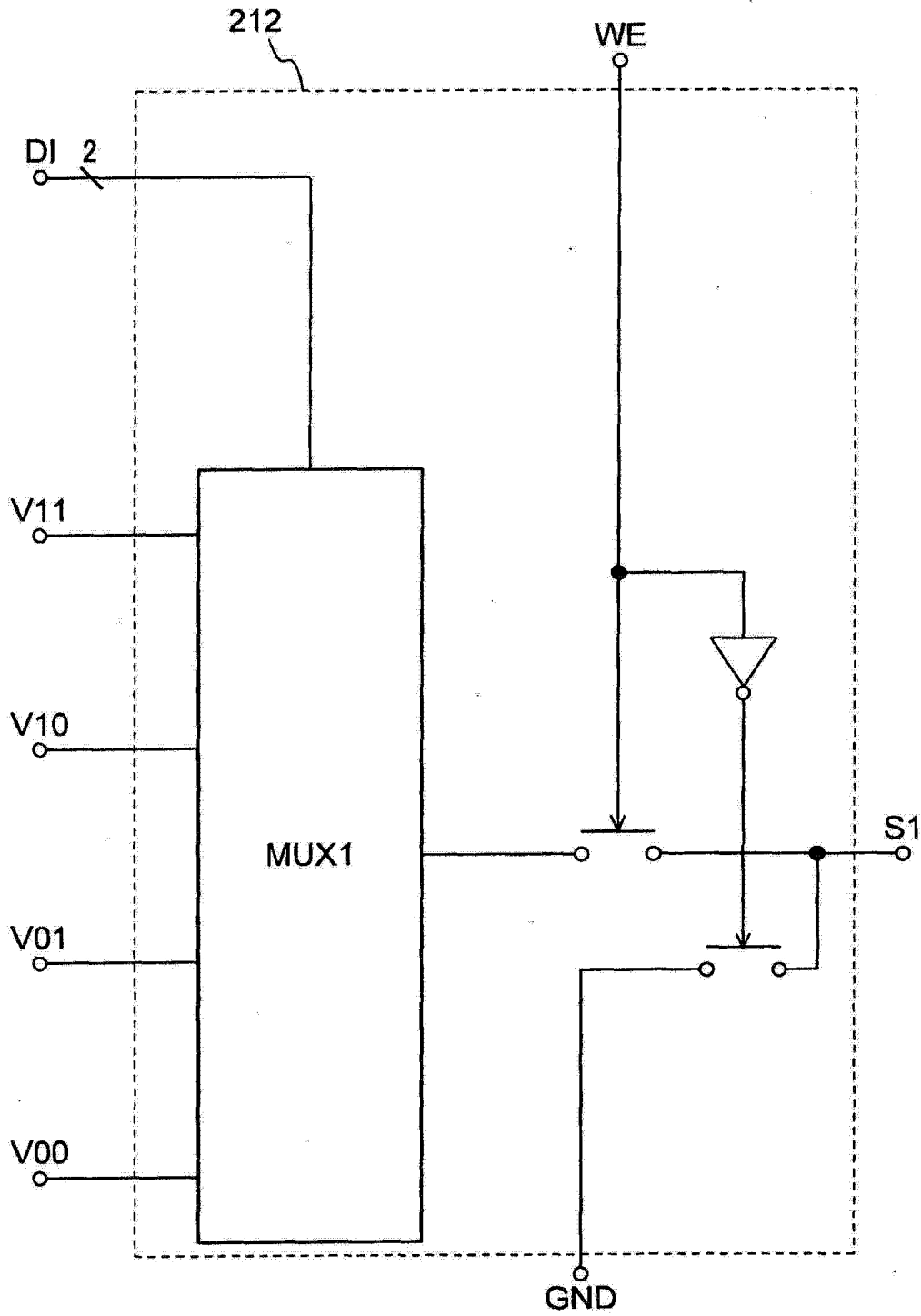


图 13

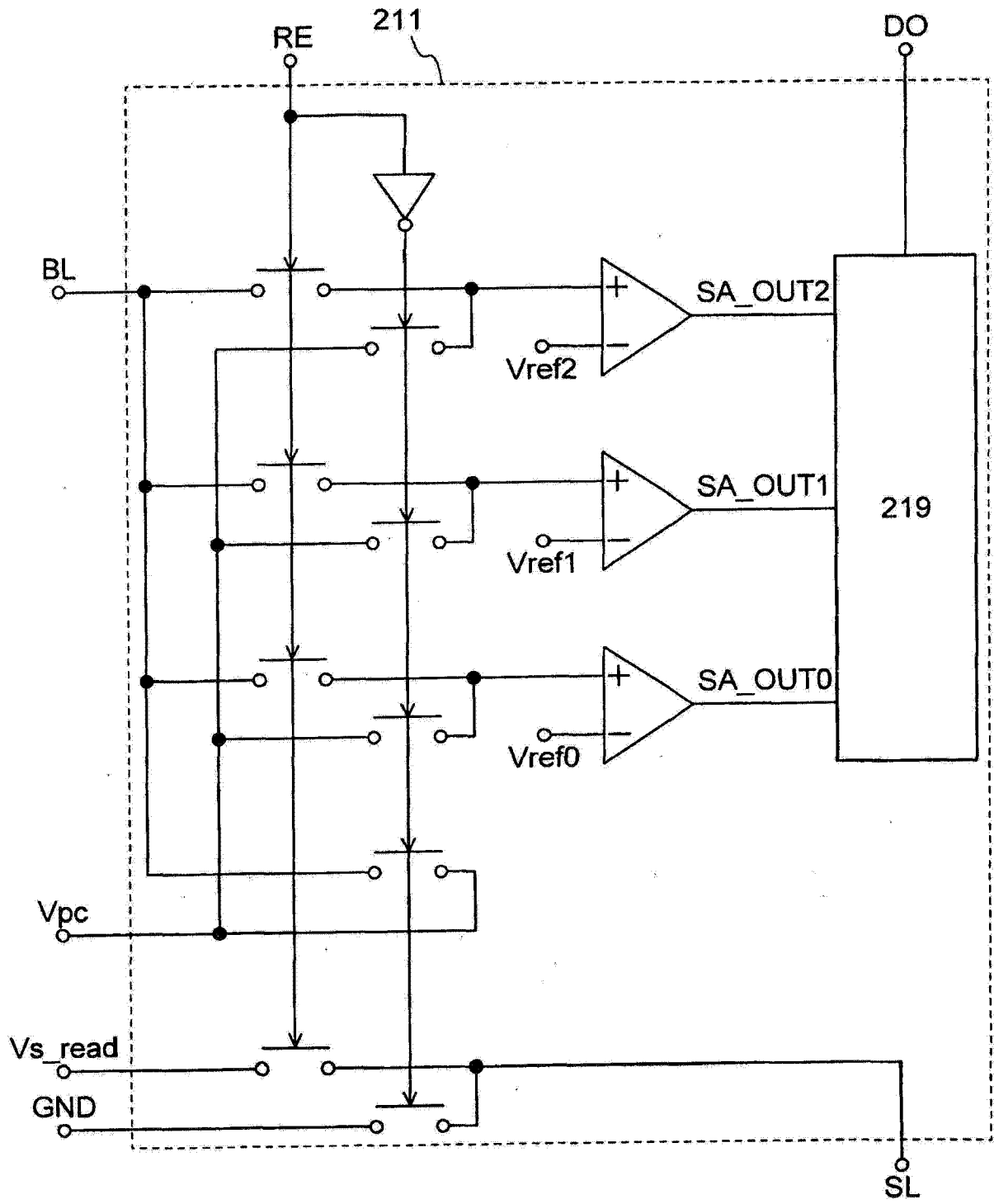


图 14

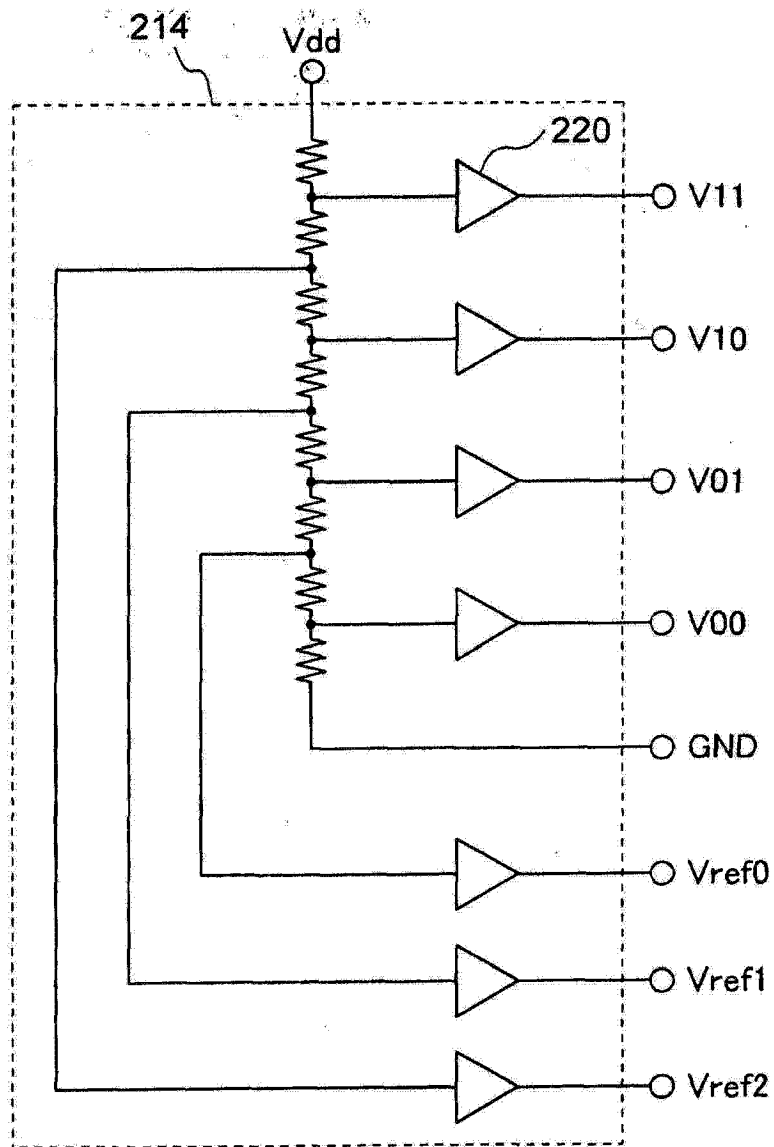


图 15

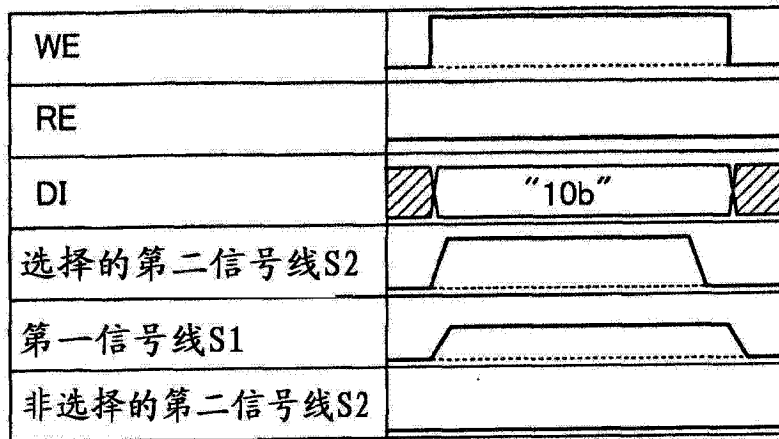


图 16A

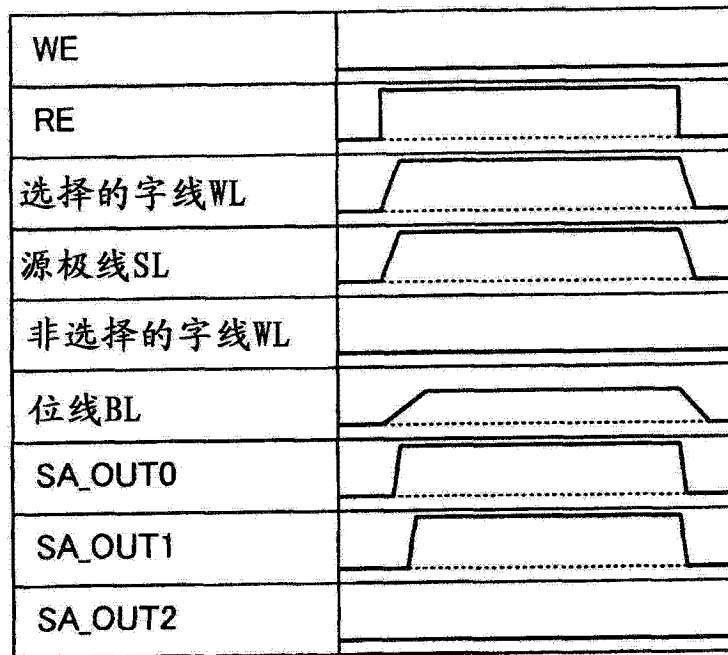


图 16B

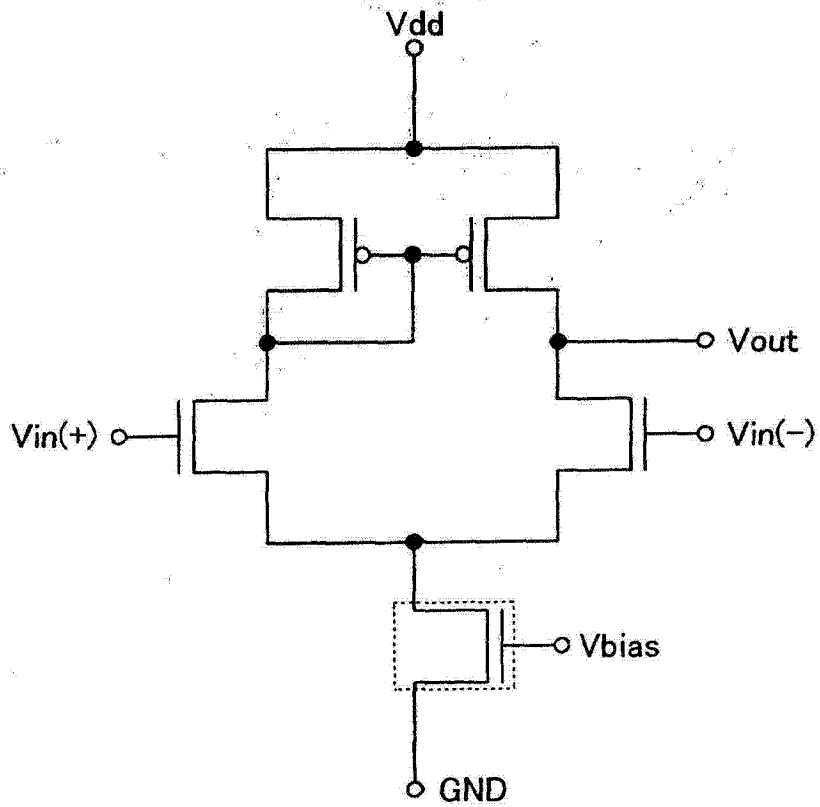


图 17

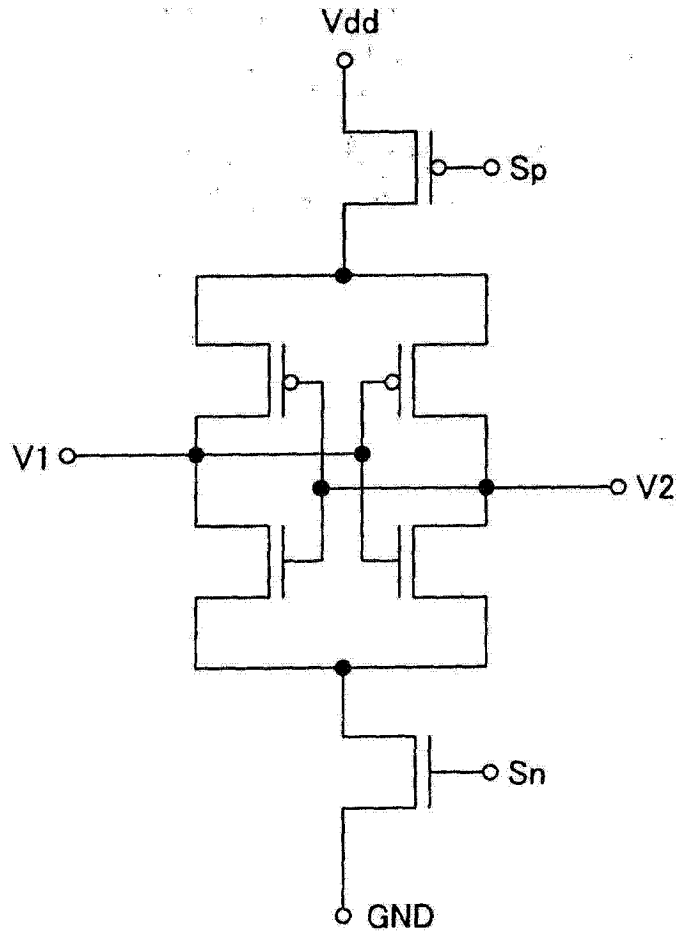


图 18

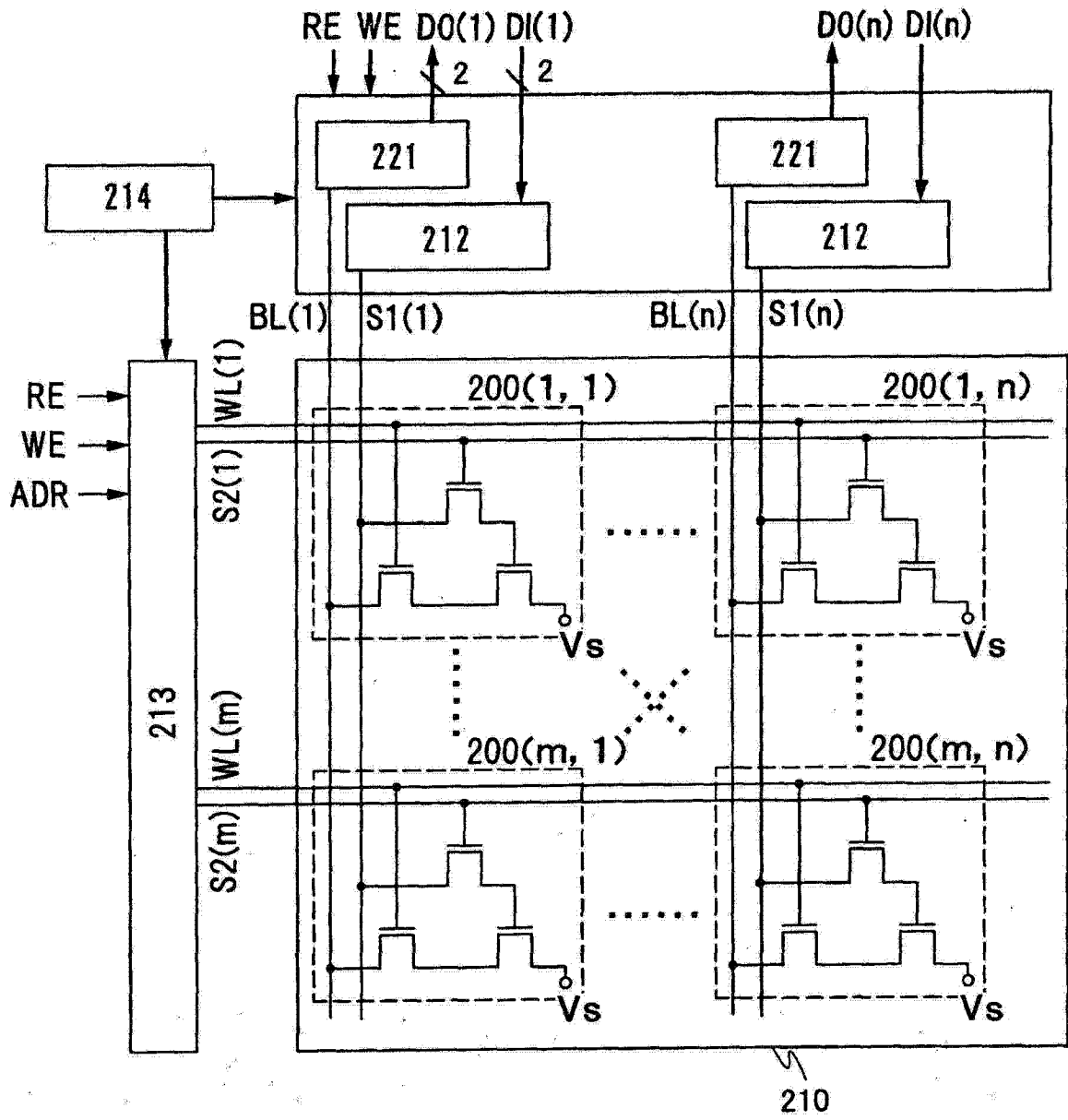


图 19

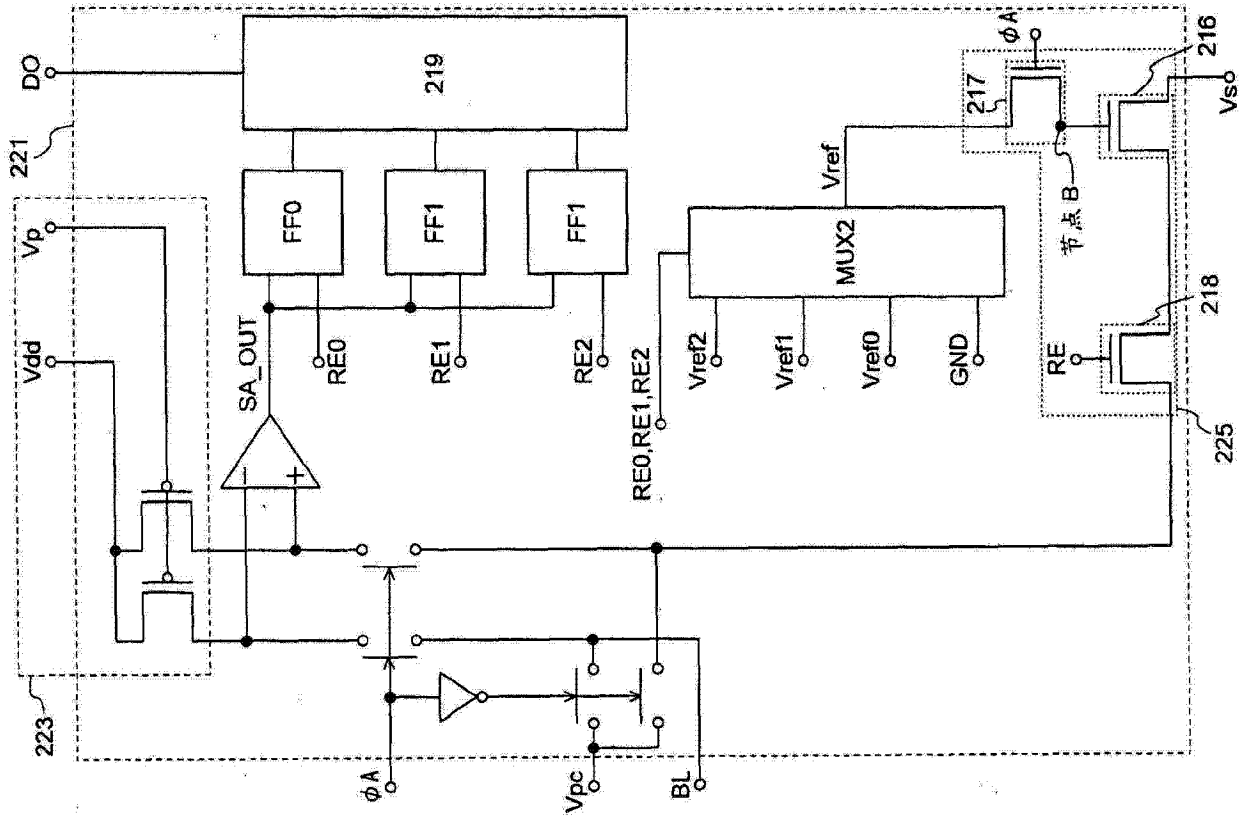


图 20

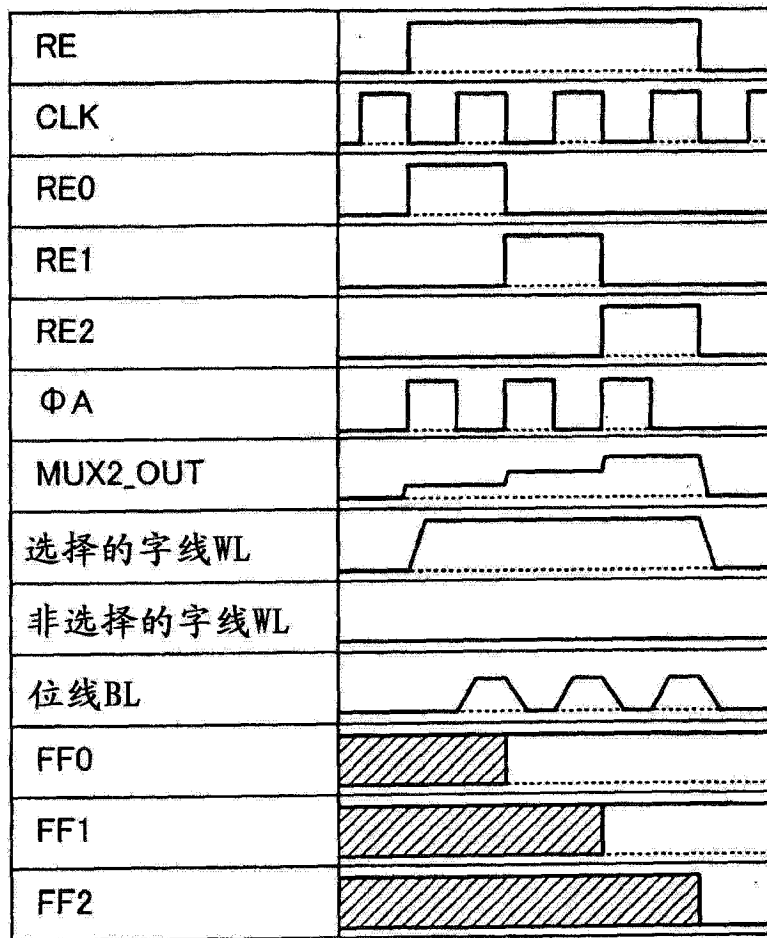


图 21

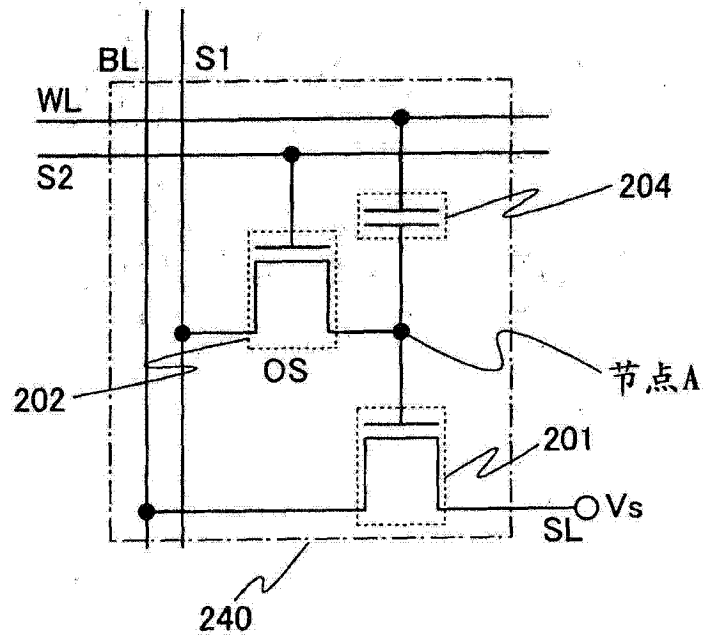


图 22

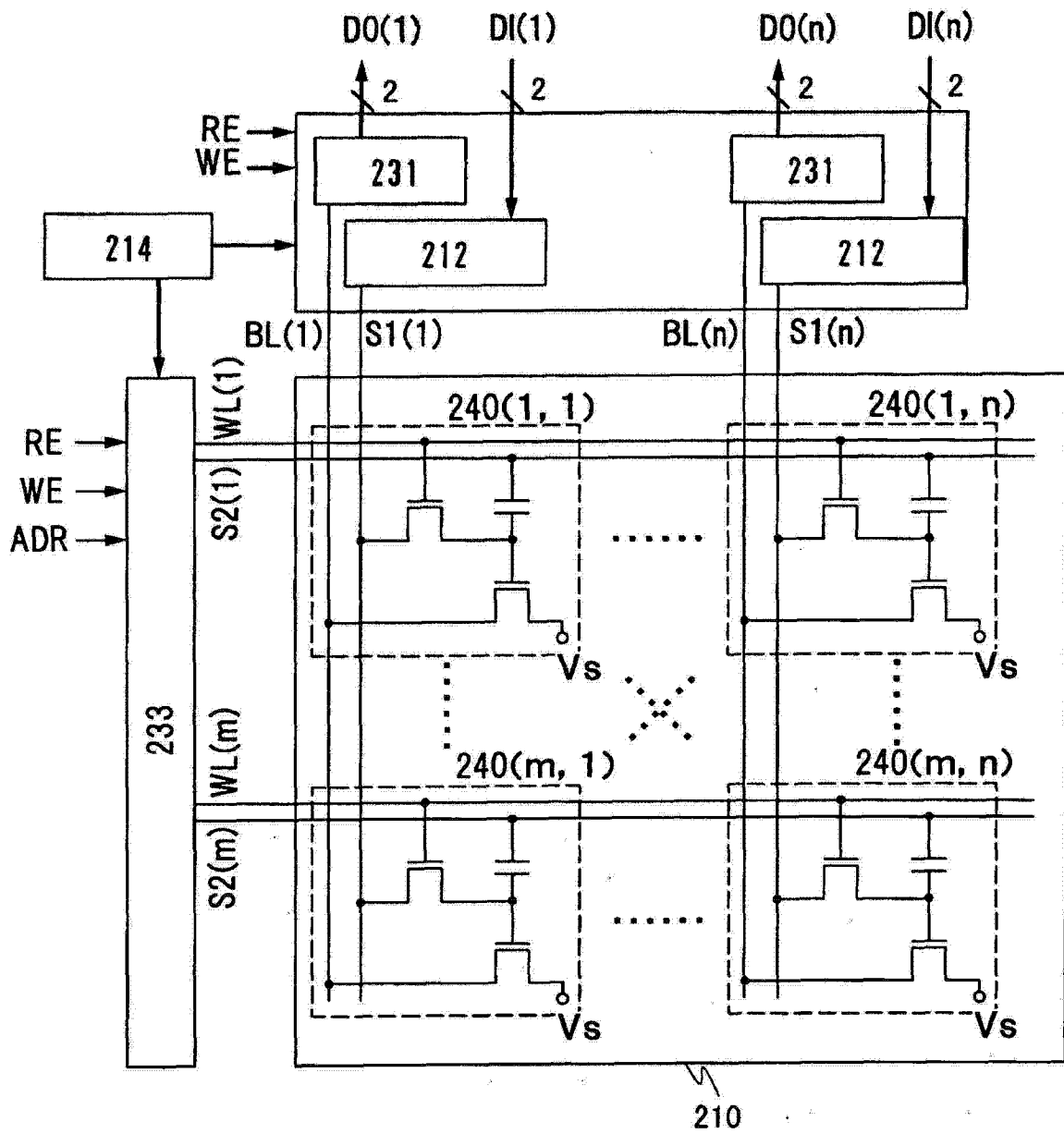


图 23

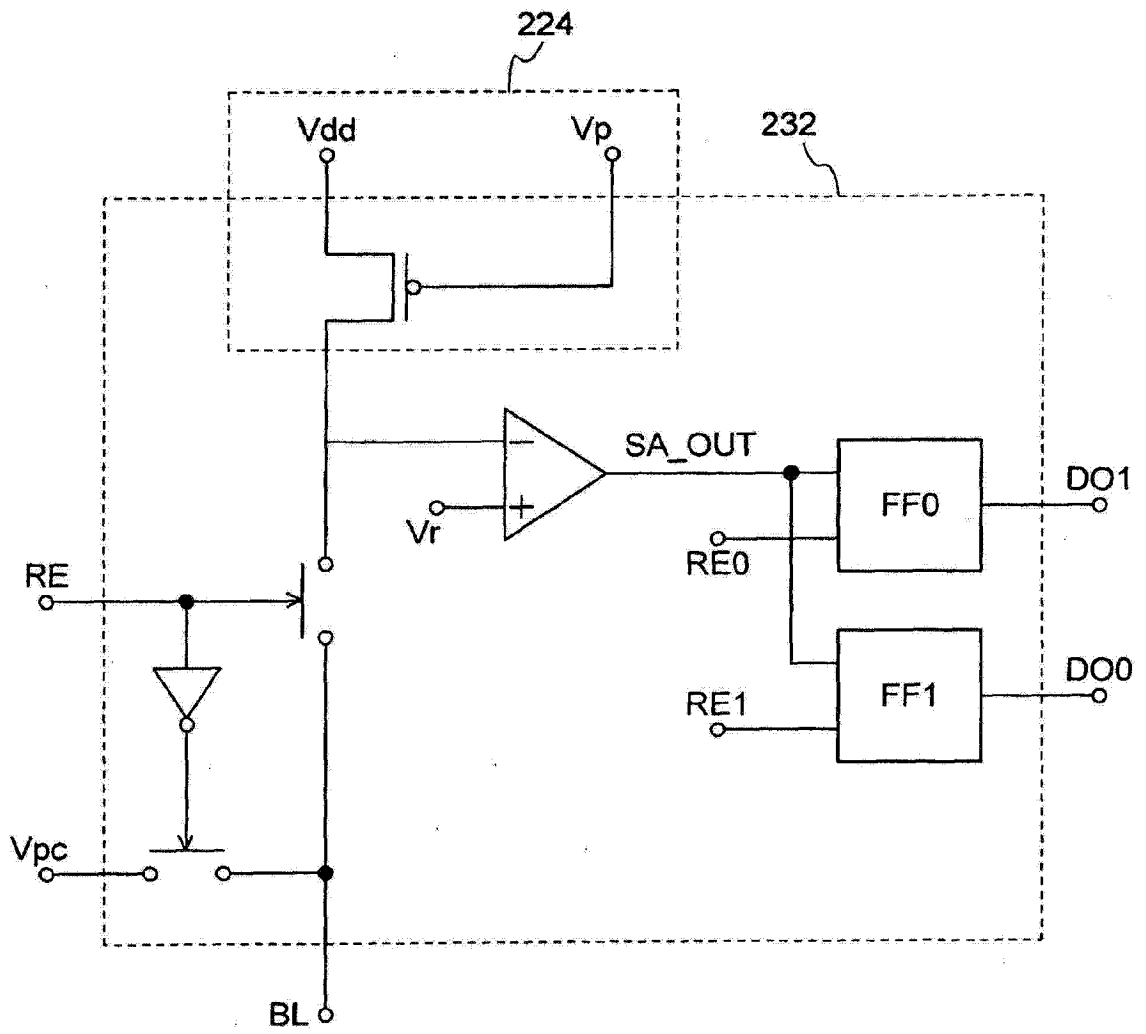


图 24

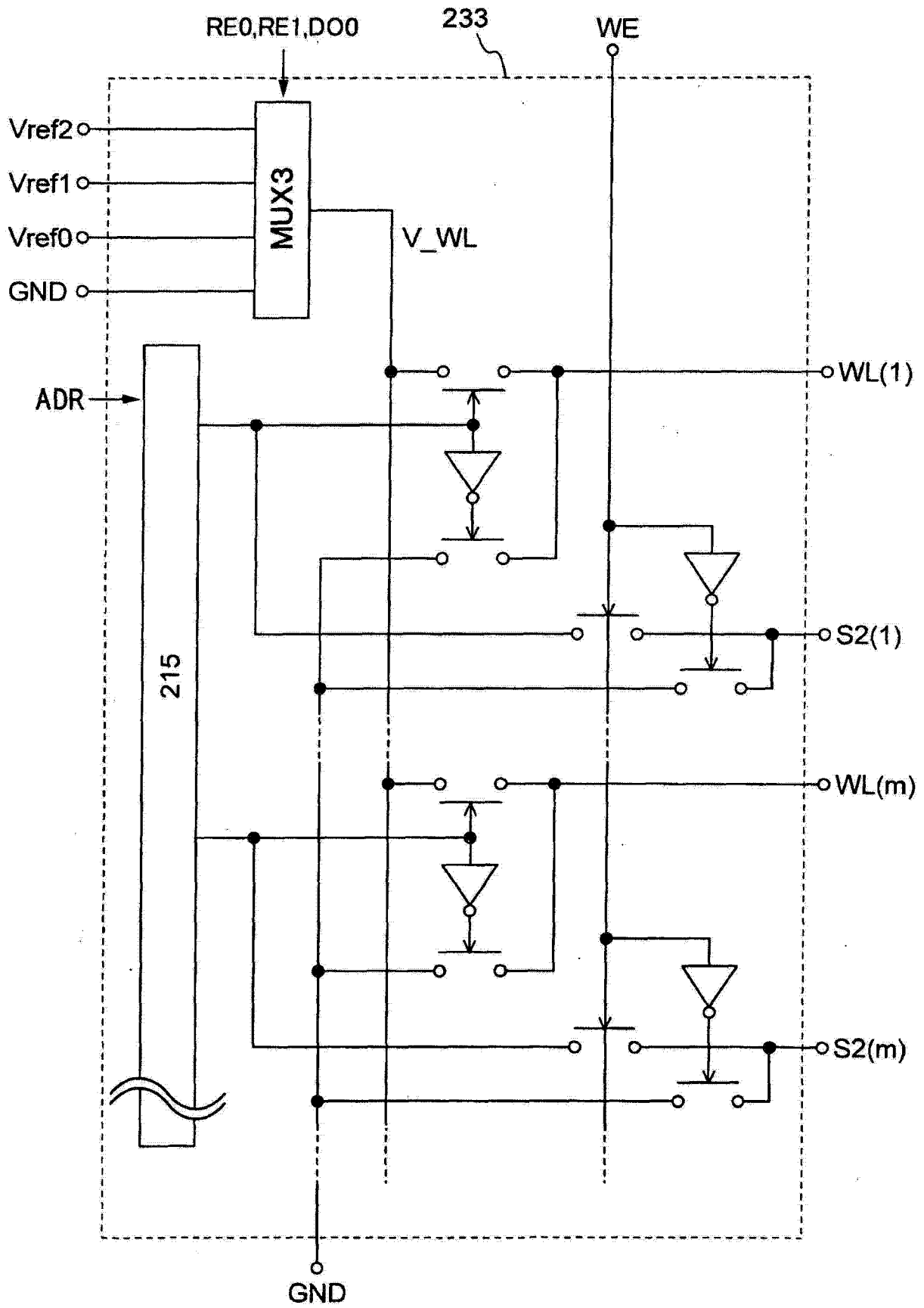


图 25

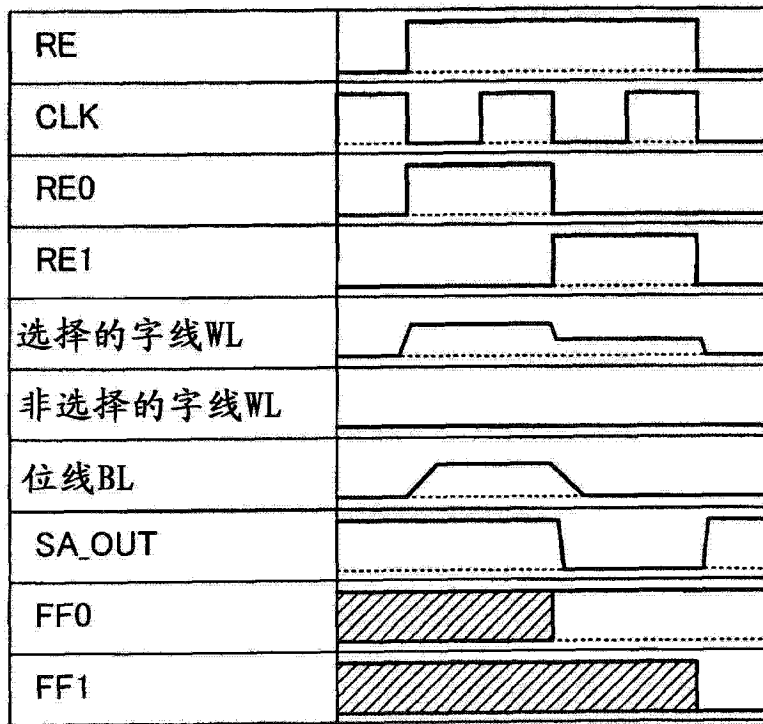


图 26

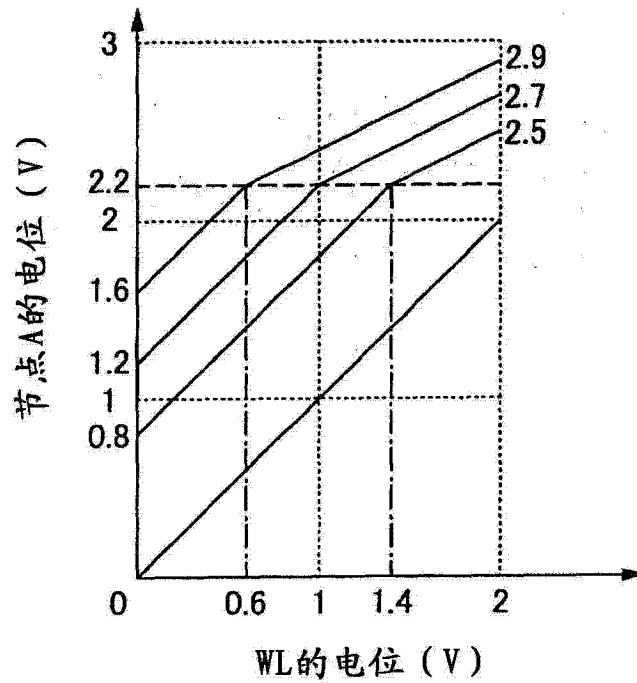


图 27

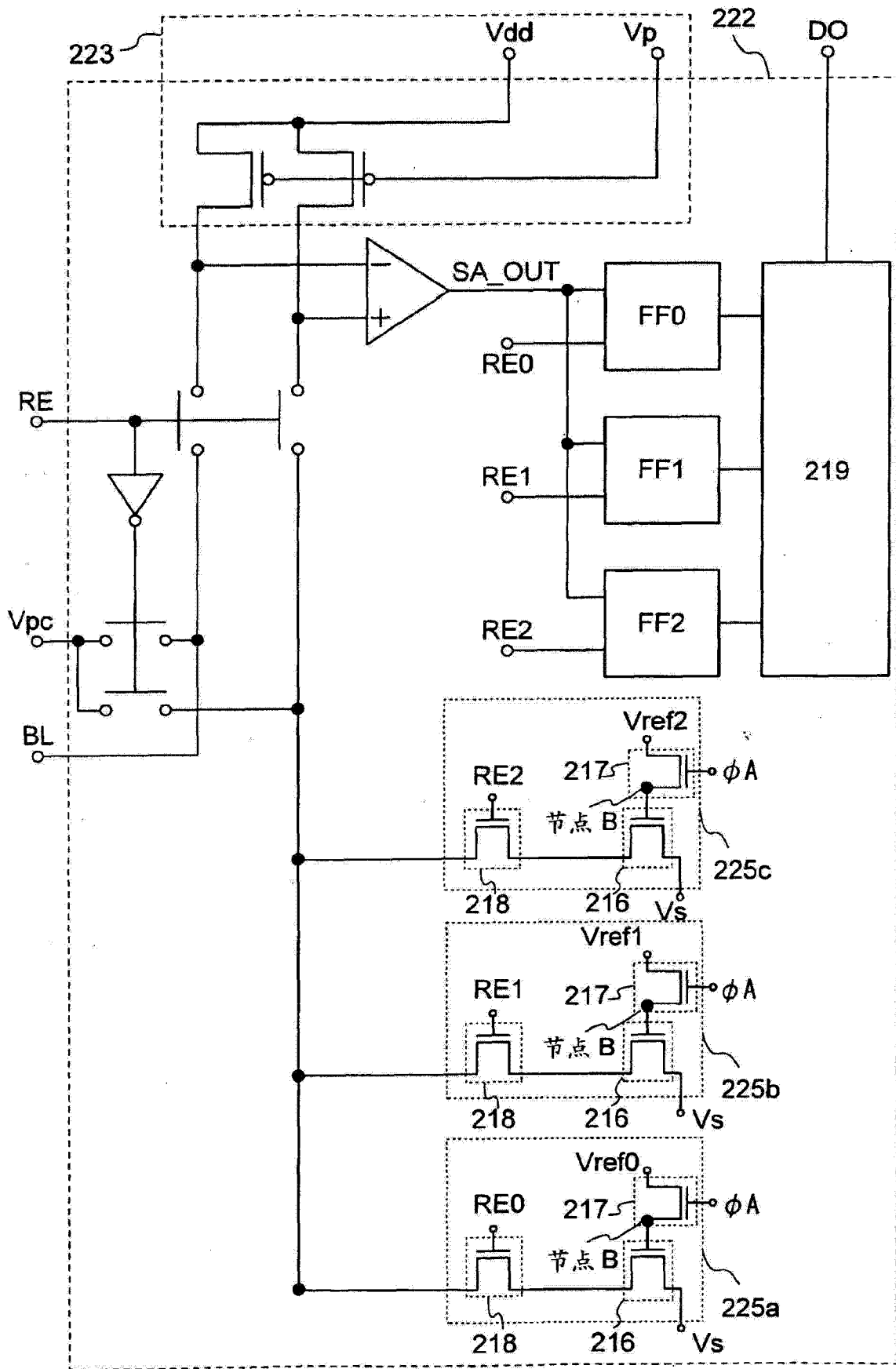


图 28

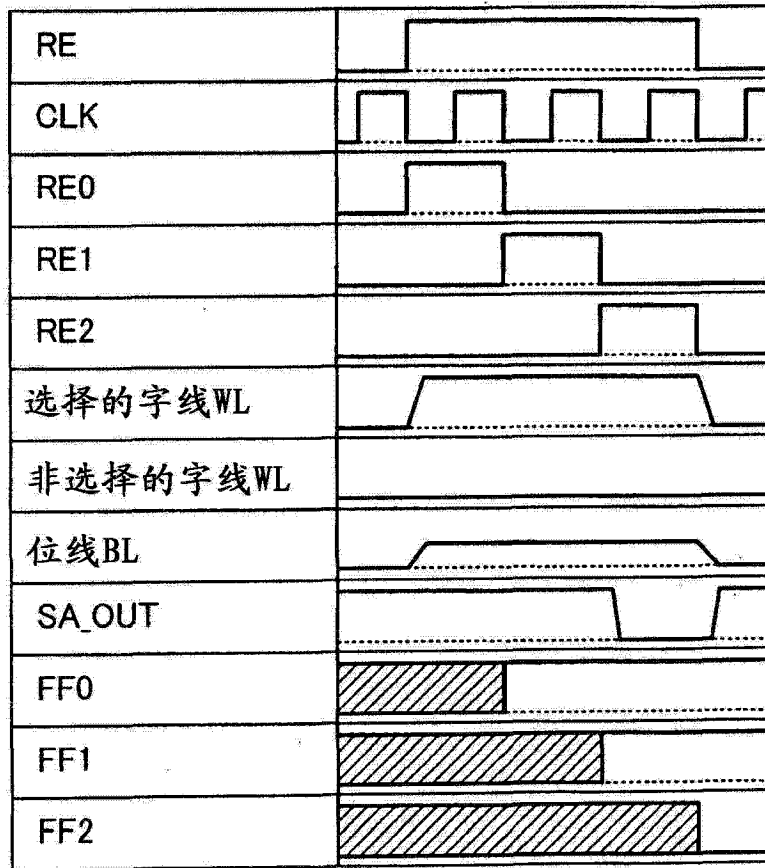


图 29

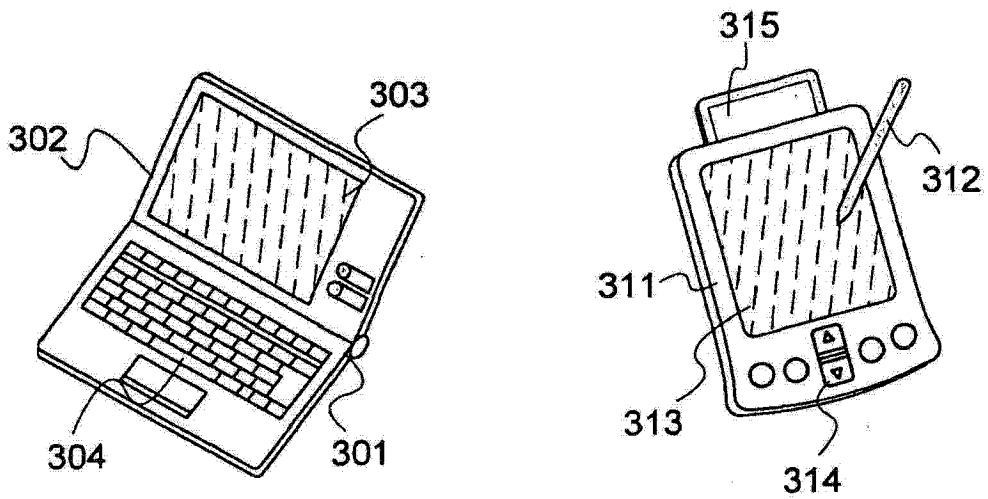


图 30A

图 30B

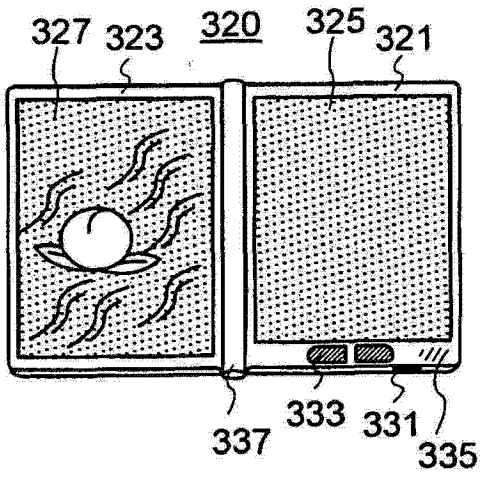


图 30C

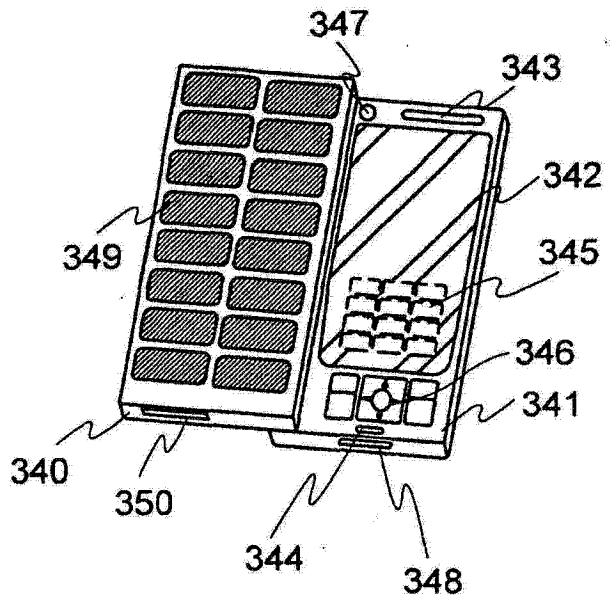


图 30D

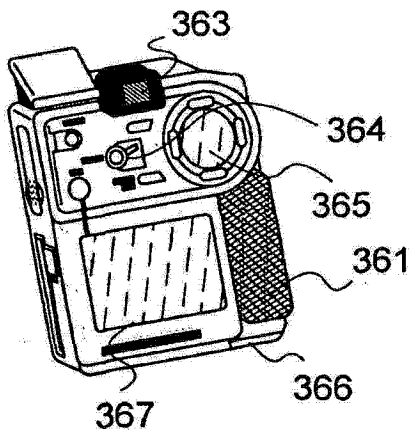


图 30E

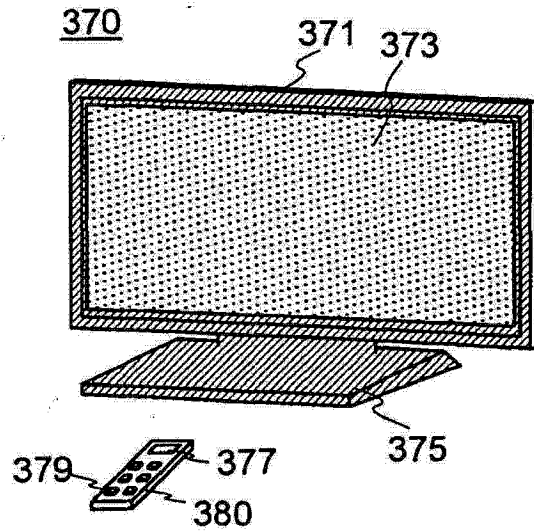


图 30F

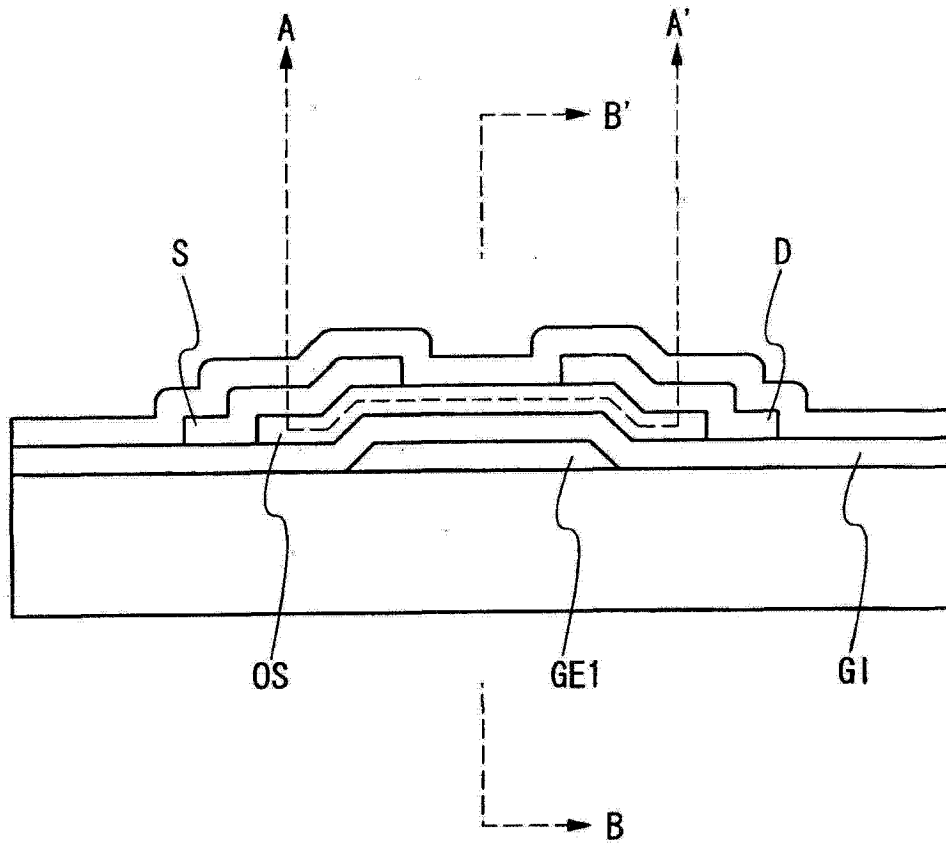


图 31

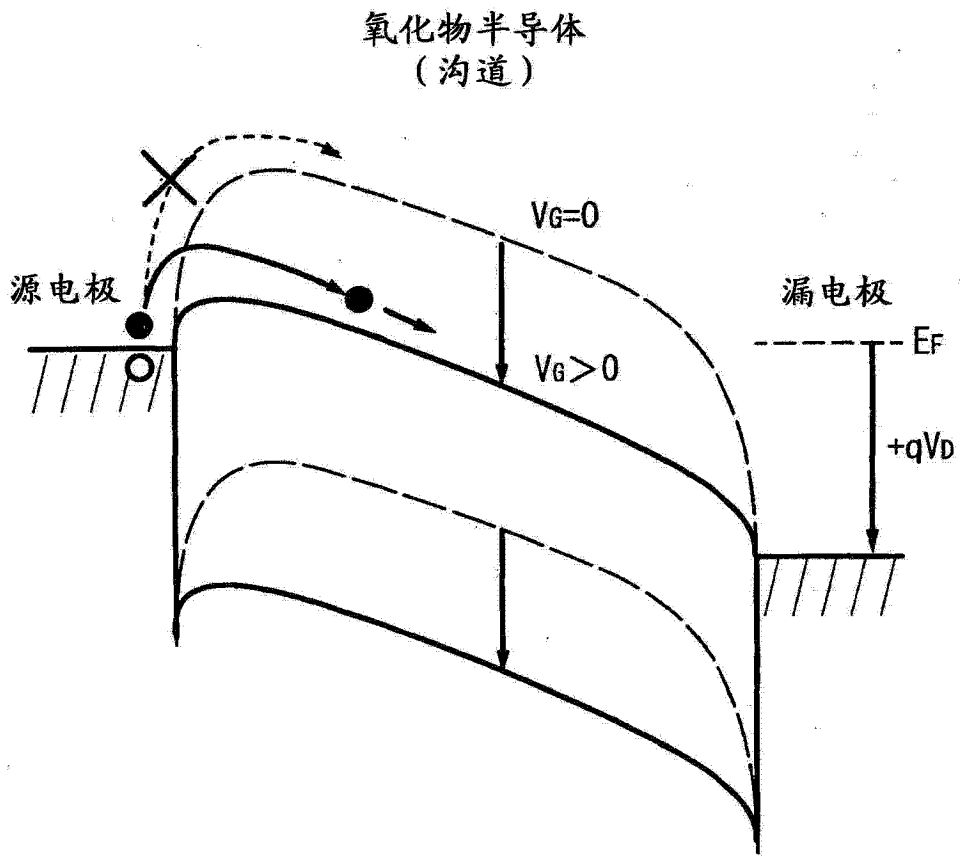
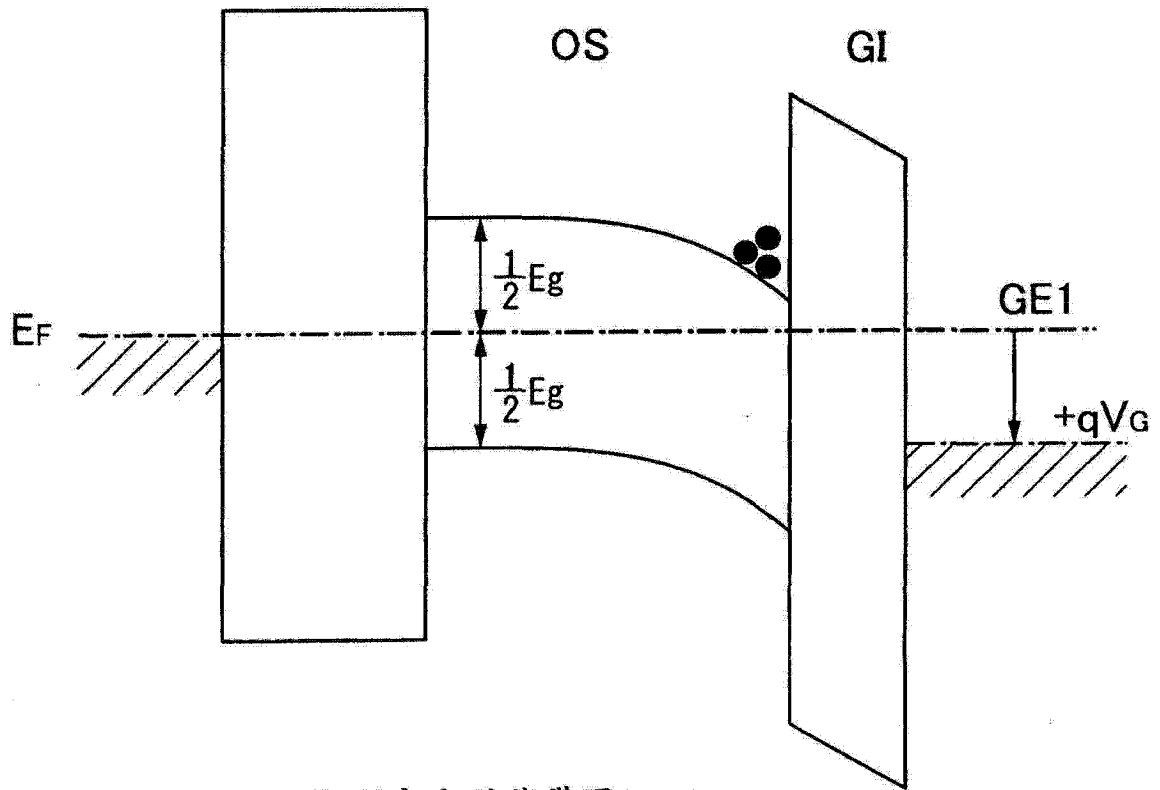
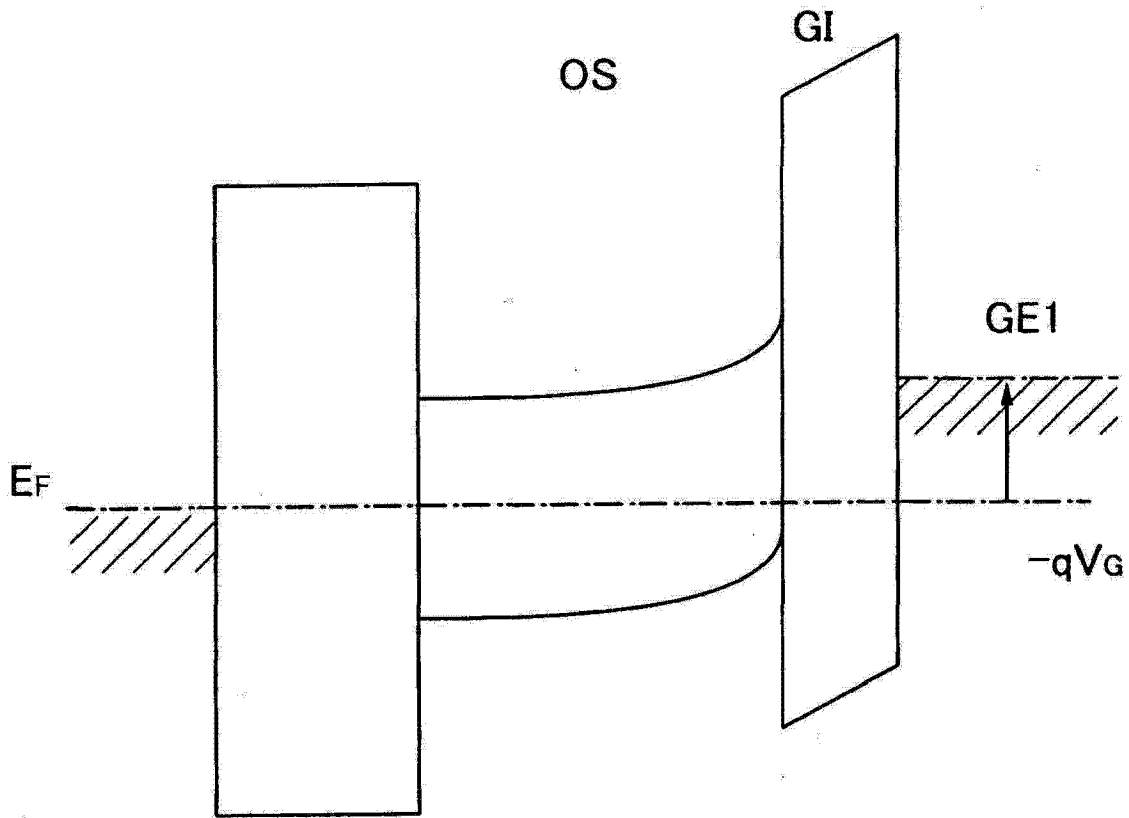


图 32



B-B' 部分的能带图 ($V_g > 0$)

图 33A



B-B' 部分的能带图 ($V_G < 0$)

图 33B

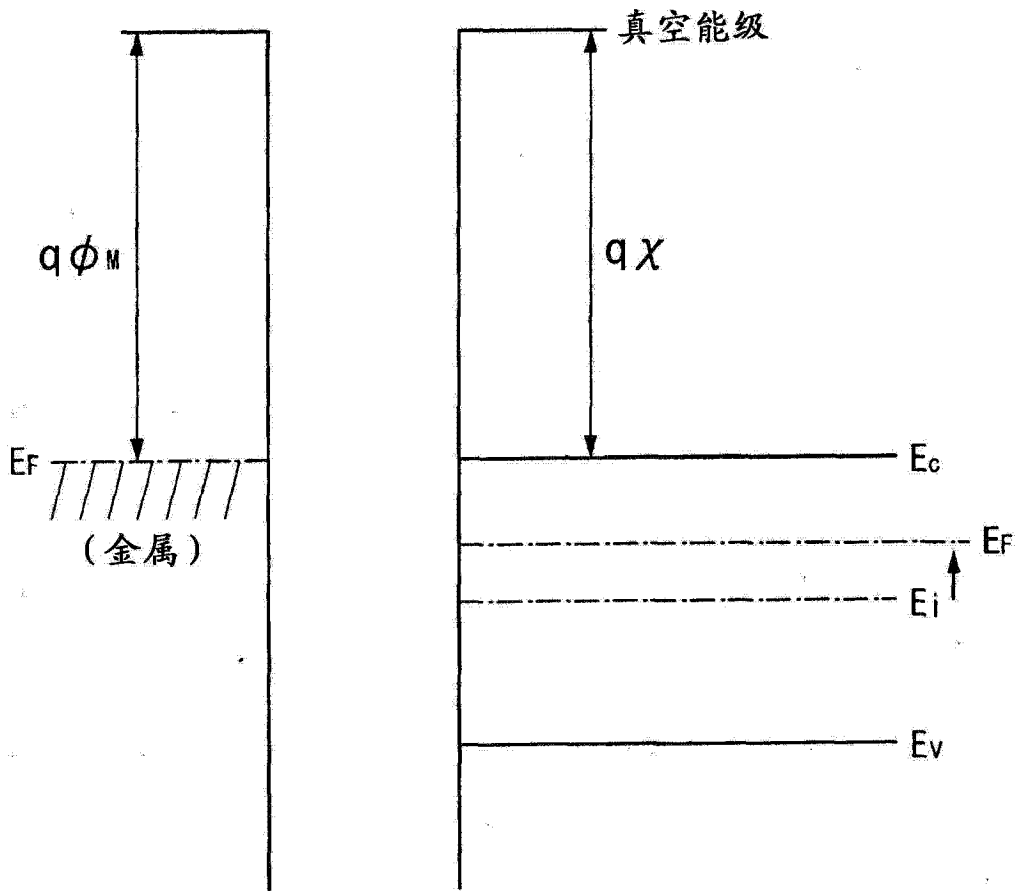


图 34