

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0090523
G02F 1/136 (2006.01) (43) 공개일자 2006년08월11일

(21) 출원번호 10-2005-0011467
(22) 출원일자 2005년02월07일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 허성권
경기 수원시 영통구 영통동 984-12번지 103호
민훈기
서울 도봉구 쌍문4동 금호2차아파트 206동 507호
강호민
경기 수원시 영통구 우만2동 600번지 월드메르디앙아파트 106동 2503호
이인성
서울 서초구 방배4동 878-24
홍성수
서울 양천구 신월7동 954-14 산장빌라 1호
안기완
경기 고양시 덕양구 화정동 은빛마을 608-304

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 표시 장치용 배선 및 상기 배선을 포함하는 박막트랜지스터 표시판

요약

본 발명은, 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어지는 표시 장치용 배선, 및 기판, 상기 기판 위에 형성되어 있는 게이트선, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터 및 상기 박막 트랜지스터와 연결되어 있는 화소 전극을 포함하며, 상기 게이트선 및 상기 데이터선 중 적어도 하나는 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 합금으로 이루어지는 박막 트랜지스터 표시판을 제공한다.

대표도

도 2

색인어

구리, 합금, 저저항 배선, 접착성, 확산

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 2는 도 1의 박막 트랜지스터 표시판을 II-II' 선에 따라 자른 단면도이고,

도 3a, 도 4a, 도 5a 및 도 7a는 도 1 및 도 2에 도시한 박막 트랜지스터 표시판을 본 발명의 일 실시예에 따라 제조하는 방법의 중간 단계에서의 박막 트랜지스터 표시판을 순차적으로 나열한 배치도이고,

도 3b는 도 3a의 IIIb-IIIb'선을 따라 자른 단면도이고,

도 4b는 도 4a의 IVb-IVb'선을 따라 자른 단면도이고,

도 5b는 도 5a의 Vb-Vb'선을 따라 자른 단면도이고,

도 6은 도 5b에 연속되는 공정에 따른 단면도이고,

도 7b는 도 7a의 VIIb-VIIb'선에 따라 자른 단면도이고,

도 8은 본 발명의 한 실시예에 따른 유기 발광 표시 소자의 구조를 도시한 배치도이고,

도 9a 및 도 9b는 도 8의 박막 트랜지스터 표시판을 IXa-IXa' 및 IXb-IXb'선에 따라 자른 단면도이고,

도 10 내지 도 24b는 본 발명의 한 실시예에 따른 유기 발광 표시 소자를 제조하는 방법을 순차적으로 보여주는 배치도 또는 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치용 배선 및 상기 배선을 포함하는 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로써, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 구조이다. 이 중에서도, 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 형태가 주류이다. 이러한 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 전압을 전달하는 데이터선(data line)을 표시판에 형성한다. 박막 트랜지스터는 게이트선을 통하여 전달되는 주사 신호에 따라 데이터선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자로서의 역할을 한다. 이러한 박막 트랜지스터는, 자발광소자인 능동형 유기 발광 표시 소자(AM-OLED)에서도 각 발광 소자를 개별적으로 제어하는 스위칭 소자로서 역할을 한다.

이러한 박막 트랜지스터에서, 게이트 전극을 포함하는 게이트선, 소스 전극을 포함하는 데이터선 및 드레인 전극 등의 재료로서 크롬(Cr)이 주로 이용되었다.

그러나, 액정 표시 장치 또는 유기 발광 표시 소자의 면적이 점점 대형화되는 추세에 따라 게이트선 및 데이터선의 길이가 점점 길어지게 되고, 이에 따라 기존의 크롬 배선을 이용하는 경우 상대적으로 높은 저항에 의해 신호 지연 등의 문제가 발생한다.

이러한 문제점을 극복하기 위하여, 낮은 비저항을 가지는 구리(Cu)가 대면적 액정 표시 장치에 적합한 금속으로 알려져 있지만, 구리(Cu)는 유리 기판과의 접착성(adhesion) 및 하부층 또는 상부층으로의 확산 문제에 따라 실제 공정에 적용하기에는 신뢰성이 떨어진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 문제점을 해결하기 위한 것으로써, 저저항성 및 신뢰성을 동시에 확보할 수 있는 표시 장치용 배선 및 상기 배선을 포함하는 박막 트랜지스터 표시판을 제공한다.

발명의 구성 및 작용

본 발명에 따른 표시 장치용 배선은, 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어진다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은, 기판, 상기 기판 위에 형성되어 있는 게이트선, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터 및 상기 박막 트랜지스터와 연결되어 있는 화소 전극을 포함하며, 상기 게이트선 및 상기 데이터선 중 적어도 하나는 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어진다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은, 기판, 상기 기판 위에 형성되어 있으며 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위의 소정 영역에 형성되어 있는 반도체층, 상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격을 두고 마주하고 있는 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 하부에 형성되어 있으며 상기 소스 전극과 상기 드레인 전극보다 넓은 영역에 형성되어 있는 저항성 접촉 부재, 및 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며, 상기 게이트선 및 상기 데이터선 중 적어도 어느 하나는 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어진다.

또한, 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은, 기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막, 반도체층 및 저항성 접촉 부재를 순차적으로 형성하는 단계, 상기 저항성 접촉 부재 및 상기 반도체층을 식각하여 패터닝하는 단계, 상기 절연막 및 상기 저항성 접촉 부재 위에 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금층을 형성하는 단계, 상기 구리 합금층 상부에 포토레지스트 패턴을 형성하고 상기 포토레지스트 패턴에 따라 상기 구리 합금층을 식각하여 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격을 두고 마주하고 있는 드레인 전극을 형성하는 단계, 상기 포토레지스트 패턴을 이용하여 상기 저항성 접촉 부재를 식각하는 단계 및 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

먼저, 도 1 및 도 2를 참조하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선에 따라 자른 단면도이다.

도 1 및 도 2에서 보는 바와 같이, 투명한 유리 등으로 이루어진 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선(121)의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이루며, 또 다른 일부는 외부 회로와 연결하기 위한 게이트선의 끝부분(129)을 이룬다.

게이트선(121)은 구리(Cu)를 주성분으로 하는 구리 합금(Cu-alloy)으로 이루어진다. 구리 합금은, 구리(Cu)와, 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유한다.

구리(Cu)는 낮은 비저항을 가지는 금속으로, 표시 장치의 면적이 대형화됨에 따라 배선의 길이가 증가하는 경우에도 다른 금속에 비하여 신호 지연과 같은 문제점을 현저히 개선시킬 수 있다. 그러나, 구리(Cu)는 유리 기판과의 접착성(adhesion)이 불량하기 때문에 배선의 들뜸(lifting) 또는 벗겨짐(peeling)이 발생할 수 있다. 또한, 구리의 높은 산화성에 의하여 하부 및/또는 상부층으로 쉽게 확산(diffusion)되어 오히려 저항을 증가시킬 수도 있다.

본 발명에서는 이러한 문제점을 해결하기 위하여, 구리를 주성분으로 하며 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금을 제공한다.

상기 구리 합금을 배선의 재료로 이용하는 경우, 구리의 저저항 특성을 그대로 유지하면서도 유리 기판과의 접착성을 개선시킬 수 있고, 하부 및/또는 상부층으로의 확산도 현저히 감소시킬 수 있다. 따라서, 저저항성 배선으로의 이점을 극대화할 수 있다.

특히, 저저항성 배선의 이점을 충분히 발휘하기 위해서는, 상기 몰리브덴, 텅스텐 또는 크롬과 같은 금속은 구리 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다. 0.1중량% 미만으로 함유되는 경우, 접착성 및 확산 방지 특성을 나타낼 수 없고, 3중량%를 초과하는 경우 구리의 저저항성 이점을 감소시킬 수 있다.

또한, 구리 합금은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함할 수 있다. 이 경우, 상기 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다.

상기 구리 합금으로 이루어진 게이트선(121)은 약 30 내지 80도의 경사각을 가지도록 경사져 있다.

게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 이루어진 복수의 선형 반도체층(151)이 형성되어 있다. 선형 반도체층(151)은 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 또한, 선형 반도체층(151)은 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다.

반도체층(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 이루어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 상기 돌출부(163)와 섬형 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 위치한다.

반도체층(151)과 저항성 접촉 부재(161, 165)의 측면 역시 경사져 있으며 그 경사각은 기판(110)에 대해서 약 30 내지 80°이다.

저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171), 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.

데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치되어 있다.

소스 전극(173)을 포함하는 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)는 구리(Cu)를 주성분으로 하는 구리 합금(Cu-alloy)으로 이루어진다. 구리 합금은, 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유한다.

전술한 바와 같이, 구리(Cu)는 낮은 비저항을 가지는 금속으로, 표시 장치의 면적이 대형화됨에 따라 배선의 길이가 증가하는 경우에도 다른 금속에 비하여 신호 지연과 같은 문제점을 현저히 개선시킬 수 있다. 그러나, 구리는 높은 산화성을 가지기 때문에 하부 및/또는 상부층으로 쉽게 확산(diffusion)된다. 이 때문에, 반도체층(151)과 화소 전극(190) 사이에 위치되는 데이터선(171)의 경우, 하부의 반도체층(151)과 상부의 화소 전극(190)으로 확산될 수 있다.

본 발명에서는 이러한 문제점을 해결하기 위하여, 구리를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 더 함유하는 구리 합금을 제공한다.

구리 합금을 배선의 재료로 이용하는 경우, 구리의 저저항 특성을 그대로 유지하면서도 하부 및/또는 상부로의 확산도 현저히 감소시킬 수 있으므로, 저저항성 배선으로의 이점을 극대화할 수 있다.

특히, 저저항성 배선의 이점을 충분히 발휘하기 위해서는, 상기 몰리브덴, 텅스텐 또는 크롬과 같은 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다. 0.1중량% 미만으로 함유되는 경우 확산 방지 특성을 나타낼 수 없고, 3중량%를 초과하는 경우 구리의 저저항성 이점을 감소시킬 수 있다.

또한, 상기 합금은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함할 수 있다. 이 경우, 상기 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다.

데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)의 측면은 약 30 내지 80도의 경사각을 가지도록 형성되어 있다.

게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성되어 있다. 유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.

저항성 접촉 부재(161, 165)는 그 하부의 반도체층(154)과 그 상부의 소스 전극(173) 및 드레인 전극(175) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 특히, 본 발명에서, 저항성 접촉 부재의 돌출부(163) 및 섬형 저항성 접촉 부재(165)는 소스 전극(173) 및 드레인 전극(175) 하부에서 소스 전극(173) 및 드레인 전극(175)보다 넓은 영역에 형성되어 있으며, 도 2에서 보는 바와 같이 채널 영역에서 그 단면 구조는 소스 전극(173) 및 드레인 전극(175)보다 돌출된 형태로 형성되어 있다.

선형 반도체층(151)은 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서 선형 반도체층(151)의 폭이 데이터선(171)의 폭보다 작지만 전술한 바와 같이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.

데이터선(171), 드레인 전극(175), 유지 축전기용 도전체(177) 및 노출된 반도체층(151) 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소(SiNx) 따위로 이루어진 보호막(passivation layer)(180)이 단일층 또는 복수층으로 형성되어 있다. 예컨대, 유기 물질로 형성하는 경우에는 소스 전극(173)과 드레인 전극(175) 사이의 반도체층(154)이 노출된 부분으로 보호막(180)의 유기 물질이 접촉하는 것을 방지하기 위하여, 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO₂)로 이루어진 절연막(도시하지 않음)이 추가로 형성될 수도 있다.

보호막(180)에는 게이트선(121)의 끝부분(129), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선(171)의 끝부분(179)을 각각 노출시키는 복수의 접촉구(contact hole)(181, 185, 187, 182)가 형성되어 있다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.

화소 전극(190)은 접촉구(181, 185, 187, 182)를 통하여 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선(171)과 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.

또한 전술한 바와 같이, 화소 전극(190)과 공통 전극(도시하지 않음)은 액정 축전기(liquid crystal capacitor)를 이루어 박막 트랜지스터가 턴오프(turn off)된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며, 이를 "유지 축전기(storage electrode)"라 한다. 유지 축전기는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 "전단 게이트선(previous gate line)"이라 함]의 중첩 등으로 형성되며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘이기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

저유전을 유기물질로 보호막(180)을 형성하는 경우에는 화소 전극(190)을 이웃하는 게이트선(121) 및 데이터선(171)과 중첩하여 개구율(aperture ratio)을 높일 수 있다.

접촉 보조 부재(81, 82)는 접촉구(181, 182)를 통하여 게이트선(121)의 끝부분(129) 및 데이터선(171)의 끝부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 끝부분과 구동 집적 회로와 같은 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

그러면, 도 1 및 도 2에 도시한 상기 박막 트랜지스터 표시판을 본 발명의 일실시예에 따라 제조하는 방법에 대하여 도 3a 내지 도 7b와 도 1 및 도 2를 참조하여 상세히 설명한다.

도 3a, 도 4a, 도 5a 및 도 7a는 도 1 및 도 2에 도시한 박막 트랜지스터 표시판을 본 발명의 일실시예에 따라 제조하는 방법의 중간 단계에서의 박막 트랜지스터 표시판을 순차적으로 나열한 배치도이고, 도 3b는 도 3a의 IIIb-IIIb'선을 따라 자른 단면도이고, 도 4b는 도 4a의 IVb-IVb'선을 따라 자른 단면도이고, 도 5b는 도 5a의 Vb-Vb'선을 따라 자른 단면도이고, 도 6은 도 5b에 연속되는 공정에 따른 단면도이고, 도 7b는 도 7a의 VIIb-VIIb'선에 따라 자른 단면도이다.

먼저, 도 3a 및 도 3b에 도시한 바와 같이, 투명 유리 등의 절연 기판(110) 위에 구리 합금층을 형성한다.

구리 합금층은 구리를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 더 함유한다.

상기 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되어 있다.

또한, 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함할 수 있다. 이 경우, 상기 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다.

그 다음, 구리 합금층을 식각액을 이용한 습식 식각으로 패터닝한다. 이 경우, 구리 합금층은, 순수 구리층과 달리, 과산화수소(H₂O₂) 식각액 또는 인산 50 내지 80%, 질산 2 내지 10%, 아세트산 2 내지 15% 및 잔량의 탈염수를 포함하는 알루미늄 식각액 또는 크롬 식각액을 사용할 수 있다.

이로써, 복수의 게이트 전극(124), 복수의 확장부(127) 및 외부 회로와 연결하기 위한 게이트선의 끝부분(129)을 포함하는 게이트선(121)이 형성된다.

그 다음, 도 4a 및 도 4b에 도시한 바와 같이, 게이트 전극(124)을 포함하는 게이트선(121)을 덮도록 질화규소(SiNx) 또는 산화규소(SiO₂)를 증착하여 게이트 절연막(140)을 형성한다. 게이트 절연막(140)의 적층 온도는 약 250 내지 500℃, 두께는 약 2,000 내지 5,000Å 정도인 것이 바람직하다.

그리고, 게이트 절연막(140) 위에 진성 비정질 규소층(intrinsic amorphous silicon) 및 불순물이 도핑된 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물이 도핑된 비정질 규소층과 진성 비정질 규소층을 사진 식각하여 복수의 돌출부(154)와 복수의 불순물 반도체 패턴(164)을 각각 포함하는 선형 진성 반도체층(151)을 형성한다.

다음, 도 5a 및 도 5b에 도시한 바와 같이, 불순물이 도핑된 비정질 규소층(161) 위에 공동 스퍼터링 등의 방법으로, 구리를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 포함하는 구리 합금층을 형성한다. 이 경우, 구리 합금층은 약 3000Å 정도의 두께로 형성하고, 스퍼터링 온도는 약 150℃ 정도에서 수행한다.

그 다음, 구리 합금층 위에 포토레지스트를 도포한 후 노광 및 현상하여 포토레지스트 패턴을 형성한다.

이어서, 상기 포토레지스트 패턴을 이용하여 구리 합금층을 식각한다. 여기서 사용되는 식각액으로는, 예컨대 과산화수소(H₂O₂) 식각액, 또는 인산 50 내지 80%, 질산 2 내지 10%, 아세트산 2 내지 15% 및 잔량의 탈염수를 포함하는 알루미늄 식각액 또는 크롬 식각액을 이용할 수 있다. 이로써, 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)이 형성된다.

이어서, 상기 포토레지스트 패턴을 제거하지 않은 상태로, 상기 포토레지스트 패턴을 마스크로 하여 채널 영역에 노출된 불순물 반도체층(161, 165) 부분을 건식 식각(dry etching)한다. 건식 식각은, 염소 기체(Cl₂)를 이용한 플라즈마 방법으로 수행한다.

이 경우, 포토레지스트 패턴을 마스크로 하여 건식 식각을 수행하기 때문에, 불순물 반도체층의 돌출부(163)와 섬형 저항성 접촉 부재(165)는 소스 전극(173) 및 드레인 전극(175)보다 넓은 영역이 노출된다.

상기와 같이, 데이터선(171) 형성시 이용한 포토레지스트 패턴을 이용하여 하부의 불순물 반도체층(161, 165)을 식각함으로써, 건식 식각시 구리 합금층에 염소 기체(Cl₂)가 직접 접촉되는 것을 방지할 수 있다.

이로써, 도 6에서 보는 바와 같이, 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출시킨다.

또한, 노출된 진성 반도체(154) 부분의 표면을 안정화시키기 위하여 산소(O₂) 플라즈마를 실시하는 것이 바람직하다.

다음으로, 도 7a 및 도 7b에 도시한 바와 같이, 평탄화 특성이 우수하며 감광성을 가지는 유기물질, 플라즈마 화학 기상 증착(PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연물질, 또는 무기물질인 질화규소(SiNx) 따위를 단일층 또는 복수층으로 형성하여 보호막(passivation layer)(180)을 형성한다.

그 다음, 보호막(180) 위에 포토레지스트를 도포한 후 광마스크를 통하여 감광막에 빛을 조사한 후 현상한다. 이어서, 산소(O₂)에 의해 구리 합금층이 산화되는 것을 방지하기 위하여, CF₄ 또는 SF₆와 같은 불소계 기체와 N₂ 기체를 이용한 건식 식각을 수행한다. 마지막으로, 포토레지스트 패턴을 제거함으로써, 복수의 접촉구(181, 185, 187, 182)를 형성한다.

그 다음, 마지막으로 도 1 및 도 2에 도시한 바와 같이, 기판 위에 ITO 또는 IZO를 스퍼터링으로 적층하고 사진 식각 공정으로 복수의 화소 전극(190)과 복수의 접촉 보조 부재(81, 82)를 형성한다.

이하에서는, 유기 발광 표시 소자용 박막 트랜지스터 표시관에 대하여 도 8 내지 도 24b를 참조하여 상세히 설명한다.

도 8은 본 발명의 한 실시예에 따른 유기 발광 표시 소자의 구조를 도시한 배치도이고, 도 9a 및 도 9b는 도 8의 박막 트랜지스터 표시관을 IXa-IXa' 및 IXb-IXb'선에 따라 자른 단면도이다.

유리 기판으로 이루어진 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 돌출되어 복수의 제1 게이트 전극(124a)을 이룬다. 또한 게이트선(121)과 동일한 층으로 제2 게이트 전극(124b)이 형성되어 있으며, 제2 게이트 전극(124b)에는 세로 방향으로 뻗은 유지 전극(133)이 연결되어 있다.

게이트선(121), 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)은 구리(Cu)를 주성분으로 하는 구리 합금(Cu-alloy)으로 이루어진다. 구리 합금은, 구리(Cu)와, 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유한다.

구리(Cu)는 낮은 비저항을 가지는 금속으로, 표시 장치의 면적이 대형화됨에 따라 배선의 길이가 증가하는 경우에도 다른 금속에 비하여 신호 지연과 같은 문제점을 현저히 개선시킬 수 있다. 그러나, 구리(Cu)는 유리 기판과의 접착성(adhesion)이 불량하여 배선의 들뜸(lifting) 또는 벗겨짐(peeling)이 발생할 수 있다. 또한, 구리는 높은 산화성에 의하여 하부 및/또는 상부층으로 쉽게 확산(diffusion)되어 오히려 저항을 증가시킬 수도 있다.

본 발명에서는 이러한 문제점을 해결하기 위하여, 구리를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 더 함유하는 구리 합금을 제공한다.

상기 구리 합금을 배선의 재료로 이용하는 경우, 구리의 저저항 특성을 그대로 유지하면서도 유리 기판과의 접착성을 개선시킬 수 있고, 하부 및/또는 상부층으로의 확산도 현저히 감소시킬 수 있다. 따라서, 저저항성 배선으로의 이점을 극대화할 수 있다.

특히, 저저항성 배선의 이점을 충분히 발휘하기 위해서는, 상기 몰리브덴, 텅스텐 또는 크롬과 같은 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다. 0.1중량% 미만으로 함유되는 경우, 접착성 및 확산 방지 특성을 나타낼 수 없고, 3중량%를 초과하는 경우 구리의 저저항성 이점을 감소시킬 수 있다.

또한, 구리 합금은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함할 수 있다. 이 경우, 상기 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다.

게이트선(121)과 유지 전극(133)의 측면은 경사져 있으며 경사각은 기판(110)에 대하여 30 내지 80도를 이룬다.

게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소 등으로 이루어진 복수의 선형 반도체(151)와 섬형 반도체(154b)가 형성되어 있다. 선형 반도체(151)는 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)가 제1 게이트 전극(124a)을 향하여 뻗어 나와 제1 게이트 전극(124a)과 중첩하는 제1 채널부(154a)를 이루고 있다. 또한 선형 반도체(151)는 게이트선(121)과 만나는 지점 부근에서 폭이 확장되어 있다. 섬형 반도체(154b)는 제2 게이트 전극(124b)과 교차하는 제2 채널부를 포함하고, 유지 전극(133)과 중첩하는 유지 전극부(157)를 가진다.

선형 반도체(151) 및 섬형 반도체(154b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 이루어진 복수의 선형 및 섬형 저항성 접촉 부재(161, 165a, 163b, 165b)가 형성되어 있다. 선형 접촉층(161)은 복수의 돌출부(163a)를 가지고 있으며, 이 돌출부(163a)와 섬형 접촉층(165a)은 쌍을 이루어 선형 반도체(151)의 돌출부(154a) 위에 위치한다. 또한, 복수의 돌출부(163b) 및 섬형 접촉층(165b)은 제2 게이트 전극(124b)을 중심으로 마주하여 쌍을 이루며 섬형 반도체(154b) 상부에 위치한다.

또한, 도 9a 및 도 9b에서 보는 바와 같이, 복수의 돌출부(163a)와 섬형 접촉층(165a)은 상부의 제1 소스 전극(173a)과 제1 드레인 전극(175a)보다 넓은 영역에 형성되어 있다. 또한, 복수의 돌출부(165a)와 섬형 접촉층(165b)은 상부의 제2 소스 전극(173b)과 제2 드레인 전극(175b)보다 넓은 영역에 형성되어 있다.

반도체(151, 154b)와 저항성 접촉 부재(161, 165a, 163b, 165b)의 측면 역시 경사져 있으며 경사각은 30 내지 80도이다.

저항성 접촉 부재(161, 165a, 163b, 165b) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(171), 복수의 제1 드레인 전극(175a), 복수의 전원선(172) 및 제2 드레인 전극(175b)이 형성되어 있다.

데이터선(171) 및 전원선(172)은 세로 방향으로 뺀어 게이트선(121)과 교차하며 데이터 전압과 전원 전압을 각각 전달한다. 각 데이터선(171)에서 제1 드레인 전극(175a)을 향하여 뺀은 복수의 가지가 제1 소스 전극(173a)을 이루며 각 전원선(172)에서 제2 드레인 전극(175b)을 향하여 뺀은 복수의 가지가 제2 소스 전극(173b)을 이룬다. 한 쌍의 제1 및 제2 소스 전극(173a, 173b)과 제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있으며 각각 제1 및 제2 게이트 전극(124a, 124b)에 대하여 서로 반대쪽에 위치되어 있다.

제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 선형 반도체(151)의 돌출부(154a)와 함께 스위칭(switching)용 박막 트랜지스터를 이루며, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 섬형 반도체(154b)와 함께 구동(driving)용 박막 트랜지스터를 이룬다. 이 때, 전원선(172)은 섬형 반도체(154b)의 유지 전극부(157)와 중첩되어 있다.

데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)은 구리(Cu)를 주성분으로 하는 구리 합금(Cu-alloy)으로 이루어진다. 구리 합금은, 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유한다.

전술한 바와 같이, 구리(Cu)는 낮은 비저항을 가지는 금속으로, 표시 장치의 면적이 대형화됨에 따라 배선의 길이가 증가하는 경우에도 다른 금속에 비하여 신호 지연과 같은 문제점을 현저히 개선시킬 수 있다. 그러나, 구리는 높은 산화성을 가지기 때문에 하부 및/또는 상부층으로 쉽게 확산(diffusion)된다. 이 때문에, 반도체층(151)과 화소 전극(190) 사이에 위치되는 데이터선(171)의 경우, 하부의 반도체층(151)과 상부의 화소 전극(190)으로 확산될 수 있다.

본 발명에서는 이러한 문제점을 해결하기 위하여, 구리를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 더 함유하는 구리 합금을 제공한다.

구리 합금을 배선의 재료로 이용하는 경우, 구리의 저저항 특성을 그대로 유지하면서도 하부 및/또는 상부로의 확산도 현저히 감소시킬 수 있으므로, 저저항성 배선으로의 이점을 극대화할 수 있다.

특히, 저저항성 배선의 이점을 충분히 발휘하기 위해서는, 상기 몰리브덴, 텅스텐 또는 크롬과 같은 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다. 0.1중량% 미만으로 함유되는 경우, 확산 방지 특성을 나타낼 수 없고 3중량%를 초과하는 경우 구리의 저저항성 이점을 감소시킬 수 있다.

또한, 상기 합금은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함할 수 있다. 이 경우, 상기 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다.

데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)도 게이트선(121)과 마찬가지로 그 측면이 약 30 내지 80도의 각도로 각각 경사져 있다.

저저항성 접촉 부재(161, 163b, 165a, 165b)는 그 하부의 선형 반도체(151) 및 섬형 반도체(154b)와 그 상부의 데이터선(171), 제1 드레인 전극(175a, 175b), 전원선(172) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

선형 반도체(151)는 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이, 데이터선(171) 및 제1 드레인 전극(175a)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서는 선형 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만, 전술한 바와 같이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)으로 인한 단차 부분에서 데이터선(171)이 단선되는 것을 방지한다.

데이터선(171), 제1 및 제2 드레인 전극(175a, 175b), 전원선(172)과 노출된 반도체(151, 154b) 부분의 위에는 평탄화 특성이 우수하며 감광성을 가지는 유기물질 또는 플라즈마 화학 기상 증착(PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.

보호막(180)을 유기 물질로 형성하는 경우에는 선형 반도체(151) 및 섬형 반도체(154b)가 노출된 부분에 유기 물질이 직접 접촉하는 것을 방지하기 위하여 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO₂)로 이루어진 무기 절연막이 추가로 형성될 수 있다.

보호막(180)에는 제1 드레인 전극(175a), 제2 게이트 전극(124b), 제2 드레인 전극(175b) 및 게이트선의 끝부분(129)과 데이터선의 끝부분(179)을 각각 노출시키는 복수의 접촉구(185, 183, 181, 182, 189)가 형성되어 있다.

보호막(180) 위에는 ITO 또는 IZO로 이루어지는 복수의 화소 전극(190), 복수의 연결부재(192) 및 복수의 접촉 보조 부재(196, 198)가 형성되어 있다.

화소 전극(190)은 접촉구(185)를 통하여 제2 드레인 전극(175b)과 각각 물리적·전기적으로 연결되어 있으며, 연결부재(192)는 접촉구(181, 183)를 통하여 제1 드레인 전극(175a)과 제2 게이트 전극(124b)을 연결한다. 접촉 보조 부재(196, 198)는 접촉구(182, 189)를 통하여 게이트선의 끝부분(129) 및 데이터선의 끝부분(179)에 각각 연결되어 있다.

보호막(180) 상부에는, 유기 절연 물질 또는 무기 절연 물질로 이루어져 있으며 유기 발광 셀을 분리시키기 위한 격벽(803)이 형성되어 있다. 격벽(803)은 화소 전극(190)의 가장자리 주변을 둘러싸서 유기 발광층(70)이 충전될 영역을 한정한다.

격벽(803)에 둘러싸인 화소 전극(190) 위의 영역에는 발광층(70)이 형성되어 있다. 발광층(70)은 적색(R), 녹색(G) 및 청색(B) 중 어느 하나의 빛을 내는 유기 물질로 이루어지며, 적색(R), 녹색(G) 및 청색(B)의 발광 재료가 순서대로 반복적으로 배치되어 있다.

또는, 격벽(803)에 둘러싸인 화소 전극(190) 위의 영역에 정공 주입층(도시하지 않음)이 형성된 후, 정공 주입층 위에 발광층(70)이 형성될 수도 있다. 이 경우, 정공 주입층은 폴리(3,4-에틸렌디옥시티오펜)-폴리(스티렌술폰산)(PEDOT/PSS)으로 형성될 수 있다.

격벽(803) 위에는, 격벽(803)과 동일한 모양의 패턴으로 이루어져 있으며 낮은 비저항을 가지는 도전 물질로 이루어진 보조 전극(272)이 형성되어 있다. 보조 전극(272)은 이후에 형성되는 공통 전극(270)과 접촉하여 공통 전극(270)의 저항을 감소시키는 역할을 한다.

격벽(803), 발광층(70) 및 보조 전극(272) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 알루미늄(Al) 등의 낮은 저항성을 가지는 금속으로 이루어져 있다. 본 실시예에서는 배면 발광형 유기 발광 표시 소자를 예시하고 있지만, 전면 발광형 유기 발광 표시 소자 또는 양면 발광형 유기 발광 표시 소자의 경우에는 공통 전극(270)이 ITO 또는 IZO 등의 투명한 도전 물질로 형성될 수도 있다.

이하, 도 8 내지 도 9b에 도시한 유기 발광 표시 소자를 제조하는 방법에 대하여 도 10 내지 도 24b를 참조하여 상세히 설명한다.

먼저, 도 10 내지 도 11b에서 보는 바와 같이, 투명 유리 또는 플라스틱 소재로 등으로 이루어진 절연 기판(110) 위에 게이트용 금속층을 적층한다.

게이트용 금속층은 구리(Cu)를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 더 함유하는 구리 합금층으로 형성한다. 여기서, 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속은 구리 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되어 있다. 또한, 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함할 수 있다. 이 경우, 상기 금속은 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되는 것이 바람직하다.

그 다음, 식각액을 이용하여 구리 합금층을 식각하여 복수의 게이트 전극(124a)을 포함하는 게이트선(121), 제2 게이트 전극(124b) 및 유지 전극(133)을 형성한다. 여기서, 구리 합금층은, 순수 구리층과 달리, 과산화수소(H₂O₂) 식각액 또는 인산 50 내지 80%, 질산 2 내지 10%, 아세트산 2 내지 15% 및 잔량의 탈염수를 포함하는 알루미늄 식각액 또는 크롬 식각액을 사용할 수 있다.

다음, 도 12 내지 도 13b에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층 및 불순물 비정질 규소층의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진 식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154a)를 각각 포함하는 선형 반도체(151) 및 섬형 반도체(154b)를 형성한다. 게이트 절연막(140)의 재료로는 질화규소(SiN_x)가 바람직하며, 적층 온도는 약 250 내지 500°C, 두께는 약 2,000 내지 5,000Å 정도가 바람직하다.

다음, 도 14a 및 도 14b에 도시한 바와 같이, 불순물 반도체(164) 위에 공동 스퍼터링 등의 방법으로, 구리(Cu)를 주성분으로 하여 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 포함하는 구리 합금층을 형성한다. 이 경우, 구리 합금층은 약 3000Å 정도의 두께로 형성하고, 스퍼터링 온도는 약 150°C 정도에서 수행한다.

그 다음, 구리 합금층 위에 포토레지스트를 도포한 후 노광 및 현상하여 포토레지스트 패턴을 형성한다.

이어서, 상기 포토레지스트 패턴을 이용하여 구리 합금층을 식각한다. 여기서 사용되는 식각액으로는, 예컨대 과산화수소(H₂O₂) 식각액 또는 인산 50 내지 80%, 질산 2 내지 10%, 아세트산 2 내지 15% 및 잔량의 탈염수를 포함하는 알루미늄 식각액 또는 크롬 식각액을 이용할 수 있다.

이로써, 복수의 제1 소스 전극(173a)을 가지는 복수의 데이터선(171), 복수의 제1 및 제2 드레인 전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원선(172)을 형성한다.

이어서, 데이터선(171), 전원선(172) 및 제1 및 제2 드레인 전극(175a, 175b) 상부의 포토레지스트 패턴을 제거하지 않은 상태에서, 상기 포토레지스트 패턴을 마스크로 하여 노출된 불순물 반도체(164) 부분을 건식 식각한다. 건식 식각은, 염소 기체(Cl₂)를 이용한 플라즈마 방법으로 수행한다. 상기와 같이, 데이터선(171) 형성시 이용한 포토레지스트 패턴을 이용하여 하부의 불순물 반도체(164)를 식각함으로써, 건식 식각시 구리 합금층에 염소 기체(Cl₂)가 직접 접촉되는 것을 방지할 수 있다. 이 경우, 포토레지스트 패턴을 마스크로 하여 건식 식각을 수행하기 때문에, 도 16a 및 도 16b에 도시된 바와 같이, 각각의 복수의 돌출부(163a, 163b)와 섬형 저항성 접촉 부재(165a, 165b)는 상부의 소스 전극(173a, 173b)과 드레인 전극(175a, 175b)보다 넓은 영역에 형성되며, 채널 영역에서 그 단면 구조는 소스 전극(173a, 173b)과 드레인 전극(175a, 175b)보다 돌출된 구조를 나타낸다.

이로써, 복수의 돌출부(163a)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165a, 165b, 163b)를 완성하는 한편, 그 아래의 선형 진성 반도체(151) 및 섬형 진성 반도체(154b) 일부분을 노출시킨다.

이어, 진성 반도체(151, 154b)의 노출된 표면을 안정화시키기 위하여 산소 플라즈마(O₂ plasma)를 뒤이어 실시한다.

다음으로, 도 17 내지 도 18b에서 보는 바와 같이, 유기 절연 물질 또는 무기 절연 물질을 도포하여 보호막(180)을 형성하고, 사진 공정으로 건식 식각하여 복수의 접촉구(189, 185, 183, 181, 182)를 형성한다. 접촉구(189, 181, 182, 185, 183)는 제1 및 제2 드레인 전극(175a, 175b), 제2 게이트 전극(124b)의 일부, 게이트선의 끝부분(129) 및 데이터선의 끝부분(179)을 노출시킨다.

다음, 도 19 내지 도 20b에 도시한 바와 같이, 화소 전극(190), 연결 부재(192) 및 접촉 보조 부재(196, 198)를 ITO 또는 IZO로 형성한다.

이어서, 도 21 내지 도 22b에서 보는 바와 같이, 하나의 마스크를 이용한 사진 식각 공정으로 격벽(803)과 보조 전극(272)을 형성한다.

그 다음, 격벽(803)에 둘러싸인 화소 전극(190) 위에 정공 주입층(도시하지 않음)으로서 폴리(3,4-에틸렌디옥시티오펜)-폴리(스티렌술폰산)(PEDOT/PSS)을 스핀 코팅(spin coating) 또는 프린팅(printing) 방법으로 형성한다.

이어서, 도 23 내지 도 24b에 도시한 바와 같이, 정공 주입층(도시하지 않음) 위에 발광층(70)을 형성한다.

마지막으로, 발광층(70) 위에 공통 전극(270)을 형성한다.

이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

상기와 같이, 구리에 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금을 이루어진 배선을 제공함으로써, 구리의 낮은 비저항의 이점은 그대로 이용하면서도 배선의 접착성을 개선시키고 상부막 및/또는 하부막으로의 확산을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

구리(Cu), 및

몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어지는 표시 장치용 배선.

청구항 2.

제1항에서, 상기 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속은 구리 합금의 총중량에 대하여 0.1 내지 3중량%로 함유되어 있는 표시 장치용 배선.

청구항 3.

제1항에서, 상기 표시 장치용 배선은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함하는 표시 장치용 배선.

청구항 4.

기관,

상기 기관 위에 형성되어 있는 게이트선,

상기 게이트선과 교차하는 데이터선,

상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터, 및

상기 박막 트랜지스터와 연결되어 있는 화소 전극을 포함하며,

상기 게이트선 및 상기 데이터선 중 적어도 하나는 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어지는 박막 트랜지스터 표시판.

청구항 5.

제4항에서, 상기 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속은 구리 합금의 총중량에 대하여 0.1 내지 3중량%로 함유되어 있는 박막 트랜지스터 표시판.

청구항 6.

제4항에서, 상기 구리 합금은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함하는 박막 트랜지스터 표시판.

청구항 7.

제6항에서, 상기 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속은 구리 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되어 있는 박막 트랜지스터 표시판.

청구항 8.

기판,
 상기 기판 위에 형성되어 있으며 게이트 전극을 포함하는 게이트선,
 상기 게이트선 위에 형성되어 있는 게이트 절연막,
 상기 게이트 절연막 위의 소정 영역에 형성되어 있는 반도체층,
 상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격을 두고 마주하고 있는 드레인 전극,
 상기 소스 전극 및 상기 드레인 전극 하부에 형성되어 있으며 상기 소스 전극과 드레인 전극보다 넓은 영역에 형성되어 있는 저항성 접촉 부재, 및
 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며,
 상기 게이트선 및 상기 데이터선 중 적어도 어느 하나는 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금으로 이루어지는 박막 트랜지스터 표시판.

청구항 9.

제8항에서, 상기 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속은 구리 합금의 총중량에 대하여 0.1 내지 3중량%로 함유되어 있는 박막 트랜지스터 표시판.

청구항 10.

제8항에서, 상기 구리 합금은 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속을 더 포함하는 박막 트랜지스터 표시판.

청구항 11.

제10항에서, 상기 알루미늄(Al), 금(Au), 은(Ag), 니켈(Ni), 코발트(Co), 규소(Si), 티타늄(Ti) 및 탄탈륨(Ta)에서 선택된 적어도 하나의 금속은 구리 합금의 총 중량에 대하여 0.1 내지 3중량%로 함유되어 있는 박막 트랜지스터 표시판.

청구항 12.

기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막, 반도체층 및 저항성 접촉 부재를 순차적으로 형성하는 단계,

상기 저항성 접촉 부재 및 상기 반도체층을 식각하여 패터닝하는 단계,

상기 절연막 및 상기 저항성 접촉 부재 위에 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금층을 형성하는 단계,

상기 구리 합금층 상부에 포토레지스트 패턴을 형성하고 상기 포토레지스트 패턴에 따라 상기 구리 합금층을 식각하여 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격을 두고 마주하고 있는 드레인 전극을 형성하는 단계,

상기 포토레지스트 패턴을 이용하여 상기 저항성 접촉 부재를 식각하는 단계, 및

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13.

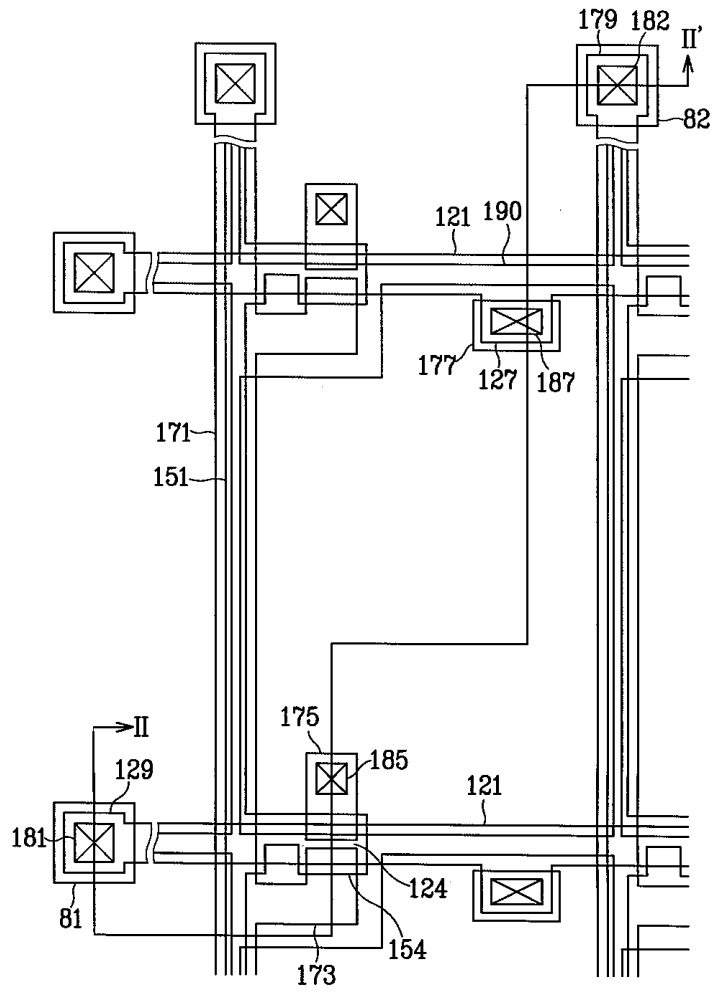
제12항에서, 상기 게이트선은 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)에서 선택된 적어도 하나의 금속을 함유하는 구리 합금층으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 14.

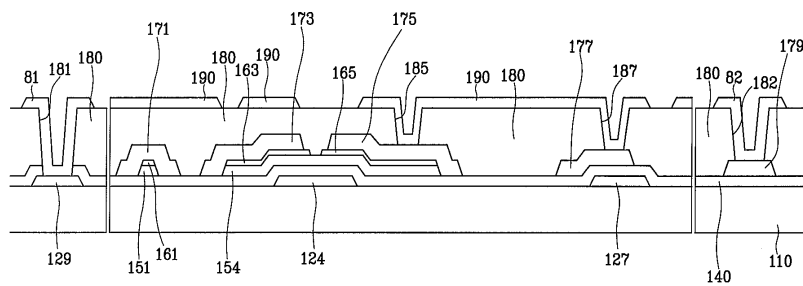
제12항 또는 제13항에서, 상기 구리(Cu)와 몰리브덴(Mo), 텅스텐(W) 및 크롬(Cr)은 구리 합금의 총 함량에 대하여 0.1 내지 3중량%로 함유되어 있는 박막 트랜지스터 표시판의 제조 방법.

도면

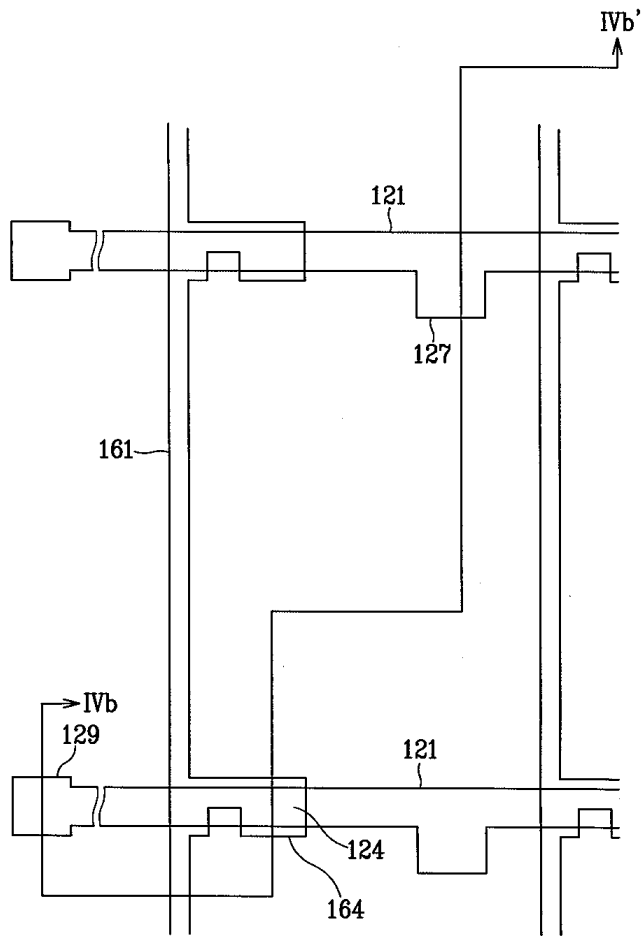
도면1



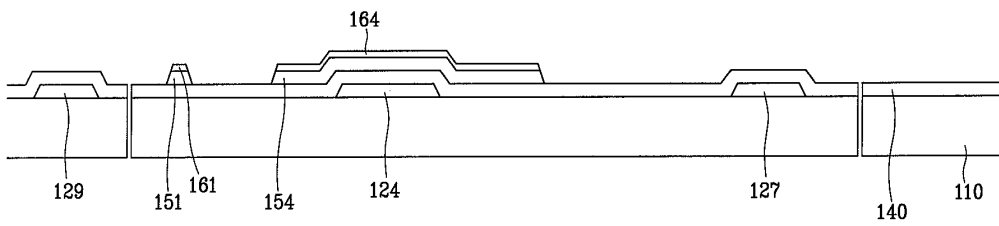
도면2



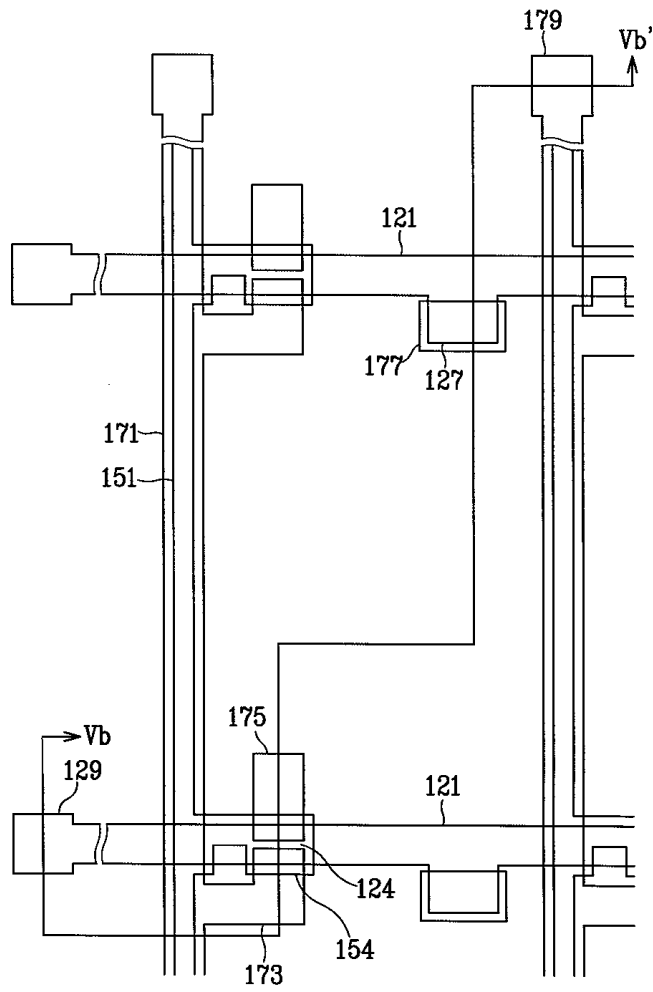
도면4a



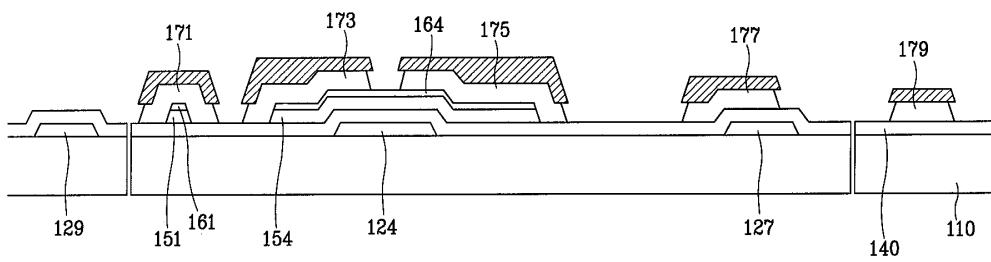
도면4b



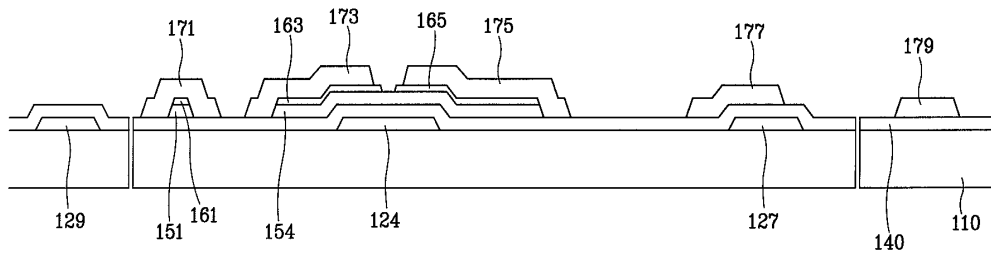
도면5a



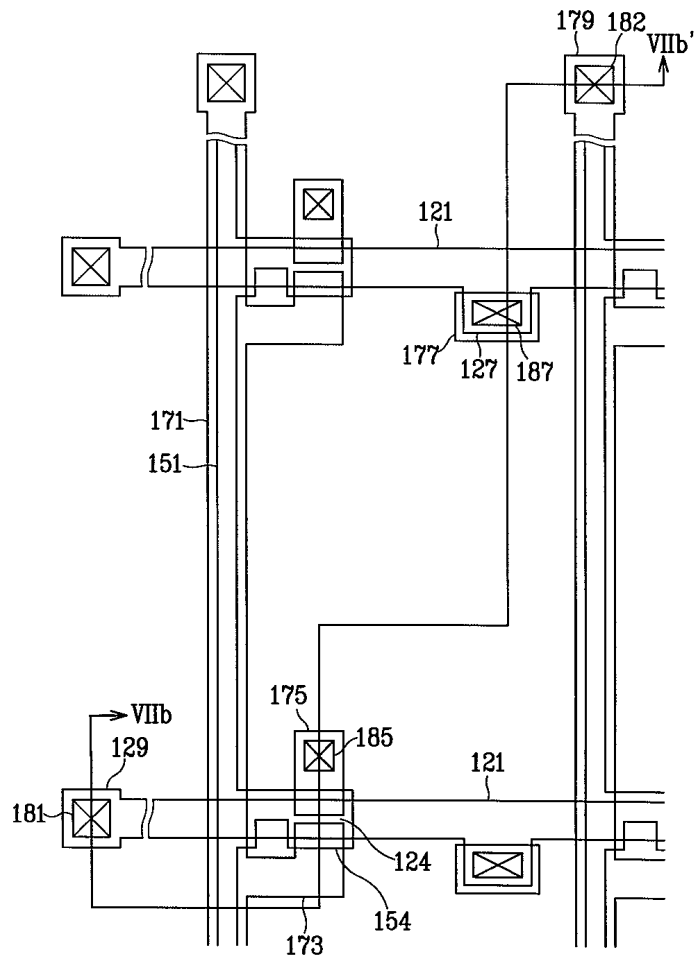
도면5b



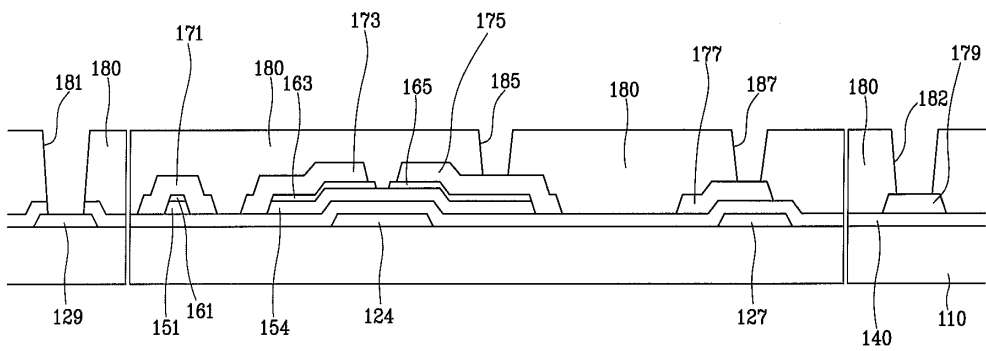
도면6



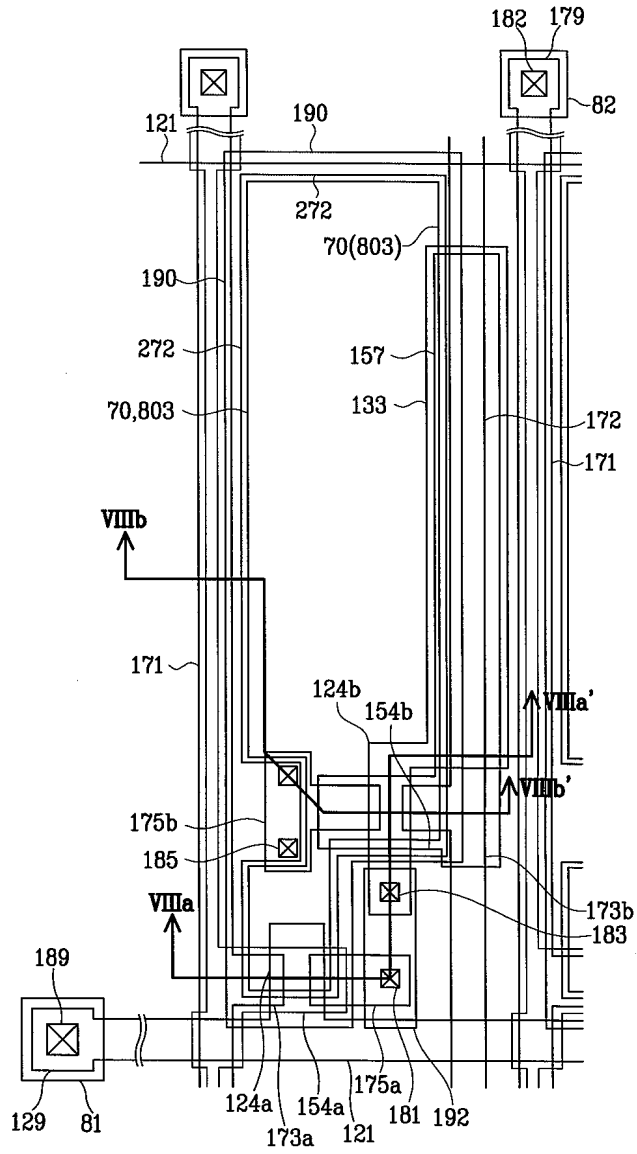
도면7a



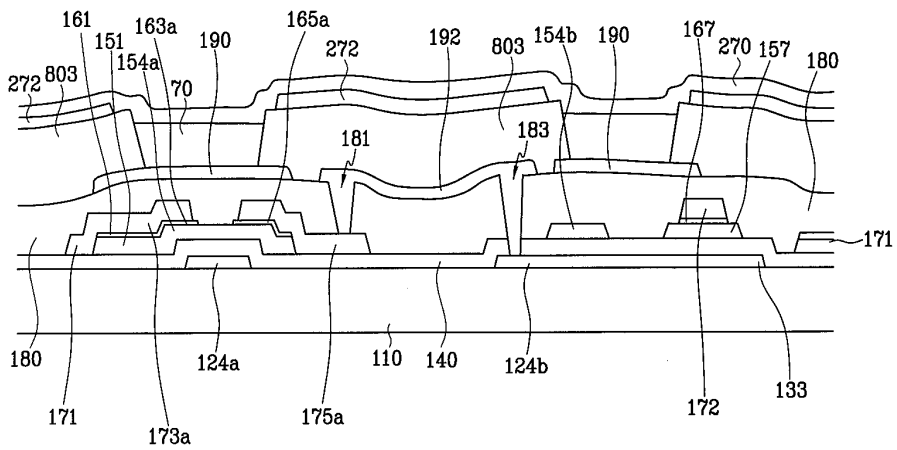
도면7b



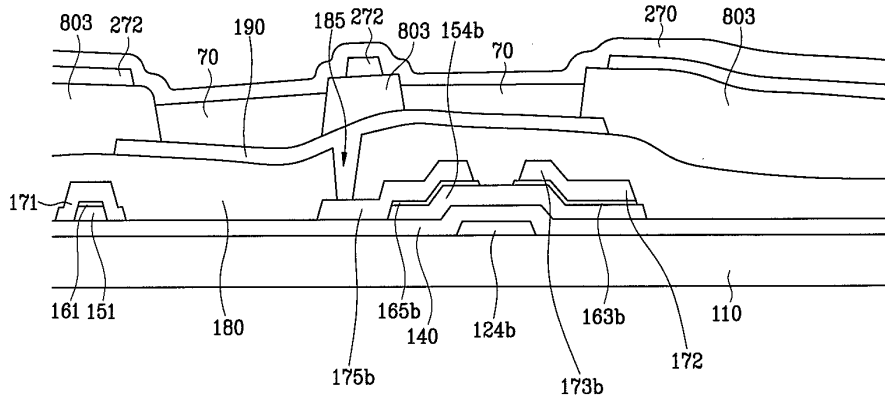
도면8



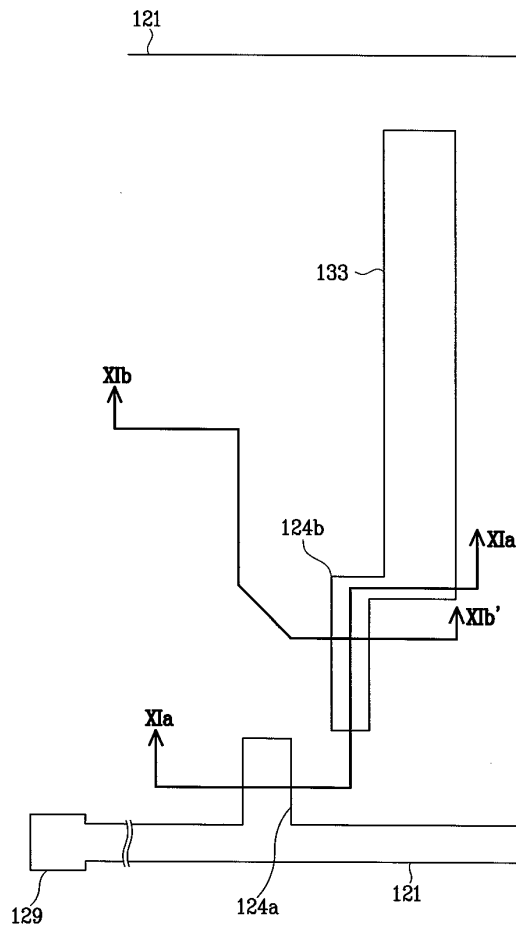
도면9a



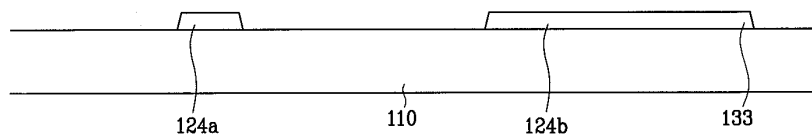
도면9b



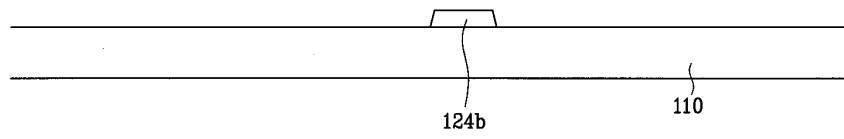
도면10



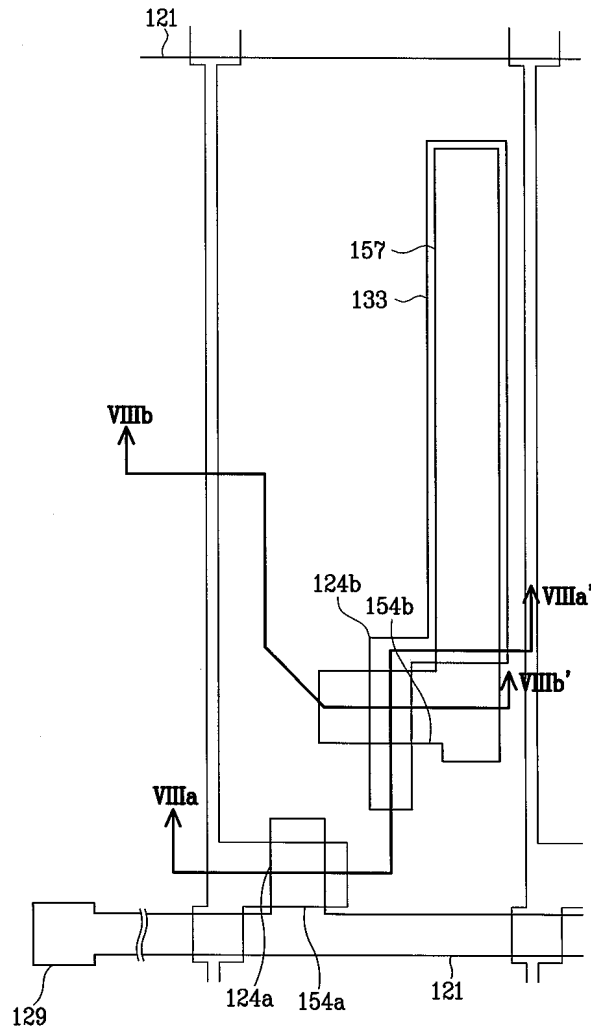
도면11a



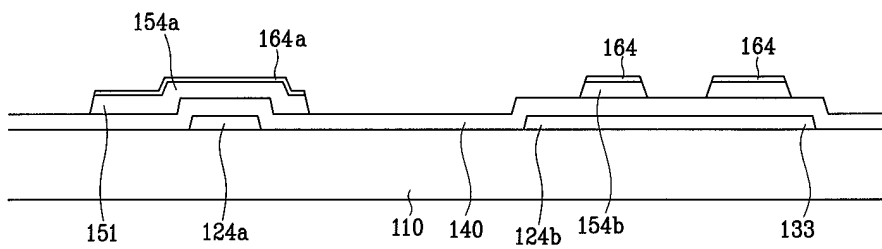
도면11b



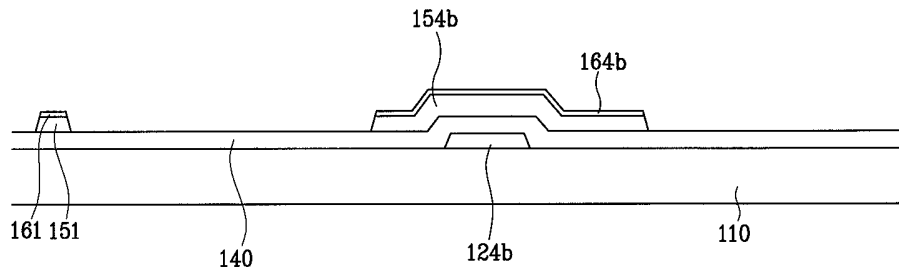
도면12



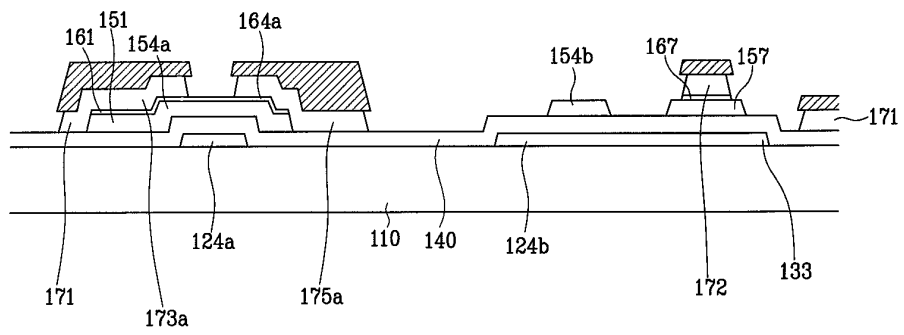
도면13a



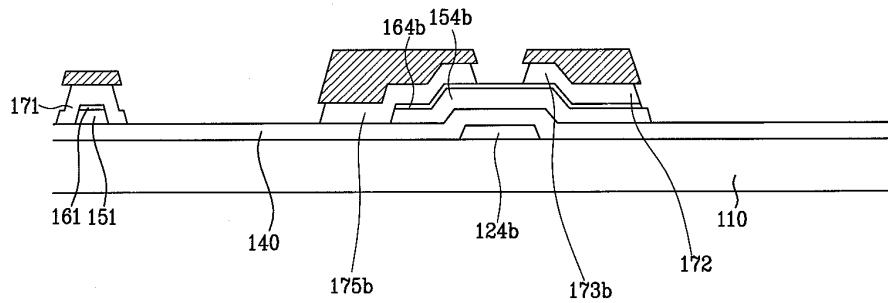
도면13b



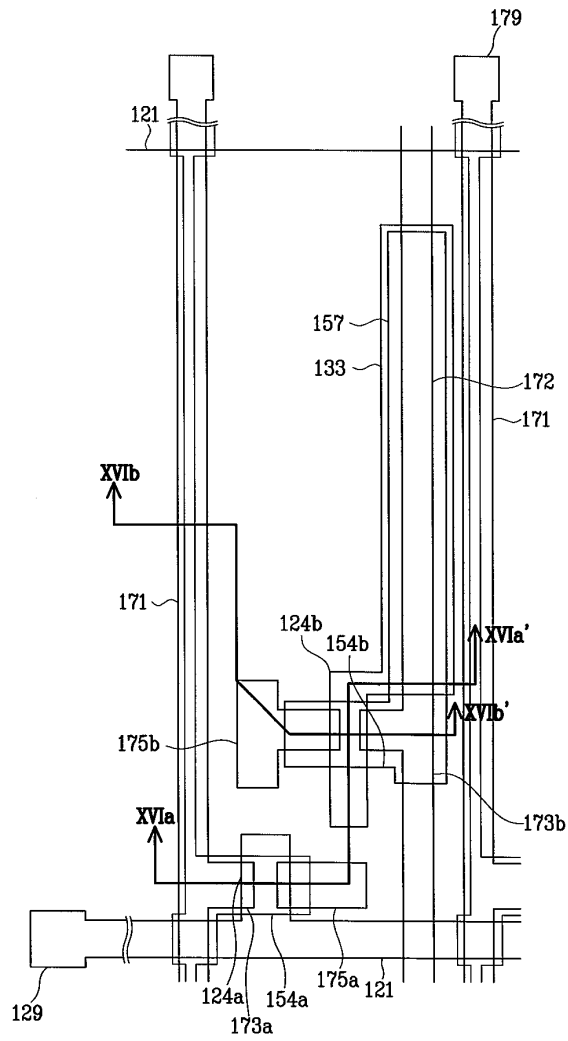
도면14a



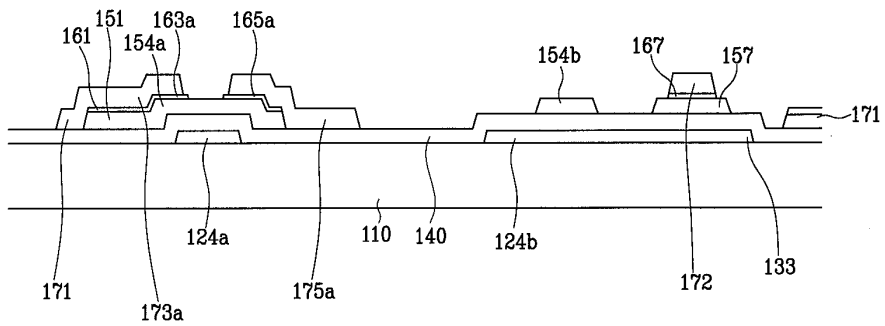
도면14b



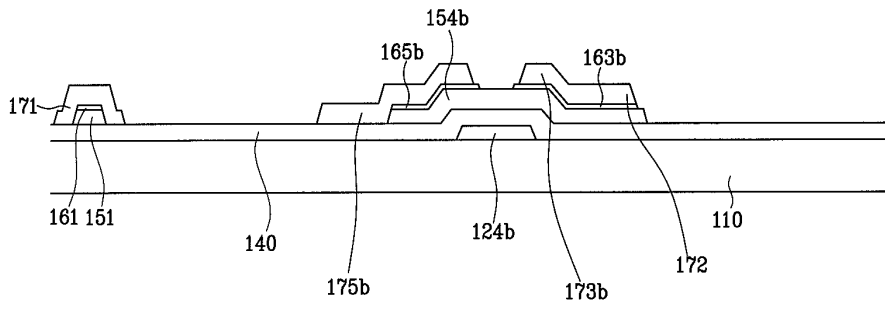
도면15



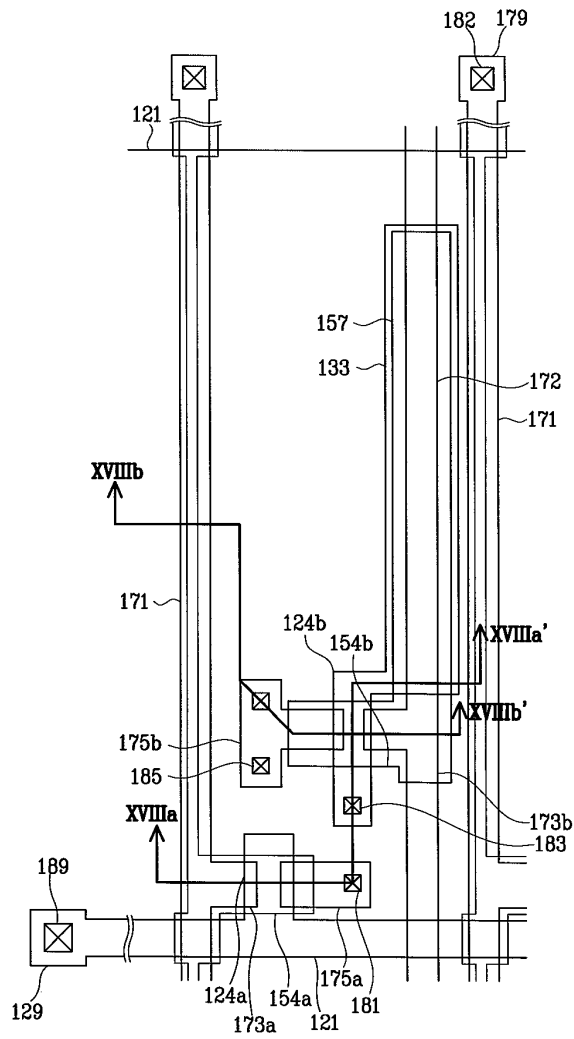
도면16a



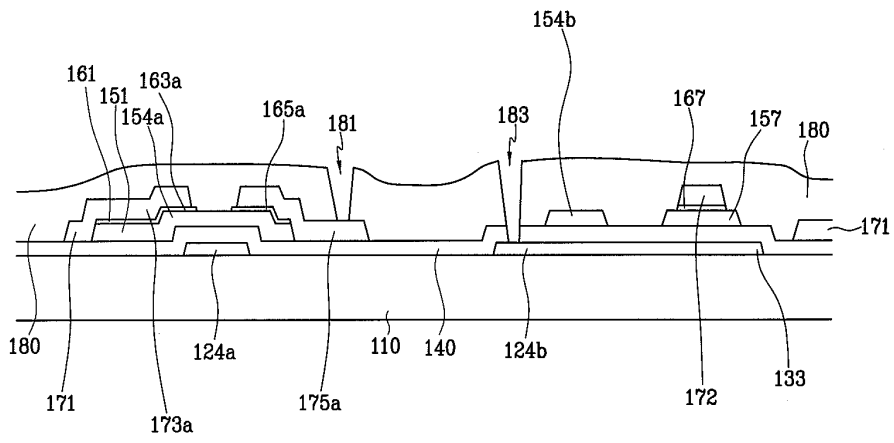
도면16b



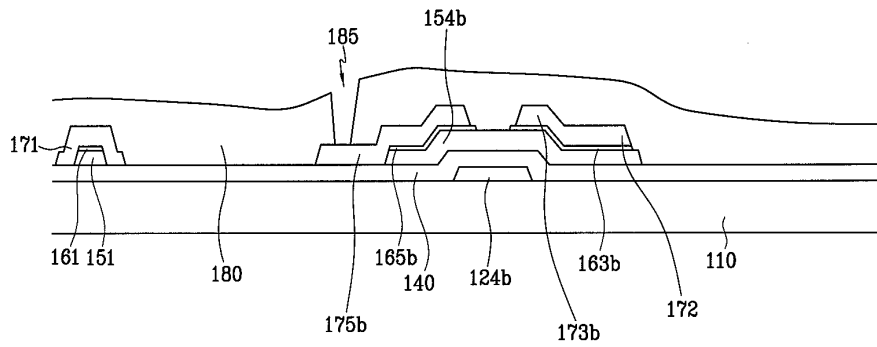
도면17



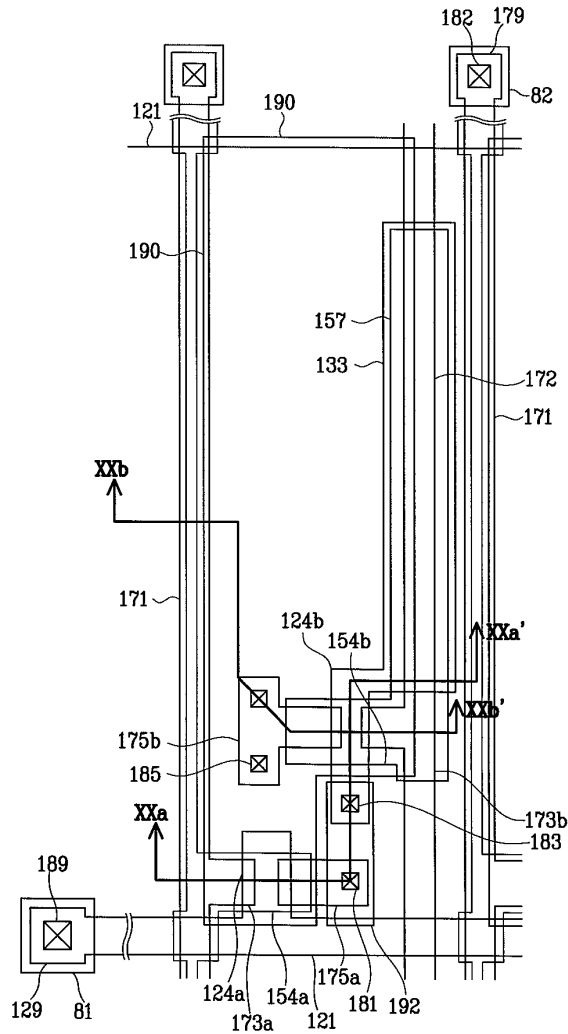
도면18a



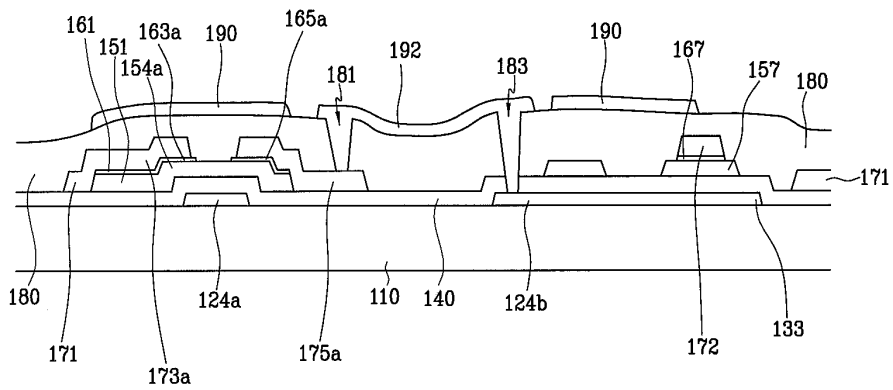
도면18b



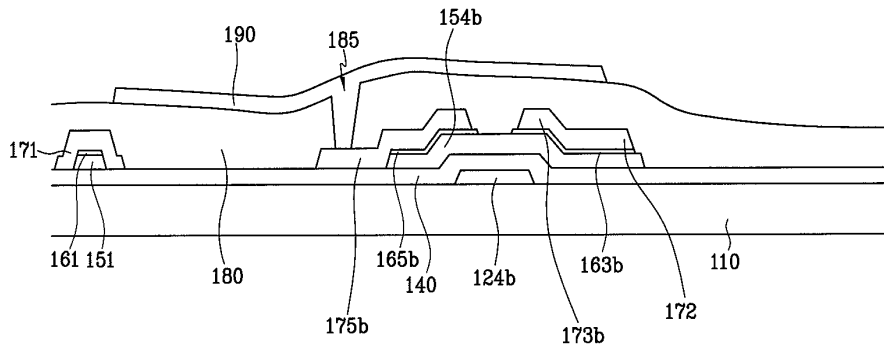
도면19



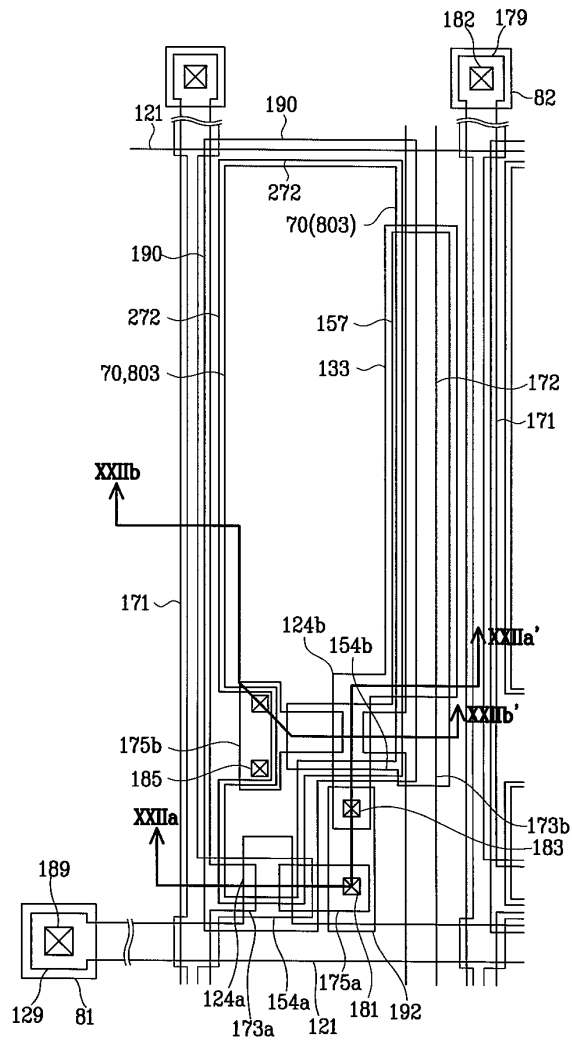
도면20a



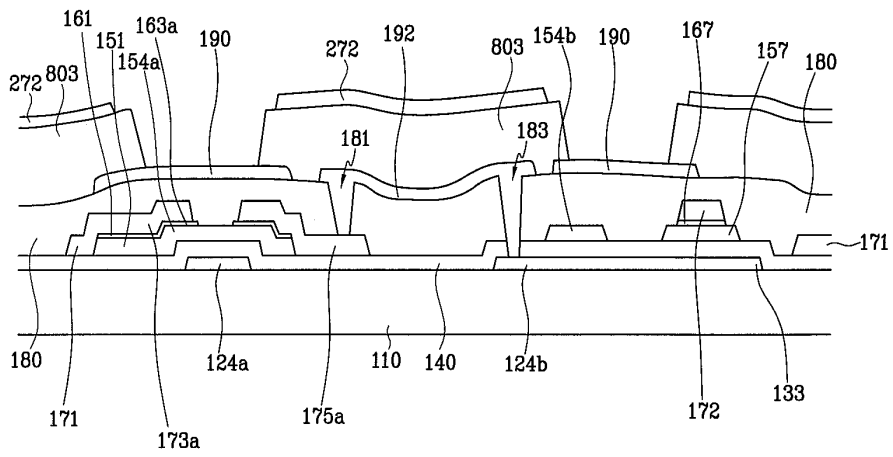
도면20b



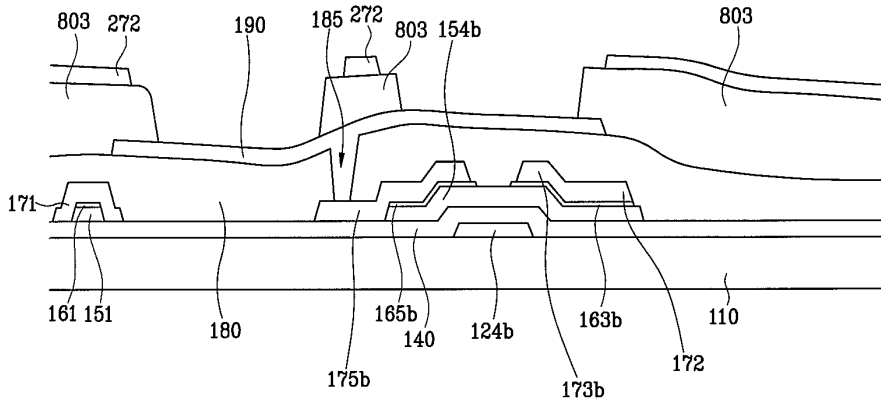
도면21



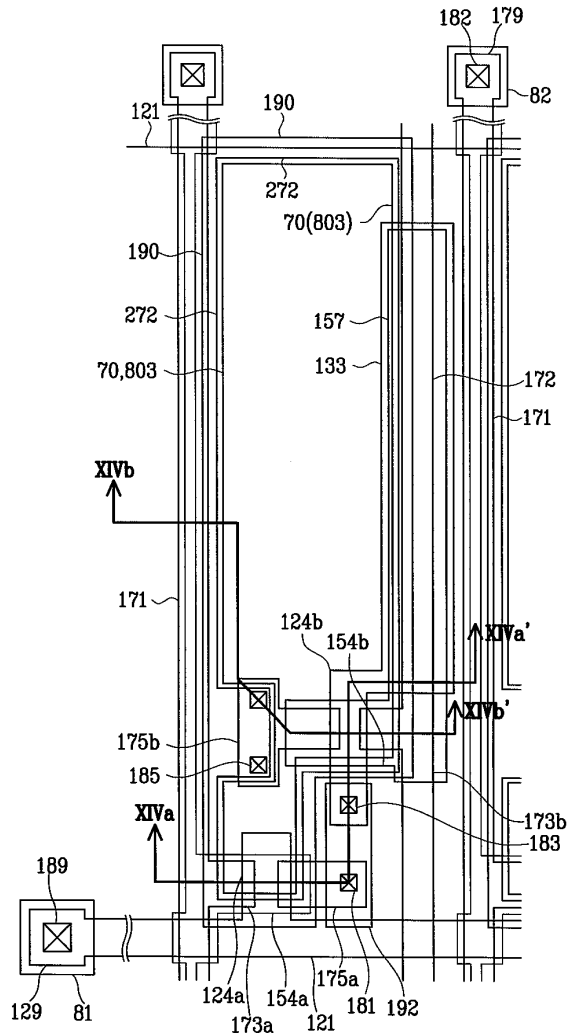
도면22a



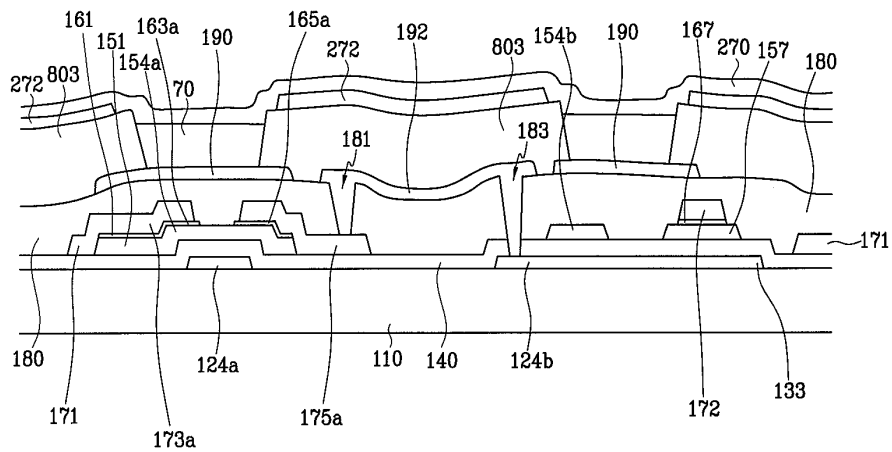
도면22b



도면23



도면24a



도면24b

