

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7494538号
(P7494538)

(45)発行日 令和6年6月4日(2024.6.4)

(24)登録日 令和6年5月27日(2024.5.27)

(51)国際特許分類 F I
G 0 2 F 1/1368(2006.01) G 0 2 F 1/1368

請求項の数 12 (全19頁)

(21)出願番号	特願2020-68025(P2020-68025)	(73)特許権者	000003193 TOPPANホールディングス株式会社 東京都台東区台東1丁目5番1号
(22)出願日	令和2年4月6日(2020.4.6)	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(65)公開番号	特開2021-165767(P2021-165767 A)	(74)代理人	100108855 弁理士 蔵田 昌俊
(43)公開日	令和3年10月14日(2021.10.14)	(74)代理人	100103034 弁理士 野河 信久
審査請求日	令和5年3月22日(2023.3.22)	(74)代理人	100179062 弁理士 井上 正
		(74)代理人	100153051 弁理士 河野 直樹
		(74)代理人	100199565 弁理士 飯野 茂

最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【特許請求の範囲】

【請求項1】

第1及び第2基板と、
前記第1及び第2基板間に挟持された液晶層と、
前記第1基板上に設けられ、第1方向に延びる第1遮光層と、
前記第1遮光層上に設けられた第1絶縁層と、
前記第1絶縁層上に設けられ、前記第1方向に延びるゲート電極と、
前記ゲート電極上に設けられた第2絶縁層と、
前記第2絶縁層上に設けられ、画素ごとに設けられた半導体層と、
前記半導体層に部分的に重なるようにして、前記第1方向に交差する第2方向に離間し
て設けられたソース電極及びドレイン電極と、
前記第2絶縁層上に設けられ、前記ドレイン電極に電氣的に接続され、前記第2方向に
延びる画素電極と、
前記半導体層及び前記画素電極上に設けられた第3絶縁層と、
前記第3絶縁層上に設けられ、前記第2方向に延びるスリットを有する共通電極と、
を具備し、
前記半導体層は、平面視において、その全部が前記第1遮光層の内側に配置される
液晶表示装置。

10

【請求項2】

前記第2方向において、前記第1遮光層の長さは、前記ゲート電極の長さより長い

20

請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 方向において、前記ゲート電極の長さは、前記半導体層の長さより長い請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記第 3 絶縁層と前記共通電極との間に設けられ、前記第 1 方向に延びる第 2 遮光層をさらに具備する

請求項 1 乃至 3 の何れか 1 項に記載の液晶表示装置。

【請求項 5】

前記第 2 方向において、前記第 2 遮光層の長さは、前記半導体層の長さ以上である請求項 4 に記載の液晶表示装置。

10

【請求項 6】

前記共通電極は、前記ゲート電極を覆うように配置される請求項 1 乃至 5 の何れか 1 項に記載の液晶表示装置。

【請求項 7】

前記画素電極は、前記ゲート電極と重ならないように配置される請求項 1 乃至 6 の何れか 1 項に記載の液晶表示装置。

【請求項 8】

前記第 1 遮光層は、前記共通電極に印加される共通電圧と同じ電圧が印加される請求項 1 乃至 7 の何れか 1 項に記載の液晶表示装置。

20

【請求項 9】

前記第 1 遮光層は、フローティング状態にされる請求項 1 乃至 7 の何れか 1 項に記載の液晶表示装置。

【請求項 10】

前記第 2 基板上に設けられ、前記半導体層の上方に設けられた第 3 遮光層をさらに具備し、

前記第 2 方向において、前記第 3 遮光層の長さは、前記第 2 遮光層の長さより短い請求項 4 又は 5 に記載の液晶表示装置。

【請求項 11】

前記第 1 遮光層は、それぞれが前記第 1 方向に延び、前記第 2 方向に隣接する第 1 部分及び第 2 部分から構成され、

30

前記第 2 方向において、前記第 1 部分は、前記ゲート電極の一端に重なるように配置され、前記第 2 部分は、前記ゲート電極の他端に重なるように配置される

請求項 1 乃至 10 の何れか 1 項に記載の液晶表示装置。

【請求項 12】

前記第 1 方向に隣接する第 1 及び第 2 画素を含み、前記第 1 遮光層は、前記第 1 及び第 2 画素で分割される請求項 1 乃至 11 の何れか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

スマートフォンやタブレット端末など小型で高精細な液晶表示装置への需要が高まっている。小型で高精細な液晶表示装置を実現するためには、画素サイズの縮小化が必要となる。画素サイズを縮小すると、画素の開口率が低下する。それに伴い、液晶表示装置の輝度を確保するために、バックライトの高輝度化が必要となる。

【0003】

また、ヘッドアップディスプレイ（HUD）は、拡大光学系を利用し、液晶表示装置が

50

ら出射した光をフロントウインドウで反射させて情報を表示させる。このため、ヘッドアップディスプレイでは、直視型ディスプレイに比べて非常に高輝度なバックライトが必要となる。

【0004】

このように高輝度なバックライトを使用する場合、画素に含まれるTFTにリーク電流が発生し、液晶表示装置の特性が劣化する。このため、耐光性を確保するためのTFT設計が必要となる。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2016-212292号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、動作特性を向上させることが可能な液晶表示装置を提供する。

【課題を解決するための手段】

【0007】

本発明の第1態様に係る液晶表示装置は、第1及び第2基板と、前記第1及び第2基板間に挟持された液晶層と、前記第1基板上に設けられ、第1方向に延びる第1遮光層と、前記第1遮光層上に設けられた第1絶縁層と、前記第1絶縁層上に設けられ、前記第1方向に延びるゲート電極と、前記ゲート電極上に設けられた第2絶縁層と、前記第2絶縁層上に設けられ、画素ごとに設けられた半導体層と、前記半導体層に部分的に重なるようにして、前記第1方向に交差する第2方向に離間して設けられたソース電極及びドレイン電極と、前記第2絶縁層上に設けられ、前記ドレイン電極に電氣的に接続され、前記第2方向に延びる画素電極と、前記半導体層及び前記画素電極上に設けられた第3絶縁層と、前記第3絶縁層上に設けられ、前記第2方向に延びるスリットを有する共通電極とを具備する。

【0008】

本発明の第2態様に係る液晶表示装置は、第1態様に係る液晶表示装置において、前記第2方向において、前記第1遮光層の長さは、前記ゲート電極の長さより長い。

【0009】

本発明の第3態様に係る液晶表示装置は、第1又は第2態様に係る液晶表示装置において、前記第2方向において、前記ゲート電極の長さは、前記半導体層の長さより長い。

【0010】

本発明の第4態様に係る液晶表示装置は、第1乃至第3態様の何れかに係る液晶表示装置において、前記第3絶縁層と前記共通電極との間に設けられ、前記第1方向に延びる第2遮光層をさらに具備する。

【0011】

本発明の第5態様に係る液晶表示装置は、第4態様に係る液晶表示装置において、前記第2方向において、前記第2遮光層の長さは、前記半導体層の長さ以上である。

【0012】

本発明の第6態様に係る液晶表示装置は、第1乃至第5態様の何れかに係る液晶表示装置において、前記共通電極は、前記ゲート電極を覆うように配置される。

【0013】

本発明の第7態様に係る液晶表示装置は、第1乃至第6態様の何れかに係る液晶表示装置において、前記画素電極は、前記ゲート電極と重ならないように配置される。

【0014】

本発明の第8態様に係る液晶表示装置は、第1乃至第7態様の何れかに係る液晶表示装置において、前記第1遮光層は、前記共通電極に印加される共通電圧と同じ電圧が印加される。

10

20

30

40

50

【 0 0 1 5 】

本発明の第 9 態様に係る液晶表示装置は、第 1 乃至第 7 態様の何れかに係る液晶表示装置において、前記第 1 遮光層は、フローティング状態にされる。

【 0 0 1 6 】

本発明の第 1 0 態様に係る液晶表示装置は、第 4 又は第 5 態様に係る液晶表示装置において、前記第 2 基板上に設けられ、前記半導体層の上方に設けられた第 3 遮光層をさらに具備し、前記第 2 方向において、前記第 3 遮光層の長さは、前記第 2 遮光層の長さより短い。

【 0 0 1 7 】

本発明の第 1 1 態様に係る液晶表示装置は、第 1 乃至第 1 0 態様の何れかに係る液晶表示装置において、前記第 1 遮光層は、それぞれが前記第 1 方向に延び、前記第 2 方向に隣接する第 1 部分及び第 2 部分から構成され、前記第 2 方向において、前記第 1 部分は、前記ゲート電極の一端に重なるように配置され、前記第 2 部分は、前記ゲート電極の他端に重なるように配置される。

10

【 0 0 1 8 】

本発明の第 1 2 態様に係る液晶表示装置は、第 1 乃至第 1 1 態様の何れかに係る液晶表示装置において、前記第 1 方向に隣接する第 1 及び第 2 画素を含み、前記第 1 遮光層は、前記第 1 及び第 2 画素で分割される。

【 発明の効果 】

【 0 0 1 9 】

本発明によれば、動作特性を向上させることが可能な液晶表示装置を提供することができる。

20

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 図 1 は、第 1 実施形態に係る液晶表示装置のブロック図である。

【 図 2 】 図 2 は、第 1 実施形態に係る液晶表示パネルの平面図である。

【 図 3 】 図 3 は、液晶表示パネルのうち第 2 遮光層及び共通電極より下の構成を説明する平面図である。

【 図 4 】 図 4 は、第 2 遮光層及び共通電極を抽出した平面図である。

【 図 5 】 図 5 は、図 2 の A - A ' 線に沿った液晶表示パネルの断面図である。

30

【 図 6 】 図 6 は、図 2 の B - B ' 線に沿った液晶表示パネルの断面図である。

【 図 7 】 図 7 は、半導体層を中心に示した画素の一部の平面図である。

【 図 8 】 図 8 は、図 7 の C - C ' 線に沿った画素の一部の断面図である。

【 図 9 】 図 9 は、第 1 遮光層の電位制御を説明するための液晶表示パネルの模式的な平面図である。

【 図 1 0 】 図 1 0 は、他の実施例に係る第 1 遮光層の電位制御を説明するための液晶表示パネルの模式的な平面図である。

【 図 1 1 】 図 1 1 は、第 2 実施形態に係る液晶表示パネルの平面図である。

【 図 1 2 】 図 1 2 は、液晶表示パネルのうち第 2 遮光層及び共通電極より下の構成を説明する平面図である。

40

【 図 1 3 】 図 1 3 は、図 1 1 の B - B ' 線に沿った液晶表示パネルの断面図である。

【 図 1 4 】 図 1 4 は、第 3 実施形態に係る液晶表示パネルの平面図である。

【 図 1 5 】 図 1 5 は、液晶表示パネルのうち第 2 遮光層及び共通電極より下の構成を説明する平面図である。

【 図 1 6 】 図 1 6 は、第 4 実施形態に係る液晶表示パネルの平面図である。

【 図 1 7 】 図 1 7 は、液晶表示パネルのうち第 2 遮光層及び共通電極より下の構成を説明する平面図である。

【 発明を実施するための形態 】

【 0 0 2 1 】

以下、実施形態について図面を参照して説明する。ただし、図面は模式的または概念的

50

なものであり、各図面の寸法および比率等は必ずしも現実のものと同じとは限らない。また、図面の相互間で同じ部分を表す場合においても、互いの寸法の関係や比率が異なって表される場合もある。特に、以下に示す幾つかの実施形態は、本発明の技術思想を具体化するための装置および方法を例示したものであって、構成部品の形状、構造、配置等によって、本発明の技術思想が特定されるものではない。なお、以下の説明において、同一の機能及び構成を有する要素については同一符号を付し、重複する説明は省略する。

【0022】

[1] 第1実施形態

[1-1] 液晶表示装置の全体構成

本実施形態に係る液晶表示装置は、FFS (fringe field switching) 方式の液晶表示装置である。FFS方式は、ホモジニアス配向させた液晶をフリンジ電界でスイッチングする方式である。

10

【0023】

図1は、第1実施形態に係る液晶表示装置1のブロック図である。液晶表示装置1は、液晶表示パネル2、バックライト(照明装置)3、走査線駆動回路4、信号線駆動回路5、共通電極ドライバ6、電圧生成回路7、及び制御回路8を備える。

【0024】

液晶表示パネル2は、複数の画素PXがマトリクス状に配列された画素アレイを備える。液晶表示パネル2には、それぞれがロウ方向に延びる複数の走査線GL1~GLmと、それぞれがコラム方向に延びる複数の信号線SL1~SLnとが配設される。“m”及び“n”はそれぞれ、2以上の整数である。走査線GLと信号線SLとの交差領域には、画素PXが配置される。

20

【0025】

バックライト3は、液晶表示パネル2の背面に光を照射する面光源である。バックライト3としては、例えば、直下型又はサイドライト型(エッジライト型)のLEDバックライトが用いられる。

【0026】

走査線駆動回路4は、複数の走査線GLに電氣的に接続される。走査線駆動回路4は、制御回路8から送られる制御信号に基づいて、画素PXに含まれるスイッチング素子をオン/オフするための走査信号を液晶表示パネル2に送る。

30

【0027】

信号線駆動回路5は、複数の信号線SLに電氣的に接続される。信号線駆動回路5は、制御回路8から制御信号、及び表示データを受ける。信号線駆動回路5は、制御信号に基づいて、表示データに対応する階調信号(駆動電圧)を液晶表示パネル2に送る。

【0028】

共通電極ドライバ6は、共通電圧Vcomを生成し、これを液晶表示パネル2内の共通電極に供給する。電圧生成回路7は、液晶表示装置1の動作に必要な各種電圧を生成して各回路に供給する。

【0029】

制御回路8は、液晶表示装置1の動作を統括的に制御する。制御回路8は、外部から画像データDT及び制御信号CNTを受ける。制御回路8は、画像データDTに基づいて、各種制御信号を生成し、これら制御信号を、対応する回路に送る。

40

【0030】

[1-2] 液晶表示パネル2の構成

図2は、第1実施形態に係る液晶表示パネル2の平面図である。図3は、液晶表示パネル2のうち第2遮光層22及び共通電極23より下の構成を説明する平面図である。図4は、第2遮光層22及び共通電極23を抽出した平面図である。図5は、図2のA-A'線に沿った液晶表示パネル2の断面図である。図6は、図2のB-B'線に沿った液晶表示パネル2の断面図である。図2において、X方向は、ゲート電極が延びる方向であり、Y方向は、X方向に直交する方向であり、Y'方向は、Y方向に対して5~10度傾いた

50

斜め方向である。図 2 には、1つの画素に対応する部分を抽出して示しており、実際には、図 2 の画素がマトリクス状に複数個配置される。

【0031】

液晶表示パネル 2 は、スイッチング素子 (TFT) 及び画素電極等が形成される TFT 基板 10 と、カラーフィルタ等が形成されかつ TFT 基板 10 に対向配置されるカラーフィルタ基板 (CF 基板) 11 とを備える。TFT 基板 10 及び CF 基板 11 の各々は、透明かつ絶縁性を有する基板 (例えば、ガラス基板、又はプラスチック基板) から構成される。

【0032】

液晶層 12 は、TFT 基板 10 及び CF 基板 11 間に挟持及び充填される。具体的には、液晶層 12 は、TFT 基板 10 及び CF 基板 11 と、シール材 (図示せず) とによって包囲された表示領域内に封入される。シール材は、例えば、紫外線硬化樹脂、熱硬化樹脂、又は紫外線・熱併用型硬化樹脂等からなり、製造プロセスにおいて TFT 基板 10 又は CF 基板 11 に塗布された後、紫外線照射、又は加熱等により硬化させられる。

10

【0033】

液晶層 12 を構成する液晶材料は、印加された電界に応じて液晶分子の配向が操作されて光学特性が変化する。本実施形態では、液晶層 12 としては、正の誘電率異方性を有するポジ型 (P 型) のネマティック液晶が用いられる。液晶層 12 は、初期状態において、水平配向 (ホモジニアス配向) される。液晶分子は、無電圧 (無電界) 時には基板の主面に対してほぼ水平に配向する。電圧印加 (電界印加) 時には、液晶分子のダイレクタが電界方向に向かって傾く。

20

【0034】

まず、TFT 基板 10 側の構成について説明する。TFT 基板 10 の液晶層 12 側には、第 1 遮光層 13 が設けられる。第 1 遮光層 13 は、スイッチング素子に含まれる半導体層を遮光する機能を有する。第 1 遮光層 13 は、X 方向に延びる。例えば、第 1 遮光層 13 は、X 方向に並んだ 1 行分の複数の画素に共通して設けられる。TFT 基板 10 及び第 1 遮光層 13 上には、絶縁層 14 が設けられる。

【0035】

絶縁層 14 上には、画素ごとに、スイッチング素子 15 が設けられる。スイッチング素子 15 としては、例えば TFT (Thin Film Transistor) が用いられ、また n チャネル TFT が用いられる。後述するように、TFT 15 は、走査線として機能するゲート電極と、ゲート電極上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた半導体層と、半導体層上に互いに離間して設けられたソース電極及びドレイン電極とを備える。

30

【0036】

絶縁層 14 上には、X 方向に延びるゲート電極 GL が設けられる。ゲート電極 GL は、走査線 GL として機能する。X 方向に並んだ 1 行分の複数の画素は、1 本の走査線 GL に共通接続される。絶縁層 14 及びゲート電極 GL 上には、ゲート絶縁膜 (絶縁層ともいう) 16 が設けられる。

【0037】

ゲート絶縁膜 16 上には、画素ごとに、半導体層 17 が設けられる。半導体層 17 としては、例えばアモルファスシリコンが用いられる。半導体層 17 の構造は、エッチングストップパー型構造であってもよいし、チャンネルエッチ型構造であってもよい。エッチングストップパー型構造では、半導体層上に保護膜 (例えばシリコン酸化膜) を形成し、この保護膜をエッチングストップパーとして半導体層を加工する。チャンネルエッチ型構造では、エッチングストップパーを形成せず、ソース電極及びドレイン電極を加工する際に半導体層を加工する。

40

【0038】

半導体層 17 及びゲート絶縁膜 16 上には、Y 方向において互いに離間したソース電極 18 及びドレイン電極 19 が設けられる。ソース電極 18 及びドレイン電極 19 は、半導体層 17 に部分的に重なる。なお、ソース電極 18 と半導体層 17 との間には、これらの

50

電氣的接続を良好にするために、高濃度のn型不純物が導入されたn⁺型半導体層を設けてもよい。同様に、ドレイン電極19と半導体層17との間には、n⁺型半導体層を設けてもよい。

【0039】

ゲート絶縁膜16上には、Y'方向に延びる画素電極20が設けられる。画素電極20の平面形状は、例えば平行四辺形である。画素電極20は、ドレイン電極19に電氣的に接続される。図2の構成例では、画素電極20は、ドレイン電極19に向かって突出する凸部を有する。

【0040】

ゲート絶縁膜16上には、Y方向に延びる信号線SLが設けられる。例えば、信号線SLのうち画素電極20と隣接する部分は、Y'方向に延びる。信号線SLは、X方向に隣接する2個の画素の境界部分に配置される。Y方向に並んだ1列分の複数の画素は、1本の信号線SLに共通接続される。ソース電極18は、信号線SLに電氣的に接続される。

10

【0041】

ソース電極18、ドレイン電極19、画素電極20、信号線SL、及びゲート絶縁膜16上には、絶縁層21が設けられる。

【0042】

絶縁層21上には、第2遮光層22が設けられる。第2遮光層22は、スイッチング素子に含まれる半導体層を遮光する機能を有する。第2遮光層22は、X方向に延びる。第2遮光層22は、X方向に並んだ1行分の複数の画素に共通して設けられる。

20

【0043】

第2遮光層22及び絶縁層21上には、共通電極23が設けられる。共通電極23は、第2遮光層22に電氣的に接続される。共通電極23は、複数の画素に共通に設けられる。共通電極23は、画素ごとに複数のスリット24を有する。図2では、画素ごとに2個のスリット24が設けられる構成例を示している。スリット24の数は、1個でもよいし、2個以上であってもよい。2個のスリット24は、画素電極20の上方に配置される。スリット24は、画素電極20と同様に、Y'方向に延びる。スリット24の平面形状は、例えば平行四辺形である。

【0044】

共通電極23及び絶縁層21上には、液晶層12の配向を制御する配向膜(図示せず)が設けられる。配向膜は、液晶層12の初期状態において、液晶分子を水平に配向させる。また、配向膜は、液晶分子の長軸がY方向を向くようにラビング処理される。

30

【0045】

次に、CF基板11側の構成について説明する。CF基板11の液晶層12側には、遮光用のブラックマトリクス(ブラックマスク、遮光層ともいう)25が設けられる。ブラックマトリクス25は、画素の境界部に配置され、網目状に形成される。ブラックマトリクス25は、TFT15を遮光する機能と、色の異なるカラーフィルタ間の不要な光を遮蔽することで、コントラストを向上させる機能とを有する。ブラックマトリクス25としては、例えば、黒色顔料を含む感光性樹脂等が用いられる。

【0046】

CF基板11上及びブラックマトリクス25上には、複数のカラーフィルタ26が設けられる。複数のカラーフィルタ(カラー部材)26は、複数の赤フィルタ、複数の緑フィルタ、及び複数の青フィルタを備える。一般的なカラーフィルタは光の三原色である赤(R)、緑(G)、青(B)で構成される。隣接したR、G、Bの三色のセットが表示の単位(画素)となっており、1つの画素中のR、G、Bのいずれか単色の部分はサブピクセル(サブ画素)と呼ばれる最小駆動単位である。TFT15及び画素電極20は、サブピクセルごとに設けられる。本明細書の説明では、画素とサブ画素との区別が特に必要な場合を除き、サブ画素を画素と呼ぶものとする。カラーフィルタの配列としては、ストライプ配列、モザイク配列、及びデルタ配列を含む任意の配列を適用可能である。なお、図2の平面図では、カラーフィルタ26及びブラックマトリクス25の図示を省略している。

40

50

【 0 0 4 7 】

カラーフィルタ 2 6 上には、液晶層 1 2 の配向を制御する配向膜（図示せず）が設けられる。配向膜は、液晶層 1 2 の初期状態において、液晶分子を水平に配向させる。また、配向膜は、液晶分子の長軸が Y 方向を向くようにラビング処理される。

【 0 0 4 8 】

図示は省略するが、T F T 基板 1 0 の液晶層 1 2 と反対側には、第 1 偏光板が積層され、C F 基板 1 1 の液晶層 1 2 と反対側には、第 2 偏光板が積層される。第 1 偏光板及び第 2 偏光板は、互いの透過軸が直交するように、すなわち直交ニコル状態で配置される。

【 0 0 4 9 】

（材料の例示）

ゲート電極 G L、ソース電極 1 8、ドレイン電極 1 9、及び信号線 S L としては、例えば、アルミニウム（A l）、モリブデン（M o）、クロム（C r）、及びタンゲステン（W）のいずれか、又はこれらの 1 種類以上を含む合金等が用いられる。

【 0 0 5 0 】

画素電極 2 0、及び共通電極 2 3 は、透明電極から構成され、例えば I T O（インジウム錫酸化物）が用いられる。

【 0 0 5 1 】

第 1 遮光層 1 3、及び第 2 遮光層 2 2 としては、例えば、クロム（C r）、モリブデン（M o）、アルミニウム（A l）、又は銀（A g）等が用いられる。

【 0 0 5 2 】

絶縁層 1 4、ゲート絶縁膜 1 6、及び絶縁層 2 1 としては、透明な絶縁材料が用いられ、例えばシリコン窒化物（S i N）が用いられる。

【 0 0 5 3 】

[1 - 3] 液晶層 1 2 の配向

次に、液晶層 1 2 の配向について説明する。

【 0 0 5 4 】

共通電極 2 3 には、共通電極ドライバ 6 により共通電圧 V_{com} が印加される。共通電圧 V_{com} は、例えば 0 V である。オフ状態とは、液晶層 1 2 に電界が印加されない状態であり、画素電極 2 0 には、共通電極 2 3 と同じ共通電圧 V_{com} が印加される。オン状態とは、液晶層 1 2 に電界が印加された状態であり、画素電極 2 0 には、正電圧が印加される。なお、実際には、画素電極 2 0 及び共通電極 2 3 間の電界の極性を所定周期で反転させる反転駆動（交流駆動）が行われる。反転駆動を行うことで、液晶が劣化するのを抑制することができる。反転駆動の周期は任意に設定可能である。

【 0 0 5 5 】

オフ状態において、液晶分子は、初期状態に設定され、すなわち、液晶分子の長軸は、Y 方向に向いている。Y 方向は、配向膜のラビング方向と同じである。

【 0 0 5 6 】

オン状態において、液晶層 1 2 には、共通電極 2 3 から画素電極 2 0 に向かう電界が印加される。平面視において、液晶分子は、Y 方向に対して斜め方向に回転する。これにより、液晶表示パネル 2 は、入射光の透過量を制御することができる。すなわち、液晶表示パネル 2 の透過率を変化させることができる。

【 0 0 5 7 】

[1 - 4] 積層構造のサイズに関する条件

次に、液晶表示パネル 2 を構成する積層構造のサイズに関する条件について説明する。図 7 は、半導体層 1 7 を中心に示した画素の一部の平面図である。図 8 は、図 7 の C - C ' 線に沿った画素の一部の断面図である。

【 0 0 5 8 】

第 1 遮光層 1 3 の Y 方向の長さは、ゲート電極 G L の Y 方向の長さより長い。また、Y 方向において、ゲート電極 G L の一端は、第 1 遮光層 1 3 の一端より内側に配置される。Y 方向において、ゲート電極 G L の他端は、第 1 遮光層 1 3 の他端より内側に配置される。

10

20

30

40

50

【 0 0 5 9 】

ゲート電極 G L の Y 方向の長さは、半導体層 1 7 の Y 方向の長さより長い。また、Y 方向において、半導体層 1 7 の一端は、ゲート電極 G L の一端より内側に配置される。Y 方向において、半導体層 1 7 の他端は、ゲート電極 G L の他端より内側に配置される。

【 0 0 6 0 】

半導体層 1 7 の Y 方向の長さは、第 1 遮光層 1 3 の Y 方向の長さより短い。また、Y 方向において、半導体層 1 7 の一端は、第 1 遮光層 1 3 の一端より内側に配置される。Y 方向において、半導体層 1 7 の他端は、第 1 遮光層 1 3 の他端より内側に配置される。Y 方向において、半導体層 1 7 の一端と第 1 遮光層 1 3 の一端との距離、及び半導体層 1 7 の他端と第 1 遮光層 1 3 の他端との距離をそれぞれ “ a ” とする。距離 “ a ” は、 $3 \mu\text{m}$ 以上かつ $6 \mu\text{m}$ 以下である。バックライト 3 は、液晶表示パネル 2 の基板 1 0 側に配置され、基板 1 0 に向けて照明光を照射する。上記条件を満たす第 1 遮光層 1 3 は、バックライト 3 からの光が半導体層 1 7 に入射するのを抑制できる。

【 0 0 6 1 】

半導体層 1 7 の Y 方向の長さは、第 2 遮光層 2 2 の Y 方向の長さ以下である。また、Y 方向において、半導体層 1 7 の一端は、第 2 遮光層 2 2 の一端と同じか第 2 遮光層 2 2 の一端より内側に配置される。Y 方向において、半導体層 1 7 の他端は、第 2 遮光層 2 2 の他端と同じか第 2 遮光層 2 2 の他端より内側に配置される。Y 方向において、半導体層 1 7 の一端と第 2 遮光層 2 2 の一端との距離、及び半導体層 1 7 の他端と第 2 遮光層 2 2 の他端との距離をそれぞれ “ b ” とする。距離 “ b ” は、 0 以上かつ $3 \mu\text{m}$ 以下である。液晶表示パネル 2 には、液晶表示パネル 2 の基板 1 1 側から外光が入射する場合がある。第 2 遮光層 2 2 は、液晶表示パネル 2 に入射する外光が半導体層 1 7 に入射するのを抑制できる。

【 0 0 6 2 】

平面視において、共通電極 2 3 は、ゲート電極 G L を覆うように配置される。平面視とは、画素を基板に対して上から見た状態をいう。すなわち、Y 方向において、ゲート電極 G L の一端は、第 1 画素に含まれるスリット 2 4 の一端と同じかスリット 2 4 の一端から離れて配置される。Y 方向において、ゲート電極 G L の他端は、第 1 画素の Y 方向に隣接する第 2 画素に含まれるスリット 2 4 の一端と同じかスリット 2 4 の一端から離れて配置される。Y 方向において、ゲート電極 G L の一端と第 1 画素に含まれるスリット 2 4 の一端との距離、及びゲート電極 G L の他端と第 2 画素に含まれるスリット 2 4 の一端との距離をそれぞれ “ c ” とする。距離 “ c ” は、 0 以上かつ $4 \mu\text{m}$ 以下である。

【 0 0 6 3 】

本実施形態では、ゲート電極 G L を共通電極 2 3 で覆うことができる。これにより、ゲート電極 G L に印加された電位が液晶層 1 2 に印加されるのを抑制できる。よって、ゲート電極 G L の電位によって液晶層 1 2 の配向が乱れるのを抑制できる。

【 0 0 6 4 】

平面視において、画素電極 2 0 は、ゲート電極 G L と重ならないように配置される。すなわち、Y 方向において、ゲート電極 G L の一端は、第 1 画素に含まれる画素電極 2 0 の一端と同じか画素電極 2 0 の一端から離れて配置される。なお、画素電極 2 0 の一端は、図 8 の断面図に示した端であり、画素電極 2 0 のうちドレイン電極 1 9 上の凸部は考慮していない。Y 方向において、ゲート電極 G L の他端は、第 1 画素の Y 方向に隣接する第 2 画素に含まれる画素電極 2 0 の一端と同じか画素電極 2 0 の一端から離れて配置される。Y 方向において、ゲート電極 G L の一端と第 1 画素に含まれる画素電極 2 0 の一端との距離、及びゲート電極 G L の他端と第 2 画素に含まれる画素電極 2 0 の一端との距離をそれぞれ “ c ” とする。距離 “ c ” の条件は、前述した距離 “ c ” と同じである。

【 0 0 6 5 】

本実施形態では、画素電極 2 0 とゲート電極 G L とが重ならないように構成できる。これにより、画素電極 2 0 とゲート電極 G L との間の寄生容量を低減できる。よって、液晶表示パネル 2 の動作特性を向上させることができる。

【 0 0 6 6 】

ブラックマトリクス 25 は、第 2 遮光層 22 の上方に配置される。Y 方向において、ブラックマトリクス 25 の長さは、第 2 遮光層 22 の長さより短い。また、Y 方向において、ブラックマトリクス 25 の一端は、第 2 遮光層 22 の一端より内側に配置される。Y 方向において、ブラックマトリクス 25 の他端は、第 2 遮光層 22 の他端より内側に配置される。ブラックマトリクス 25 は、基板 11 から入射する外光が半導体層 17 に入射するのを抑制できる。

【0067】

[1-5] 第 1 遮光層 13 の電位制御

次に、第 1 遮光層 13 の電位制御について説明する。図 9 は、第 1 遮光層 13 の電位制御を説明するための液晶表示パネル 2 の模式的な平面図である。

10

【0068】

液晶表示パネル 2 は、表示領域（ビューエリア）30、額縁 31、集積回路（IC：Integrated Circuit）32、及び電源線 33-1、33-2 を備える。

【0069】

表示領域 30 は、液晶表示パネル 2 のうち画像が表示される領域である。額縁 31 は、表示領域 30 を囲む周辺領域である。額縁 31 は、信号線や電源線などが設けられる領域であり、黒の遮光層で遮光され、ユーザからは黒として視認される。

【0070】

電源線 33-1、33-2 は、額縁 31 に設けられる。電源線 33-1、33-2 はそれぞれ、表示領域 30 の両側に配置される。電源線 33-1、33-2 は、集積回路 32 に電氣的に接続される。電源線 33-1、33-2 には、共通電圧 V_{com} が印加される。

20

【0071】

集積回路 32 は、基板 10 上に設けられる。集積回路 32 は、前述した走査線駆動回路 4、信号線駆動回路 5、共通電極ドライバ 6、電圧生成回路 7、及び制御回路 8 を含む。集積回路 32 は、電源線 33-1、33-2 に共通電圧 V_{com} を供給する。

【0072】

表示領域 30 には、それぞれが X 方向に延びる複数の第 1 遮光層 13 が配設される。複数の第 1 遮光層 13 は、電源線 33-1、33-2 に電氣的に接続され、共通電圧 V_{com} が印加される。

【0073】

本実施例によれば、第 1 遮光層 13 を共通電圧 V_{com} に固定することができる。よって、第 1 遮光層 13 の電位が液晶層 12 の配向を乱すのを抑制できる。

30

【0074】

図 10 は、他の実施例に係る第 1 遮光層 13 の電位制御を説明するための液晶表示パネル 2 の模式的な平面図である。

【0075】

複数の第 1 遮光層 13 は、電源線 33-1、33-2 に接続されず、フローティング状態にされる。第 1 遮光層 13 をフローティング状態にすることで、第 1 遮光層 13 の容量結合を低減できる。よって、液晶表示パネル 2 の動作特性を向上させることができる。

【0076】

また、前述したように、第 2 遮光層 22 は、共通電極 23 に電氣的に接続され、共通電圧 V_{com} が印加される。よって、第 2 遮光層 22 に起因して液晶層 12 の配向が乱れるのを防ぐことができる。

40

【0077】

[1-6] 第 1 実施形態の効果

以上詳述したように第 1 実施形態によれば、動作特性を向上させることが可能な液晶表示装置を提供することができる。以下に具体的な効果について説明する。

【0078】

ゲート電極 GL の下方には、第 1 遮光層 13 が設けられる。ゲート電極 GL の上方には、スイッチング素子 15 に含まれる半導体層 17 が設けられる。第 1 遮光層 13 の Y 方向

50

の長さは、ゲート電極 G L の Y 方向の長さより長い。ゲート電極 G L の Y 方向の長さは、半導体層 1 7 の Y 方向の長さより長い。これにより、基板 1 0 に照射されるバックライト 3 からの照明光が半導体層 1 7 に入射するのを抑制できる。よって、スイッチング素子 1 5 のリーク電流を低減できる。

【 0 0 7 9 】

また、半導体層 1 7 を遮光する機能を第 1 遮光層 1 3 が担うことで、ゲート電極 G L の Y 方向の長さを短くすることができる。ゲート電極 G L を短くした分、画素電極 2 0 をゲート電極 G L に近づけることができる。これにより、画素の開口率を向上させることができ、ひいては画素の透過率を向上させることができる。

【 0 0 8 0 】

また、半導体層 1 7 の上方には、第 2 遮光層 2 2 が設けられる。第 2 遮光層 2 2 の Y 方向の長さは、半導体層 1 7 の Y 方向の長さ以上である。これにより、基板 1 1 側から入射する外光が半導体層 1 7 に入射するのを抑制できる。よって、スイッチング素子 1 5 のリーク電流を低減できる。

【 0 0 8 1 】

また、共通電極 2 3 は、ゲート電極 G L を覆うように配置される。これにより、ゲート電極 G L に印加された電位が液晶層 1 2 に印加されるのを抑制できる。よって、ゲート電極 G L の電位によって液晶層 1 2 の配向が乱れるのを抑制できる。

【 0 0 8 2 】

また、画素電極 2 0 は、ゲート電極 G L と重ならないように配置される。これにより、画素電極 2 0 とゲート電極 G L との間の寄生容量を低減できる。よって、液晶表示パネル 2 の動作特性を向上させることができる。

【 0 0 8 3 】

[2] 第 2 実施形態

第 2 実施形態は、第 1 実施形態で示した第 1 遮光層 1 3 を 2 個の第 1 遮光層 1 3 - 1、1 3 - 2 に分割し、第 1 遮光層 1 3 - 1、1 3 - 2 とゲート電極 G L とで半導体層 1 7 を遮光するようにしている。

【 0 0 8 4 】

図 1 1 は、第 2 実施形態に係る液晶表示パネル 2 の平面図である。図 1 2 は、液晶表示パネル 2 のうち第 2 遮光層 2 2 及び共通電極 2 3 より下の構成を説明する平面図である。図 1 3 は、図 1 1 の B - B ' 線に沿った液晶表示パネル 2 の断面図である。第 2 遮光層 2 2 及び共通電極 2 3 を抽出した平面図は、図 4 と同じである。図 1 1 の A - A ' 線に沿った液晶表示パネル 2 の断面図は、図 5 と同じである。

【 0 0 8 5 】

T F T 基板 1 0 の液晶層 1 2 側には、第 1 遮光層 1 3 - 1、1 3 - 2 が設けられる。第 1 遮光層 1 3 - 1、1 3 - 2 は、スイッチング素子に含まれる半導体層を遮光する機能を有する。第 1 遮光層 1 3 - 1、1 3 - 2 はそれぞれ、X 方向に延びる。例えば、第 1 遮光層 1 3 - 1、1 3 - 2 は、X 方向に並んだ 1 行分の複数の画素に共通して設けられる。

【 0 0 8 6 】

Y 方向において、第 1 遮光層 1 3 - 1 は、ゲート電極 G L の一端と重なるように配置される。Y 方向において、第 1 遮光層 1 3 - 2 は、ゲート電極 G L の他端と重なるように配置される。

【 0 0 8 7 】

Y 方向において、第 1 遮光層 1 3 - 1 の一端と半導体層 1 7 の一端との距離 " a " の条件は、第 1 実施形態と同じである。Y 方向において、第 1 遮光層 1 3 - 2 の一端と半導体層 1 7 の他端との距離 " a " の条件は、第 1 実施形態と同じである。

【 0 0 8 8 】

また、第 1 実施形態で示した距離 " b " 及び距離 " c " の条件も第 2 実施形態に適用される。第 1 遮光層 1 3 - 1、1 3 - 2 は、共通電圧 V c o m に固定してもよいし、フローティング状態にしてもよい。

10

20

30

40

50

【 0 0 8 9 】

第2実施形態によれば、第1遮光層13-1、13-2からなる第1遮光層13の面積を小さくできる。また、第1遮光層13とゲート電極GLとが重なる領域を小さくできる。これにより、第1遮光層13とゲート電極GLとの間の寄生容量を低減できる。よって、液晶表示パネル2の動作特性を向上させることができる。

【 0 0 9 0 】

[3] 第3実施形態

第3実施形態は、第1実施形態の変形例であり、画素ごとに、第1遮光層13を分割するようにしている。

【 0 0 9 1 】

図14は、第3実施形態に係る液晶表示パネル2の平面図である。図15は、液晶表示パネル2のうち第2遮光層22及び共通電極23より下の構成を説明する平面図である。第2遮光層22及び共通電極23を抽出した平面図は、図4と同じである。図14のA-A'線に沿った液晶表示パネル2の断面図は、図5と同じである。図14のB-B'線に沿った液晶表示パネル2の断面図は、図6と同じである。

【 0 0 9 2 】

液晶表示パネル2は、画素ごとに設けられた複数の第1遮光層13を備える。各第1遮光層13は、対応する半導体層17の下方に配置される。第1遮光層13は、X方向に延びる。第1遮光層13のX方向の長さは、半導体層17のX方向に長さより長い。本実施形態では、第1遮光層13は、画素のX方向を区画する2本のソース線SLに亘って延びる。X方向に隣接する2個の第1遮光層13は、ソース線SLの下方で電氣的に分離される。複数の第1遮光層13は、フローティング状態にされる。

【 0 0 9 3 】

第3実施形態によれば、複数の第1遮光層13とゲート電極GLとの間の寄生容量を低減できる。よって、液晶表示パネル2の動作特性を向上させることができる。

【 0 0 9 4 】

[4] 第4実施形態

第4実施形態は、第2実施形態の変形例であり、画素ごとに、第1遮光層13-1、13-2を分割するようにしている。

【 0 0 9 5 】

図16は、第4実施形態に係る液晶表示パネル2の平面図である。図17は、液晶表示パネル2のうち第2遮光層22及び共通電極23より下の構成を説明する平面図である。第2遮光層22及び共通電極23を抽出した平面図は、図4と同じである。図16のA-A'線に沿った液晶表示パネル2の断面図は、図5と同じである。図16のB-B'線に沿った液晶表示パネル2の断面図は、図13と同じである。

【 0 0 9 6 】

液晶表示パネル2は、画素ごとに設けられた複数の第1遮光層13-1、及び複数の第1遮光層13-2を備える。各第1遮光層13-1及び各第1遮光層13-2は、対応する半導体層17の下方に配置される。第1遮光層13-1、13-2は、X方向に延びる。第1遮光層13-1、13-2のX方向の長さは、半導体層17のX方向に長さより長い。本実施形態では、第1遮光層13-1は、画素のX方向を区画する2本のソース線SLに亘って延びる。X方向に隣接する2個の第1遮光層13-1は、ソース線SLの下方で電氣的に分離される。第1遮光層13-2は、画素のX方向を区画する2本のソース線SLに亘って延びる。X方向に隣接する2個の第1遮光層13-2は、ソース線SLの下方で電氣的に分離される。第1遮光層13-1、13-2は、フローティング状態にされる。

【 0 0 9 7 】

第4実施形態によれば、複数の第1遮光層13-1とゲート電極GLとの間の寄生容量を低減できる。また、複数の第1遮光層13-2とゲート電極GLとの間の寄生容量を低減できる。よって、液晶表示パネル2の動作特性を向上させることができる。

10

20

30

40

50

【 0 0 9 8 】

上記各実施形態では、画素電極 2 0、及びスリット 2 4 は、Y 方向に対して傾いた斜め方向（Y' 方向）に延びるように構成している。しかし、この構成に限定されず、画素電極 2 0、及びスリット 2 4 は、Y 方向に延びるように構成してもよい。

【 0 0 9 9 】

本発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、各実施形態は適宜組み合わせて実施してもよく、その場合組み合わせた効果が得られる。更に、上記実施形態には種々の発明が含まれており、開示される複数の構成要件から選択された組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、課題が解決でき、効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

10

【 符号の説明 】

【 0 1 0 0 】

1 ... 液晶表示装置、 2 ... 液晶表示パネル、 3 ... バックライト、 4 ... 走査線駆動回路、 5 ... 信号線駆動回路、 6 ... 共通電極ドライバ、 7 ... 電圧生成回路、 8 ... 制御回路、 1 0 ... T F T 基板、 1 1 ... C F 基板、 1 2 ... 液晶層、 1 3 ... 第 1 遮光層、 1 4 ... 絶縁層、 1 5 ... スイッチング素子、 1 6 ... ゲート絶縁膜、 1 7 ... 半導体層、 1 8 ... ソース電極、 1 9 ... ドレイン電極、 2 0 ... 画素電極、 2 1 ... 絶縁層、 2 2 ... 第 2 遮光層、 2 3 ... 共通電極、 2 4 ... スリット、 2 5 ... ブラックマトリクス、 2 6 ... カラーフィルタ、 3 0 ... 表示領域、 3 1 ... 額縁、 3 2 ... 集積回路、 3 3 - 1 , 3 3 - 2 ... 電源線。

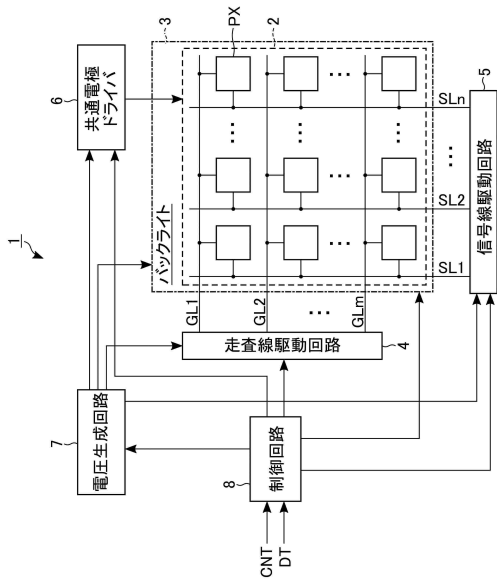
20

30

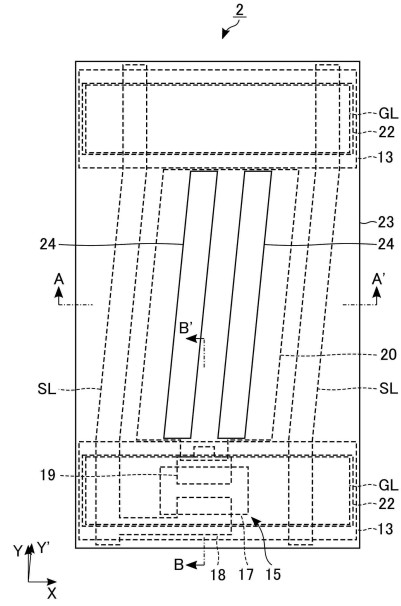
40

50

【図面】
【図 1】



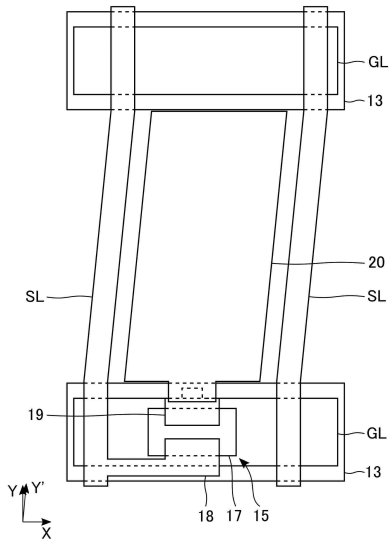
【図 2】



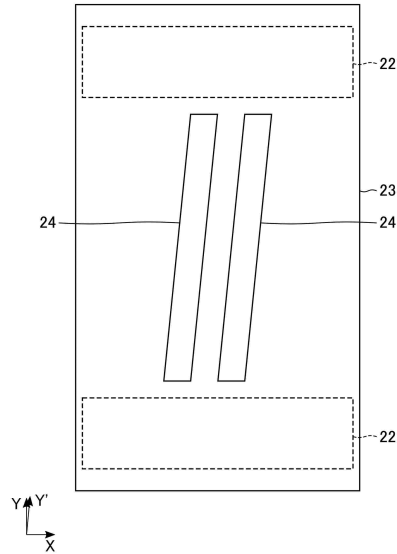
10

20

【図 3】



【図 4】

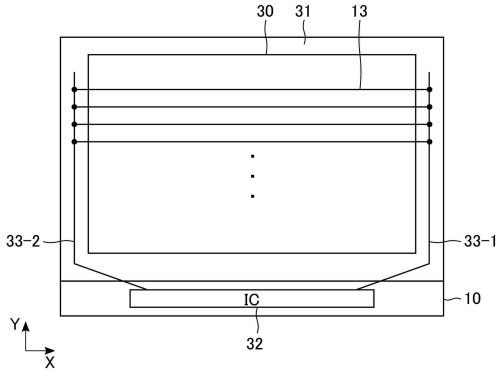


30

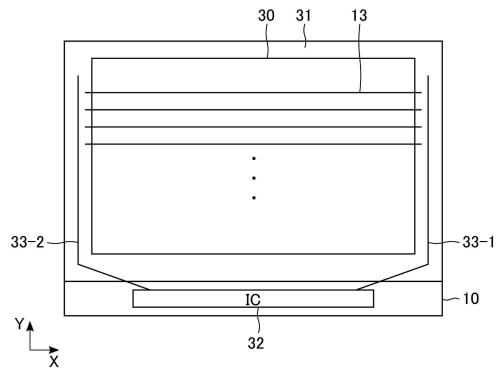
40

50

【図 9】

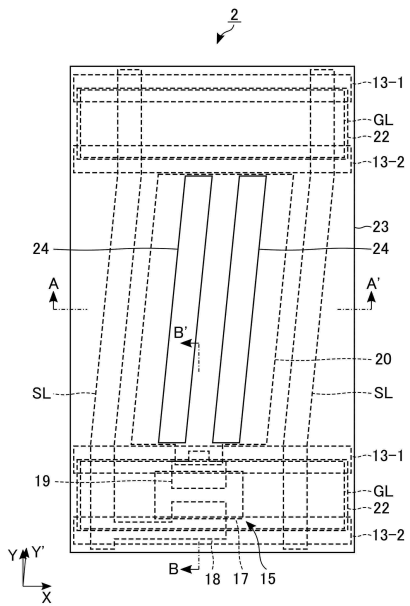


【図 10】

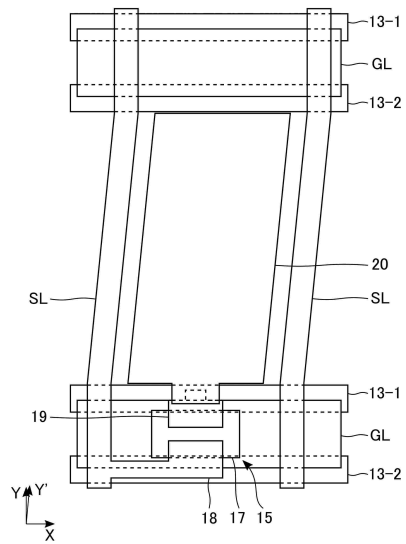


10

【図 11】



【図 12】



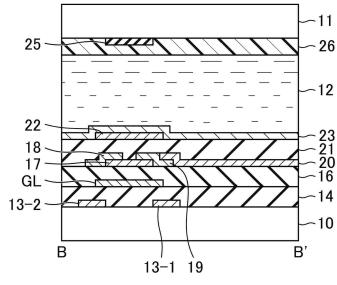
20

30

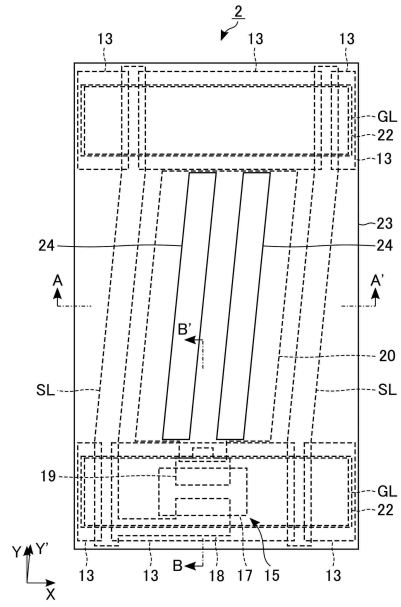
40

50

【 図 1 3 】



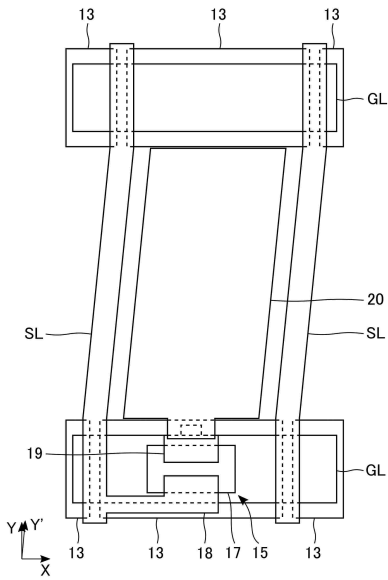
【 図 1 4 】



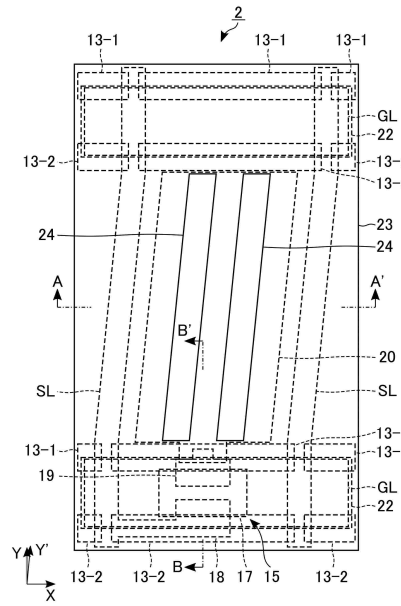
10

20

【 図 1 5 】



【 図 1 6 】

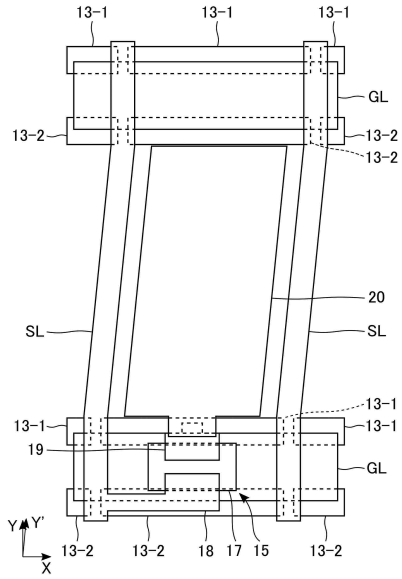


30

40

50

【 図 17 】



10

20

30

40

50

フロントページの続き

- (74)代理人 100162570
弁理士 金子 早苗
- (72)発明者 中村 やよい
東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内
- 審査官 近藤 幸浩
- (56)参考文献 特開 2 0 1 8 - 1 1 6 2 2 8 (J P , A)
国際公開第 2 0 1 8 / 0 4 3 4 7 2 (W O , A 1)
特開 2 0 1 5 - 1 8 7 6 9 5 (J P , A)
特開 2 0 1 9 - 0 4 7 0 2 6 (J P , A)
特開 2 0 1 9 - 1 9 1 3 5 4 (J P , A)
米国特許第 0 9 3 8 9 4 7 0 (U S , B 1)
- (58)調査した分野 (Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 6 8