



(10) 授权公告号 CN 116487266 B

(45) 授权公告日 2024.08.23

(21) 申请号 202310458020.2

H01L 29/78 (2006.01)

(22) 申请日 2023.04.25

H01L 29/423 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 116487266 A

(56) 对比文件

CN 115831876 A, 2023.03.21

(43) 申请公布日 2023.07.25

审查员 靳莘莘

(73) 专利权人 北京北方华创微电子装备有限公司

地址 100176 北京市大兴区经济技术开发区文昌大道8号

(72) 发明人 李佳阳

(74) 专利代理机构 北京国昊天诚知识产权代理有限公司 11315

专利代理师 施敬勃

(51) Int. Cl.

H01L 21/336 (2006.01)

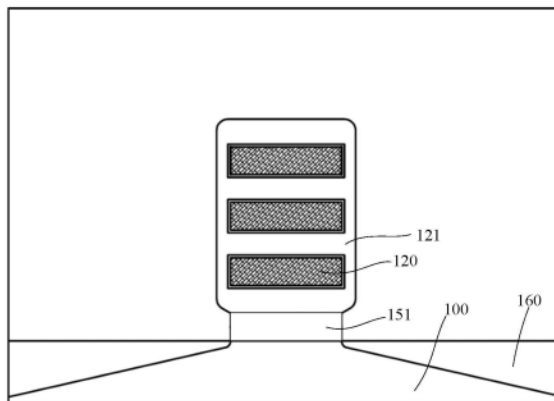
权利要求书3页 说明书10页 附图16页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明实施例公开了一种半导体器件的制造方法,包括:在衬底表面形成牺牲区;在所述牺牲区上形成叠层结构,所述叠层结构包括交替堆叠的第一半导体层和第二半导体层;去除所述牺牲区,以在所述衬底与所述叠层结构之间形成空腔;在所述空腔内填充绝缘层;去除所述第一半导体层和所述第二半导体层中的一者;在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结构。



1. 一种半导体器件的制造方法,其特征在于,包括:

在衬底表面形成牺牲区;所述在衬底表面形成牺牲区,包括:对所述衬底表面的预设区域进行离子注入;以及对离子注入后的区域进行退火处理以形成所述牺牲区;

在所述牺牲区上形成叠层结构,所述叠层结构包括交替堆叠的第一半导体层和第二半导体层,所述叠层结构在所述衬底上的投影与所述牺牲区相对;

去除所述牺牲区,以在所述衬底与所述叠层结构之间形成空腔;

在所述空腔内填充绝缘层;

去除所述第一半导体层和所述第二半导体层中的一者;

在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结构。

2. 根据权利要求1所述的半导体器件的制造方法,其特征在于,所述离子注入进行n型掺杂,所述离子注入的剂量为 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$ 。

3. 根据权利要求2所述的半导体器件的制造方法,其特征在于,所述n型掺杂的掺杂物包括Sb、As、P中的至少一个。

4. 根据权利要求1所述的半导体器件的制造方法,其特征在于,所述在所述牺牲区上形成叠层结构,包括:

在所述衬底表面形成交替堆叠的所述第一半导体层和所述第二半导体层;

对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀,以得到所述叠层结构,并暴露出至少一部分所述牺牲区的侧壁。

5. 根据权利要求4所述的半导体器件的制造方法,其特征在于,所述对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀,包括:

在交替堆叠的所述第一半导体层和所述第二半导体层的上方形成硬掩膜层,所述硬掩膜层在所述衬底上的投影与所述牺牲区相对应;

利用所述硬掩膜层,对所述第一半导体层、所述第二半导体层和所述衬底进行刻蚀,以形成所述叠层结构,且在所述叠层结构两侧的所述衬底内形成凹槽。

6. 根据权利要求5所述的半导体器件的制造方法,其特征在于,在所述叠层结构两侧的所述衬底内形成凹槽的过程中,暴露出至少一部分所述牺牲区的侧壁。

7. 根据权利要求5所述的半导体器件的制造方法,其特征在于,所述在所述牺牲区上形成叠层结构,还包括:

形成覆盖所述叠层结构和所述衬底的保护层;

对所述保护层和所述衬底进行各向异性刻蚀,保留所述叠层结构侧壁的保护层作为侧壁保护层,并暴露出至少一部分所述牺牲区的侧壁。

8. 根据权利要求7所述的半导体器件的制造方法,其特征在于,所述形成覆盖所述叠层结构和所述衬底的保护层,包括:

采用ALD工艺形成所述保护层;或者

所述保护层包括氮化硅基材料;或者

所述保护层包括氮化硅、SiON、SiOCN或SiCN中的至少一个。

9. 根据权利要求7所述的半导体器件的制造方法,其特征在于,所述对所述保护层进行各向异性刻蚀,包括:

采用高刻蚀速率的工艺气体、高上电极射频功率及下电极射频功率,执行所述各向异

性刻蚀。

10. 根据权利要求9所述的半导体器件的制造方法,其特征在于,所述工艺气体包括氯气或碳氟类气体;或者

所述上电极射频功率范围为100至3000W,所述下电极射频功率范围为50至1000W。

11. 根据权利要求5所述的半导体器件的制造方法,其特征在于,所述硬掩膜层包括氧化物绝缘层和氮化物绝缘层中的至少一个;或者

所述硬掩膜层包括位于内侧的氧化硅和位于外侧的氮化硅。

12. 根据权利要求1所述的半导体器件的制造方法,其特征在于,所述去除所述牺牲区,包括:

对所述牺牲区进行各向同性等离子体刻蚀。

13. 根据权利要求12所述的半导体器件的制造方法,其特征在于,所述对所述牺牲区进行各向同性等离子体刻蚀,包括:

在不加载下电极射频功率的情况下,在低压环境下对所述牺牲区进行刻蚀。

14. 根据权利要求13所述的半导体器件的制造方法,其特征在于,所述低压环境为5m Torr至800m Torr。

15. 根据权利要求12所述的半导体器件的制造方法,其特征在于,所述各向同性等离子体刻蚀所采用的刻蚀气体为使得所述牺牲区与所述衬底之间的刻蚀选择比大于预定值的刻蚀气体。

16. 根据权利要求15所述的半导体器件的制造方法,其特征在于,所述衬底为硅,所述牺牲区为n型重掺杂的硅,所述各向同性等离子体刻蚀所采用的刻蚀气体为氯气;

所述牺牲区与所述衬底之间的刻蚀选择比大于200。

17. 据权利要求1所述的半导体器件的制造方法,其特征在于,所述第一半导体层和所述第二半导体层由具有不同晶格常数的半导体材料制成。

18. 据权利要求17所述的半导体器件的制造方法,其特征在于,所述第一半导体层和所述第二半导体层包括Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、InP中的至少一个。

19. 根据权利要求1至18中的任一项所述的半导体器件的制造方法,其特征在于,所述在所述空腔内填充绝缘层,包括:

在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层,直至所述空腔处的所述叠层结构下方的所述绝缘层与所述衬底上方的所述绝缘层贴合;

去除所述空腔以外的所述绝缘层。

20. 根据权利要求19所述的半导体器件的制造方法,其特征在于,所述在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层,包括:

利用原子层沉积工艺来沉积所述绝缘层。

21. 根据权利要求19所述的半导体器件的制造方法,其特征在于,还包括:

对所述绝缘层进行退火处理。

22. 根据权利要求7所述的半导体器件的制造方法,其特征在于,还包括:

去除所述侧壁保护层和所述硬掩膜层;

填充所述凹槽以形成浅沟槽隔离结构。

23. 根据权利要求1所述的半导体器件的制造方法,其特征在于,在去除所述第一半导体层和所述第二半导体层中的一者之前,还包括:

在所述叠层结构的待形成所述栅极结构的区域的两侧分别形成源极区和漏极区。

24. 根据权利要求1所述的半导体器件的制造方法,其特征在于,所述栅极结构包括围绕所述第一半导体层和所述第二半导体层中的所述另一者设置的栅极介电层和围绕所述栅极介电层设置的栅电极层;

被所述栅极结构围绕的所述第一半导体层和所述第二半导体层中的所述另一者形成成为所述半导体器件的沟道区。

半导体器件的制造方法

技术领域

[0001] 本发明属于半导体制造技术领域,具体涉及一种半导体器件的制造方法。

背景技术

[0002] 随着半导体制造工艺的不断发展,半导体器件的关键尺寸不断缩小,然而栅极宽度的缩小导致所谓的短沟道效应(short-channel effects),会导致漏致势垒降低(DIBL, Drain Induced Barrier Lowering),使得半导体器件无法关断。

[0003] 为应对该挑战,目前提出了鳍型场效应晶体管(Fin FET)和全环栅型场效应晶体管(GAA FET)。在3nm以及更精细的制程中,GAA FET相对于Fin FET展示出更大的优势,例如,对漏电流更好的控制,更小的DIBL,更高的性能,更大的器件密度等等。

[0004] 常规的GAA FET如图1所示,其包括衬底11、形成在衬底上的若干沟道区12、环绕沟道区12设置的栅极绝缘层(未示出)以及环绕栅极绝缘层设置的金属栅极13。沟道区12的所有侧面都被金属栅极围绕,从而能够得到更小的DIBL。然而,仍需要对GAA FET进行进一步改进。

发明内容

[0005] 本发明实施例公开了一种半导体器件的制造方法,以解决相关技术中半导体器件的高频开关特性不佳的问题。

[0006] 为了解决上述技术问题,本发明实施例公开了一种半导体器件的制造方法,包括:

[0007] 在衬底表面形成牺牲区;

[0008] 在所述牺牲区上形成叠层结构,所述叠层结构包括交替堆叠的第一半导体层和第二半导体层;

[0009] 去除所述牺牲区,以在所述衬底与所述叠层结构之间形成空腔;

[0010] 在所述空腔内填充绝缘层;

[0011] 去除所述第一半导体层和所述第二半导体层中的一者;

[0012] 在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结构。

[0013] 作为一些可选实施方式,所述在衬底表面形成牺牲区,包括:

[0014] 对所述衬底表面的预设区域进行离子注入;

[0015] 对离子注入后的区域进行退火处理以形成所述牺牲区。

[0016] 作为一些可选实施方式,所述离子注入进行n型掺杂,所述离子注入的剂量为 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$ 。

[0017] 作为一些可选实施方式,所述n型掺杂的掺杂物包括Sb、As、P中的至少一个。

[0018] 作为一些可选实施方式,所述在所述牺牲区上形成叠层结构,包括:

[0019] 在所述衬底表面形成交替堆叠的所述第一半导体层和所述第二半导体层;

[0020] 对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀,以得到所述叠层结构,并暴露出至少一部分所述牺牲区的侧壁。

[0021] 作为一些可选实施方式,所述对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀,包括:

[0022] 在交替堆叠的所述第一半导体层和所述第二半导体层的上方形成硬掩膜层,所述硬掩膜层在所述衬底上的投影与所述牺牲层相对应;

[0023] 利用所述硬掩膜层,对所述第一半导体层、所述第二半导体层和所述衬底进行刻蚀,以形成所述叠层结构,且在所述叠层结构两侧的所述衬底内形成凹槽。

[0024] 作为一些可选实施方式,在所述叠层结构两侧的所述衬底内形成凹槽的过程中,暴露出至少一部分所述牺牲区的侧壁。

[0025] 作为一些可选实施方式,所述在所述牺牲区上形成叠层结构,还包括:

[0026] 形成覆盖所述叠层结构和所述衬底的保护层;

[0027] 对所述保护层和所述衬底进行各向异性刻蚀,保留所述叠层结构侧壁的保护层作为侧壁保护层,并暴露出至少一部分所述牺牲区的侧壁。

[0028] 作为一些可选实施方式,所述形成覆盖所述叠层结构和所述衬底的保护层,包括:

[0029] 采用ALD工艺形成所述保护层;或者

[0030] 所述保护层包括氮化硅基材料;或者

[0031] 所述保护层包括氮化硅、SiON、SiOCN或SiCN中的至少一个。

[0032] 作为一些可选实施方式,所述对所述保护层进行各向异性刻蚀,包括:

[0033] 采用高刻蚀速率的工艺气体、高上电极射频功率及下电极射频功率,执行所述各向异性刻蚀。

[0034] 作为一些可选实施方式,所述工艺气体包括氯气或碳氟类气体;或者

[0035] 所述上电极射频功率范围为100至3000W,所述下电极射频功率范围为50至1000W。

[0036] 作为一些可选实施方式,所述硬掩膜层包括氧化物绝缘层和氮化物绝缘层中的至少一个;或者

[0037] 所述硬掩膜层包括位于内侧的氧化硅和位于外侧的氮化硅。

[0038] 作为一些可选实施方式,所述去除所述牺牲区,包括:

[0039] 对所述牺牲区进行各向同性等离子体刻蚀。

[0040] 作为一些可选实施方式,所述对所述牺牲区进行各向同性等离子体刻蚀,包括:

[0041] 在不加载下电极射频功率的情况下,在低压环境下对所述牺牲区进行刻蚀。

[0042] 作为一些可选实施方式,所述低压环境为5m Torr至800m Torr。

[0043] 作为一些可选实施方式,所述各向同性等离子体刻蚀所采用的刻蚀气体为使得所述牺牲区与所述衬底之间的刻蚀选择比大于预定值的刻蚀气体。

[0044] 作为一些可选实施方式,所述衬底为硅,所述牺牲区为n型重掺杂的硅,所述各向同性等离子体刻蚀所采用的刻蚀气体为氯气;

[0045] 所述牺牲区与所述衬底之间的刻蚀选择比大于200。

[0046] 作为一些可选实施方式,所述第一半导体层和所述第二半导体层由具有不同晶格常数的半导体材料制成。

[0047] 作为一些可选实施方式,所述第一半导体层和所述第二半导体层包括Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、InP中的至少一个。

- [0048] 作为一些可选实施方式,所述在所述空腔内填充绝缘层,包括:
- [0049] 在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层,直至所述空腔处的所述叠层结构下方的所述绝缘层与所述衬底上方的所述绝缘层贴合;
- [0050] 去除所述空腔以外的所述绝缘层。
- [0051] 作为一些可选实施方式,所述在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层,包括:
- [0052] 利用原子层沉积工艺来沉积所述绝缘层。
- [0053] 作为一些可选实施方式,所述半导体器件的制造方法还包括:
- [0054] 对所述绝缘层进行退火处理。
- [0055] 作为一些可选实施方式,所述半导体器件的制造方法还包括:
- [0056] 去除所述侧壁保护层和所述硬掩膜层;
- [0057] 填充所述凹槽以形成浅沟槽隔离结构。
- [0058] 作为一些可选实施方式,在去除所述第一半导体层和所述第二半导体层中的一者之前,还包括:
- [0059] 在所述叠层结构的待形成所述栅极结构的区域的两侧分别形成源极区和漏极区。
- [0060] 作为一些可选实施方式,所述栅极结构包括围绕所述第一半导体层和所述第二半导体层中的所述另一者设置的栅极介电层和围绕所述栅极介电层设置的栅电极层;
- [0061] 被所述栅极结构围绕的所述第一半导体层和所述第二半导体层中的所述另一者形成为所述半导体器件的沟道区。
- [0062] 在本发明实施例的半导体器件的制造方法中,通过在半导体器件最下方的栅极结构与衬底之间形成绝缘层,抑制了最下方的栅极结构与衬底之间的寄生栅电容,提升了半导体器件的高频开关特性。

附图说明

- [0063] 图1示出了相关技术中GAA FET的示意图;
- [0064] 图2示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图;
- [0065] 图3示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图;
- [0066] 图4示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图;
- [0067] 图5示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图;
- [0068] 图6示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图;
- [0069] 图7A示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图;
- [0070] 图7B示出了沿图7A中虚线的截面示意图;
- [0071] 图8A示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的轴侧

示意图；

[0072] 图8B示出了图8A的正面示意图；

[0073] 图8C示出了沿图8B中虚线的截面示意图；

[0074] 图9A示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

[0075] 图9B示出了图9A的正面示意图；

[0076] 图9C示出了沿图9B中虚线的截面示意图；

[0077] 图10A示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

[0078] 图10B示出了图10A的正面示意图；

[0079] 图10C示出了沿图10B中虚线的截面示意图；

[0080] 图11示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图；

[0081] 图12示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

[0082] 图13A示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的示意图；

[0083] 图13B示出了沿图13A中虚线的截面示意图；

[0084] 图14A示出了根据本发明实施例的半导体器件的制造方法的各个阶段之一的轴侧截面示意图；

[0085] 图14B示出了图14A的正面示意图。

具体实施方式

[0086] 为使本发明的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0087] 本领域技术人员应当理解，本发明实施例仅是对可以以各种形式来实施本发明所请求保护的结构和方法的说明。此外，结合各种实施例给出的每个示例旨在是说明性的，而不是限制性的。此外，附图不一定按比例绘制，一些特征可能被夸大以显示特定组件的细节。因此，本发明实施例中的具体结构和功能细节不应被解释为限制性的，而仅仅是作为教导本领域技术人员以不同方式采用本发明实施例的方法和结构的代表性基础。还应注意，相同和对应的元素由相同的附图标记表示。

[0088] 在下文的描述中，阐述了许多具体细节，例如特定结构、组件、材料、尺寸、处理步骤和技术，以便提供对本发明的各种实施例的理解。然而，本领域技术人员应当理解，可以在没有这些具体细节的情况下实践本发明的各种实施例。在其他情况下，未详细描述众所周知的结构或处理步骤，以避免混淆本发明。

[0089] 出于下文描述的目的，术语“上”、“右”、“左”、“垂直”、“水平”、“顶部”、“底部”及其派生词应与说明书附图所公开的结构和方法中的定向有关。应当理解，当作为层、区域或衬

底的元素被称为在另一元素上时,该元素可以直接在另一元素上,或者也可以存在中间元素。相反,当一个元素被称为直接在另一元素上时,两者之间不存在中间元素。还应当理解,当一个元素被称为在另一元素下时,该元素可以直接在另一元素下,或者可以存在中间元素。相反。当一个元素被称为直接在另一元素下时,两者之间不存在中间元素。

[0090] 相关技术中的GAA FET如图1所示,其包括衬底11、形成在衬底上的若干沟道区12、环绕沟道区12设置的栅极绝缘层(未示出)以及环绕栅极绝缘层设置的金属栅极13。本发明的发明人发现,在该GAA FET结构中,最下方的金属栅极13会与衬底11之间形成寄生栅电容,当向金属栅极13施加开启或关断电压时,会对该寄生栅电容充电,从而影响GAA FET的开启或关断速度,降低GAA FET的高频开关特性。

[0091] 为解决该问题,本发明实施例所提出的一种主要构思在于,在相关技术中的GAA FET最下方的金属栅极13与衬底11之间设置绝缘层,从而抑制寄生栅电容,以提升GAA FET的高频开关特性。

[0092] 下面将结合附图,对本发明实施例公开的技术方案进行详细说明。

[0093] 本发明实施例提供了一种半导体器件的制造方法,其可以包括如下步骤。

[0094] S110. 在衬底表面形成牺牲区。

[0095] 如图3所示,衬底100的表面形成了牺牲区101。本发明对牺牲层的制造方法不做任何限定,只要牺牲区101与衬底100之间存在较大的刻蚀选择比,在后续工序中能够通过选择性刻蚀的方式去除该牺牲区101即可。在下文中还将看到,牺牲区101的位置与半导体器件的沟道区在衬底100上的投影的位置相对应。

[0096] 衬底100在至少其表面部分上包括单晶半导体层。衬底100可以包括单晶半导体材料,诸如但不限于Si、Ge、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb和InP。在一些可选实施方式中,衬底100可以由晶体Si制成。衬底100可以在其表面区中包括一个或多个缓冲层(未示出)。缓冲层可以用于逐渐地将晶格常数从衬底的晶格常数改变为源极/漏极区的晶格常数。缓冲层可以由外延生长的单晶半导体材料形成,诸如但不限于Si、Ge、GeSn、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、GaN、GaP和InP。在一些可选实施方式中,衬底100可以包括在硅衬底上外延生长的硅锗(SiGe)缓冲层。衬底100还可以包括已经适当掺杂有杂质(例如,p型或n型导电性)的各个区域。

[0097] 在本发明实施例的一些可选实施方式中,上述步骤S110可以包括:

[0098] S111. 利用掩模板在衬底100上形成光刻胶图案102,光刻胶图案102暴露出衬底100表面的预定区域,如图2所示。该预定区域也就是将要形成牺牲层101的区域。

[0099] S112. 对衬底100表面的预设区域进行离子注入。

[0100] 如图2所示,利用光刻胶图案102的遮挡,在预定区域进行离子注入以形成掺杂区101,该掺杂区101例如可以是n型掺杂区。

[0101] 在某些可选实施方式中,离子注入的剂量可以为 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$,注入的杂质例如可以为n型掺杂物,通过该离子注入在衬底100内形成n型重掺杂区101,从而可以增大所形成的牺牲区101与衬底100之间的刻蚀选择比。可选地,n型掺杂物可以包括Sb、As、P中的至少一个。

[0102] 在某些可选实施方式中,为了提升牺牲区101的图案精度,光刻胶图案102可以包括两层,即位于下方的DARC抗反射涂层和位于DARC层上方的光刻胶层。本领域技术人员应

当理解,光刻胶图案102还可以包括更多层或是一层。

[0103] S113.去除光刻胶图案102。

[0104] 可以采用各种去胶工艺来去除光刻胶图案102,本发明对此不做任何限定。

[0105] S114.对离子注入后的区域进行退火处理以形成牺牲区101。

[0106] 在进行离子注入之后,会导致衬底的晶格损伤。为了能够在衬底上继续进行外延生长,需要对衬底进行退火处理,以使得经离子注入后的晶格受损区域重结晶。在某些可选实施方式中,采用快速热退火(Rapid Thermal Anneal,RTA)工艺来进行上述退火处理。

[0107] S120.在牺牲区上形成叠层结构,叠层结构包括交替堆叠的第一半导体层和第二半导体层。

[0108] 如图7A和图7B所示,牺牲区101上形成有叠层结构,叠层结构可以包括交替堆叠的第一半导体层110和第二半导体层120。此外,叠层结构上方还包括作为掩膜来刻蚀形成该叠层结构的硬掩膜层130。

[0109] 第一半导体层110和第二半导体层120由具有不同晶格常数的材料制成,并且可以包括Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb或InP的一层或多层。

[0110] 在一些可选实施方式中,第一半导体层110和第二半导体层120由Si、Si化合物、SiGe、Ge或Ge化合物制成。在某些可选实施方式中,第一半导体层110是Si,第二半导体层120是SiGe。在其他可选实施方式中,第一半导体层110也可以是SiGe,第一半导体层110和第二半导体层120的Ge含量不同。

[0111] 在图7A和图7B中示出了三层第一半导体层110和三层第二半导体层120,然而本发明并不限于此,更多或是更少的第一半导体层110和第二半导体层120都是可行的。在一些可选实施方式中,第一和第二半导体层中的每一个形成为2-20层。通过调整堆叠层的数量,可以调整GAA FET器件的驱动电流。

[0112] 第一半导体层110和第二半导体层120外延地形成在衬底100上方。第一半导体层110的厚度与第二半导体层120的厚度可以相同,也可以不同。并且,第一半导体层110和第二半导体层120中的每一层的厚度可以相同,或者可以不同,本发明对此不做任何限定。在一些可选实施方式中,第一半导体层110和第二半导体层120的厚度在2nm至20nm的范围内。

[0113] 硬掩膜层130可以是一层,也可以是多层,本发明对此不做任何限定。在一些可选实施方式中,硬掩膜层130可以包括第一硬掩膜层131和第二硬掩膜层132。第一硬掩膜层131是由氧化硅制成的衬垫氧化物层,衬垫氧化物层可以通过热氧化形成。第二硬掩膜层132由氮化硅(SiN)制成,氮化硅通过化学气相沉积(CVD)(包括低压CVD(LPCVD)和等离子体增强CVD(PECVD))、物理气相沉积(PVD)、原子层沉积(ALD)或其他合适的工艺形成。通过使用包括光刻和蚀刻的图案化操作将硬掩膜层130图案化为掩膜图案。

[0114] 在本发明实施例的一些可选实施方式中,上述步骤S120可以包括:

[0115] S121.在衬底100表面形成交替堆叠的第一半导体层110和第二半导体层120,如图4所示。

[0116] S122.在交替堆叠的第一半导体层110和第二半导体层120上方形成硬掩膜层130,硬掩膜层130在衬底上100的投影与牺牲层101相对应,如图4所示。

[0117] 需要说明的是,硬掩膜层130覆盖整个衬底100,然后利用掩模板形成光刻胶图案,

刻蚀掉硬掩膜层130多余的部分,以得到图4所示的硬掩膜层130。在步骤S122中所采用的掩膜板与步骤S111中采用的掩膜板是相同的,所采用的光刻胶不同。在一种可选实施方式中,步骤S122采用正性光刻胶,步骤S111采用负性光刻胶;在另一种可选实施方式中,步骤S122采用负性光刻胶,步骤S111采用正性光刻胶。

[0118] S123. 利用硬掩膜层130,对第一半导体层110、第二半导体层120和衬底100进行刻蚀,以得到叠层结构,在叠层结构两侧的衬底100内形成凹槽。

[0119] 如图5所示,在本步骤中,在对交替堆叠的第一半导体层110和第二半导体层120进行刻蚀结束之后,还可以继续对下方的衬底100进行刻蚀,以在叠层结构两侧的衬底100内形成凹槽,便于后续形成浅沟槽隔离(shallow trench isolation,STI)结构。

[0120] 在本步骤的一些可选实施方式中,可以在叠层结构两侧的衬底100内形成凹槽的过程中,暴露出至少一部分牺牲区101的侧壁。在后续过程中,可以通过选择性的横向刻蚀,去除掉牺牲区101。然而,采用该实施方式,在横向刻蚀牺牲区101的同时,会导致第一半导体层110和第二半导体层120中的沟道区受损,从而影响GAA FET器件的性能。

[0121] 在本步骤的另一些可选实施方式中,在叠层结构两侧的衬底100内形成凹槽的过程中,可以通过控制刻蚀深度,例如通过OES检测刻蚀终点的方式,使得刻蚀深度达到刚好不暴露牺牲区101的深度,后续步骤如下文所述。

[0122] S124. 形成覆盖叠层结构和衬底100的保护层140,如图6所示。

[0123] 保护层140可以包括通过CVD(包括LPCVD和PECVD)、PVD、ALD或其他合适的工艺形成的氮化硅基材料,诸如氮化硅、Si₃N₄、Si₃N₂O₅或SiCN和它们的组合。在某些可选实施方式中,保护层140由氮化硅制成,例如可以通过ALD工艺制成,从而可以保证保护层140的良好致密度,以在后续的牺牲区101刻蚀过程中,保护沟道区不被横向刻蚀。

[0124] S125. 对保护层140和衬底100进行各向异性刻蚀,保留叠层结构侧壁的保护层作为侧壁保护层141,并暴露出至少一部分牺牲区101的侧壁,如图7A和图7B所示。

[0125] 在本步骤中,可以采用高刻蚀速率的工艺气体、高上电极射频功率及下电极射频功率,来执行该各向异性刻蚀,从而仅刻蚀水平方向上的保护层140以及部分衬底100,在叠层结构侧壁保留侧壁保护层141,并暴露出至少一部分牺牲区101的侧壁,优选地,暴露出全部牺牲区101的侧壁,以便于在后续工序中更加完全的去除牺牲层101。

[0126] 采用高下电极射频功率,可以为等离子体提供向下加速能量和方向,采用高上电极射频功率可以产生更多的等离子体,同时再采用高刻蚀速率的工艺气体,增强各向异性刻蚀的方向性,从而可以在刻蚀掉水平方向上的保护层140以及部分衬底100以暴露出至少一部分牺牲区101的侧壁的同时,尽可能避免位于叠层结构侧壁的保护层140被横向刻蚀,从而可以在后续刻蚀工艺中为沟道区提供保护。本领域技术人员应当理解,所谓上电极射频功率通常指的是向位于工艺腔室顶部的射频线圈加载的射频功率,在某些实施方式中,射频线圈也可以位于工艺腔室侧面,用于使工艺气体离子化,以产生等离子体;所谓下电极射频功率通常指的是向工艺腔室的下电极组件施加的射频功率,下电极组件包括晶圆承载装置,用于产生射频偏压,从而提高等离子体的方向性。

[0127] 在一些可选实施方式中,保护层140为氮化硅,衬底100为硅,工艺气体可以包括氯气或碳氟类气体。该碳氟类气体例如可以是CF₄或CHF₃。当然,在刻蚀工序中,工艺气体中还可以包括保护气体,以为侧壁的保护层140提供保护,该保护气体可以包括N₂、CH₄中的至少

一个。更具体地,上电极射频功率范围例如为100至3000W,下电极射频功率范围例如为50至1000W。

[0128] S130.去除牺牲区,以在衬底与叠层结构之间形成空腔。

[0129] 如图8A至图8C所示,通过选择性刻蚀,可以去除衬底100与叠层结构之间的牺牲区101,从而形成空腔103。

[0130] 与步骤S125相反,在本步骤中需要对衬底100进行各向同性刻蚀以去除牺牲区101。因此,在本步骤中,不加载下电极射频功率,并加载较低的上电极射频功率,本步骤中的上电极射频功率低于步骤S125中的上电极射频功率。在刻蚀过程中,需要采用较低的腔室压力,以增大刻蚀离子的自由程,从而能够完全去除牺牲区101。具体地,腔室压力为5mTorr至800mTorr。

[0131] 在一些可选实施方式中,牺牲区101为n型重掺杂硅,衬底100为硅,侧壁保护层141为氮化硅,硬掩膜层132为氮化硅,在此情况下,可以选用氯气作为刻蚀气体,以增大n型重掺杂硅与硅、n型重掺杂硅与氮化硅之间的刻蚀选择比,n型重掺杂硅与硅之间的刻蚀选择比大于200-250:1,n型重掺杂硅与氮化硅之间的刻蚀选择比大于200-250:1,从而可以保证牺牲区101可以被完全去除,且不对半导体器件的结构造成损伤。

[0132] 应当理解,本发明并不限于此,牺牲区、衬底、侧壁保护层以及硬掩膜层也可以采用其他材料,本领域技术人员可以根据牺牲区、衬底、侧壁保护层以及硬掩膜层的材料,合理选择所需采用的刻蚀气体,只要使得牺牲区101与衬底100之间的刻蚀选择比,以及牺牲区101与侧壁保护层141之间的刻蚀选择比足够大即可,在此不再赘述。

[0133] S140.在空腔内填充绝缘层。

[0134] 如图10A至图10C所示,通过在空腔内填充绝缘层151,从而在后续形成的GAA FET的最下方的栅极结构与衬底100之间形成了绝缘层151,从而可以抑制最下方的栅极结构与衬底之间的寄生栅电容,以提升半导体器件的高频开关特性。在某些可选实施方式中,该绝缘层151例如可以是氮化硅、氧化硅或氮氧化硅等,本发明对绝缘层151的材料和填充方式不做任何限定。

[0135] 在本发明实施例的一些可选实施方式中,上述步骤S140可以包括:

[0136] S141.在叠层结构的周围以及衬底100表面沉积绝缘层150,直至空腔103处的叠层结构下方的绝缘层150与衬底100上方的绝缘层150贴合,如图9A至图9C所示。

[0137] 本领域技术人员应当理解,图中绝缘层150以及空腔103内的绝缘层151之间标示了一条横线仅仅是为了能够更加形象的说明,在本发明实施例中,绝缘层150是通过不断沉积使得空腔103处的叠层结构下方的绝缘层150与衬底100上方的绝缘层150相互贴合而成的,并非意在限定绝缘层150需要刻意分为两层。

[0138] 为使得工艺气体能够深入到空腔103内部沉积,可以采用低压CVD(LPCVD)或原子层沉积(ALD)等工艺来形成该绝缘层150,更为优选地,采用ALD工艺来形成绝缘层150,从而可以更好的填充空腔103。

[0139] 由于后续工序中需要去除空腔以外的绝缘层150,而仅保留空腔内的绝缘层151,在一些可选实施例中,绝缘层150与衬底100之间以及绝缘层150与侧壁保护层141之间需要有大的刻蚀选择比,从而可以选择性地去除空腔以外的绝缘层150。

[0140] S142.去除空腔103以外的绝缘层150。

[0141] 如图10A至图10C所示,可以通过干法或湿法刻蚀来去除空腔103以外的绝缘层150,而仅保留空腔103内的绝缘层151。在一些可选实施方式中,绝缘层150为氧化硅,侧壁保护层141为氮化硅,衬底100为硅,从而绝缘层150与侧壁保护层141之间、以及绝缘层150与衬底100之间的刻蚀选择比较大,便于实现空腔103以外的绝缘层150的去除。

[0142] 在一些可选实施方式中,上述步骤S140还可以包括:

[0143] S143.对绝缘层151进行退火处理。

[0144] 通过对绝缘层151进行退火处理,有利于减少绝缘层151中的晶格缺陷,增加绝缘层151的致密度,提高绝缘层151的高压耐受性,从而提高绝缘层151的可靠性。

[0145] 需要说明的是,步骤S143的退火处理可以选择在步骤S142的去除空腔外的绝缘层之前进行,也可以在之后进行,本发明对此不做任何限定。该退火处理例如可以采用快速热退火工艺或激光退火工艺等。

[0146] 在一些可选实施方式中,在步骤S143之后,还可以包括:

[0147] S144.去除侧壁保护层141和硬掩膜层130,如图11所示。

[0148] 在一些可选实施方式中,侧壁保护层141和硬掩膜层130与衬底100、第一半导体层110和第二半导体层120之间具有大的刻蚀选择比,从而便于去除侧壁保护层141和硬掩膜层130。

[0149] S145.填充凹槽以形成浅沟槽隔离结构160,如图11所示。通过浅沟槽隔离结构160能够实现各个GAA FET之间的隔离。

[0150] 在一些可选实施方式中,在步骤S150之前,还可以包括:

[0151] S146.在叠层结构的待形成栅极结构的区域的两侧分别形成源极区/漏极区200,如图12所示。

[0152] 具体而言,上述步骤S146可以包括:在对应于待形成栅极结构的区域形成牺牲栅;对牺牲栅的两侧的叠层结构进行掺杂以形成源极区/漏极区200;在牺牲栅的两侧形成隔离层210和隔离垫220,以分别覆盖源极区/漏极区200的顶部和侧部;去除牺牲栅,以暴露出源极区/漏极区200之间的沟道区,从而得到了图12所示的半导体结构。上述工艺步骤属于本领域的常规工艺步骤,在此不再赘述。

[0153] S150.去除第一半导体层110和第二半导体层120中的一者。

[0154] 如图13A和图13B所示,去除了第一半导体层110,从而在对应于栅极结构的区域形成了若干空位111。

[0155] 对于Si、SiGe或Ge基沟道的GAA FET来说,通常,Si用于n沟道GAA FET,而SiGe或Ge用于p沟道GAA FET。在SiGe p沟道GAFET的情况下,较高的Ge浓度可以提高晶体管性能。本领域技术人员可以根据需求来去除第一半导体层110和第二半导体层120。

[0156] S160.在第一半导体层110和第二半导体层120中的另一者周围形成栅极结构121。

[0157] 如图14A和图14B所示,在第二半导体层120周围形成栅极结构121,被栅极结构121所围绕的第二半导体层120形成为GAA FET的沟道区。栅极结构121可以包括围绕第二半导体层120设置的栅极介电层和栅电极层。

[0158] 在一些可选实施方式中,栅极介电层可以包括介电材料(诸如氧化硅、氮化硅或高k介电材料)、其他合适的介电材料和/或其组合的一层或多层。高k介电材料例如可以包括HfO₂、HfSiO₂、HfSiON、HfTaO₂、HfTiO₂、HfZrO₂、氧化锆、氧化铝、氧化钛、二氧化铪-氧化铝

(HfO₂-Al₂O₃)合金、其他合适的高k介电材料和/或其组合。在某些实施例中,在沟道区和栅极介电层之间还可以形成有界面层。栅极介电层可以通过CVD、ALD或任何合适的方法形成。在一个可选实施例中,栅极介电层的厚度在约1nm至约6nm的范围内。

[0159] 在一些可选实施方式中,栅电极层可以包括一层或多层导电材料,诸如多晶硅、铝、铜、钛、钽、钨、钴、钼、氮化钽、硅化镍、硅化钴、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、其合金、其他合适的材料和/或其组合。栅电极层可以通过CVD、ALD、电镀或其他合适的方法形成。

[0160] 在一些可选实施方式中,上述工艺步骤属于本领域的常规工艺步骤,还可以通过绝缘覆盖层来填充两个隔离层210之间的间隙,在此不再赘述。

[0161] 在本发明实施例的半导体器件的制造方法中,通过在半导体器件最下方的栅极结构与衬底之间形成绝缘层,抑制了最下方的栅极结构与衬底之间的寄生栅电容,提升了半导体器件的高频开关特性。

[0162] 本发明上文实施例中重点描述的是各个实施例之间的不同,各个实施例之间不同的优化特征只要不矛盾,均可以组合形成更优的实施例,考虑到行文简洁,在此则不再赘述。

[0163] 以上所述仅为本发明的实施例而已,并不用于限制本发明。对于本领域技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的权利要求范围之内。

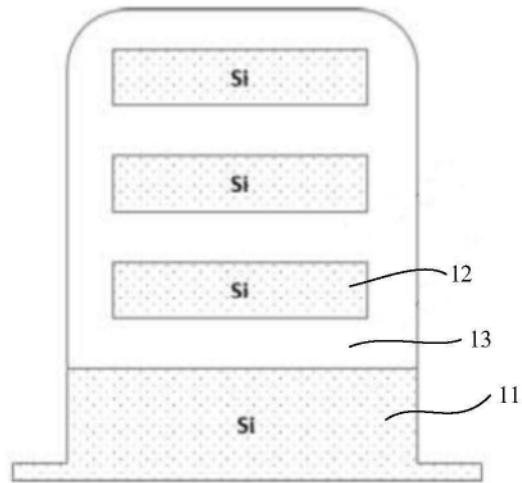


图1

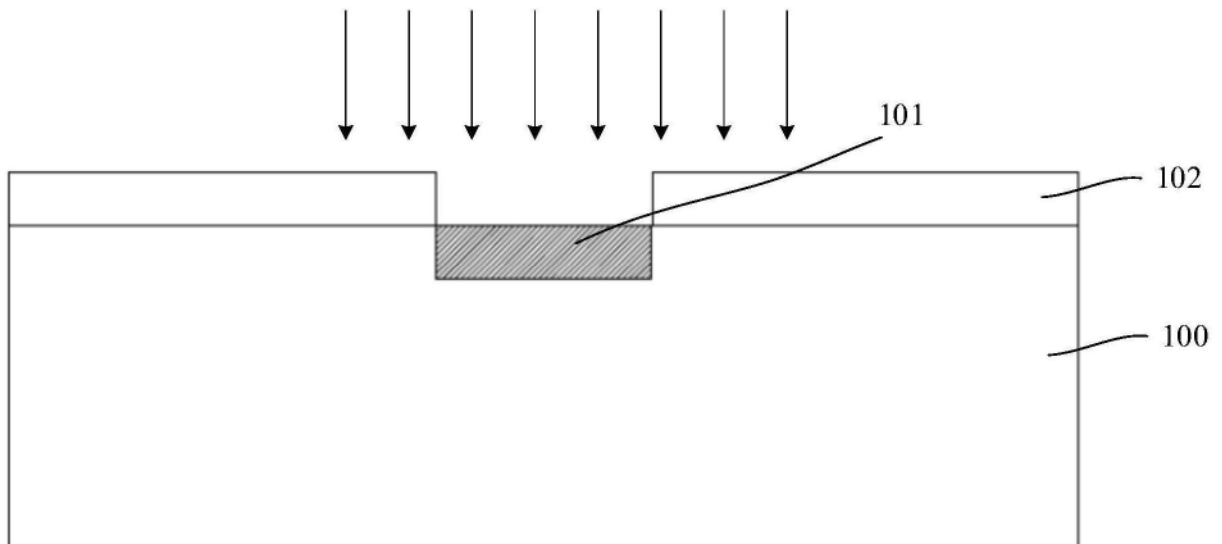


图2

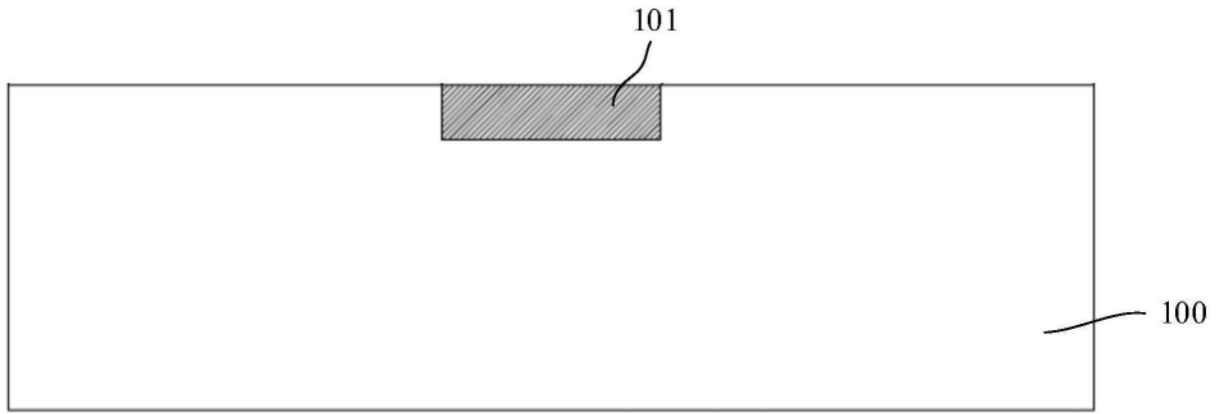


图3

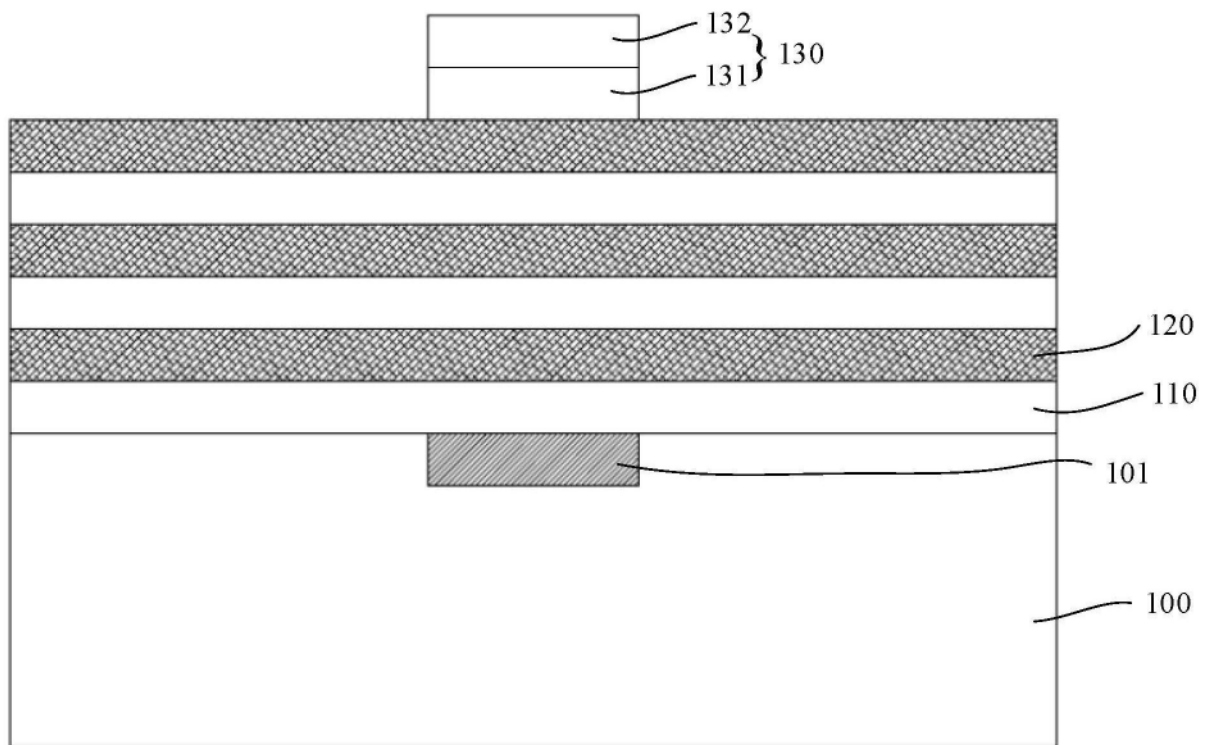


图4

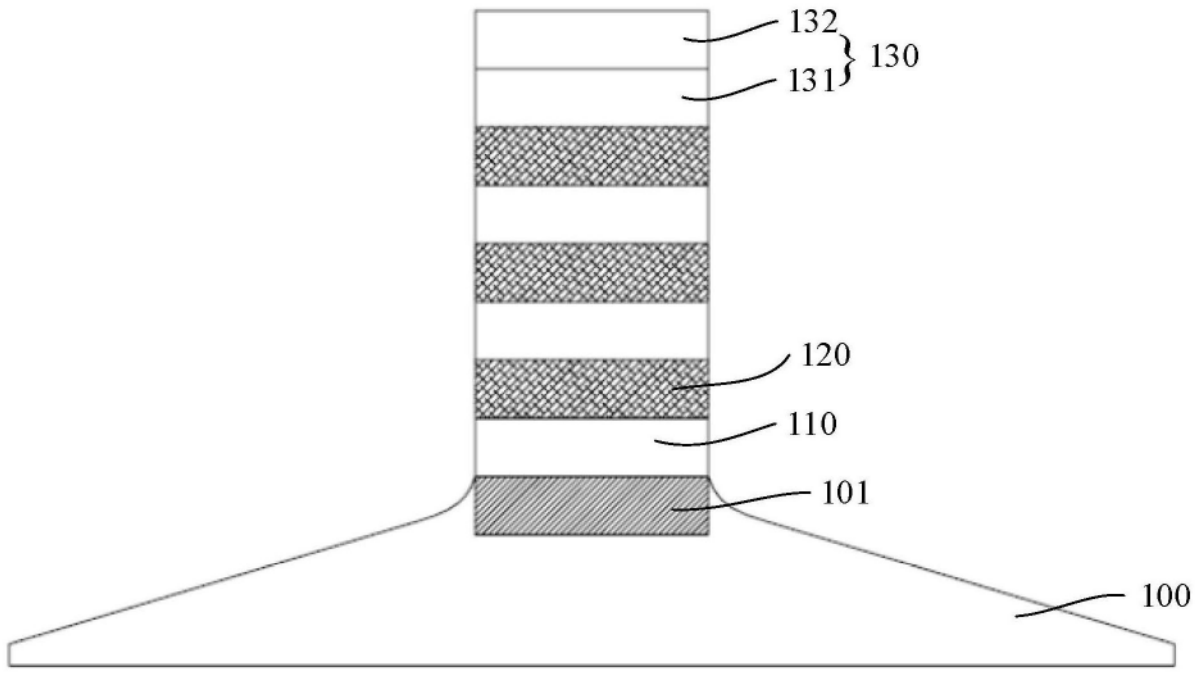


图5

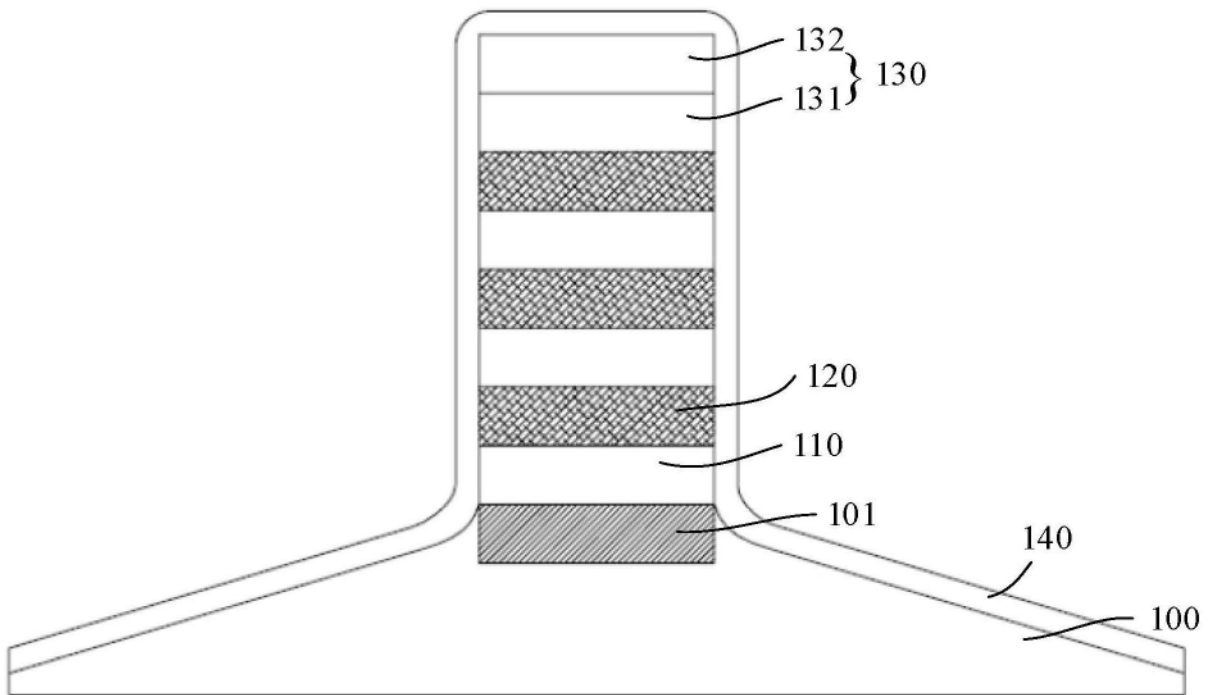


图6

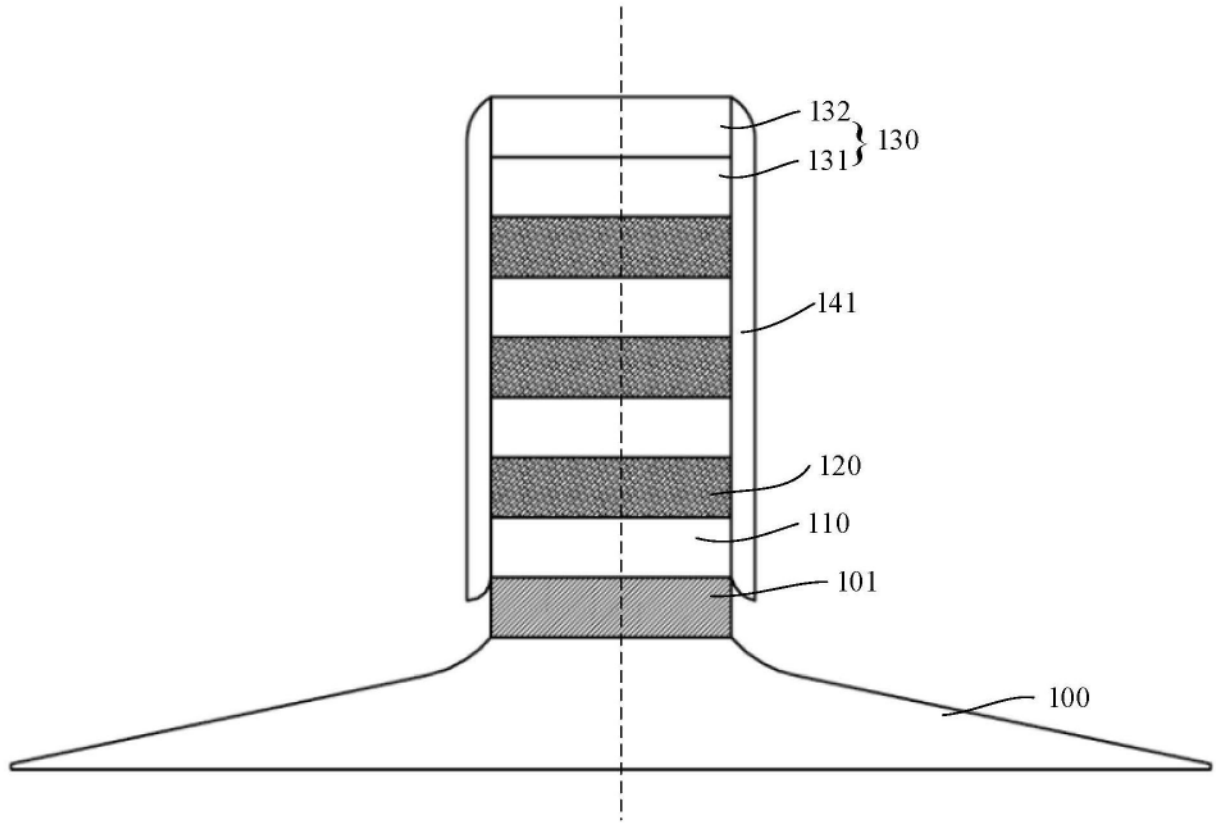


图7A

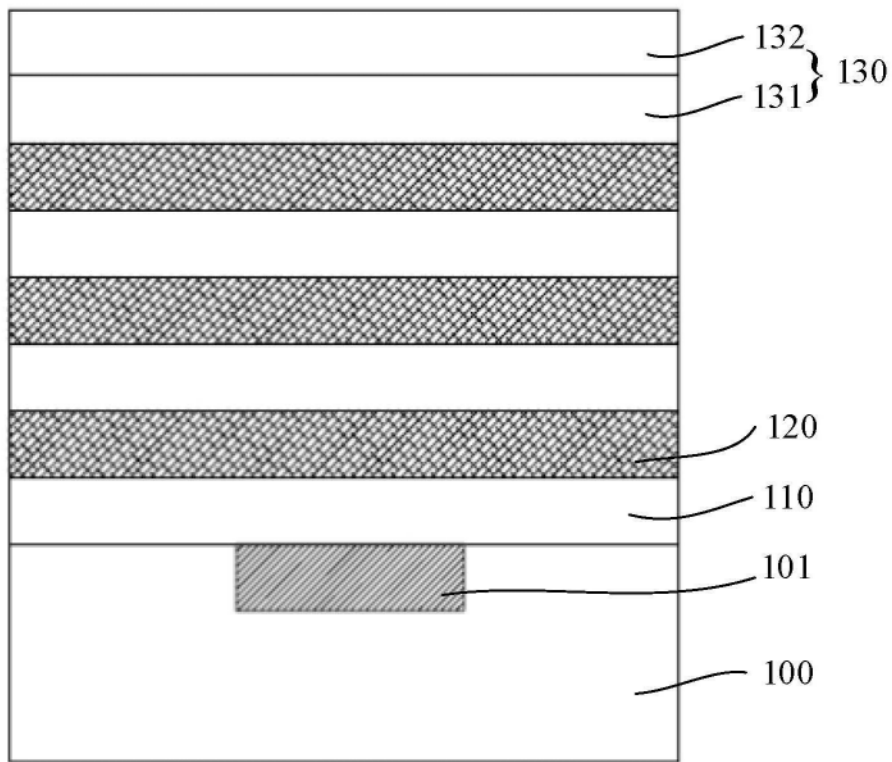


图7B

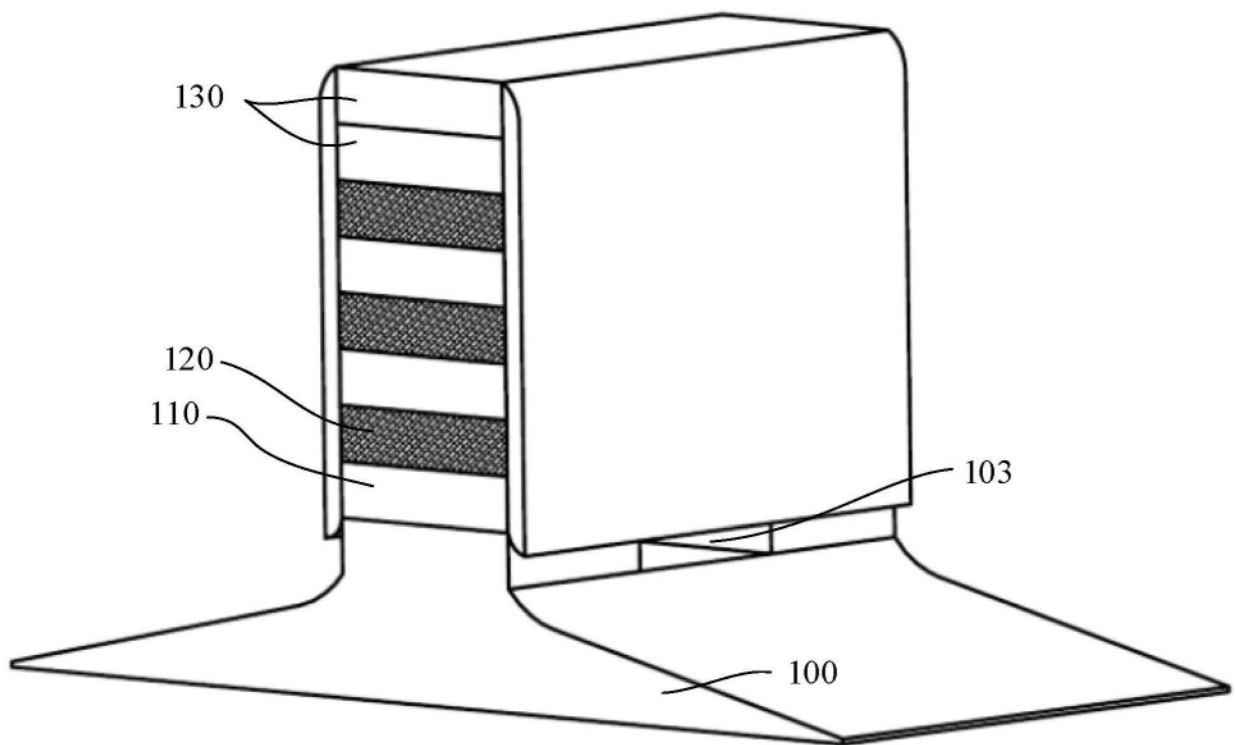


图8A

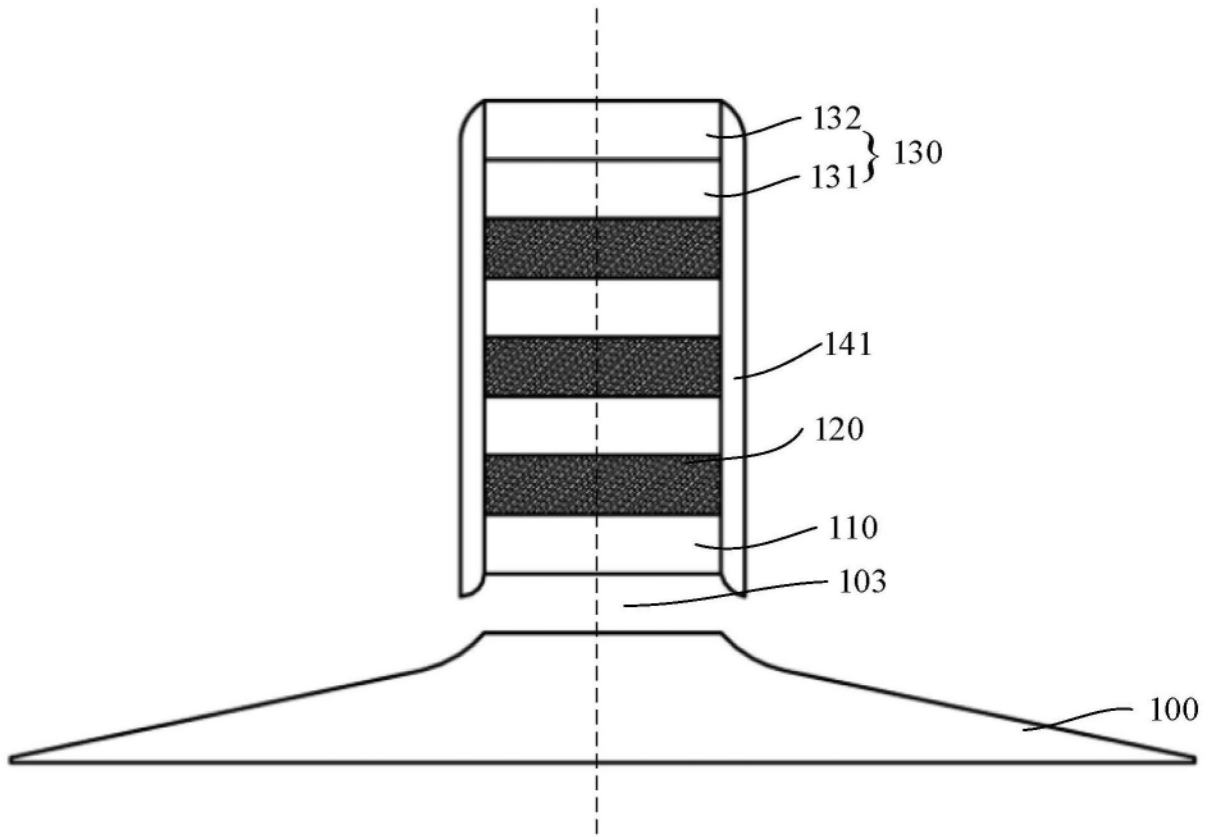


图8B

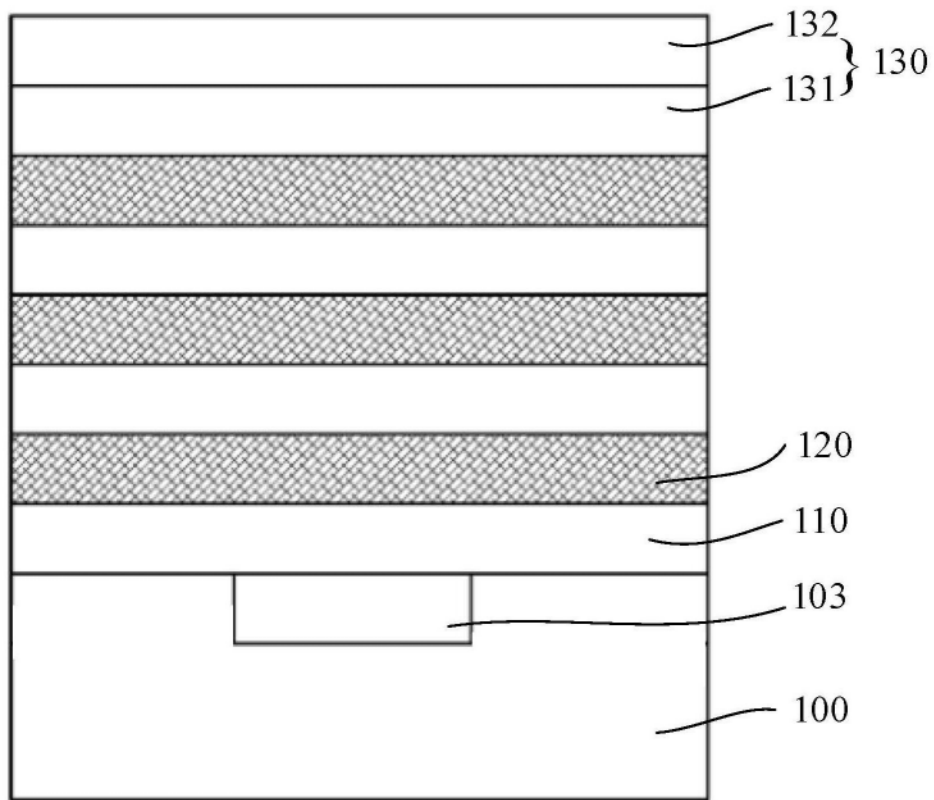


图8C

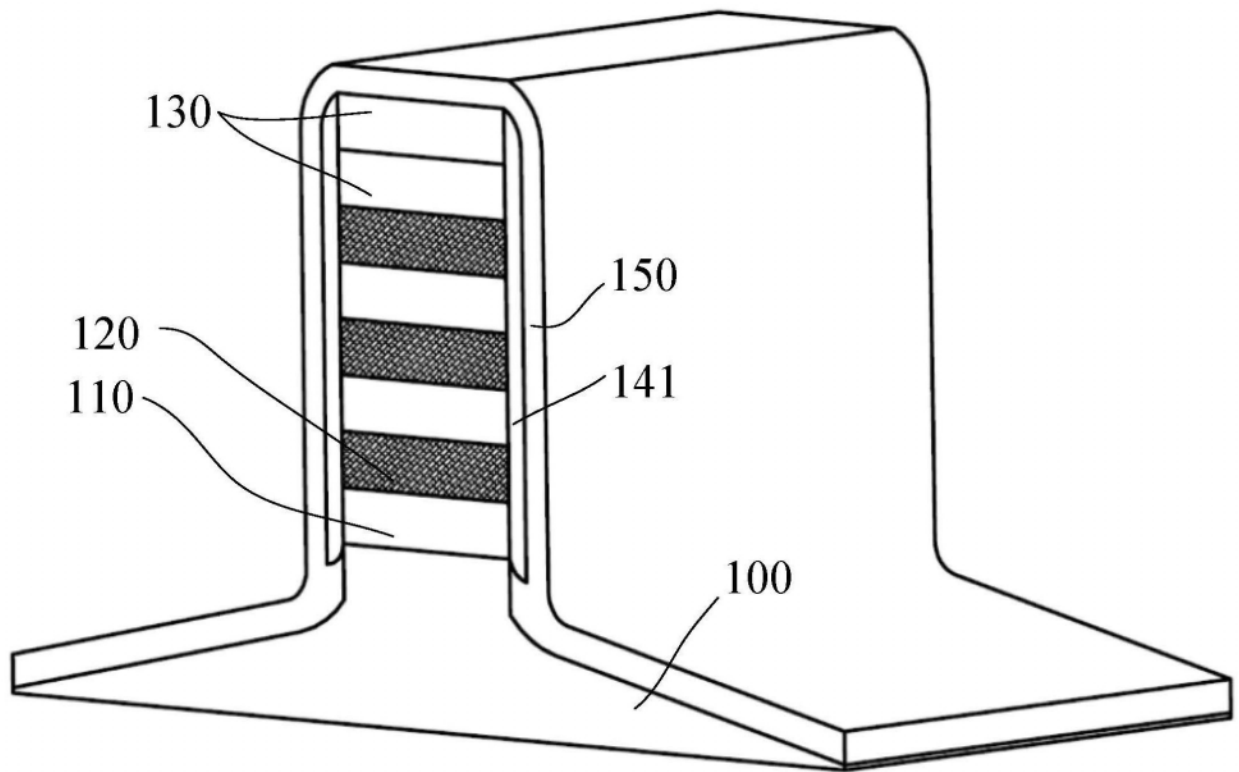


图9A

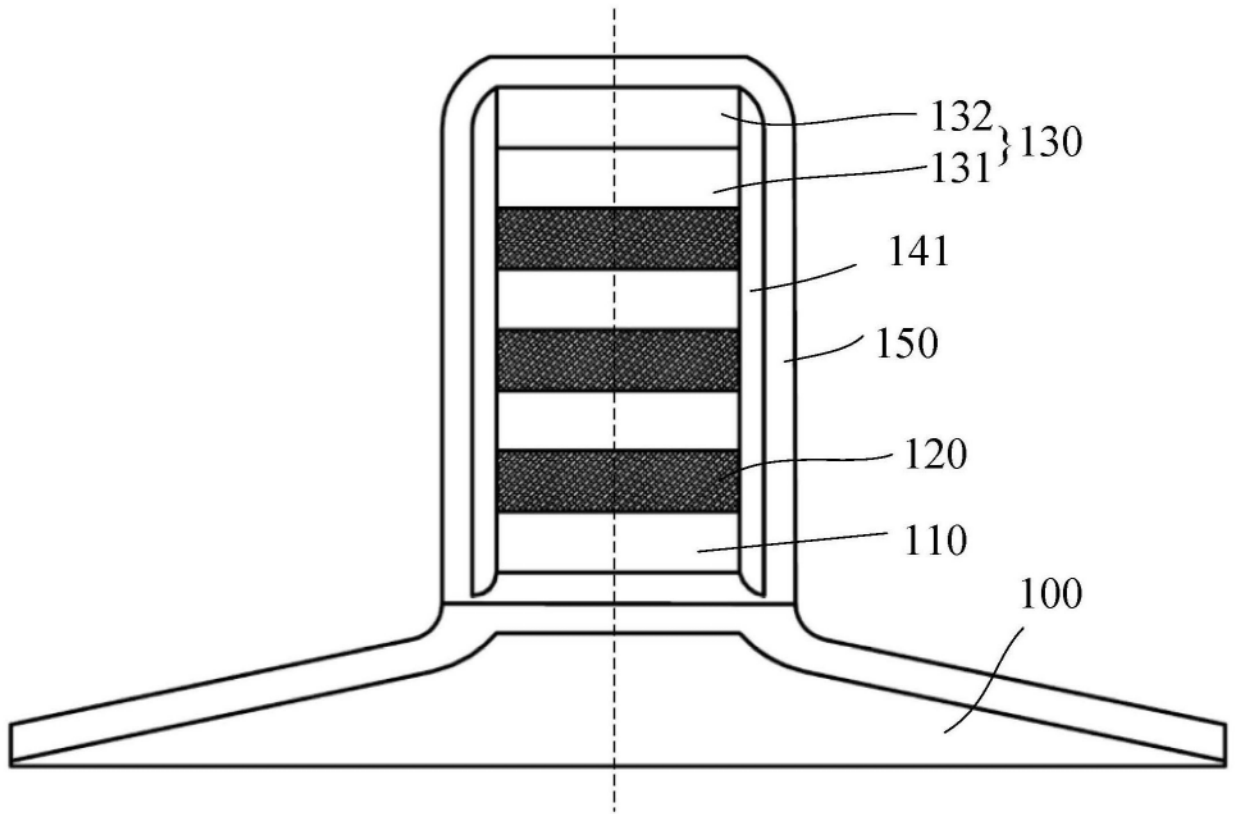


图9B

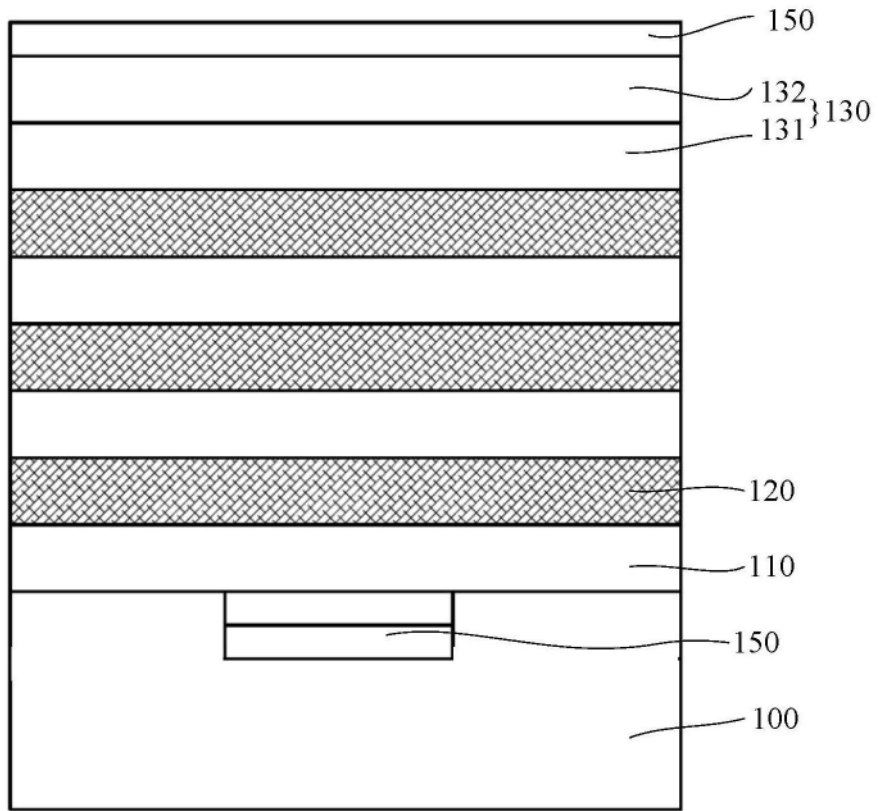


图9C

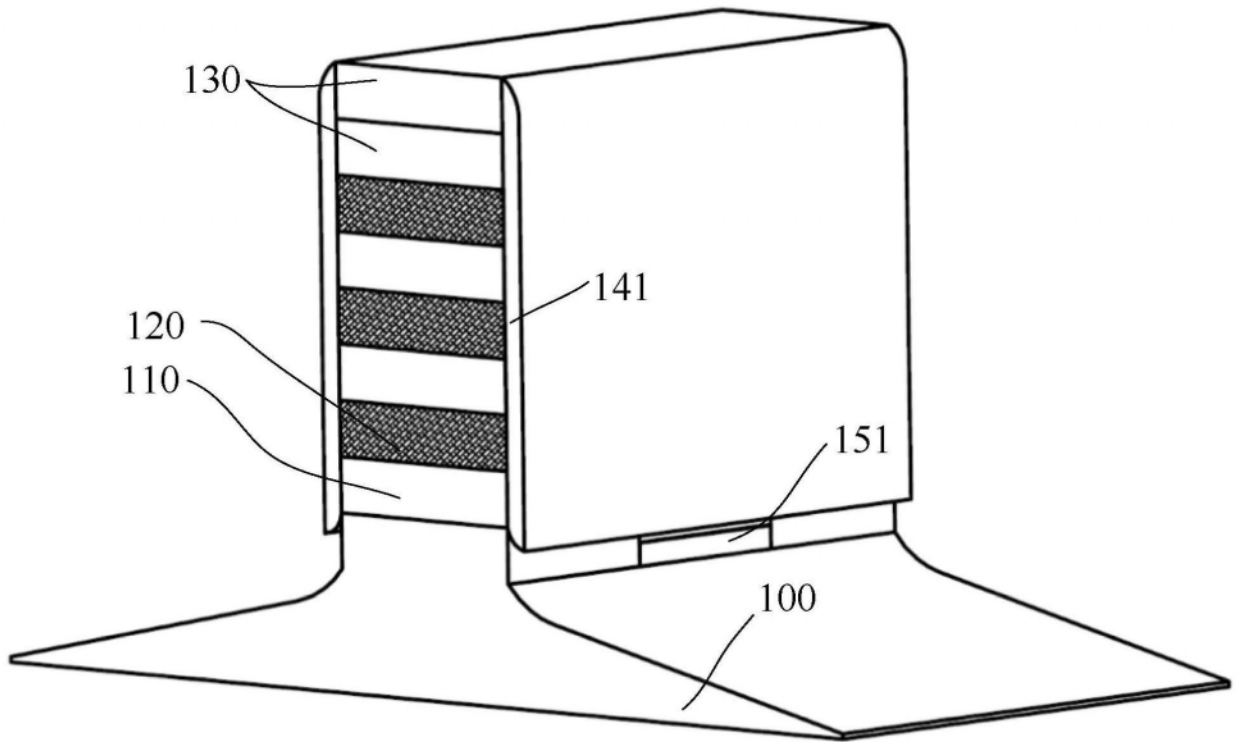


图10A

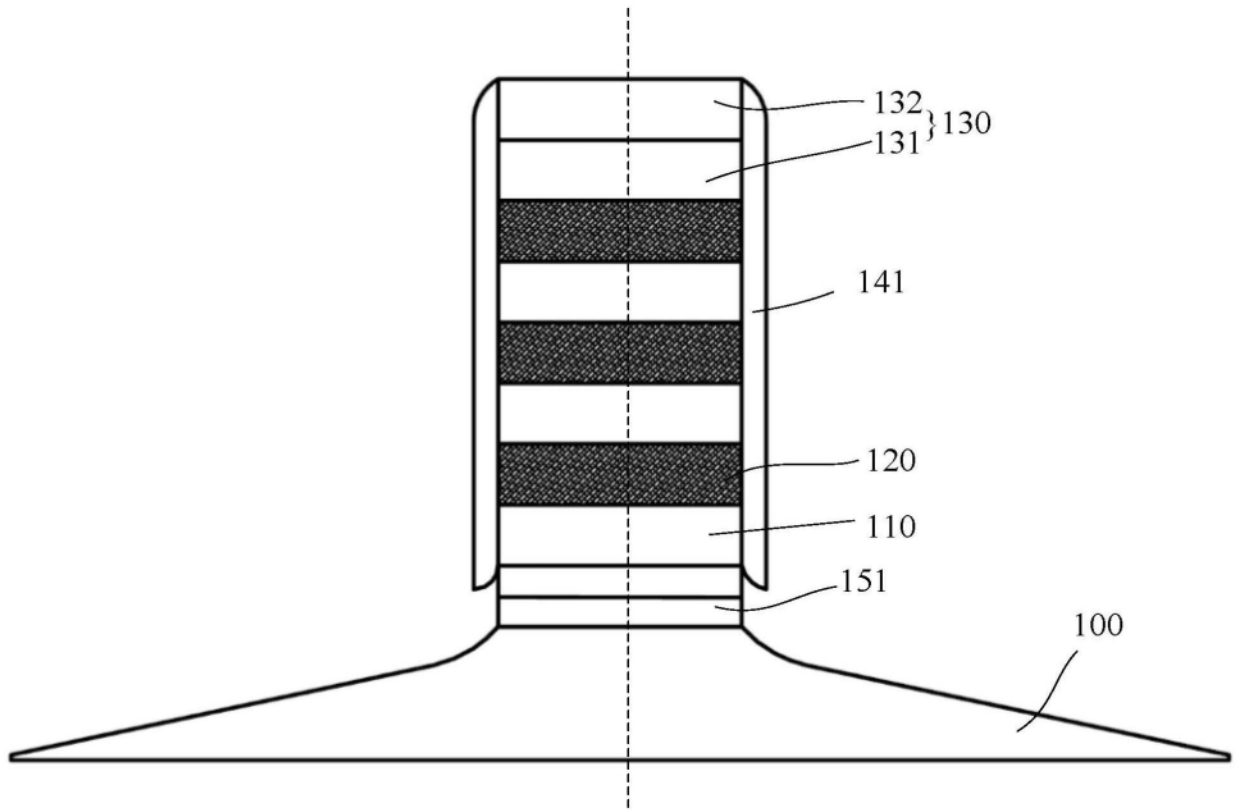


图10B

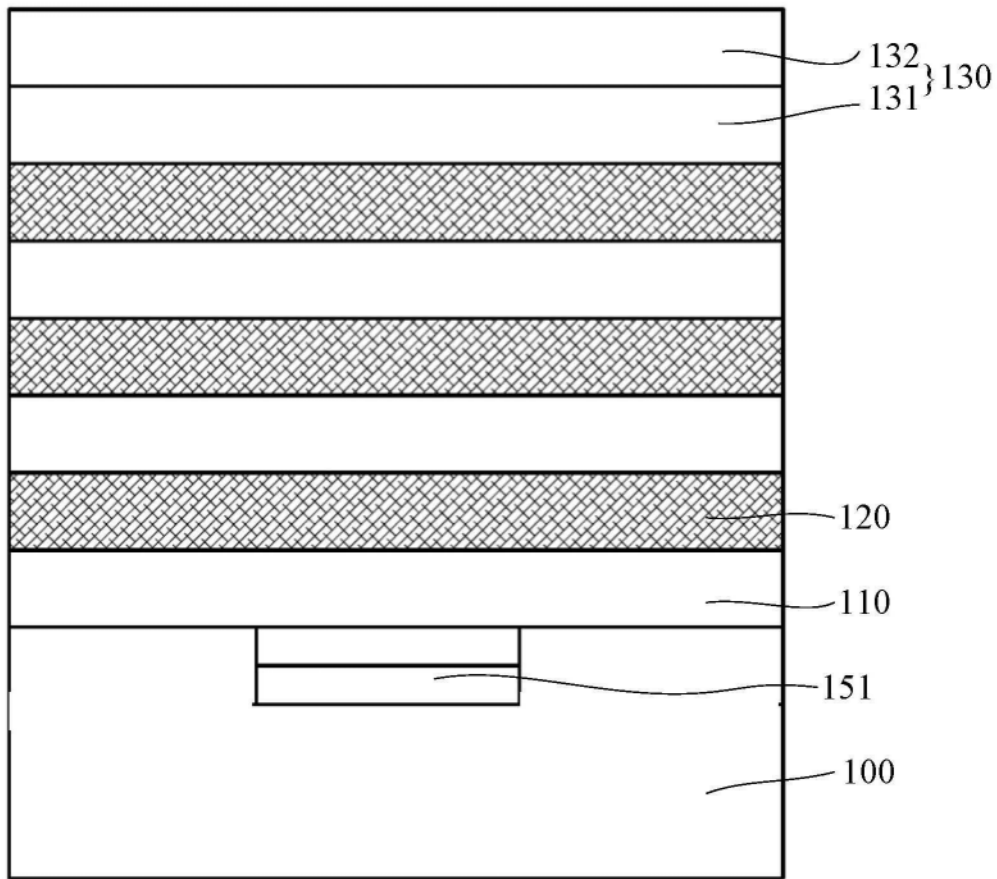


图10C

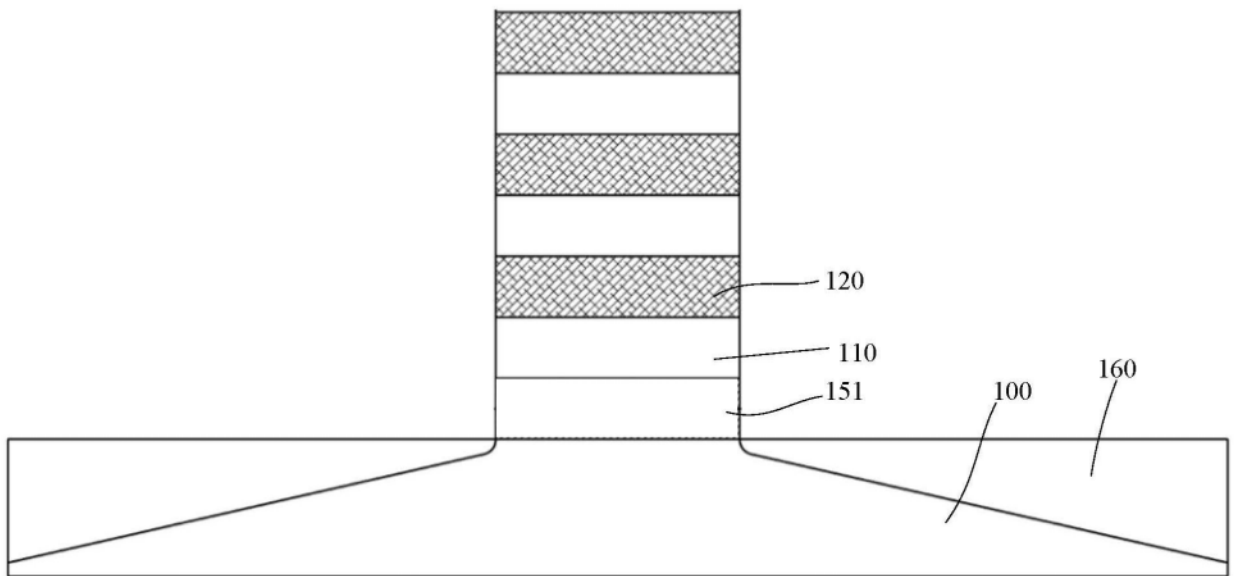


图11

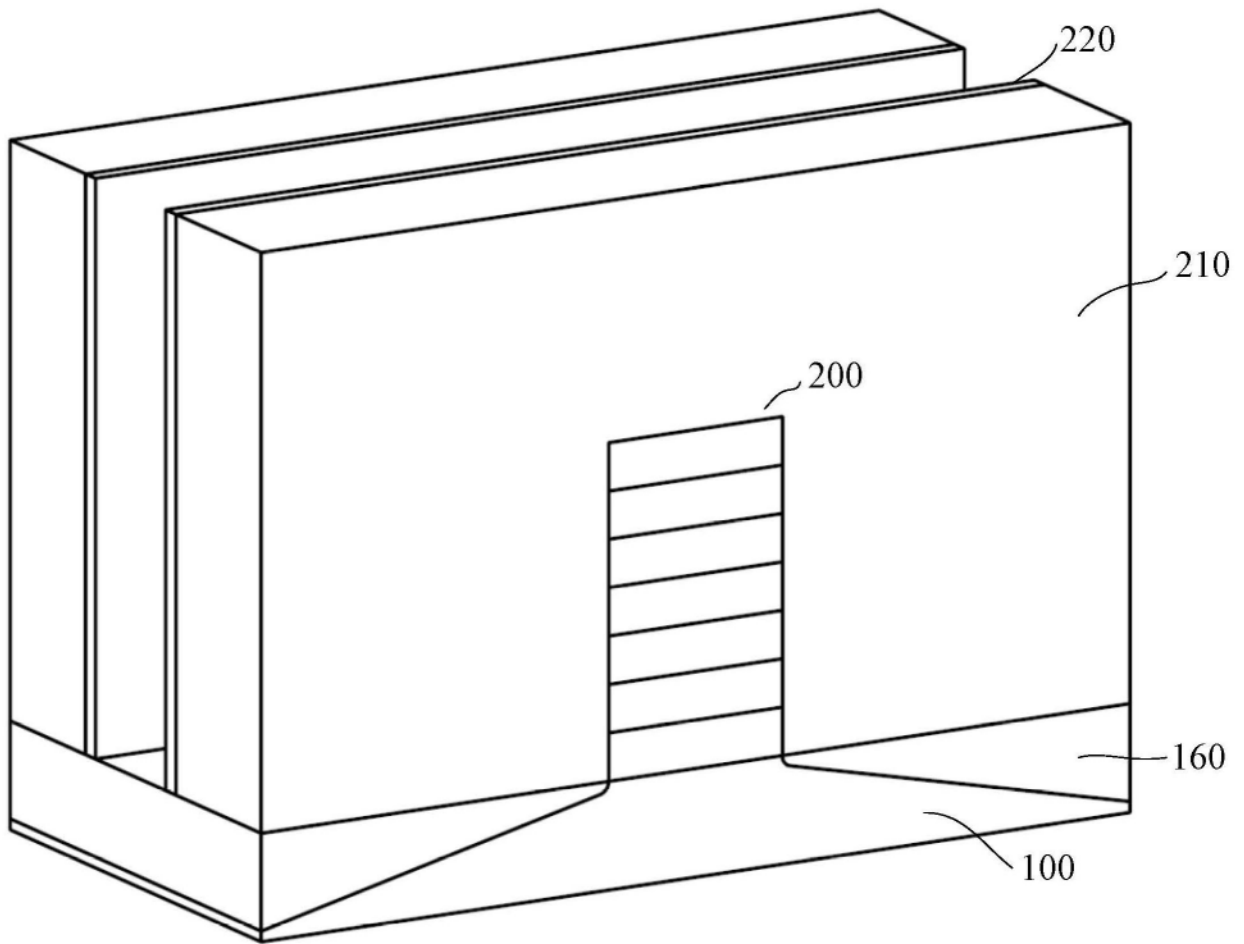


图12

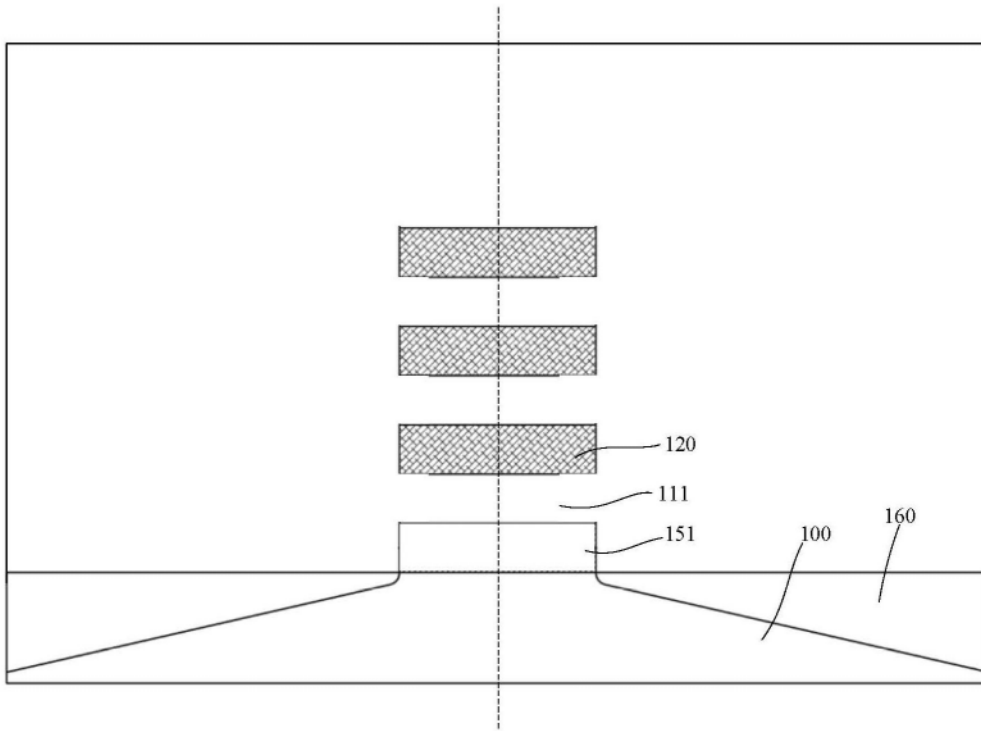


图13A

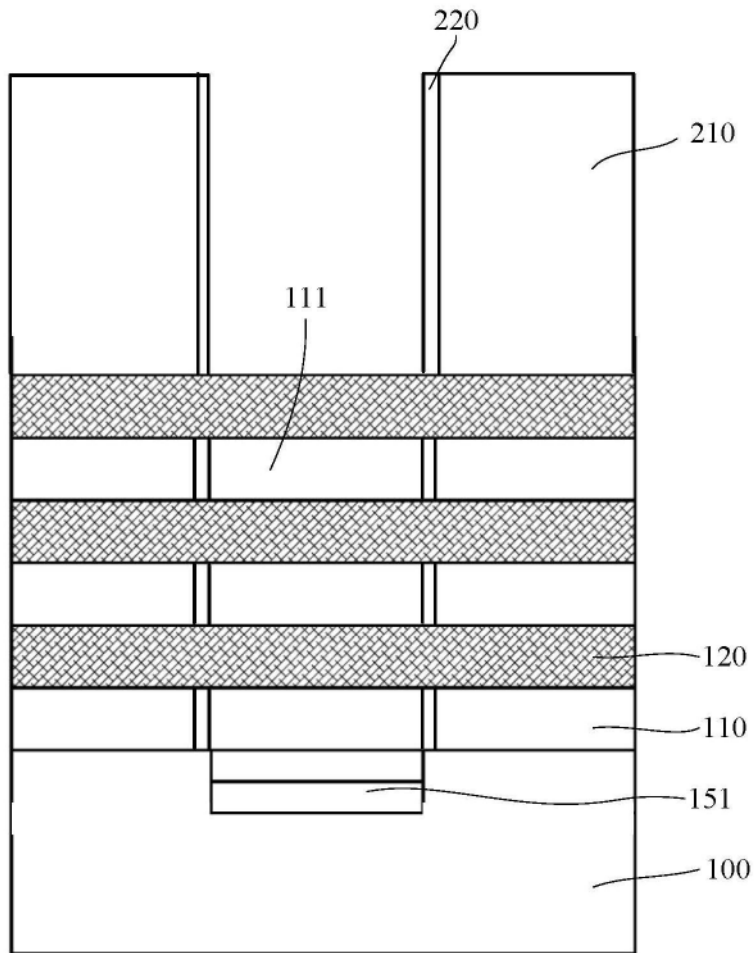


图13B

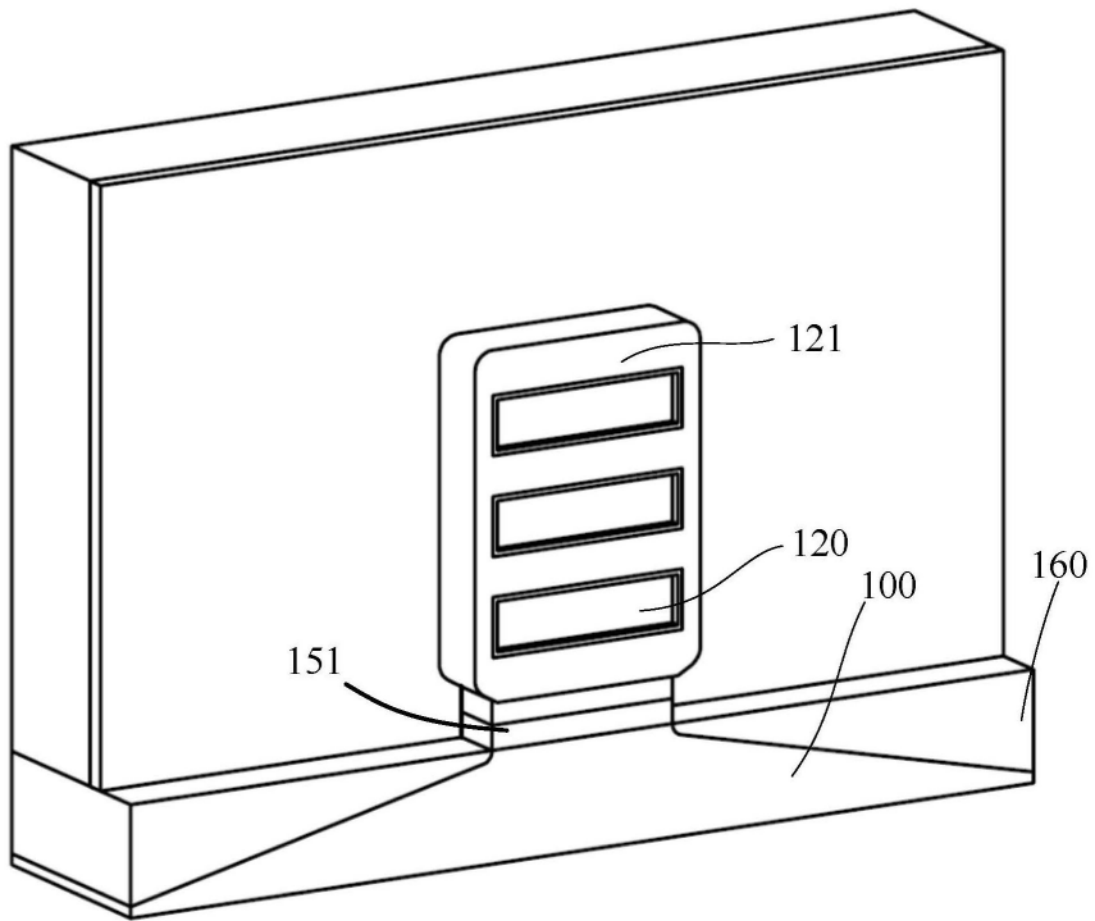


图14A

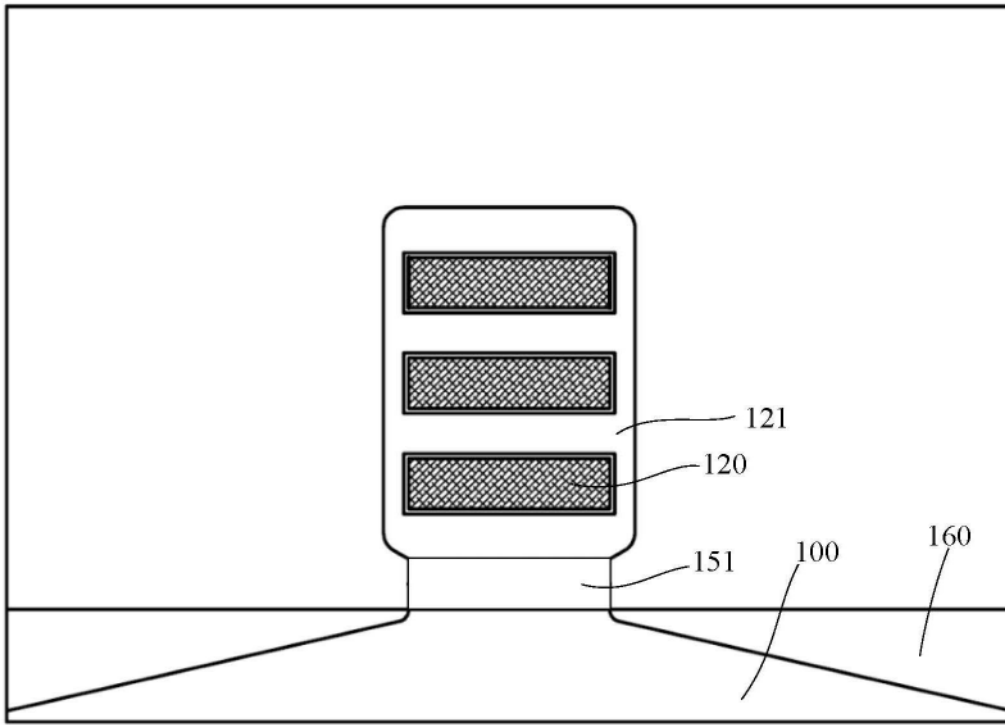


图14B