



(12)发明专利申请

(10)申请公布号 CN 105793996 A

(43)申请公布日 2016.07.20

(21)申请号 201480066603.X

(22)申请日 2014.11.05

(30)优先权数据

14/071,644 2013.11.05 US

(85)PCT国际申请进入国家阶段日

2016.06.06

(86)PCT国际申请的申请数据

PCT/US2014/064045 2014.11.05

(87)PCT国际申请的公布数据

W02015/069710 EN 2015.05.14

(71)申请人 希百特股份有限公司

地址 美国,加利福尼亚州

(72)发明人 谢泉隆 俞钢 法特·弗恩格

(74)专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 刘慧 杨青

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 27/32(2006.01)

H01L 21/027(2006.01)

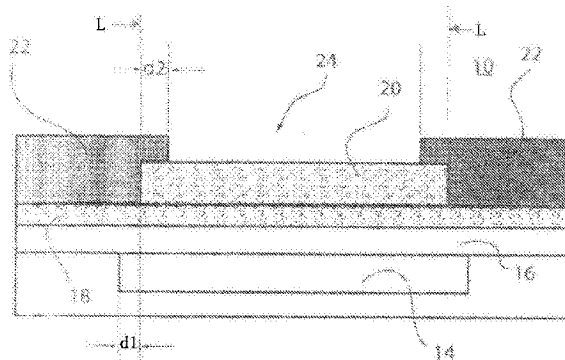
权利要求书5页 说明书9页 附图7页

(54)发明名称

自对准金属氧化物TFT

(57)摘要

本发明提供了制造MO TFT的方法,其包括在透明基板上布置不透明栅极金属以界定栅极区域。沉积栅极电介质材料覆在所述栅极金属和周围区域上面,并在其上沉积金属氧化物半导体材料。在所述半导体材料上沉积蚀刻终止材料。布置在所述半导体材料中界定隔离区域的光致抗蚀剂,所述蚀刻终止材料和所述光致抗蚀剂可被选择性除去。从所述基板的后表面曝光所述光致抗蚀剂并除去曝光的部分,留下的蚀刻终止材料除了覆在所述栅极金属上面并与所述栅极金属对准的一部分以外是未覆盖的。蚀刻所述半导体材料的未覆盖部分以隔离所述TFT。利用所述光致抗蚀剂,选择性蚀刻所述蚀刻终止层,留下的一部分覆在所述栅极金属上面并与所述栅极金属对准以及在所述半导体材料中界定通道区域。沉积和图案化导电材料以形成源极和漏极区域。



1. 在透明基板上制造具有金属氧化物TFT阵列的有源矩阵背板的方法,所述方法至少包括下列步骤:

提供具有前表面和后表面的透明基板;

在所述基板的前表面上沉积不透明栅极金属覆盖层并将所述金属层图案化以形成具有界定每个TFT的栅极区域的图案的栅极/选择线;

在所述基板的前表面上沉积覆在所述栅极金属和周围区域上面的透明栅极电介质材料层以及在所述透明栅极电介质层的表面上沉积透明金属氧化物半导体材料层;

将所述透明金属氧化物半导体层图案化为与整个TFT通道和至少部分源/漏极接触相对应的区域;

在所述图案化的金属氧化物半导体材料层上沉积蚀刻终止材料层;

在所述蚀刻终止材料层上涂布正性光致抗蚀剂材料层;

利用在所述基板的前表面上的所述不透明栅极金属作为内置掩模从所述基板的后表面曝光所述光致抗蚀剂材料,并除去所述光致抗蚀剂材料的曝光部分,使得留下的蚀刻终止材料层除了覆在所述栅极金属上面并对准所述栅极金属的部分之外是暴露的;

利用直接覆在所述栅极金属层上面并对准所述栅极金属层的该部分光致抗蚀剂材料,选择性蚀刻所述蚀刻终止层的暴露部分,留下覆在所述栅极金属上面并对准所述栅极金属的一部分所述蚀刻终止层,该部分蚀刻终止层在金属氧化物半导体材料层中界定通道区域,所述金属氧化物半导体材料层在源/漏极接触区域中具有通孔,

沉积导电层并将其图案化以形成跨所述栅极/选择线的TFT阵列的数据线以及在所述通道区域的相对两侧上和蚀刻终止层的通孔中形成所述源极和漏极接触电极;

沉积导电层并将所述导电层图案化以在所述有源矩阵背板的每个像素内形成像素电极。

2. 如权利要求1所述的方法,其中沉积透明栅极电介质材料层的步骤是通过真空沉积、热沉积、溅射、PECVD、MOCVD、ALD、或者通过从溶液涂层或印刷进行的。

3. 如权利要求1所述的方法,其中形成栅极电介质层的步骤包括自对准表面反应过程,形成在每个TFT的栅极区域的顶部和侧壁之上的所述栅极电介质层部分。

4. 如权利要求3所述的方法,其中所述自对准表面反应过程包括热氧化、等离子体氧化、阳极氧化中的一种或其组合。

5. 如权利要求1所述的方法,其中沉积可光致图案化蚀刻终止材料层的步骤包括沉积选定的能够通过不包括使用紫外线的标准湿法蚀刻过程蚀刻的材料。

6. 如权利要求1所述的方法,其中沉积和图案化用于数据线和源漏极电极的导电材料的步骤包括沉积上层和下层,所述上层包括提供良好导电性并且能超过所述下层被选择性蚀刻的金属,所述下层包括能在不蚀刻金属氧化物下伏层的条件下被图案化的金属。

7. 如权利要求1所述的方法,其中沉积所述透明金属氧化物半导体材料层的步骤包括以组成一致的单层沉积ZnO、InO、SnO、GaO、AlZnO、GaInO、GaZnO、ZnInO、InAlZnO、InGaSnO、InAlSnO、InGaZnO、ZnSnO、GaSnO、InGaCuO、InCuO、AlSnO和AlCuO中的一种,或以其掺合物形式或多叠层形式的组合沉积。

8. 如权利要求1所述的方法,其中沉积所述可光致图案化蚀刻终止材料层的步骤包括沉积介电常数比所述透明栅极电介质材料的介电常数低的材料。

9. 在透明基板上制造具有金属氧化物TFT/像素阵列的有源矩阵背板的方法,所述方法至少包括下列步骤:

提供具有前表面和后表面的透明基板;

在所述基板的前表面上沉积不透明栅极金属覆盖层并将所述栅极金属层图案化以形成具有界定所述TFT/像素阵列的每个TFT的栅极区域的图案的栅极/选择线;

在所述基板的前表面上沉积覆在所述栅极金属层和周围区域上面的透明栅极电介质材料层以及在所述透明栅极电介质材料层的表面上沉积透明金属氧化物半导体材料层;

将所述透明金属氧化物半导体材料层图案化成为与整个TFT通道和至少部分源/漏极接触区域相对应的区域;

在所述金属氧化物半导体材料层上沉积可光致图案化蚀刻终止材料层;

利用在所述基板的前表面上的所述不透明栅极金属作为内置掩模从所述基板的后表面曝光所述可光致图案化蚀刻终止材料层并除去曝光部分以将所述蚀刻终止层形成为覆在所述栅极金属图案上面并对准所述栅极金属图案的部分,所述蚀刻终止层的上覆和对准部分在所述金属氧化物半导体材料层中界定通道区域,所述金属氧化物半导体材料层在所述源/漏极接触区域中具有通孔;

沉积和图案化导电层以形成跨所述栅极/选择线的TFT阵列的数据线以及在所述通道区域的相对两侧上和蚀刻终止层的通孔中形成源极和漏极接触电极;和

沉积和图案化导电层以在所述有源矩阵背板的每个像素TFT/像素阵列内形成像素电极。

10. 如权利要求9所述的方法,其中沉积透明栅极电介质材料层的步骤是通过真空沉积、热沉积、溅射、PECVD、MOCVD、ALD、或者通过从溶液涂层或印刷进行的。

11. 如权利要求9所述的方法,其中形成栅极电介质层的步骤包括自对准表面反应过程,形成在所述图案化栅极金属层的顶部和侧壁之上的所述栅极电介质层部分。

12. 如权利要求11所述的方法,其中所述自对准表面反应过程包括热氧化、等离子体氧化、阳极氧化中的一种或其组合。

13. 如权利要求9所述的方法,其中所述沉积可光致图案化蚀刻终止材料层的步骤包括沉积选定的能够通过不包括使用紫外线的标准湿法蚀刻过程蚀刻的材料。

14. 如权利要求9所述的方法,其中沉积和图案化用于数据线和源漏极电极的导电材料的步骤包括沉积上层和下层,所述上层包括提供良好导电性并且能超过所述下层被选择性蚀刻的金属,所述下层包括能在不蚀刻金属氧化物下伏层的条件下被图案化的金属。

15. 如权利要求9所述的方法,其中沉积所述透明金属氧化物半导体材料层的步骤包括以组成一致的单层沉积ZnO、InO、SnO、GaO、AlZnO、GaInO、GaZnO、ZnInO、InAlZnO、InGaSnO、InAlSnO、InGaZnO、ZnSnO、GaSnO、InGaCuO、InCuO、AlSnO和AlCuO中的一种,或以其掺合物形式或多叠层形式的组合沉积。

16. 如权利要求9所述的方法,其中沉积所述可光致图案化蚀刻终止材料层的步骤包括以组成一致的单层沉积PMGI、聚苯乙烯(PS)、聚(甲基丙烯酸甲酯)(PMMA)、聚酰亚胺(PI)、聚乙烯(PE)、旋涂玻璃、聚丙烯酸类树脂、MgF₂、Ta₂O₅、TiO₂、ZrO₂、V₂O₅、W₂O₃、SiO₂、SiN、SiON、Al₂O₃、AlN中的一种,或以其掺合物形式或多叠层形式的组合沉积。

17. 如权利要求9所述的方法,其中沉积所述可光致图案化蚀刻终止材料层的步骤包括

沉积比所述透明栅极电介质材料层的厚度更厚的层。

18. 如权利要求17所述的方法,其中沉积比所述透明栅极电介质材料层的厚度更厚的所述可光致图案化蚀刻终止材料层的步骤包括沉积厚度大于所述栅极电介质材料的厚度的两倍的蚀刻终止材料层。

19. 如权利要求17所述的方法,其中所述沉积比所述透明栅极电介质材料层的厚度更厚的所述可光致图案化蚀刻终止材料层的步骤包括沉积厚度大于500nm的蚀刻终止材料层。

20. 如权利要求9所述的方法,其中沉积所述可光致图案化蚀刻终止材料层的步骤包括沉积介电常数比所述透明栅极电介质材料的介电常数低低的材料。

21. 如权利要求9所述的方法,其中将所述透明金属氧化物半导体材料层图案化为区域的步骤包括利用旋涂、狭缝涂布、浸涂、喷墨印刷、丝网印刷和凹版印刷中的一种来施加所述光致抗蚀剂材料。

22. 如权利要求9所述的方法,其中所述金属氧化物TFT/像素阵列中的每个像素包括像素电极并且所述像素电极是用通过不透明的数据和栅极/选择金属线形成的内置掩模自对准图案化的。

23. 如权利要求9所述的方法,其中制造具有金属氧化物TFT/像素阵列的有源矩阵背板的过程包括制造用于AMLCD的阵列,其中隔离锚结构在曝光所述可光致图案化蚀刻终止材料层的步骤或沉积透明栅极电介质材料层的步骤中用所述栅极金属层中的内置掩模图案自对准图案化。

24. 在透明基板上利用三个掩模制造金属氧化物TFT的方法,所述方法包括下列步骤:
提供具有前表面和后表面的透明基板;
在所述基板的前表面上用第一掩模图案化不透明栅极金属,界定TFT的栅极区域;
在所述基板的前表面上沉积覆在所述栅极区域和周围区域上面的透明栅极电介质材料层;

在所述透明栅极电介质层的表面上沉积透明金属氧化物半导体材料层;

在所述金属氧化物半导体材料层上沉积蚀刻终止材料层;

用第二个掩模图案化在所述蚀刻终止材料层上的正性光致抗蚀剂材料以在所述透明金属氧化物半导体材料层中界定隔离区域,所述蚀刻终止材料和所述光致抗蚀剂材料是可选择性除去的;

除去所述蚀刻终止材料层的未覆盖部分,所述蚀刻终止材料层的剩余部分形成金属氧化物半导体材料蚀刻掩模;

利用在所述基板的前表面上的所述不透明栅极金属作为掩模从所述基板的后表面曝光所述光致抗蚀剂材料,并除去所述光致抗蚀剂材料的曝光部分,使得留下的蚀刻终止材料层除了覆在所述栅极金属上面并对准所述栅极金属的部分之外未覆盖;

利用所述金属氧化物半导体材料蚀刻掩模蚀刻所述金属氧化物半导体材料的未覆盖部分,从而隔离所述TFT;

利用直接覆在所述栅极金属上面并对准所述栅极金属的该部分光致抗蚀剂材料,选择性蚀刻所述蚀刻终止层的未覆盖部分,留下覆在所述栅极金属上面并对准所述栅极金属的一部分所述蚀刻终止层,该部分蚀刻终止层在金属氧化物半导体材料层中界定通道区域;

和

用第三掩模在覆在所述栅极金属上面并对准所述栅极金属的所述蚀刻终止层部分上和和在所述金属氧化物半导体材料层上沉积和图案化导电材料,以在所述通道区域的相对两侧上形成源极和漏极区域。

25. 如权利要求24所述的方法,其中沉积透明栅极电介质材料层的步骤是通过真空沉积、热沉积、溅射、PECVD、MOCVD、ALD、或者通过从溶液涂层或印刷进行的。

26. 如权利要求24所述的方法,其中沉积所述透明栅极电介质材料层的步骤包括自对准表面反应过程,形成在所述栅极区域的顶部和侧壁之上的所述透明栅极电介质材料层。

27. 如权利要求26所述的方法,其中所述自对准表面反应过程包括热氧化、等离子体氧化、阳极氧化中的一种或其组合。

28. 如权利要求24所述的方法,其中沉积所述蚀刻终止材料层的步骤包括沉积比所述透明栅极电介质材料层的厚度更厚的层。

29. 如权利要求28所述的方法,其中沉积比所述透明栅极电介质材料层的厚度更厚的所述蚀刻终止材料层的步骤包括沉积厚度大于所述栅极电介质的厚度的两倍的蚀刻终止材料层。

30. 如权利要求28所述的方法,其中所述沉积比所述透明栅极电介质材料层的厚度更厚的所述蚀刻终止材料层的步骤包括沉积厚度大于500nm的蚀刻终止材料层。

31. 如权利要求24所述的方法,其中沉积所述蚀刻终止材料层的步骤包括沉积介电常数比所述透明栅极电介质的介电常数低材料。

32. 如权利要求24所述的方法,其中沉积和图案化导电材料的步骤包括沉积上层和下层,所述上层包括提供良好导电性并且能超过所述下层被选择性蚀刻的金属,并且所述下层包括能在不蚀刻金属氧化物下伏层的条件下被图案化的金属。

33. 如权利要求24所述的方法,其中用第二掩模来图案化正性光致抗蚀剂材料的步骤包括,形成正性光致抗蚀剂材料的覆盖层并利用所述第二掩模曝光和除去部分所述覆盖层以在所述透明金属氧化物半导体材料层中界定所述隔离区域。

34. 如权利要求24所述的方法,其中用第二掩模来图案化正性光致抗蚀剂材料的步骤包括利用旋涂、浸涂、喷墨印刷、丝网印刷和凹版印刷中的一种来施加所述光致抗蚀剂材料。

35. 有源矩阵背板,其包括电极间电容降低的金属氧化物TFT的阵列,所述TFT阵列的每个TFT包含:

具有前表面和后表面的透明基板;

不透明栅极金属,其布置在所述基板的前表面上并界定所述TFT的栅极区域和所述有源矩阵的栅极选择汇流线;

透明栅极电介质材料层,其布置在所述基板的前表面上覆在所述栅极金属和周围区域上面;

透明金属氧化物半导体材料层,其布置在所述透明栅极电介质层的表面上;

蚀刻终止材料层,其布置在金属氧化物半导体材料层上并覆在所述栅极金属上面和对准所述栅极金属,所述蚀刻终止材料层在所述金属氧化物半导体材料层中界定通道区域;

和

导电材料,其被图案化以形成跨所述栅极/选择线的所述有源矩阵数据线和在每个TFT的通道区域的相对两侧上的源/漏极电极,其中所述源/漏极接触在覆在所述栅极金属上面并对准所述栅极金属的所述蚀刻终止层部分上和在所述金属氧化物半导体材料层上对准。

36.如权利要求35中所述的有源矩阵背板,其还包括在所述TFT阵列的每个TFT中在由所述数据线和栅极/选择线界定的透明区内图案化的透明像素电极。

37.如权利要求35中所述的有源矩阵背板,其中所述透明基板是玻璃或塑料片,或其以叠层形式的组合。

38.如权利要求35中所述的有源矩阵背板,其中所述透明栅极电介质层包含以单层或多叠层形式的SiN、SiO₂、SiON、Al₂O₃、ZrO₂、Ta₂O₅、TiO₂。

39.如权利要求35中所述的有源矩阵背板,其中所述栅极电介质层是覆在所述栅极金属层的顶部和侧壁上面的自对准表面化学反应材料。

40.如权利要求35中所述的有源矩阵背板,其中所述栅极电介质层包括热氧化材料、等离子体氧化材料、阳极氧化材料和它们的组合。

41.如权利要求35中所述的有源矩阵背板,其中所述透明金属氧化物半导体材料层包括以组成一致的单层或以掺合物或多叠层形式的ZnO、InO、SnO、GaO、AlZnO、GaInO、GaZnO、ZnInO、InAlZnO、InGaSnO、InAlSnO、InGaZnO、ZnSnO、GaSnO、InGaCuO、InCuO、AlSnO和AlCuO。

42.如权利要求35中所述的有源矩阵背板,其中所述蚀刻终止材料层包含以多叠层或以掺合物形式的透明无机电介质层、或透明有机电介质层、或其组合。

43.如权利要求42中所述的有源矩阵背板,其中所述透明蚀刻终止材料层包含以单一或多叠层形式的PMGI、聚苯乙烯(PS)、聚(甲基丙烯酸甲酯)(PMMA)、聚酰亚胺(PI)、聚乙烯(PE)、旋涂玻璃、聚丙烯酸类树脂、MgF₂、Ta₂O₅、TiO₂、ZrO₂、V₂O₅、W₂O₃、SiO₂、SiN、SiON、Al₂O₃、AlN。

44.如权利要求35中所述的有源矩阵背板,其中所述蚀刻终止材料层包括厚度大于所述透明栅极电介质材料层的厚度的层。

45.如权利要求35中所述的有源矩阵背板,其中所述蚀刻终止材料层具有的厚度大于所述栅极电介质材料的厚度的两倍厚。

46.如权利要求35中所述的有源矩阵背板,其中所述蚀刻终止材料层具有至少500nm的厚度。

47.如权利要求35中所述的有源矩阵背板,其中所述蚀刻终止材料层包括介电常数比所述透明栅极电介质材料的介电常数低的材料。

48.如权利要求35中所述的有源矩阵背板,其纳入薄膜电子器件中。

49.如权利要求48中所述的有源矩阵背板,其中薄膜电子器件是有源矩阵显示器、有源矩阵图像阵列、化学传感器阵列或生物传感器阵列。

自对准金属氧化物TFT

技术领域

[0001] 本发明总体上涉及金属氧化物TFT的自对准制作以在制造期间除去关键对准工具和减少掩模。使由此产生的MOTFT阵列能够像素密度更高和耗电量降低。

背景技术

[0002] 金属氧化物薄膜晶体管(MOTFT)作为大面积应用例如有源矩阵有机发光二极管(AMOLED)的高性能TFT底板获得了关注。因为MOTFT在非晶态和/或纳米晶态中的高迁移率和低制造温度,它们已经获得了普及。所述高迁移率能够实现需要高性能的应用,例如驱动OLED显示器的集成驱动器。参见例如题为“有源矩阵发光显示器(Active Matrix Light Emitting Display)”的美国专利7,977,868,并在此引为参考。所述非晶和/或纳米晶性质赋予了困扰聚-Si TFT的短程均匀性。低制造温度使得MOTFT对于大面积平板显示器(FPD)有吸引力,因为它们可以在低成本基板上制作并且甚至实现了柔性FPD。

[0003] 一些剩余的挑战是要降低寄生栅源和栅漏电容。当一排中的像素数量连同信息内容一起增加时,这些电容随着显示帧率变得重要。在栅极区和源/漏极区之间的重叠引起所述寄生栅源和栅漏电容。所述重叠对确保由栅极完全控制所述通道来说是必需的。但过度重叠导致大的寄生电容。重叠程度由所述栅极层、通道层和源/漏极金属层的图案形成之间的对准能力决定。由于工具能力,将有一定程度的未对准,所述工具也可以被本方法淘汰。另一个主要的未对准,而且也是在此解决的,是由于基板变形(即基板在加工中例如玻璃基板由于高温处理或塑料基板由于湿气增加、化学和热处理而变形)。基本上,所述重叠被设计成使得在所述最差情况下所述栅极和源/漏极金属之间将有重叠。对于低成本FPD而言,基板面积大并且曝光区域的尺寸也大。在大的基板并因此是大的照射场上,所述未对准将是比较大的。需要用大重叠设计补偿所有的潜在未对准,因此导致寄生重叠电容大。

[0004] 通常,由于变形引起的未对准随着照射场的尺寸而增加。补偿所述变形的一种方式是通过在所述基板上进行多次曝光并然后将多个图案拼接在一起来减小曝光区域。然而,这种途径由于降低生产量和拼接的高成本,显著增加了制造成本。许多所述大面积应用使用玻璃或塑料基板。为了在大面积上低成本生产TFT,使用低成本的平板印刷工具例如接近式/投影式对准器/扫描仪而不是更昂贵的步进工具有利的。

[0005] 所述大寄生电容导致较慢的波形(和因此在给定的帧时下有限的像素数量)和更多的耗电量。因此重要的是降低所述寄生电容同时保持栅极和源/漏极之间的最小重叠以确保所述通道被栅极完全控制。还有,不管基板变形和工具对准能力如何,在大基板面积上必须满足这些条件。

[0006] 本文中要解决的另一个项目是制造TFT的成本。制造TFT的成本主要取决于在制造过程期间使用的掩模数量。平板印刷法是制造成本的大部分。因此,在仍然达到栅极和源/漏极之间、或栅极和蚀刻终止层之间、或S/D电极和像素电极垫之间自对准的同时,减少掩模数量(例如从四个掩模减到三个掩模),可以导致总成本的重大降低。

[0007] 具有没有关键对准步骤或所述步骤较少的自对准方法,将是高度有利的。

发明内容

[0008] 简单地说,为了实现本发明根据其优选实施方式的预定目标,提供了在透明基板上制造金属氧化物TFT的方法,所述方法包括以下步骤:提供具有前表面和后表面的透明基板,在所述基板的前表面上布置不透明的栅极金属界定TFT的栅极区域,在所述基板的前表面上沉积覆在所述栅极金属和周围区域上面的透明栅极电介质材料层以及在所述透明栅极电介质层的表面上沉积透明金属氧化物半导体材料层。

[0009] 所述方法还包括在所述金属氧化物半导体材料层上沉积蚀刻终止材料层和在所述蚀刻终止材料层上布置光致抗蚀剂材料。所述蚀刻终止材料和光致抗蚀剂材料是可选择性除去的,并且所述光致抗蚀剂材料是图案化和选择性除去的材料以在所述透明金属氧化物半导体材料层中界定隔离区域。

[0010] 所述方法然后包括除去所述蚀刻终止材料层的未覆盖部分,所述蚀刻终止材料层的保留部分形成金属氧化物半导体材料蚀刻掩模,和利用在所述基板的前表面上的所述不透明栅极金属作为掩模从所述基板的后表面曝光所述光致抗蚀剂材料和除去所述光致抗蚀剂材料的曝光部分的步骤,从而留下的所述蚀刻终止材料层除了覆在所述栅极金属上面并对准所述栅极金属的部分之外未覆盖。

[0011] 利用所述金属氧化物半导体材料蚀刻掩模,蚀刻所述金属氧化物半导体材料的未覆盖部分以便隔离所述TFT,并利用直接覆在所述栅极金属上面并对准所述栅极金属的所述光致抗蚀剂材料部分,选择性蚀刻所述蚀刻终止层的未覆盖部分,留下一部分所述蚀刻终止层覆在所述栅极金属上面并对准所述栅极金属。蚀刻终止层的所述部分在所述金属氧化物半导体材料层中界定了通道区域并充当所述金属氧化物的钝化层。所述方法的最终步骤是在覆在所述栅极金属上面并对准所述栅极金属的所述蚀刻终止层部分上和在所述金属氧化物半导体材料层上沉积和图案化导电材料,以在所述通道区域的相对两侧形成源极和漏极区域。

[0012] 所述金属氧化物TFT具有降低的电极间电容,通常是因为所述蚀刻终止层与所述栅极金属对准,基本上与基板的变形无关。另外,所述金属氧化物TFT具有降低的电极间电容,通常是因为所述蚀刻终止层明显比所述栅极电介质层厚并且介电常数显著降低。

[0013] 本发明的预定目标进一步根据其优选实施方式实现,所述优选实施方式提供了电极间电容降低的金属氧化物TFT。所述TFT包括具有前表面和后表面的透明基板、布置在所述基板的前表面上并界定TFT的栅极区域的不透明栅极金属、布置在所述基板的前表面上并覆在所述栅极金属和周围区域上面的透明栅极电介质材料层、和布置在所述透明栅极电介质层的表面上的透明金属氧化物半导体材料层。蚀刻终止材料层布置在金属氧化物半导体材料层上并覆在所述栅极金属上面和对准所述栅极金属。所述蚀刻终止材料层在所述金属氧化物半导体材料层中界定通道区域。在覆在所述栅极金属上面并对准所述栅极金属的所述蚀刻终止层部分上和在所述金属氧化物半导体材料层上,导电材料被图案化,以在所述通道区域的相对两侧上形成源极和漏极区域。

[0014] 在优选实施方式中,所述蚀刻终止材料层具有大于透明栅极电介质材料层的厚度和比所述透明栅极电介质材料低的介电常数以显著降低电极间电容。

附图说明

[0015] 根据下面结合附图理解的本发明优选实施方式的详细说明,本发明的前述和其他和更具体的目标和优点对本领域技术人员将变得显而易见,在所述附图中:

[0016] 图1示出了在根据本发明制造TFT中的第一阶段或期;和

[0017] 图2示出了在根据本发明制造TFT中放大的最终阶段或期;

[0018] 图3至9示出了在根据本发明的TFT的另一种制造过程中的几个阶段或期;和

[0019] 图10至12各自示出了根据本发明,在分别命名为(a)至(e)和(a)至(g)的顺序步骤中具有自对准MOTFT的不同像素层的产生。

具体实施方式

[0020] 现在转到附图,为了简要说明现有技术的问题,首先关注图2。图2中示出的器件是底部栅极和顶部源/漏极金属氧化物TFT,命名为10。TFT 10包括基板12以及在其上图案化的栅极金属14。栅极电介质层16沉积在栅极金属14上方和半导体有源层18沉积在电介质层16上方以便有源层18与栅极金属14绝缘。蚀刻终止/钝化区域20在有源层18上图案化并且源/漏极区域22在有源层18的上表面上蚀刻终止/钝化区域20的相对两侧上形成。所述源极和漏极之间的空间,即蚀刻终止/钝化区域20,界定了TFT 10的传导通道,命名为24。技术人员要理解,术语“蚀刻终止”和“钝化”在本公开自始至终用于描述特定层的主要目的,但它们通常是可互换的并且提供所述名称没有打算限制所述层的目的或用途。例如,区域20具有蚀刻终止层和钝化层的双重功能。

[0021] 在制造TFT 10的现有技术方法中,两个关键对准步骤是普遍的。第一关键对准步骤在钝化区域20(通道保护层)和栅极金属14之间。栅极金属14应该稍大于钝化区域20,指示为重叠区域 d_1 ,其中 $d_1 > 0$ 。第二关键对准在源/漏极22和钝化区域20的图案之间。在源/漏极区域22和钝化区域20之间应该有轻度重叠,指示为重叠区域 d_2 ,其中 $d_2 > 0$,使得在源/漏极区域22的形成中蚀刻所述源/漏极导体(即源/漏极22之间的通道空间)不会影响有源层18。重叠 d_2 防止了蚀刻剂可绕过钝化区域20的边缘和到达有源层18的可能性。应理解,任何对准图案化包括一定容差并且制造过程包括一定变形容差。

[0022] 因此,为了制作通道长度 L (通常是钝化区域20的横向宽度),所述源极和漏极之间的距离应该小于 $(L - 2 \times d_2)$ 。在 L 的这种关系或描述中, d_2 包括任何对准和变形容差。另外,栅极金属14的横向宽度应该大于 $(L + 2 \times d_1)$ 。在 L 的这种关系或描述中, d_1 包括任何对准和变形容差。因此,重叠 d_1 和 d_2 的值取决于对准工具(即对准容差)和在制造过程期间基板变形的量。对于低成本工具,重叠 d_1 和 d_2 比较大,在没有来自基板变形的附加贡献下为大约5微米。对于10ppm基板变形,50cm的场尺寸可给所述容差贡献另外的5微米。目前期望制造具有小至、或小于10微米的通道长度的TFT。然而,使用如上所述的现有技术制造方法以及低成本工具和大的场尺寸,是不可能形成10微米的通道长度的,或者因为重叠 d_1 和 d_2 中包括的对准/变形耐受度,10微米的源/漏极间距将导致 L 等于30微米。

[0023] 为了了解本发明的自对准程序,图1和2示出了根据本发明制造的实施方式中的顺序步骤。具体查阅图1,示出了透明基板12,其可以是对于自对准程序所使用的幅射(即自对准曝光)波长透明的任何适宜的材料,例如玻璃、塑料等。本公开自始至终,术语“透明的”和

“不透明的”是指所讨论或描述的材料对于所述自对准程序所使用的辐射(即曝光)波长是透明或不透明的。栅极金属层14通过任何适宜的手段在基板12的上表面上图案化。因为栅极金属层14的位置实际上不关键,所以可以使用任何非关键图案化技术。

[0024] 本领域技术人员应理解,附加于或代替用接近式或投影式照相平板印刷工具形成栅极金属层14,所述栅极层可以用本领域专家所知的各种印刷方法包括喷墨、压印或胶版印刷方法的任一种形成,层14也可以用激光直写平板印刷法图案化。还有,栅极金属14是不会透射在所述自对准程序中所使用的辐射波长的不透明导电金属。虽然为了方便理解起见示出了单个栅极金属14,但应理解这可以表示一个或多个(甚至所有)用于底板或其他大面积应用中的TFT。

[0025] 在栅极金属14和周围区域上方形成栅极电介质材料的薄层16。就本公开而言,术语“周围区域”是指所述栅极电介质完全覆盖所述图案化栅极金属使得在TFT通道区域中不发生泄漏。再一次,层16可以是覆盖整个大面积应用的覆盖层并且不需要对准。所述栅极电介质材料可以是为TFT运行提供期望的介电常数并且对所述自对准程序所使用的辐射波长透明的任何适宜的材料。实例包括以单层或多叠层形式的SiN、SiO₂、SiON、Al₂O₃、ZrO₂、Ta₂O₅、TiO₂。

[0026] 本发明中公开的所述自对准TFT和底板方法使得能够制造具有低电极间电容的TFT,甚至对于具有高介电常数的栅极电介质也是如此。还应该特别指出,除了在a-Si TFT工业中已知的方法(例如PECVD、溅射、原子层沉积、ALD)以外,上面列出的金属氧化物型栅极电介质也可以在配合金属的顶部上用包括高温下氧化、等离子体氧化、阳极氧化及其组合的表面化学反应方法制作。还应该特别理解,用这样的表面反应方法,在给定的加工温度下,可以获得比通过PECVD获得的SiO₂、SiON和SiN更高的栅极介电常数和更低的漏电流。例如,在5-20℃环境温度下通过80V阳极氧化加工的100nm薄非晶Al₂O₃膜,已经获得了介电常数超过8(面电容(areal capacitance)>70nF/cm²)和在1MV/cm电场偏压下漏电流低于1nA/cm²的Al₂O₃膜。RC常数因此超过700Sec。这样的高K电介质膜对于高迁移率MOTFT是理想的,如共同未决的美国专利申请13/902,514中所论述,可以获得迁移率超过50cm²/Vsec的MOTFT。本发明中公开的MOTFT和背板设计使这种高迁移率MOTFT能够用于高速、大像素含量的显示器,例如具有480Hz帧率的8000x4000显示器。所述阳极氧化中的低加工温度避免了基板修补(vamping)、和尺寸变化,并且改善了所述栅极金属层和后栅极绝缘体层之间的对准精度。与此相反,为了所需要的膜质量,SiO₂、SiON和SiN栅极绝缘体层必须在超过300℃的温度下加工。

[0027] 半导体金属氧化物层18沉积在层16的上表面上方。金属氧化物层18对于自对准程序中所使用的辐射波长是透明的。透明金属氧化物半导体材料的一些典型实例包括ZnO、InO、SnO、GaO、AlZnO、GaInO、GaZnO、ZnInO、InAlZnO、InGaSnO、InAlSnO、InGaZnO、ZnSnO、GaSnO、InGaCuO、InCuO、AlSnO、AlCuO等。如在上述共同未决专利申请(现在,已作为美国专利7,977,868发布)中所说明的,所述金属氧化物半导体可以是非晶或多晶的,然而,优选非晶和/或纳米晶。主要取决于最终产物,层18可以是覆盖层或者它可以任选被图案化。

[0028] 然后在层18的上方沉积对于所述自对准程序所使用的辐射波长透明的钝化层。优选地,对所述钝化层的约束是所述钝化层应该与半导体金属氧化物下伏层18的化学相互作用甚少。这种特征的举例和说明参见题为“载流子迁移率改善的金属氧化物TFT(Metal

Oxide TFT with Improved Carrier Mobility)”的美国专利7,812,346,所述美国专利通过参考并入本文中。可以通过涂层方法(例如旋涂、狭缝涂布、喷涂等)加工的钝化材料的实例包括聚合物PMGI、聚苯乙烯(PS)、聚(甲基丙烯酸甲酯)(PMMA)、聚酰亚胺(PI)、聚乙烯(PE)、聚丙烯酸类树脂和旋涂玻璃。可以通过真空沉积(例如热蒸发、溅射、PECVD、MOCVD或ALD)加工的钝化材料的实例包括MgF₂、Ta₂O₅、TiO₂、ZrO₂、V₂O₅、W₂O₃、SiO₂、SiN、SiON、Al₂O₃、AlN等。

[0029] 一旦所述钝化层被沉积,就通过例如旋涂、狭缝涂布、喷涂等在其上布置正性作用光致抗蚀剂层30。光致抗蚀剂层30然后从背面曝光(后表面,图1中在基板12下面,由箭头32表示)。因为除了所述栅极金属之外的所有材料对所述曝光的光是透明的,所以栅极金属14将充当用于对准所述钝化区域20的掩模。因此,光致抗蚀剂层30被曝光和显影以形成掩模,用于将所述钝化层蚀刻成覆在栅极金属14上面的钝化区域20。如图1所示,因为所述正性光致抗蚀剂的曝光部分分解或解离(相对于未曝光部分改变)以允许所述曝光区域在显影阶段比较容易除去,所以光致抗蚀剂层30的所有曝光部分被除去。所述曝光区域上方的钝化材料可以使用所述第一光致抗蚀剂作为掩模,通常与光蚀刻剂或其他溶解性材料一起被蚀刻掉,对下表面没有影响。

[0030] 不管使用哪种方法或过程来图案化钝化区域20,所述方法都不应该破坏或不利地影响半导体有源层18。可能需要或使用一些额外的掩模图案以图案化所述产物在TFT 10和所述关键栅极区域外面的其他部分。所述产物在TFT 10外面的这种部分的描述在题为“在柔性基板上自对准的透明金属氧化物TFT(Self-Aligned Transparent Metal Oxide TFT on Flexible Substrate)”的美国专利7,605,029中提供,所述美国专利通过参考并入本文中。在这种非关键区域中的图案也可以通过印刷领域技术人员所知的若干印刷方法(例如压印、喷墨印刷、溶液分配、激光印刷等)之一形成。

[0031] 一些可光致图案化(Photo-patternable)的聚合物可以直接用作所述钝化/蚀刻终止层。在这种情况下,图1中的层20和30被简化成单层。这种材料的实例包括光敏聚酰亚胺,出自Toray Industries, Inc.(DL-1000系列和SL-4100系列)、DuPont(PI2555)和HD Microsystem(HD8820)。可光致图案化的丙烯酸类树脂例如出自Microchem的PMGI也可以使用。

[0032] 应理解,在掩蔽和蚀刻阶段期间,不需要附加的步骤或材料就基本上完全控制重叠d1的尺寸是可能的。例如,参考图1中示出的第一掩蔽步骤,通过改变曝光时间或强度(例如增加或降低任何一种),可以降低或增加保留光致抗蚀剂的量,从而改变重叠d1的宽度。还有,也可以增加与图1和3的任一种图案相结合使用的蚀刻剂以增加重叠d1。这些特征以及如何调节它们是自对准领域公知的,并且当用于描述所述过程时包括在术语“自对准”中。

[0033] 能够看出,没有进行需要昂贵工具的关键掩蔽步骤。还有,因为所述重叠或关键区域的基本上完全控制,可以在不必要牺牲小通道长度下提供从基本为零到任何期望的量的任何重叠。另外,不需要昂贵的掩模或工具并且在所述过程期间可以曝光更大的区域,以致不需要昂贵的步进和拼接等。

[0034] 图3至9中根据本发明示出了TFT的另一种制造过程的几个阶段或期。具体查阅图3,示出了透明基板52,其可以是对于所述自对准程序中所使用的幅射(即自对准曝光)波长

透明的任何适宜材料,例如玻璃、塑料等。栅极金属层54通过任何适宜的手段在基板52的上表面上/中图案化。因为栅极金属层54的位置实际上不关键,所以可以使用任何非关键图案化技术。本领域技术人员应理解,附加于或代替用接近式或投影式工具形成栅极金属层54,所述栅极层可以用上文提到的各种印刷方法包括压印或胶版印刷方法的任一种形成。还有,栅极金属54是不会透射在所述自对准程序中所使用的幅射波长的不透明导电金属。虽然为了方便理解起见示出了单个栅极金属54,但应理解这可以表示一个或多个(甚至所有)用于底板或其他大面积应用中的TFT。栅极金属54的图案化在本程序中被认为是三个掩蔽或对准步骤中的第一个。

[0035] 在栅极金属54和周围区域上方形成栅极电介质材料的薄层56。再一次,层56可以是覆盖整个TFT阵列的覆盖层,或通过表面反应方法或过程与所述栅极金属层自对准并完全覆盖所述栅极金属,不需要对准。所述栅极电介质材料可以是为TFT运行提供期望的介电常数并且对自对准程序所使用的幅射波长透明的任何适宜的材料。半导体非晶/纳米晶金属氧化物层58沉积在层56的上表面上方。金属氧化物层58对于自对准程序中所使用的幅射波长是透明的。透明金属氧化物的一些典型实例包括ZnO、InO、SnO、GaO、AlZnO、GaInO、GaZnO、ZnInO、InAlZnO、InGaZnO、ZnSnO、GaSnO、InGaCuO、InCuO、AlCuO等。如在上述共同未决专利申请中所说明的,所述金属氧化物半导体可以是非晶或多晶的,然而,优选非晶和/或纳米晶。主要取决于最终产物,层58可以是覆盖层或者它可以任选被图案化。然而,因为所述图案在大多数情况下将很大,并且因为它是任选的,所以这不被认为是本过程的掩蔽步骤。

[0036] 蚀刻终止材料层60在金属氧化物半导体层58上方沉积成覆盖层。根据下面的描述应理解,层60,虽然称为“蚀刻终止材料”,但实际具有在S/D期间和之后过程的蚀刻终止材料以及在最终器件运行期间的钝化材料的双重功能,该名称不打算以任何方式限制本发明的范围。通常,选择的蚀刻终止层60是可通过不使用或产生紫外光的过程例如标准湿法蚀刻过程蚀刻的。还有,蚀刻终止层60可以比栅极电介质层56薄或厚并且介电常数比所述栅极电介质的介电常数低得多。例如,蚀刻终止层60通常厚度高于栅极电介质层56的两倍或至少500nm厚,而电介质层56通常在厚度100nm至200nm的范围内。应理解,所述蚀刻终止材料可以是满足这些要求的任何材料。可光致图案化材料、优选正性光致抗蚀剂材料的层62,涂布或沉积成在蚀刻终止层60上方的覆盖层中。光致抗蚀剂层62可以,例如,通过旋涂、狭缝涂布、喷涂等沉积。通常,光致抗蚀剂层62是在常规平板印刷技术中被典型的紫外源曝光并且不受用于除去部分蚀刻终止层60的湿法蚀刻过程影响的标准材料。在第二个掩蔽步骤中,使用典型的紫外源(>350nm)结合隔离掩模(未显示)来曝光和显影(除去)层62的外部分64。应理解,层60和62是特别选择以便可被单独或选择性除去的。为了更好地理解这个过程,术语“非UV蚀刻”是不具有或包括任何UV产生源的任何蚀刻过程。

[0037] 具体查阅图4,随着层62的部分64被除去,蚀刻终止层60的外部未覆盖部分可以使用非UV蚀刻、通常湿法蚀刻除去。另外参考图5A,在优选过程中,光致抗蚀剂层62然后从背面(后表面,图5A中基板52下面)曝光。因为除了栅极金属54之外的所有材料是对所述曝光的光透明的,所以栅极金属54将充当蚀刻终止层60的最终对准的掩模。因而,光致抗蚀剂层62被曝光和显影以形成随后蚀刻蚀刻终止层60的掩模。另外参考图6,蚀刻终止层60用作掩模来蚀刻金属氧化物半导体层58,从而隔离或界定TFT有源层的限度。因为光致抗蚀剂层62

已经被曝光和显影,没有必要在此时将用于蚀刻半导体层58的蚀刻过程限于非UV蚀刻,并且可以使用简单的干法蚀刻或任何其他适宜的蚀刻。

[0038] 应理解,从后表面曝光光致抗蚀剂层62并显影或除去所述材料的步骤和蚀刻金属氧化物半导体层58的步骤可以以任何适宜的顺序进行,并且所述步骤无一被认为是本过程的掩蔽步骤。例如并参考图5B,能够看出,金属氧化物半导体层58可以在光致抗蚀剂层62曝光和显影之前被蚀刻。然而,当使用这些加工步骤时,在蚀刻金属氧化物半导体层58中必须使用非紫外蚀刻过程,以免影响光致抗蚀剂层62。光致抗蚀剂层62然后从背面(后表面,图5B中基板52下面)曝光以到达图6中示出的结构。

[0039] 具体参考图7,蚀刻终止层60利用一些适宜的蚀刻和利用光致抗蚀剂层62的剩余部分作为掩模进行蚀刻。因为所述光致抗蚀剂层62的剩余部分通过后部曝光过程与栅极金属54精确对准并且不受基板变形的影响,因此所述蚀刻终止层60的剩余部分将与栅极金属54精确对准。

[0040] 另外参考图8,所述光致抗蚀剂层62的剩余部分简单和容易地被剥离,留下蚀刻终止层60覆在所述金属氧化物半导体材料有源层58上面的部分。如图9所示,利用所述蚀刻终止层60的剩余部分沉积和图案化源/漏极金属层64,以在金属氧化物半导体材料层58中界定通道。金属层64图案化成为间隔开的源极和漏极接触66是本过程的第三个和最后的掩蔽步骤。

[0041] 在优选实施方式中,源/漏极金属层60由两个层组成。上层可以是可提供良好导电性的任何金属,例如Al,并且可以超过下层被选择性蚀刻。下层是可以在不蚀刻层58的金属氧化物下被图案化的金属,例如Mo、Ti、Ta、W等或包括任何这样的金属的金属合金。在所述优选的过程中,上层被首先蚀刻并且改变化学来蚀刻下层。以传统的方式,通过允许与栅极54的大重叠来界定源/漏极金属66,但重叠电容因蚀刻终止层60的厚度和低介电常数被大幅降低。

[0042] 在图3-9描述的过程的变化形式中,蚀刻终止层60可以印刷隔离掩模图案(比蚀刻终止图案大得多并因此可行)。结果基本上是图5A中示出的蚀刻终止形式,没有光致抗蚀剂上覆层62。所述印刷的蚀刻终止层60用作掩模来蚀刻金属氧化物层58进行隔离。金属氧化物层58被蚀刻后,常规正性光致抗蚀剂层被覆盖式涂层并在没有掩蔽下从基板52的背面曝光。所述涂层可以利用各种方法包括例如旋涂、浸涂、喷墨印刷、丝网印刷、凹板印刷等的任何一种实行。已显影的光致抗蚀剂(通常如图6和7所示)用作掩模来图案化蚀刻终止层60。除去所述光致抗蚀剂并如上所述沉积和图案化源/漏极。

[0043] 图10-12示出了为了用于具有大开口率(aperture ratio)的显示器像素,低寄生电容的自对准MOTFT的几种像素电路设计和相应过程。图10-12各自分别以俯视平面图(a)至(e)和(a)至(g)示出了根据本发明的MOTFT的不同实施方式和逐步的制造过程。应该理解,所描述的各种层与上文之前描述的层相同并且其将在侧视图(为了理解简单起见没有显示)中显现。

[0044] 图10(a)显示了在显示器像素区域中的栅极线图案。栅极金属层首先沉积在透明的支承基板(由纸表面描绘)上,然后用标准照相平板印刷过程图案化。在与蚀刻终止层中的通孔对应的区域中留下两个孔(参见下面的描述)并用于形成S/D接触电极。然后借助于前面论述的沉积方法、涂层方法或表面化学反应方法来形成栅极电介质层。再一次特别指

出,表面反应方法或过程例如阳极氧化在所述栅极金属层的顶部和侧壁提供了自对准栅极电介质材料。然后借助于前面描述的沉积或涂层方法,在所述栅极绝缘体层上覆盖式沉积金属氧化物通道层。所述通道层可以是单层形式,或是在垂直方向中组成变化的多层形式。在2013年5月24日提交的序号为13/502,914的共同待决美国专利申请中公开了在电流和背光照明下具有高迁移率和高运行稳定性的双层MOTFT的实例,所述申请题为“稳定的高迁移率MOTFT和在低温下制造(STABLE HIGH MOBILITY MOTFT AND FABRICATION AT LOW TEMPERATURE)”,并通过参考并入本文中。

[0045] 所述透明金属氧化物通道层然后用标准平版印刷图案化方法以图10(b)中显示的形式图案化。应理解,金属氧化物层的定位准确度没有其他层那么关键,只要边缘覆盖了所述栅极层上的所述两个孔和所述孔之间区域的大部分即可。所述蚀刻终止层然后覆盖式沉积在所述图案化的通道层上。正性光致抗蚀剂然后涂布在所述蚀刻终止层上,并借助于由不透明栅极金属层形成的内置掩模通过从所述透明基板的另一侧曝光紫外光进行图案化(如图10(c))所示。用这种过程,形成图案化的蚀刻终止层,其覆在所述栅极线上面并且通孔对源/漏极接触开放。然后借助于覆盖式沉积形成所述包括源/漏极接触和数据线的源漏极金属层,并图案化成图10(d)中显示的形状。对于需要高电导数据线的的应用而言,可以使用Mo/M/Mo、Ti/M/Ti、W/M/W(其中M=Al或Cu,W=钨)。然后可以形成像素电极,形状和位置在图10(e)中显示。虽然图10(e)中只示出了单个像素,但可以设想整个背板在垂直和水平方向都铺砌着所述像素。所述整个TFT阵列可以只用4个掩模过程形成并可用于驱动TN型或VA型LCD。

[0046] 类似的过程也可以用于制造AMOLED的像素驱动器阵列,多用一个掩模用于在栅极绝缘体层上形成的通孔。用于制造AMOLED的相同流程还可以用于在所述显示器阵列外部的周边区域中制造栅极和数据驱动器。此外,具有带局部增益的主动传感像素的图像传感器阵列(通常三个TFT和一个或多个电容)也可以用同样的流程制作。对于平面转换(IPS)型的AMLCD,在形成图10(e)中的透明像素电极后需要多两个掩模步骤:(1)在所述像素电极的上面沉积夹层和在显示区之外的接触垫区域处形成通孔,和(2)在所述具有按照专门的液晶盒布置要求形成的电极图案的夹层的上面形成透明的共用电极。用于IPS-LCD的6掩模结构和过程的示例在2012年5月26日提交的共同未决美国专利申请中公开,所述申请题为“在MOTFT中的掩模水平减少(Mask level reduction in MOTFT)”,序号为13/481,781。在该申请中提供了关于夹层形成以及顶电极和底电极成形过程的更多细节。

[0047] 在高像素密度(小像素间距)和高开口率的某些便携式应用中,将想要在所述S/D形式(图10(d))和所述底电极形式(图10(e))之间形成平面化层。需要多一个掩模在所述漏极金属电极的上面打开通孔。所述像素电极然后可以延伸至该孔,填充在所述栅极和数据线内界定的整个透明区域。

[0048] 图11示出了另一种实施方式,在对应于漏极接触的区域中具有手指图案(如图11(a)所示)。然后在所述图案化栅极金属的上面形成所述栅极绝缘体和所述金属氧化物通道层。所述金属氧化物通道层然后图案化为图11(b)中显示的形状。然后在所述通道的上面覆盖式涂布所述蚀刻终止层,并借助于自对准过程并以所述栅极金属充当内置掩模被图案化为栅极层的形状(如图11(c))所示。然后在所述蚀刻终止层上用标准平版印刷过程形成所述源/漏极层和所述数据线。在这种情况下,使用具有薄透明导电氧化物(或薄半透明Mo层)

和厚Al或Cu层的S/D双层。当使用半色调(half-tone)照相平版印刷时,可以除去在所述漏极区域上方的光致抗蚀剂并可以除去所述不透明Al(或Cu)层(如图11(e))所示。然后在上面涂布平面化覆盖层并在所述漏极区域的上面打开通孔(如图11e所示)。然后可以沉积所述透明像素电极,并在由所述不透明栅极和数据金属线界定的区域内用第二个自对准过程图案化。然后只使用4个掩模步骤,以高开口率形成MOTFT像素驱动器阵列。

[0049] 在某些LCD应用中,可能适宜在所述基板的彩色滤光片侧针对液晶间隔柱的位置处形成孔,这样的位置锚可以在像素中指定区域形成,如图12所示。图12(a)显示了在针对LCD间隔柱的位置处的孔。在所述蚀刻终止层中形成通孔(如图11(c)所示)并在最终的MOTFT背板中用作间隔锚(如图12(g)所示)。其余的加工步骤类似于下面图12中显示的。

[0050] 应该注意,平板电路中的其他元件也可以在所述TFT过程期间同时制作,包括用于连接在包围所述显示区域的周边区域中的晶圆基驱动器的电容和接触垫。在所述栅极图案上方的自对准蚀刻终止保证了在整个基板区域上的TFT性能一致性。以图10-12中描述的TFT结构和过程,可以因此用对准精度低的光工具在大的有源区域上制作高度一致性的TFT背板电路。

[0051] 在所述过程中容易包括所述其他元件,不需要附加的掩模或其他步骤。因此,本发明中公开的过程可以方便地用于制作供显示器或其他应用的全部背板(例如图像传感器阵列、化学和/或生物传感器阵列)并显著减少加工步骤和劳动。

[0052] 因而,描述了掩模减少的过程,其以显著减少电极重叠和以减少现有技术中的掩蔽步骤来制造MOTFT和包含这种MOTFT的显示器。还有,所述蚀刻终止层可以形成得比所述栅极电介质层厚并具有低得多的介电常数。因此,除显著减少的重叠之外,所述重叠中的电介质还具有显著增加的厚度和较低的介电常数,使得电容显著降低。因此,在仍然达到栅极和源/漏极之间自对准的同时,减少掩模数量(即从四个掩模减到三个掩模),导致总成本的重大降低。这样的设计由于既改善开口率又减少与耦合电容相关的功率损失,也使低电耗的高像素密度应用成为可能。还应该注意,平板电路中的其他元件也可以在所述TFT过程期间同时制作,包括用于连接在包围所述显示区域的周边区域中的晶圆基驱动器的电容和接触垫。本发明中公开的过程因此可以用于制作供显示器或其他应用的全部背板。

[0053] 对于为了说明的目的而选择的本文中实施方式的各种变化和修改将是本领域技术人员容易想到的。在这样的修改和变化不背离本发明的精神的程度上,它们被定为包括在仅由权利要求书的公正解读而评定的本发明范围之内。

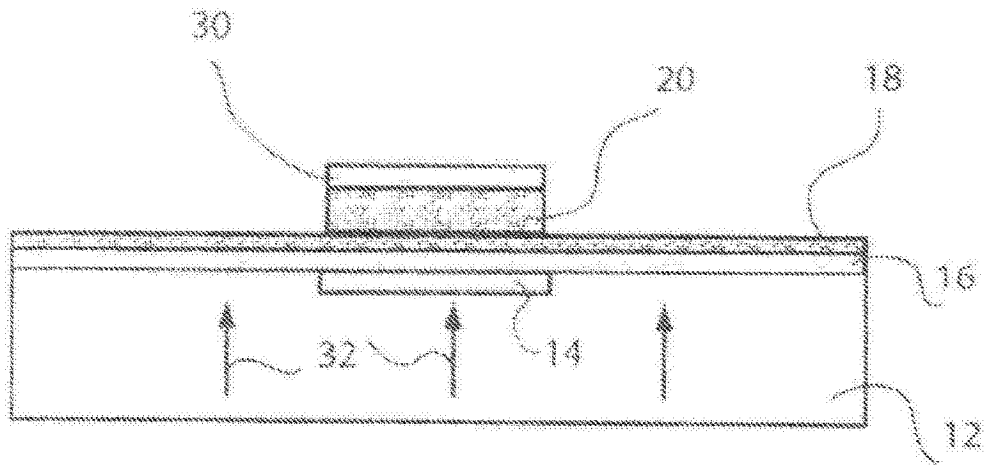


图1

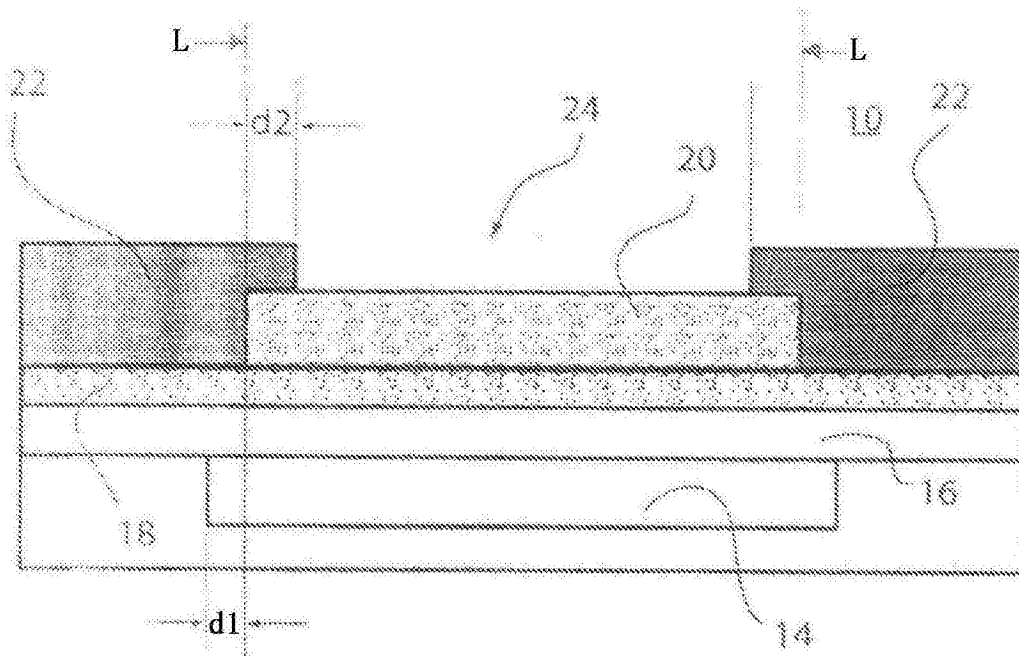


图2

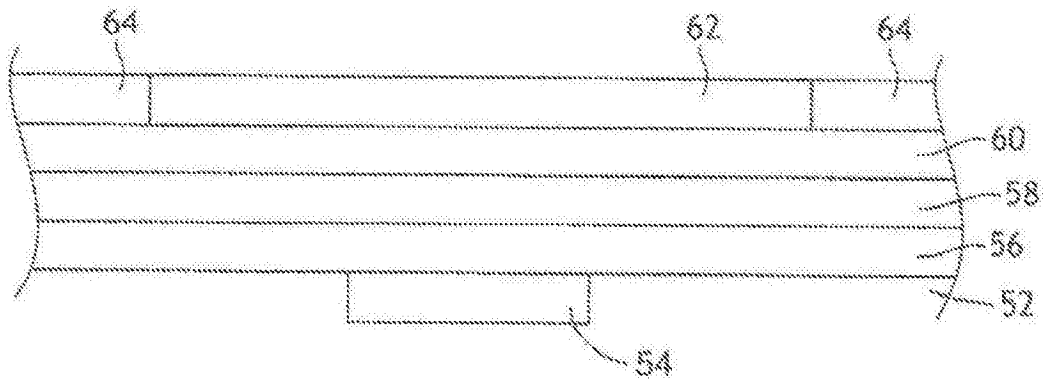


图3

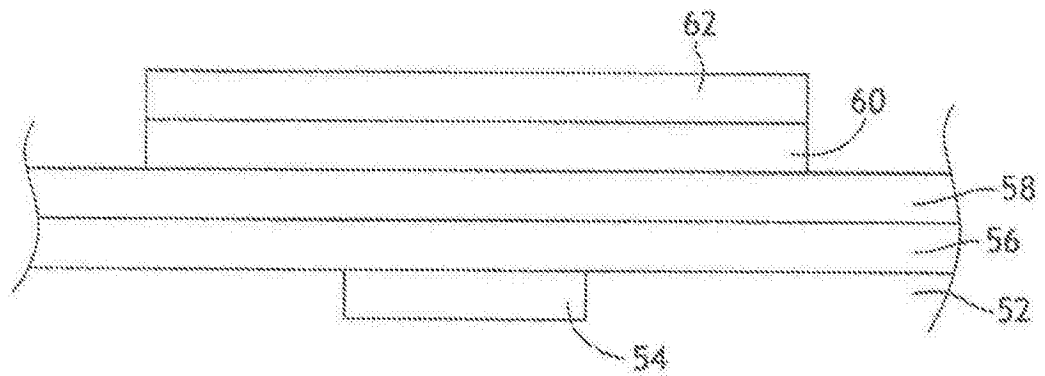


图4

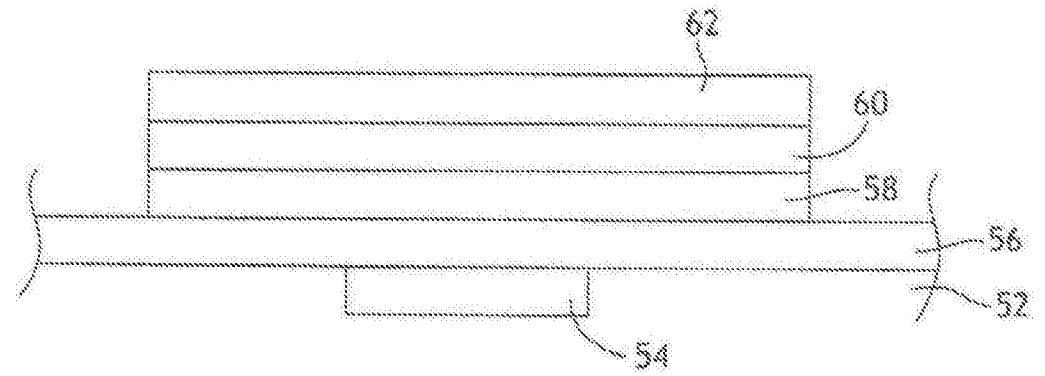


图5B

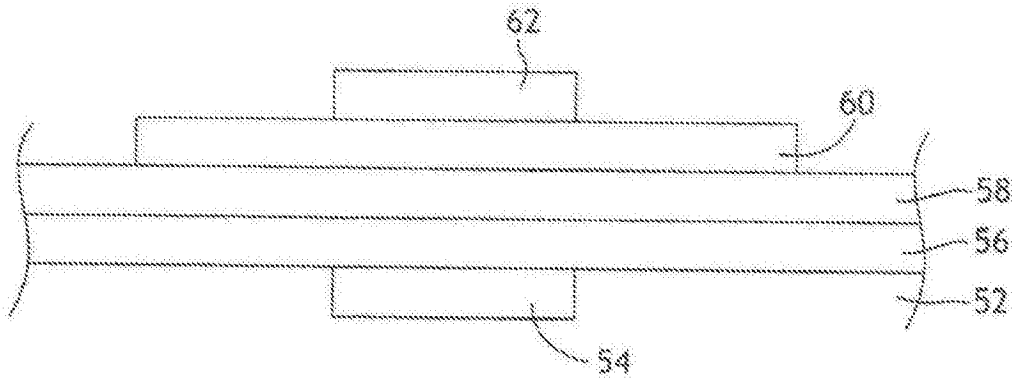


图5A

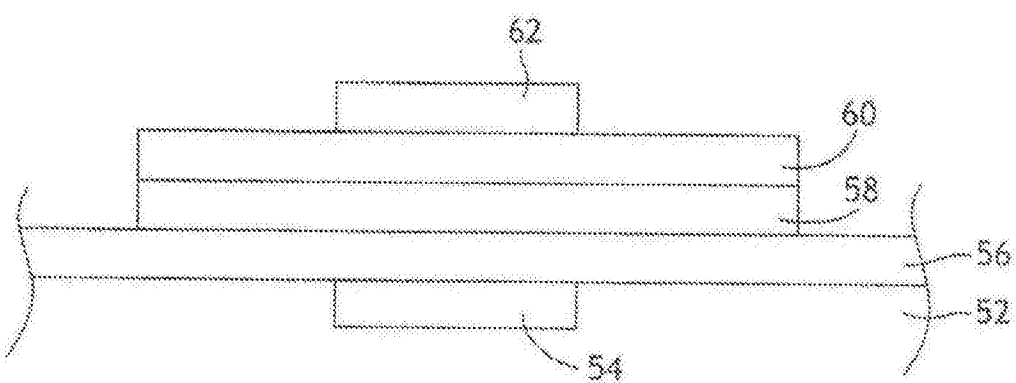


图6

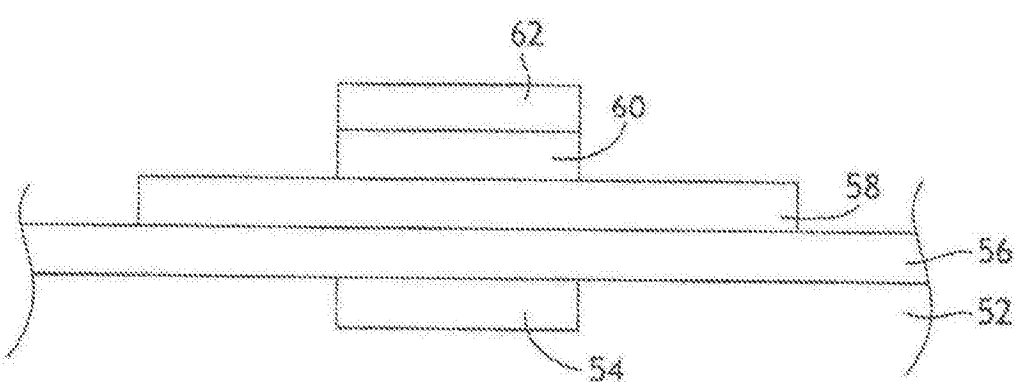


图7

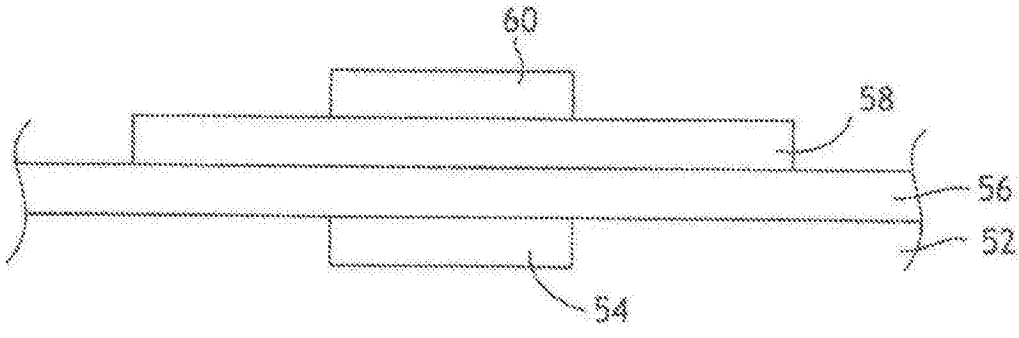


图8

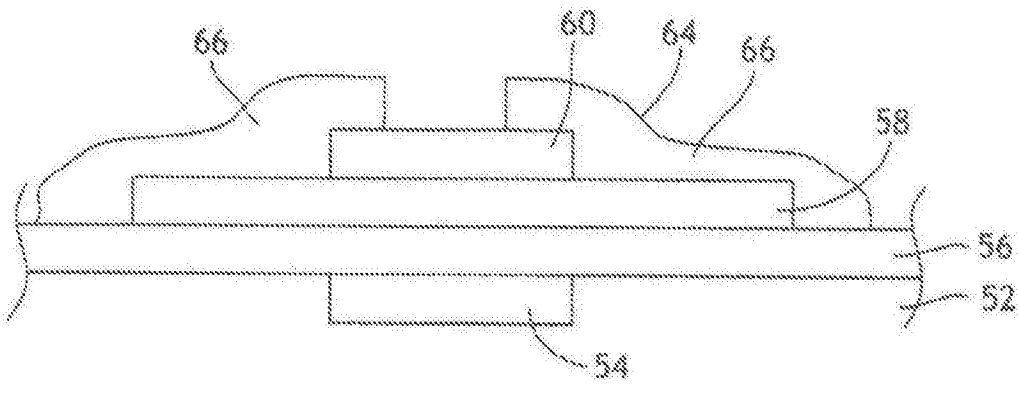


图9

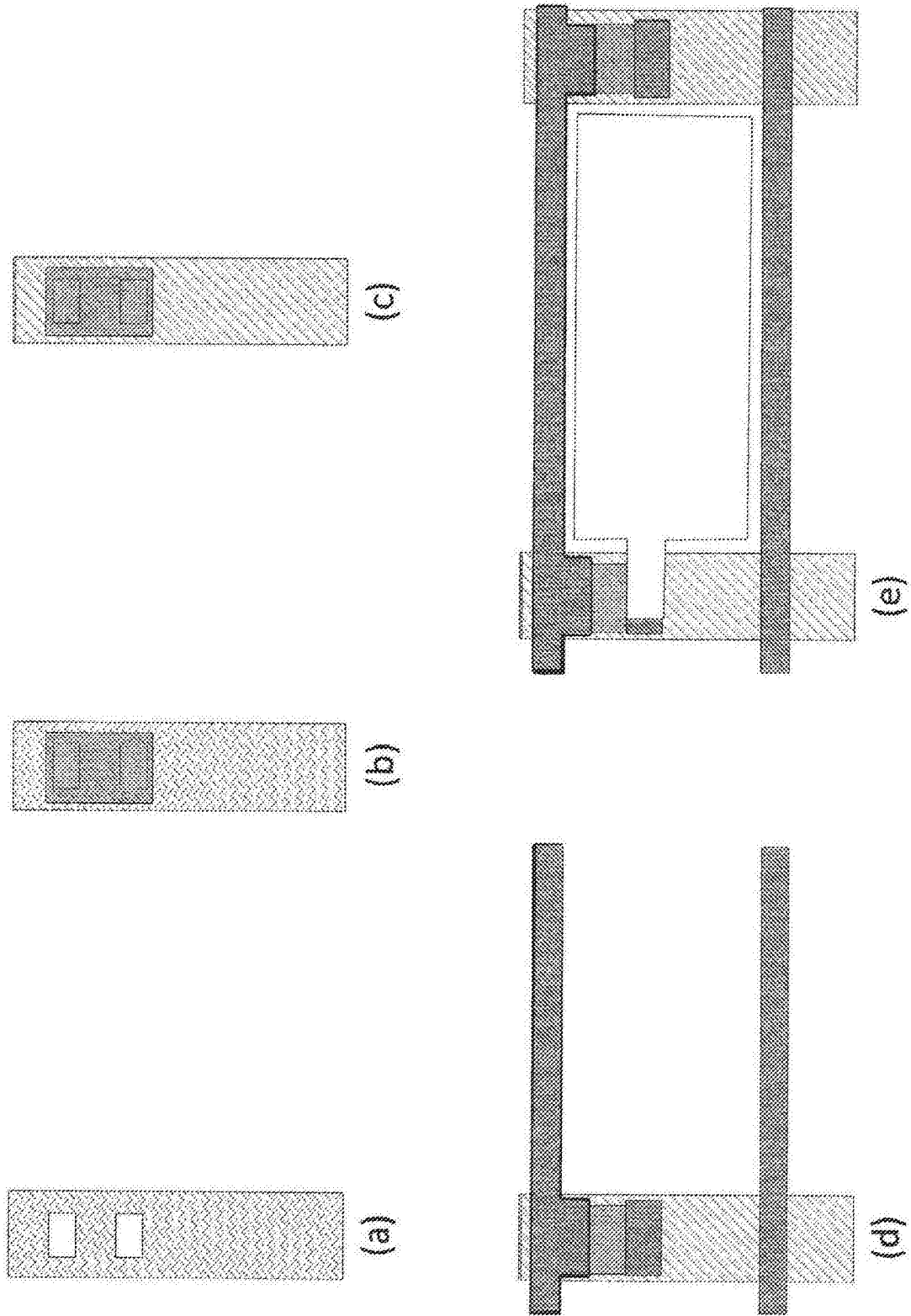


图10

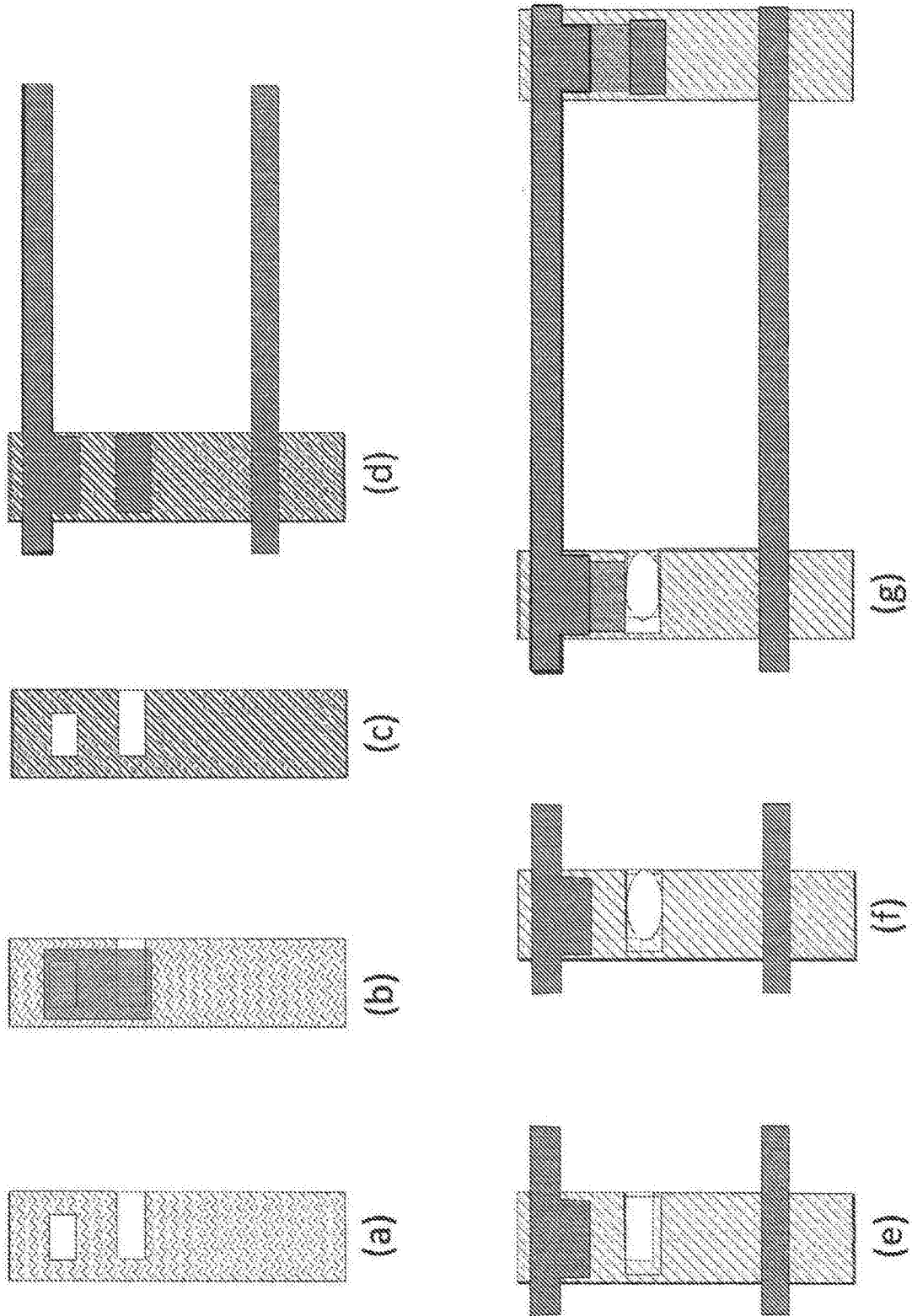


图11

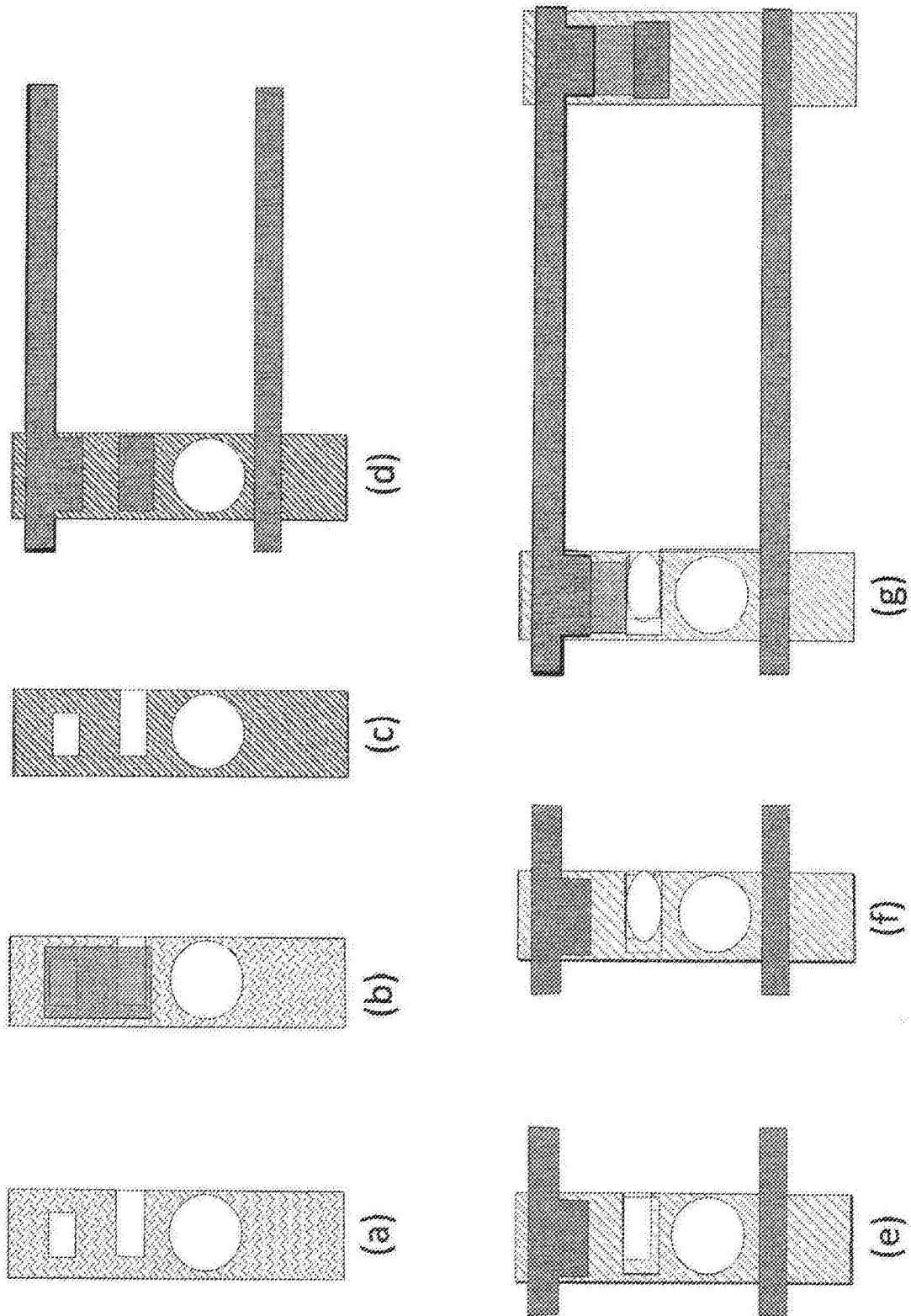


图12