

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6532777号  
(P6532777)

(45) 発行日 令和1年6月19日(2019.6.19)

(24) 登録日 令和1年5月31日(2019.5.31)

(51) Int. Cl. F I  
**HO 4 B 3/06 (2006.01)** HO 4 B 3/06 A  
**HO 3 H 21/00 (2006.01)** HO 3 H 21/00

請求項の数 11 (全 22 頁)

(21) 出願番号	特願2015-133287 (P2015-133287)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成27年7月2日(2015.7.2)	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
(65) 公開番号	特開2017-17568 (P2017-17568A)	(72) 発明者	小森 健正 東京都千代田区丸の内一丁目6番6号 株 株式会社日立製作所内
(43) 公開日	平成29年1月19日(2017.1.19)	(72) 発明者	木庭 秀樹 東京都千代田区丸の内一丁目6番6号 株 株式会社日立製作所内
審査請求日	平成30年5月23日(2018.5.23)	(72) 発明者	那須 淳弥 東京都千代田区丸の内一丁目6番6号 株 株式会社日立製作所内

最終頁に続く

(54) 【発明の名称】 等化器

(57) 【特許請求の範囲】

【請求項1】

入力データをサンプリングして、前記入力データに応じた時系列のデータ列を出力するデータサンプラと、

前記データサンプラから出力されるデータ列のうち、基準データよりも前のデータ列に対してタップ係数を乗算し、乗算結果と入力信号との演算によって、前記入力データを形成する演算回路と、

前記基準データよりも前のデータ列に基づいて、前記タップ係数を更新するタップ係数計算回路と、

前記データ列のうち、前記基準データと前記基準データよりも後のデータとを受け、前記タップ係数計算回路による前記タップ係数の更新の有無を制御する判定回路と、  
を備えた、等化器。

【請求項2】

請求項1に記載の等化器において、

前記等化器は、所定のオフセットを基にして、前記入力データをサンプリングするエラーサンプラを備え、

前記タップ係数計算回路は、前記データ列のうち、前記基準データよりも前のデータ列と、前記エラーサンプラからのエラーデータとに基づいて、前記タップ係数を更新する、等化器。

【請求項3】

10

20

請求項 2 に記載の等化器において、

前記等化器は、前記データサンプラからのデータ列と、前記エラーサンプラからのエラーデータとを保持する保持回路を備え、前記保持回路に保持された前記基準データよりも前のデータ列と前記エラーデータが、前記タップ係数計算回路へ供給され、前記保持回路に保持された前記基準データと前記基準データよりも後のデータが、前記判定回路に供給される、等化器。

【請求項 4】

請求項 3 に記載の等化器において、

前記エラーサンプラは、前記入力データに応じた時系列のエラーデータ列を形成し、形成された前記エラーデータ列のうち、前記基準データに対応するエラーデータが、前記保持回路に保持される、等化器。

10

【請求項 5】

入力信号を受信する入力バッファと、データサンプラおよびエラーサンプラを有する判定帰還型イコライザと、前記データサンプラから出力されるデータ出力と前記エラーサンプラから出力されるエラー出力を受けて、前記判定帰還型イコライザにおけるタップ係数を適応的に計算するタップ係数計算回路とを備えた等化器であって、

前記等化器は、

前記データサンプラから出力されるデータ出力のうち、基準データとなる前記データ出力のうちの所定の 1 シンボルのデータと、前記所定の 1 シンボルよりも 1 シンボル後のデータと受けるフィルタ回路を備え、

20

前記フィルタ回路の結果に従って、前記タップ係数計算回路における前記タップ係数の更新の有無が定められる、等化器。

【請求項 6】

請求項 5 に記載の等化器において、

前記フィルタ回路は、前記基準データと、前記 1 シンボル後のデータとの間で、排他的論理和の演算を行い、前記排他的論理和の演算結果が一致を示すとき、前記タップ係数計算回路における前記タップ係数の更新を行う、等化器。

【請求項 7】

請求項 5 に記載の等化器において、

前記フィルタ回路は、前記基準データと、前記 1 シンボル後のデータとの間で、否定排他的論理和の演算を行い、前記否定排他的論理和の演算結果が不一致を示すとき、前記タップ係数計算回路における前記タップ係数の更新を行う、等化器。

30

【請求項 8】

請求項 5 に記載の等化器において、

前記フィルタ回路には、前記フィルタ回路の機能を無効にするイネーブル信号が供給される、等化器。

【請求項 9】

請求項 5 に記載の等化器において、

前記フィルタ回路は、前記基準データと、前記所定のシンボルよりも後の複数のシンボルのそれぞれのデータとを受け、等化器。

40

【請求項 10】

請求項 5 に記載の等化器において、

前記エラーサンプラは、オフセット係数に従ったオフセットに基づいて、サンプリングを行い、前記オフセット係数の更新の有無が、前記フィルタ回路によって制御される、等化器。

【請求項 11】

請求項 10 に記載の等化器において、

前記フィルタ回路によって、前記オフセット係数の更新が許容されているとき、前記オフセット係数の更新は、前記基準データとエラー出力とに基づいて行われる、等化器。

【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、等化器に関し、特に判定帰還型等化器（以下、等化器はイコライザとも称する）における波形等化係数を調整する技術に関する。

## 【背景技術】

## 【0002】

等化器には、多数の種類が存在する。その内の1つとして、判定帰還型イコライザ（DFE：Decision Feedback Equalizer）が存在し、伝送損失を補償するための波形等化技術の1つとして知られている。判定帰還型イコライザにおいては、伝送損失を補償するために、波形等化係数の調整が行われる。波形等化係数の調整に関する技術としては、例えば、非特許文献1および特許文献1に記載された技術が知られている。

10

## 【0003】

非特許文献1には、送信信号を受けてメモリ内のテーブルから対応したフィルタ応答を選択し、受信信号から選択したフィルタ応答の出力を引くようにフィードバックすることで、フィルタ応答をアダプティブに調整する技術が示されている。また、特許文献1には、ビット列の取りうるビットパターンのそれぞれの出現回数を均一化するようにフィルタリングを行う技術が示されている。

## 【先行技術文献】

## 【非特許文献】

20

## 【0004】

【非特許文献1】IEEE Transactions on Communications, Vol.COM-29, No.11, November, 1981

## 【特許文献】

## 【0005】

【特許文献1】特開2011-151765号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

サーバとルータ間などをはじめとした情報機器間は、シリアルでデータ伝送が行われる。近年の高速化に伴い、データ伝送の速度（伝送速度）も高速化が進んでいる。例えば、伝送線路1本当たりの伝送速度は、10Gbpsを超えるようになってきている。このような高い伝送速度においては、伝送線路における損失量が増加し、伝送されたデータにおいて符号誤りが発生する率が上昇する。

30

## 【0007】

符号誤りの発生率を低減するために、伝送線路等で生じる波形損失を等化器（波形等化器）によって補償することが行われる。この場合、波形等化器は、伝送線路を伝搬したデータを受信するレシーバ回路あるいはノおよび伝送線路へデータを伝えるドライバ回路等に設けられる。このような波形等化器（等化器）は、先に述べたように多種類が存在する。一例を述べるならば、判定帰還型イコライザ、フィードフォワード・イコライザ（FFE：Feed Forward Equalizer）、連続時間イコライザ（CTLE：Continuous Time Linear Equalizer）などが存在する。

40

## 【0008】

レシーバ回路およびノまたはドライバ回路に波形等化器を設ける場合、これらの波形等化器から、例えばいくつかの種類の等化器が選択され、それぞれの等化器が備える効果が発揮されるように、選択された等化器が組み合わせられて、設けられることになる。

## 【0009】

上記した多種類の等化器のうち、判定帰還型イコライザは、波形損失の主成分である符号間干渉のうち、伝送されるシンボルより前に送信されたシンボルによる影響、すなわち

50

ポストカーソルによる影響の等化を行う。反対に、判定帰還型イコライザでは、伝送されるシンボルより後に送信されるシンボルによる影響、すなわちプレカーソルによる影響は等化されない。

【0010】

すなわち、判定帰還型イコライザでは、伝送されるシンボルより前に送信されたシンボルのデータに対して、タップ係数が乗算され、この乗算によって求められたデータが、伝送されるシンボルのデータから減算される。これにより、ポストカーソルによる影響の等化は行われるが、プレカーソルによる影響の等化は行われない。

【0011】

一方、判定帰還型イコライザに使用される最小二乗平均 (LMS: Least Mean Square) アルゴリズムでは、タップ係数を決定する上で各タップの寄与度を減らす方向に働くため、プレカーソルの影響が大きい場合、タップ係数の収束特性が不安定になるという問題がある。

【0012】

非特許文献1および特許文献1には、プレカーソルの影響は認識されていない。

【0013】

本発明の目的は、タップ係数の収束精度を向上させ、収束時間の短縮化を図ることが可能な等化器を提供することにある。

【0014】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

一実施の形態によれば、等化器は、データサンプラと、演算回路と、タップ係数計算回路と、判定回路とを供えている。ここで、データサンプラは、入力データをサンプリングして、入力データに応じた時系列のデータ列を出力する。演算回路は、データサンプラから出力されるデータ列のうち、基準データよりも前のデータ列に対してタップ係数を乗算し、乗算結果と入力信号との演算によって、上記した入力データを形成する。タップ係数計算回路は、基準データよりも前のデータ列に基づいて、タップ係数を更新する。判定回路は、データ列のうち、基準データと基準データよりも後のデータとを受け、タップ係数計算回路によるタップ係数の更新の有無を制御する。

【0017】

また、他の実施の形態によれば、等化器は、入力信号を受信する入力バッファと、データサンプラおよびエラーサンプラを有する判定帰還型イコライザと、データサンプラから出力されるデータ出力とエラーサンプラから出力されるエラー出力を受けて、判定帰還型イコライザにおけるタップ係数を適応的に計算するタップ係数計算回路とを備える。ここで、等化器は、データサンプラから出力されるデータ出力のうち、基準データとなる所定の1シンボルのデータと、所定の1シンボルよりも1シンボル後のデータと受けるフィルタ回路を備え、フィルタ回路の結果に従って、タップ係数計算回路におけるタップ係数の更新の有無が定められる。

【0018】

基準データ(所定の1シンボルのデータ)の符号と基準データよりも後のデータ(1シンボル後のデータ)の符号との間の関係により、タップ係数の更新の有無が定められる。すなわち、基準データを等化するときのタップ係数は、基準データと基準データよりも後のデータの符号を考慮したものとなる。その結果、タップ係数が収束したときの精度(収束精度)の向上を図ることが可能となる。また、収束に要する時間(収束時間)の短縮化を図ることが可能となる。

10

20

30

40

50

## 【発明の効果】

## 【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

## 【0020】

プレカーソルが残存した状態でも、タップ係数の収束精度の向上を図り、収束時間の短縮化を図ることが可能な等化器を提供することができる。

## 【図面の簡単な説明】

## 【0021】

【図1】実施の形態1に係わるレシーバ回路の構成を示すブロック図である。

10

【図2】(A)～(C)は、判定帰還型イコライザの動作を模式的に示す波形図である。

【図3】実施の形態1に係わるタップ加算回路から出力される入力データの波形を示す波形図である。

【図4】実施の形態1に係わるタップ係数計算回路およびフィルタ回路の構成の構成を示すブロック図である。

【図5】実施の形態1の変形例に係るフィルタ回路の構成を示すブロック図である。

【図6】実施の形態2に係るフィルタ回路の構成を示すブロック図である。

【図7】実施の形態2に係るタップ加算回路から出力される入力データの波形を示す波形図である。

【図8】実施の形態3に係るレシーバ回路の構成を示すブロック図である。

20

【図9】実施の形態3に係るタップ係数計算回路の構成を示すブロック図である。

【図10】データサンプラから出力される出力データの波形を示す波形図である。

## 【発明を実施するための形態】

## 【0022】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部分には原則として同一の符号を付し、その繰り返しの説明は、原則として省略する。

## 【0023】

(実施の形態1)

図1は、実施の形態1に係わるレシーバ回路の構成を示すブロック図である。同図において、101は、レシーバ回路を示している。レシーバ回路101は、伝送線路DLに接続され、伝送線路DLには、伝送データDTを出力するドライバ回路DVが接続されている。

30

## 【0024】

ドライバ回路DVは、時系列のデータ列を形成し、伝送データDTとして伝送線路DLへ供給する。すなわち、ドライバ回路DVは、シリアルなデータ列(ビット列)を伝送線路DLへ供給する。伝送線路DLへ供給されたデータ列は、伝送線路DLを伝搬して、レシーバ回路101に供給されることになる。

## 【0025】

このとき、伝送線路DLは、損失を持つため、レシーバ回路101に供給された伝送データDTにおけるそれぞれのデータ(ビット)の波形は、変形し、さらにデータ間の相互の干渉等によって変形する。すなわち、伝送線路DLによって生じる波形損失等により、レシーバ回路101に供給された伝送データDTの波形は変形していることになる。

40

## 【0026】

レシーバ回路101は、供給された伝送データDTを受信し、伝送線路DLによって生じた波形損失を等化し、ドライバ回路DVから出力された伝送データDTに対応した出力データDD0を出力する。レシーバ回路101は、複数の回路を備えているが、図1には、入力バッファ102と等化器EQの部分のみが描かれており、他の回路は省略されている。

## 【0027】

50

等化器EQは、判定帰還型イコライザ（以下、DFE回路とも称する）103と、デマルチプレクサ104と、タップ係数を適応的に計算するタップ係数計算回路105と、フィルタ回路106とを備えている。説明の都合上、等化器EQが、上記した回路ブロックを備えているように説明するが、例えば、判定帰還型イコライザ103を等化器EQと見なしてもよい。この場合、デマルチプレクサ104と、タップ係数計算回路105と、フィルタ回路106は、等化器EQに付随する回路と見なしてもよい。

**【0028】**

伝送データDTは、入力バッファ102を介して、判定帰還型イコライザ103に入力される。入力バッファ102は、例えば、判定帰還型イコライザとは異なる種類の等化器、例えば連続時間イコライザ等である。勿論、入力バッファ102は、設けなくてもよいし、伝送データDTの波形を整形するバッファであってもよい。

10

**【0029】**

判定帰還型イコライザ103は、データサンプラ121と、エラーサンプラ122と、ビットシフト回路123と、タップ係数乗算回路124と、タップ加算回路125とを備えている。

**【0030】**

タップ係数乗算回路124は、互いに同じ構成を有する複数のタップ係数乗算器124-1~124-nにより構成されている。それぞれのタップ係数乗算器124-1~124-nは、それぞれ対応するタップ係数Tap1~Tapnを、ビットシフト回路123からの対応する出力データB1~Bn（データ列SB）に乗算する。同図には、タップ係数乗算回路124を構成する複数のタップ係数乗算器のうち、タップ係数乗算器124-1、124-2および124-nが代表として描かれている。タップ係数乗算器124-1を例にして説明すると、タップ係数乗算器124-1は、対応するタップ係数Tap1と、ビットシフト回路123からの対応する出力データB1との乗算を実行する。他のタップ係数乗算器124-2~124-nも同様である。

20

**【0031】**

タップ係数乗算回路124からの出力信号、すなわちタップ係数乗算器124-1~124-nのそれぞれの出力信号（乗算結果）は、タップ加算回路125に供給される。タップ加算回路125は、入力バッファ102から出力された信号を入力信号とし、入力信号とタップ係数乗算回路124からの出力信号（乗算結果）との減算を実行し、減算によって求められた信号を入力データIWとして、データサンプラ121およびエラーサンプラ122へ供給する。本明細書においては、特に明示しない限り、減算および加算の両方を含めて、加算と称する。

30

**【0032】**

ここで、タップ係数乗算回路124とタップ加算回路125は、ビットシフト回路123のそれぞれの出力データB1~Bnに、タップ係数Tap1~Tapnを乗算し、乗算により求めた出力信号（乗算結果）を、入力信号に加算（減算）する演算回路と見なすことができる。

**【0033】**

データサンプラ121は、タップ加算回路125から出力された入力データIW、すなわち演算回路から出力された入力データIWを、データオフセットがない状態で、サンプリングする。図1では、データオフセットがない状態を示すために、オフセットが0として示されている。データサンプラ121におけるサンプリングによって得られたデータ出力は、すなわち図1ではデータ列SDは、ビットシフト回路123およびデマルチプレクサ104に供給される。一方、エラーサンプラ122は、データオフセットVofを有する状態で、入力データIWをサンプリングする。すなわち、エラーサンプラ122は、データオフセットVofを基準にして、入力データIWを比較し、サンプリングを行う。このサンプリングによって得られたエラー出力、すなわち図1ではエラーデータ列Errorは、エラーサンプリングの結果として、デマルチプレクサ104へ供給される。

40

**【0034】**

50

ビットシフト回路123は、互いに直列的に接続された複数の遅延回路を備えている。図1では、複数の遅延回路が、フリップフロップ回路(以下、FF回路とも称する)FF1~FFn-1によって構成されている。すなわち、FF回路FF1~FFn-1が、互いに直列に接続されており、それぞれのFF回路FF1~FFn-1は、図示しないクロック信号に同期して、入力に供給されているデータを取り込み、出力する。これにより、FF回路FF1~FFn-1のそれぞれは、クロック信号の周波数に応じた遅延時間を有する遅延回路として動作する。なお、図1には、FF回路FF1、FFn-1のみが描かれており、他のFF回路FF2~FFn-2は省略されている。

#### 【0035】

ビットシフト回路123を構成するFF回路FF1の入力に、データ列SDが供給され、FF回路FF1の出力は、図示しないFF回路FF2の入力に供給され、FF回路FF2の出力は図示しないFF回路FF3の入力に供給されている。他のFF回路FF3~FFn-1も同様に、互いに直列的に接続されている。FF回路FF1の入力が、ビットシフト回路123の出力データB1として、出力され、FF回路FF1の出力、言い換えるならばFF回路FF2(図示しない)の入力が、出力データB2として出力される。以降、同様にして、それぞれのFF回路FF3~FFn-1のそれぞれの入力が、出力データB3~Bn-1として出力される。また、FF回路FFn-1の出力が、ビットシフト回路123の出力データBnとして、出力される。

#### 【0036】

ビットシフト回路123は、データサンプラ121からの時系列のデータ列SDを受け、出力データB1~Bnによって構成されたデータ列SBを出力することになる。この場合、データ列SBにおいて、出力データB1から出力データBnの順に、時間的に前(過去)にデータサンプラ121から出力されたデータを表すことになる。例えば、ビットシフト回路123から出力されるデータ列SBにおいて、出力データB2は、出力データB1よりも時間的に前に、データサンプラ121から出力されたデータを表す。以下、データ列における出力データB3からBnの順に、これらの出力データは、時間的に前にデータサンプラ121から出力されたデータを表す。

#### 【0037】

上記したように、タップ係数乗算回路124は、ビットシフト回路123の出力データB1~Bnと、タップ係数計算回路105からの対応する出力であるタップ係数Tap1~Tapnとを乗算する。タップ加算回路125は、判定帰還型イコライザ103の入力信号に対し、タップ係数乗算回路124の出力の総和を加算する。なお、図1に示した判定帰還型イコライザ104の構成は一例であり、これに限定されるものではない。例えば、判定帰還型イコライザ104は、投機型判定帰還型イコライザでもよい。また、判定帰還型イコライザ104を動作させるクロック信号、例えば上記したFF回路FF1~FFn-1が同期するクロック信号の周波数は、基準のクロック信号に対して、ハーフレートもしくはクォーターレートであってもよい。

#### 【0038】

データサンプラ121は、入力データIWをサンプリング(データオフセットなし)して出力する。そのため、データサンプラ121から出力されるデータ列SDは、入力データIWの時間的な変化に対応したシリアルなデータD-1~Dnにより構成されたデータ列となり、このデータ列SDが、データサンプラ121からシリアル(直列)に、デマルチプレクサ104へ出力されることになる。同様に、エラーサンプラ122は、入力データIWをサンプリング(データオフセットVofあり)して、エラーデータ列Errorを出力する。そのため、エラーサンプラ122からのエラーデータ列Errorも、入力データIWの時間的な変化に対応したシリアルなエラーデータE-1~Enにより構成されたデータ列となり、このエラーデータ列Errorが、エラーサンプラ122からシリアル(直列)に、デマルチプレクサ104へ出力されることになる。

#### 【0039】

ここで、データサンプラ121とエラーサンプラ122は、互いに同期してサンプリン

10

20

30

40

50

グを行う。そのため、データ列SDを構成するデータD-1~Dnとエラーデータ列Errorを構成するエラーデータE-1~Enは、それぞれ互いに対応している。すなわち、データD-1とエラーデータE-1は、同じ時刻における入力データIWをサンプリングして求めたデータであり、データD0とエラーデータE0は、同じ時刻における入力データIWをサンプリングして求めたデータであり、データD1とエラーデータE1も、同じ時刻における入力データIWをサンプリングして求めたデータである。他のデータD2~DnおよびエラーデータE2~Enのそれぞれについても同様である。

【0040】

このデータサンプラ121からのデータ列SDおよびエラーサンプラ122からのエラーデータ列Errorが、判定帰還型イコライザ103の出力となる。

10

【0041】

デマルチプレクサ104は、保持回路DHを備えており、判定帰還型イコライザ103から出力されたデータ列SDと、エラーデータ列Errorを、それぞれパラレル(時間的に並列)へ変換する。すなわち、データサンプラ121の出力データSDは、パラレルに変換され、データD-1、D0、D1~Dnによって構成されたパラレルのデータ列(ビット列)となる。同様に、エラーサンプラ122のエラーデータ列Errorも、パラレルに変換され、データE-1、E0、E1~Enによって構成されたパラレルのデータ列(ビット列)となる。

【0042】

デマルチプレクサ104が備えている保持回路DHは、データ保持回路dp、d0~dnおよびe0を備えている。ここで、データ保持回路dpは、データD-1に対応し、データ保持回路d0~dnのそれぞれは、データD0~Dnのそれぞれに対応する。また、データ保持回路e0は、エラーデータ列ErrorのうちエラーデータE0に対応する。パラレルに変換されたデータD-1~Dnのそれぞれは、対応するデータ保持回路dp、d0~dnに保持される。

20

【0043】

エラーサンプラ122から出力されたエラーデータ列Errorのうち、タップ係数計算回路105において用いられるエラーデータは、等化を行う基準データD0に対応するエラーデータE0のみである。そのため、基準データD0に対応するエラーデータE0のみが、データ保持回路e0に保持され、残りのデータE-1、E1~Enは、例えば、保持回路DHに保持されず、破棄される。

30

【0044】

図10は、データサンプラ121から出力されるデータ列SD(データD-1~Dn)の波形を示す波形図である。同図において、横軸は時間を示しており、縦軸は電圧を示している。図10において、時刻t0を基準とした場合、時刻t1~tnは、基準の時刻(以下、基準時刻とも称する)t0よりも前の時間、すなわち過去の時間を示しており、時刻t-1は、基準時刻t0よりも後の時間を示している。例えば時刻t1は、基準時刻t0よりも前の時刻を示しており、時刻t2は、時刻t1よりも前の時刻を示している。時刻t3~tnについても同様である。図10では、説明のために、基準時刻t0における基準データD0、基準時刻t0よりも前の時刻t1~tnにおけるデータD1~Dnおよび基準時刻t0よりも後の時刻t-1におけるデータD-1のそれぞれが、例えば論理値1の符号に対応するハイレベルの状態を示している。しかしながら、基準データD0、後のデータD1~Dnおよび前のデータD-1のそれぞれの符号(論理値)は、入力データIWの値に応じて変わることになる。

40

【0045】

入力データIWは、ドライバ回路DV(図1)から伝送線路DLへ供給された送信データに従っている。そのため、基準データD0の符号は、所定の時刻(例えば基準時刻t0)において、ドライバ回路DVが伝送線路DLへ供給した送信データの符号に対応する。また、データD1の符号は、基準データD0に対して1シンボル前に、ドライバ回路DVが出力したシンボルの符号に対応する。同様に、データD2の符号は、基準データD0に

50



対して2シンボル前に、ドライバ回路DVが出力したシンボルの符号に対応する。以降、同様に、データD<sub>n</sub>は、基準データD<sub>0</sub>に対してnシンボル前のシンボルに対応する。一方、データD<sub>-1</sub>の符号は、基準データD<sub>0</sub>に対して、1シンボル後に、ドライバ回路DVが、伝送線路DLへ出力したシンボルの符号に対応する。

【0046】

図10には示していないが、エラーサンプラ122から出力されるエラーデータ列Errorについても、データ列SDと同様に、基準時刻t<sub>0</sub>において、エラーデータE<sub>0</sub>が、エラーサンプラ122から出力される。また、基準時刻t<sub>0</sub>よりも前の時刻t<sub>1</sub>~t<sub>n</sub>のそれぞれにおいて、エラーサンプラ122から、エラーデータE<sub>1</sub>~E<sub>n</sub>が出力され、基準時刻t<sub>0</sub>よりも後の時刻t<sub>-1</sub>において、エラーサンプラ122からエラーデータE<sub>-1</sub>が出力される。

10

【0047】

時刻t<sub>n</sub>から時刻t<sub>-1</sub>に供給されたシリアルビット列(D<sub>n</sub>~D<sub>-1</sub>)が、パラレルに変換され、データD<sub>-1</sub>の符号(論理値)は、データ保持回路dpに保持され、データD<sub>0</sub>~D<sub>n</sub>は、データ保持回路d<sub>0</sub>~d<sub>n</sub>に保持される。また、パラレルに変換されたエラーデータE<sub>-1</sub>~E<sub>n</sub>のうち、基準データD<sub>0</sub>に対応するエラーデータE<sub>0</sub>の符号は、データ保持回路e<sub>0</sub>に保持される。

【0048】

ここで、ビットシフト回路123から出力される出力データB<sub>1</sub>は、保持回路DHに保持されたデータD<sub>1</sub>に対応し、ビットシフト回路123から出力される出力データB<sub>2</sub>は、保持回路DHに保持されたデータD<sub>2</sub>に対応する。以降、ビットシフト回路123から出力される出力データB<sub>3</sub>~B<sub>n</sub>のそれぞれは、保持回路DHに保持されたデータD<sub>3</sub>~D<sub>n</sub>のそれぞれに対応する。すなわち、図10において、例えば時刻t<sub>-1</sub>において、データ列SDおよびエラーデータ列Errorは、パラレルに変換され、保持回路DHにデータD<sub>-1</sub>~D<sub>n</sub>とエラーデータE<sub>0</sub>が保持される。一方、ビットシフト回路123からは、データD<sub>1</sub>~D<sub>n</sub>に対応する出力データB<sub>1</sub>~B<sub>n</sub>が出力される。

20

【0049】

保持回路DHに保持されたデータ列(データD<sub>-1</sub>~D<sub>n</sub>)およびエラーデータE<sub>0</sub>は、デマルチプレクサ104から出力される。このデマルチプレクサ104からの出力は、タップ係数計算回路105およびフィルタ回路106へ供給される。また、基準データD<sub>0</sub>は、レシーバ回路101の出力DD<sub>0</sub>として出力される。

30

【0050】

この実施の形態1においては、デマルチプレクサ104からのビット列のうち、データD<sub>1</sub>~D<sub>n</sub>およびエラーデータE<sub>0</sub>が、タップ係数計算回路105へ供給される。また、フィルタ回路106には、基準データD<sub>0</sub>と基準データD<sub>0</sub>よりも1シンボル後のデータD<sub>-1</sub>が供給される。フィルタ回路106は、あとで図4を用いて説明するが、基準データD<sub>0</sub>および1シンボル後のデータD<sub>-1</sub>のそれぞれの符号に基づいて、タップ係数計算回路105におけるタップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新の有無を制御する。フィルタ回路106は、タップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新の有無を判定するため、判定回路と見なすことができる。

40

【0051】

タップ係数計算回路105は、ファイル回路106によって、タップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新が有効(許容)とされていた場合、デマルチプレクサ104からのデータD<sub>1</sub>~D<sub>n</sub>およびエラーデータE<sub>0</sub>に基づいて、タップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新を行う。これに対して、フィルタ回路106によって、タップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新が禁止されていた場合、タップ係数計算回路105は、タップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新を行わない。ここでのタップ係数Tap<sub>1</sub>~Tap<sub>n</sub>の更新は、係数の値を増加させる場合と、減少させる場合の両方を意味している。

【0052】

この実施の形態1においては、タップ係数計算回路105は、基準データD<sub>0</sub>に対して

50

、基準データD0よりも前のシンボルのデータ(D1~Dn)を用いて、タップ係数の計算(更新)を行い、基準データD0よりも前のデータ列(B1~Bn)に対してタップ係数の乗算が行われる。そしてタップ係数の計算(更新)の有無が、基準データD0と基準データD0よりも後のシンボルのデータD-1とに基づいて制御されることになる。あとで説明する図4の例においては、基準データD0の符号と、基準データD0に対して1シンボル後のデータD-1の符号とが一致した場合、フィルタ回路106によって、タップ係数計算回路105におけるタップ係数の計算(更新)が許容される。これに対して、基準データD0の符号と、基準データD0に対して1シンボル後のデータD-1の符号とが不一致の場合、フィルタ回路106によって、タップ係数計算回路105におけるタップ係数の計算(更新)が禁止される。

10

## 【0053】

なお、レシーバ回路101は、ドライバ回路DVから順次データを受信することにより、デマルチプレクサ104内の保持回路DHに保持されるデータは、順次変わる。データを受信することにより、例えばデータ保持回路d1には、データ保持回路d0に保持されていたデータD0が、D1として保持され、データ保持回路d0には、データ保持回路dpに保持されていたデータD-1が、基準データD0として保持され、データ保持回路dpには、次のシンボルの符号が保持されることになる。これにより、レシーバ回路101からは、受信したデータを基準データD0として、等化された基準データD0が、DD0として出力されることになる。

## 【0054】

20

このように、基準データD0と、基準データD0よりも1シンボル後のデータD-1とに基づいて、タップ係数計算回路105におけるタップ係数の計算を制御することにより、タップ係数の収束精度の向上を図り、収束時間の短縮化を図ることが可能なことを、図2および図3を用いて説明する。

## 【0055】

図2は、判定帰還型イコライザ(DFE回路)103の動作を、模式的に示す波形図である。図2(A)は、ドライバ回路DV(図1)が伝送線路DLへ供給した波形(送信端波形)を示し、図2(B)は、図2(A)に示した波形が、伝送線路DL(図1)および入力バッファ102を介して、DFE回路103に到達したときの波形(DFE回路入力波形)を示している。また、図2(C)は、DFE回路103の出力波形(DFE回路等化波形)を示している。図2において、縦軸は電圧を示し、横軸は時間を示している。ここで図2は、先に説明した図10と異なり、時刻t0を基準として、右側が、時刻t0よりも前の時刻t1~tnを示し、左側が、時刻t0よりも後の時刻t-1を示している。

30

## 【0056】

説明を容易にするために、図2(A)は、時刻t0近辺において、ドライバ回路DVが、伝送線路DLに、例えば論理値1の基準データD0を供給した場合の波形を示している。図2(B)および(C)には、図2(A)に示す基準データD0が、伝送線路DLにより供給されることにより、伝送線路DLにおける孤立ビット応答により生じる波形が示されている。

## 【0057】

40

伝送線路DLの有する損失のために、伝送線路DLに供給された基準データD0の波形は、例えば裾が広がるように変形する。時刻t1~t4において、ドライバ回路DVから伝送線路DLへ供給された他のデータの波形も変形する。これらの変形した他のデータの波形の影響により、時刻t0近辺において伝送線路DLに供給された基準データD0の波形は、図2(B)の時刻t1~t4に示すように変形されることになる。また、時刻t-1において、ドライバ回路DVからデータD-1が供給されるが、データD-1の波形も、伝送線路DLの損失によって変形する。そのため、変形したデータD-1の波形の影響により、図2(B)の時刻t-1に示すように、基準データD0の波形は変形する。

## 【0058】

判定帰還型イコライザ103においては、基準データD0に対して、それよりも前の時

50

刻におけるデータに基づいて等化が行われる。すなわち、時刻  $t_0$  よりも前（過去）の時刻  $t_1 \sim t_4$  のそれぞれにおいて、データサンプラ 121 によるサンプリングによって得られたデータ  $D_1 \sim D_4$  が、ビットシフト回路 123 からの出力データ  $B_1 \sim B_4$  として、タップ係数乗算回路 124 に供給される。タップ係数乗算回路 124 において、出力データ  $B_1 \sim B_4$  にタップ係数  $T_{ap1} \sim T_{ap4}$  が乗算され、タップ係数乗算回路 124 によって求められた乗算結果が、タップ加算回路 125 において、DFE 回路 103 の入力信号に減算される。

【0059】

このようにタップ加算回路 125 において、減算を行うことにより、図 2 (C) に示すように、時刻  $t_0$  よりも前（時刻  $t_1 \sim t_4$ ）における基準データ  $D_0$  の波形は、DFE 回路により等化され、基準データ  $D_0$  よりも前のシンボルによって生じる符号間干渉を減少することができる。すなわち、判定帰還型イコライザ 103 は、過去にサンプリングされたデータに対し、タップ係数を乗算し、その積をデータ  $D_0$  の波形にフィードバックさせる回路である。

10

【0060】

なお、時刻  $t_0$  における基準データ  $D_0$  の波形を、データサンプラ 121 によって、サンプリングすることにより、レシーバ回路 101 が受信したデータの符号が確定される。

【0061】

判定帰還型イコライザ 103 は、過去にサンプリングされたデータを用いるものであるため、基準データ  $D_0$  よりも後のシンボルによる符号間干渉の影響を等化することは困難であり、基準データ  $D_0$  の波形には、干渉が残留することになる。

20

【0062】

特に、タップ係数  $T_{ap1} \sim T_{apn}$  を、最小二乗平均 (LMS: Least Mean Square) アルゴリズムを用いて決定する場合、1 シンボル後のデータによる符号間干渉が大きいと、収束性が悪くなる。損失の大きい伝送路では、1 シンボル後のデータによる符号間干渉も大きくなり、タップ係数の収束性に影響を受けやすくなる。そのため、フィルタ回路 106 を挿入することで、タップ係数  $T_{ap1} \sim T_{apn}$  の収束性を改善し、収束時間を短縮することが可能となる。

【0063】

図 3 を用いて、さらに詳しく説明する。図 3 は、図 1 に示したタップ加算回路 125 の出力である入力データ  $IW$  の波形を示す波形図である。図 3 において、縦軸は電圧を示し、横軸は時間を示している。図 3 は、入力バッファ 102 から入力信号を判定帰還型イコライザ 103 に供給し、繰り返し等化を行っているときの入力データ  $IW$  の波形を、時間的に重ねて示している。すなわち、図 3 は、入力データ  $IW$  の所謂アイパターンを示している。等化においてタップ係数  $T_{ap1} \sim T_{apn}$  が変わることにより、タップ加算回路 125 によって減算される値が変わるため、入力データ  $IW$  の波形は変化し、ドットで示されている領域内を通過する。タップ係数  $T_{ap1} \sim T_{apn}$  の値が、例えば計算により求めた理想的な値に近づくことにより、ドットで示されている領域は狭くなり、図 3 において  $eye$  として示されている領域が広くなる。所謂、アイ ( $eye$ ) が拡がり、タップ係数  $T_{ap1} \sim T_{apn}$  が理想的な値に到達すると、ドットで示されている領域は、線で表されるようになる。

30

40

【0064】

図 3 において、 $t_0$  は、基準データ  $D_0$  を、データサンプラ 121 およびエラーサンプラ 122 でサンプリングする時刻（基準時刻）を示しており、 $t-1$  は、基準データ  $D_0$  より 1 シンボル後のデータ  $D-1$  を、データサンプラ 121 およびエラーサンプラ 122 でサンプリングする時刻を示している。すなわち、時刻  $t-1$  は、時刻  $t_0$  を基準とした場合、時間的に、時刻  $t_0$  の後である。また、図 3 には示していないが、時刻  $t_0$  の左側には、時刻  $t_0$  よりも前の時刻  $t_1$  があり、この時刻  $t_1$  において、基準データ  $D_0$  よりも 1 シンボル前のデータ  $D_1$  のサンプリングが行われる。

【0065】

50

図3において、破線IW、IW1A～IW4A、およびIW1B～IW4Bのそれぞれは、入力データIWの波形の例を示している。入力データIWは、時刻t1（図示しない）においては、破線IWで示したように変化し、時刻t0近辺においては、基準データD0および1シンボル後のデータD-1のそれぞれの符号（論理値）に従って、破線IW1A～IW4AおよびIW1B～IW4Bのいずれかによって示されるように変化する。

【0066】

例えば、データD0の符号が1の場合、入力データIWは、破線IW1（破線IW1A、IW1Bの総称）またはIW2（破線IW2A、IW2Bの総称）に示すように変化し、データD0の符号が0の場合、入力データIWは、破線IW3（破線IW3A、IW3Bの総称）またはIW4（破線IW4A、IW4Bの総称）に示すように変化する。さらに、基準データD0よりも1シンボル後のデータD-1の符号に従って、入力データIWは、符号IW1～IW4に符号Aが付された破線または符号Bが付された破線に示すように変化する。すなわち、データD-1の符号が1の場合、符号Aが付された破線（IW1A～IW4A）に示すように変化し、データD-1の符号が0の場合には、符号Bが付された破線（IW1B～IW4B）に示すように変化する。

10

【0067】

データD0の符号（論理値）が1で、データD-1の符号が1の場合、入力データIWは、時刻t0近辺では、符号IW1AまたはIW2Aが付された破線に示すように変化し、データD0の符号（論理値）が1で、データD-1の符号が0の場合には、入力データIWは、時刻t0近辺では、符号IW1BまたはIW2Bが付された破線に示すように変化する。同様に、データD0の符号（論理値）が0で、データD-1の符号が1の場合、入力データIWは、時刻t0近辺では、符号IW3AまたはIW4Aが付された破線に示すように変化し、データD0の符号（論理値）が0で、データD-1の符号が0の場合には、入力データIWは、時刻t0近辺では、符号IW3BまたはIW4Bが付された破線に示すように変化する。

20

【0068】

このように、入力データIWの波形は、基準データD0をサンプリングする時刻t0において、1シンボル後のデータD-1の符号の影響により、変化してしまう。例えば、基準データD0の符号が1の場合、1シンボル後のデータD-1の符号によって、入力データIWの波形は、破線IW1A（IW2A）または破線IW1B（IW2B）に示すように変化する。そのため、基準データD0をサンプリングする時刻t0において、入力データIWの電圧は、1シンボル後のデータD-1の符号によって異なる値となる。基準データD0の符号が0の場合も同様に、基準データD0をサンプリングする時刻t0において、入力データIWの電圧は、データD-1の符号によって異なる値となる。すなわち、図2に示したように、1シンボル後のデータD-1による符号間干渉が生じている。

30

【0069】

タップ係数Tap1～Tapnを理想的な値に近づけ、アイ(eye)を拡げるためには、時刻t0において、入力データIWが、例えば破線IW1Aのように変化しているのか破線IW1Bのように変化しているのかを識別することが要求される。この識別は、例えば、エラーサンブラ122に供給されるデータオフセットVofを、破線IW1Aで示されている電圧と破線IW1Bで示されている電圧との間に設定することにより行うことが可能である。しかしながら、この場合には、エラーサンブラ122に供給されるデータオフセットVofを適切な値に設定することが要求され、識別を行うための時間も要求されることになる。そのため、タップ係数Tap1～Tapnを、理想的な値に近づけるために要する時間、言い換えるならばタップ係数Tap1～Tapnの収束時間が長くなる。

40

【0070】

また、例えば破線IW1Aに対応したタップ係数と破線IW1Bに対応したタップ係数のいずれかが求められるため、理想的な値とはかけ離れたタップ係数が求められることがあり、求められたタップ係数の精度が低下することが考えられる。

50

## 【 0 0 7 1 】

なお、図 3 では、基準データ D 0 とデータ D - 1 の符号の組合せが、( D 0、D - 1 ) で示されている。例えば、符号 I W 1 A が付された破線は、組合せが ( 1、1 ) の場合を示している。

## 【 0 0 7 2 】

実施の形態 1 においては、基準データ D 0 の符号と 1 シンボル後のデータ D - 1 の符号とが一致したとき、タップ係数  $T a p 1 \sim T a p n$  の更新が許容され、不一致のときには、タップ係数の更新が禁止される。これにより、図 3 に示す入力データ I W は、破線 I W 1 A、I W 2 A、I W 3 B または I W 4 B に示すように変化し、破線 I W 1 B、I W 2 B、I W 3 A および I W 4 A に示すようには変化しない。すなわち、入力データ I W は、符号が一致した場合 ( 組合せが 1、1 または 0、0 ) の波形 ( 破線 I W 1 A、I W 2 A、I W 3 B または I W 4 B ) 曲線に沿って変化することが許容され、符号が不一致の場合 ( 組合せが 1、0 または 1、0 ) の波形 ( 破線 I W 1 B、I W 2 B、I W 3 A または I W 4 A ) 曲線に沿って変化することが禁止される。図 3 には、破線 I W 1 A、I W 2 A、I W 3 B または I W 4 B で示されているように変化した入力データ I W を、基準データ D 0 を求めるために、時刻  $t_0$  において、サンプリングすることが、印で示されている。また、この場合、エラーサンプラ 1 2 2 に供給されるデータオフセット V o f の値は、破線 I W 1 A、I W 2 A、I W 3 B または I W 4 B の電圧値でよい。例えば、入力データ I W が、破線 I W 1 A、I W 2 A に示すように変化する場合には、データオフセット V o f の値として、時刻  $t_0$  における破線 I W 1 A の電圧を用いばよい。

## 【 0 0 7 3 】

これにより、識別を行うための時間を短縮することが可能となり、収束時間の短縮化を図ることが可能となる。また、例えば伝送線路 D L の損失またはノイズおよび通信速度によって生じる符号間干渉により、入力データ I W が、破線 I W 1 A、I W 2 A、I W 3 B または I W 4 B のように変化する場合には、理想的なタップ係数に近いタップ係数を精度よく求めることが可能となる。

## 【 0 0 7 4 】

次に、図 1 で示したタップ係数計算回路 1 0 5 およびフィルタ回路 1 0 6 の構成を説明する。図 4 は、実施の形態 1 に係わるタップ係数計算回路 1 0 5 およびフィルタ回路 1 0 6 の構成の構成を示すブロック図である。

## 【 0 0 7 5 】

タップ係数計算回路 1 0 5 は、データ D 1 ~ D n に対応した 2 入力の排他的論理和回路 4 0 1 - 1 ~ 4 0 1 - n と、データ D 1 ~ D n に対応したアップダウンカウンタ 4 0 0 - 1 ~ 4 0 0 - n を備えている。排他的論理和回路 4 0 1 - 1 ~ 4 0 1 - n のそれぞれの一方の入力には、デマルチプレクサ 1 0 4 ( 図 1 ) からのデータ D 1 ~ D n が供給され、それぞれの他方の入力には、デマルチプレクサ 1 0 4 からのエラーデータ E 0 が共通に供給されている。アップダウンカウンタ 4 0 0 - 1 ~ 4 0 0 - n には、対応するデータが供給されている排他的論理和回路 4 0 1 - 1 ~ 4 0 1 - n の出力が、アップダウン信号  $U p d n - T a p 1 \sim U p d n - T a p n$  として供給されている。また、アップダウンカウンタ 4 0 0 - 1 ~ 4 0 0 - n には、フィルタ回路 1 0 6 から、更新を制御する更新制御信号 U p d a t e が供給されている。

## 【 0 0 7 6 】

アップダウンカウンタ 4 0 0 - 1 ~ 4 0 0 - n のそれぞれは、フィルタ回路 1 0 6 からの更新制御信号 U p d a t e がロウレベル ( 論理値 0 ) のとき、アップダウン動作が可能となり、フィルタ回路 1 0 6 からの更新制御信号 U p d a t e がハイレベル ( 論理値 1 ) のとき、アップダウン動作が禁止される。これらのアップダウンカウンタ 4 0 0 - 1 ~ 4 0 0 - n のカウント値が、タップ係数  $T a p 1 \sim T a p n$  として、対応するタップ係数乗算器 1 2 4 - 1 ~ 1 2 4 - n ( 図 1 ) へ供給される。

## 【 0 0 7 7 】

排他的論理和回路 4 0 1 - 1 ~ 4 0 1 - n のそれぞれは、供給されているエラーデータ

10

20

30

40

50

E0とデータD1～Dnとの間で排他的論理和演算を実施し、演算結果をアップダウン信号Updn-Tap1～Updn-Tapnとして出力する。アップダウンカウンタ400-1～400-nのそれぞれは、更新制御信号Updateが論理値0のとき、アップダウン信号Updn-Tap1～Updn-Tapnに従って、カウント値をアップまたはダウンする。

【0078】

これに対して、更新制御信号Updateが論理値1の場合には、アップダウンカウンタ400-1～400-nのそれぞれは、アップダウン信号Updn-Tap1～Updn-Tapnにかかわらず、カウント値のアップおよびダウンを行わない。そのため、アップおよびダウンされずに、維持されたカウント値が、タップ係数Tap1～Tapnとして、タップ係数乗算器124-1～124-nへ供給されることになる。

10

【0079】

フィルタ回路106は、デマルチプレクサ104から基準データD0と1シンボル後のデータD-1とを受ける2入力の排他的論理和回路402を備えている。排他的論理和回路402は、基準データD0とデータD-1との間で排他的論理和演算を行う。この排他的論理和演算の結果が、更新制御信号Updateとして、フィルタ回路106から出力される。そのため、基準データD0の論理値と1シンボル後のデータD-1の論理値とが一致した場合、更新制御信号Updateの論理値は、0となり、不一致の場合には、更新制御信号Updateの論理値は、1となる。

【0080】

20

これにより、基準データD0と基準データD0よりも1シンボル後のデータD-1との間で符号（論理値）が、一致した場合には、タップ係数計算回路105は、タップ係数Tap1～Tapnの更新を行う。この場合、タップ係数Tap1～Tapnのそれぞれが、基準データD0よりも前のシンボルのデータD1～Dnの符号（論理値）とエラーデータE0の符号（論理値）との排他的論理和演算の結果に従って、アップまたはダウンされることにより、更新が行われる。これに対して、基準データD0と基準データD0よりも1シンボル後のデータD-1との間で符号（論理値）が、不一致の場合には、タップ係数Tap1～Tapnのそれぞれは、更新が行われず、維持されることになる。

【0081】

<変形例>

30

図5は、実施の形態1の変形例に係るフィルタ回路の構成を示すブロック図である。図5には、変形例に係るフィルタ回路以外に、タップ係数計算回路105の構成も示されているが、タップ係数計算回路105の構成は、図4に示したタップ係数計算回路105の構成と同じであるため、説明は省略する。

【0082】

変形例に係るフィルタ回路106は、基準データD0と基準データD0よりも1シンボル後のデータD-1を受ける排他的論理和回路402と、セクタ500とを備えている。セクタ500は、2個の入力端子I1、I2と、選択端子Sと、出力端子Oを備えている。セクタ500の入力端子I1には、排他的論理和回路402の出力が供給され、入力端子I2には、論理値0（ロウレベル）が供給されている。また、セクタ500の出力端子Oから、更新制御信号Updateが出力される。

40

【0083】

選択端子Sには、特に制限されないが、レシーバ回路101（図1）の外部に設けられた制御回路（図示しない）からフィルタイネーブル信号FCが供給される。セクタ500は、フィルタイネーブル信号FCが、例えばハイレベル（論理値1）のとき、入力端子I1に供給されている排他的論理和回路402の出力を、出力端子Oに伝達する。これに対して、フィルタイネーブル信号FCが、ロウレベル（論理値0）のとき、セクタ500は、入力端子I2に供給されている論理値0（ロウレベル）を、出力端子Oへ伝達する。

【0084】

50

図示しない制御回路によって、上記したフィルタインーブル信号FCが、ハイレベルにされると、排他的論理和回路402の出力が、セレクタ500を介して、更新制御信号Updateとしてタップ係数計算回路105へ供給されることになる。この場合には、図4で説明したのと同様に、基準データD0とデータD-1の符号が一致すれば、タップ係数の更新が可能となり、不一致の場合には、タップ係数の更新が禁止されることになる。

【0085】

一方、図示しない制御回路によって、上記したフィルタインーブル信号FCが、ロウレベルにされると、セレクタ500は、論理値0を更新制御信号Updateとして出力することになる。そのため、基準データD0とデータD-1の符号(論理値)にかかわらず、アップダウンカウンタ400-1~400-nは、カウンタの値を、アップダウン信号Updn-Tap1~Updn-Tapnに従って更新(カウントアップまたはカウントダウン)することになる。すなわち、フィルタ回路106の機能が無効にされる。

10

【0086】

基準データD0よりも1シンボル後のデータD-1によって生じる符号間干渉の影響は、伝送線路DLの損失または/および通信速度によって変わることが考えられる。そのため、タップ係数Tap1~Tapnの更新を禁止することによる有効性も変化することが考えられる。この変形例においては、有効性が低い場合には、制御回路によって、フィルタインーブル信号FCをロウレベルにする。これにより、タップ係数は、データD1~DnとエラーデータE0とに基づいて、常に更新されることになる。

【0087】

20

その結果、伝送線路または/および通信速度に応じた等化器を提供することが可能となる。

【0088】

(実施の形態2)

図6は、実施の形態2に係るフィルタ回路106の構成を示すブロック図である。図6にも、フィルタ回路106以外に、タップ係数計算回路105の構成が示されている。図6に示したタップ係数計算回路105の構成は、図4に示したタップ係数計算回路105の構成と同じであるため、説明は省略する。

【0089】

この実施の形態2においては、フィルタ回路106の構成が、図4と異なっている。この実施の形態2において、フィルタ回路106は、基準データD0と基準データD0よりも1シンボル後のデータD-1とを受け取る否定排他的論理和回路600を備えている。否定排他的論理和回路600は、基準データD0の符号(論理値)と、1シンボル後のデータD-1の符号(論理値)とが、不一致の場合、ロウレベル(論理値0)の更新制御信号Updateを出力し、一致している場合、ハイレベル(論理値1)の更新制御信号Updateを出力する。

30

【0090】

従って、アップダウンカウンタ400-1~400-nのそれぞれは、基準データD0と1シンボル後のデータD-1の符号が不一致のとき、アップダウン信号Updn-Tap1~Updn-Tapnに従って、カウントアップまたはカウントダウンする。このカウントアップまたはカウントダウンしたカウント値が、タップ係数Tap1~Tapnとして、タップ係数計算回路105から出力される。

40

【0091】

図7は、実施の形態2に係るタップ加算回路125から出力される入力データの波形を示す波形図である。図7は、図3に示した波形図と同様に、入力データIWの波形を示す波形を示している。すなわち、入力データIWのアイパターンを示している。実施の形態1と異なり、実施の形態2においては、基準データD0の符号と1シンボル後のデータD-1の符号とが不一致のとき、タップ係数Tap1~Tapnの更新が行われる。そのため、入力データIWは、破線IW1B、IW2B、IW3AまたはIW4Aのように変化することになる。この場合、データサンプラ121およびエラーサンプラ122は、入力

50

データIWを、基準データD0のサンプリングタイミングである時刻t0において、サンプリングする。このときサンプリングする入力データIWの波形は、破線IW1B、IW2B、IW3AまたはIW4Aのいずれかに示すように変化しているため、サンプリングは、印の部分で行われることになる。

#### 【0092】

実施の形態1と同様に、識別に要する時間の短縮化が図れるため、収束時間の短縮化を図ることが可能となる。また、伝送線路DLの損失またはノおよび通信速度によって生じる符号間干渉により、入力データIWが、破線IW1B、IW2B、IW3AまたはIW4Aのように変化する場合には、理想的なタップ係数に近いタップ係数を精度よく求めることが可能となる。

10

#### 【0093】

時刻t0において、エラーサンプラ122に供給されるデータオフセットVofの値は、時刻t0における破線IW1A、IW2A、IW3BまたはIW4Bの電圧でよい。データオフセットVofの電圧値を、図7に示した基準電圧Vrefに対する電位とした場合、データオフセットVofの電圧値は、実施の形態1に比べて小さくてよい。そのため、実施の形態1に比べて、エラーサンプラ122がサンプリングを行う際に比較する電圧範囲を狭くすることが可能となる。

#### 【0094】

(実施の形態3)

図8は、実施の形態3に係るレシーバ回路の構成を示すブロック図である。図8に示すレシーバ回路101の構成は、図1に示したレシーバの構成と類似している。ここでは、図1に示したレシーバ回路との相違点を主に説明する。なお、図8では、図1に示した保持回路DH、ドライバ回路DVおよび伝送線路DLは省略されている。

20

#### 【0095】

図8に示したレシーバ回路101においては、タップ係数計算回路105が、エラーサンプラ122に供給されるオフセット係数Offsetを形成している。エラーサンプラ122は、タップ係数計算回路105により形成されたオフセット係数Offsetを、データオフセットVofとし、このデータオフセットに基づいて、入力データIWをサンプリングする。

#### 【0096】

タップ係数計算回路105は、オフセット係数Offsetを形成するために、この実施の形態3においては、基準データD0とエラーデータE0とを用いる。そのため、タップ係数計算回路105には、図1に示したタップ係数計算回路と比較すると、基準データD0も供給されている。

30

#### 【0097】

図9は、実施の形態3に係るタップ係数計算回路105の構成を示すブロック図である。同図には、タップ係数計算回路105以外に、フィルタ回路106の構成も示されているが、このフィルタ回路106の構成は、図4で説明したフィルタ回路106の構成と同じであるため、説明は省略する。

#### 【0098】

図9に示したタップ係数計算回路105の構成は、図4に示したタップ係数計算回路105に対して、オフセット係数Offsetを形成する回路が追加されている。まず、図9に示したタップ係数計算回路と図4に示したタップ係数計算回路との間で同じ部分を説明する。図9においてアップダウンカウンタ400-1~400-nおよび排他的論理和回路401-1~401-nの構成は、図4に示したアップダウンカウンタ400-1~400-nおよび排他的論理和回路401-1~401-nの構成と同じである。すなわち、タップ係数Tap1~Tapnを形成する部分の構成は、図9と図4とにおいて同じである。そのため、タップ係数Tap1~Tapnを形成する部分についての説明は省略する。

40

#### 【0099】

50



図4に対して、図9に示したタップ係数計算回路105で追加されているのは、アップダウンカウンタ900と否定排他的論理和回路901である。このアップダウンカウンタ900と否定排他論理和回路901とによって、オフセット係数Offsetを形成する回路が構成されている。否定的排他論理和回路901は、2入力であり、その一方の入力に、基準データD0が供給され、他方の入力に、エラーデータE0が供給されている。この否定排他論理和回路901の出力は、オフセット用アップダウン信号Updn-Offsetとして、アップダウンカウンタ900に供給されている。アップダウンカウンタ900には、さらに、更新制御信号Updateが供給されており、このアップダウンカウンタ900のカウンタ値が、オフセット係数Offsetとして、タップ係数計算回路105から出力される。

10

#### 【0100】

アップダウンカウンタ900は、アップダウンカウンタ400-1~400-nと同様に、更新制御信号Updateがロウレベル(論理値0)のとき、アップダウンの動作が許容され、更新制御信号Updateがハイレベル(論理値1)のとき、アップダウン動作が禁止される。アップダウンカウンタ900は、アップダウンの動作が許容されているとき、すなわち、更新制御信号Updateがロウレベルのとき、供給されているオフセット用のアップダウン信号Updn-Offsetに従って、アップ動作またはダウン動作を行う。アップ動作によってアップされたカウンタまたはダウン動作によってダウンされたカウンタ値が、オフセット係数Offsetとして、タップ係数計算回路105から出力される。

20

#### 【0101】

否定排他的論理和回路901は、基準データD0の符号(論理値)とエラーデータE0の符号(論理値)の組合せに従って、オフセット用のアップダウン信号Updn-Offsetを出力する。アップダウンカウンタ900は、更新制御信号Updateによって、更新が許容されているとき、すなわち更新制御信号Updateがロウレベルのとき、このアップダウン信号Updn-Offsetに従って、カウンタアップまたはカウンタダウンを行う。カウンタアップまたはカウンタダウンにより得られたカウンタ値が、エラーサンプラ122のデータオフセットVofとして用いられる。そのため、エラーサンプラ122に供給されるデータオフセットを、基準データD0とエラーデータE0とに基づいて、自動で調整することが可能となる。

30

#### 【0102】

また、フィルタ回路106からの更新制御信号Updateによって、基準データD0と1シンボル後のデータD-1の符号が一致する場合のみ、アップダウンカウンタ900の更新が許容される。そのため、基準データD0と1シンボル後のデータD-1の符号が一致する場合に対応するデータオフセットが形成されるようになり、基準データD0およびデータD-1とは無関係にデータオフセットを形成するのに比べて、エラーサンプラ122へ供給されるデータオフセットの収束性と安定性を向上させることが可能となる。

#### 【0103】

また、更新制御信号Updateによって、タップ係数Tap1~Tapnの更新と、オフセットOffsetの更新が制御されるため、エラーサンプラ122に供給されるデータオフセットであるオフセット係数Offsetは、入力データIWの変化に合わせることが可能となる。図3において、入力データIWが、破線IW1AまたはIW2Aに示すように変化する場合、オフセット係数Offsetが、時刻t0における破線IW1A(IW2A)の電圧を示すようにすることが可能である。同様に、図3において、入力データIWが、破線IW3BまたはIW4BAに示すように変化する場合、オフセット係数Offsetが、時刻t0における破線IW3B(IW4B)の電圧を示すようにすることが可能である。

40

#### 【0104】

図8および図9では、実施の形態1と同様に、基準データD0の符号と1シンボル後のデータD-1の符号が一致した場合、オフセット係数Offsetの更新を行う例を説明

50

したが、実施の形態 2 で説明したように、基準データ D 0 の符号と 1 シンボル後にデータ D - 1 の符号が不一致の場合に、更新するようにしてもよい。

【 0 1 0 5 】

また、実施の形態 2 および 3 において、実施の形態 1 の変形例で説明したように、フィルタ回路 1 0 6 の機能の有効 / 無効をフィルタイネーブル信号 F C によって制御するようにしてもよい。

【 0 1 0 6 】

タップ係数計算回路 1 0 5 およびフィルタ回路 1 0 6 は、実施の形態 1 ~ 3 で説明した構成に限定されず、種々の構成をとることができる。

【 0 1 0 7 】

また、実施の形態 1 ~ 3 においては、基準データ D 0 の符号と 1 シンボル後のデータの符号とに基づいて、更新の有無を制御していたが、これに限定されるものではない。すなわち、基準データ D 0 を基準として、1 シンボル後ではなく、複数シンボル後のデータの符号と、基準データ D 0 の符号とに基づいて、更新の有無を制御してもよい。さらに、基準データ D 0 を基準として、後の複数のシンボルのそれぞれのデータの符号と、基準データ D 0 の符号とに基づいて、更新の有無を制御するようにしてもよい。

【 0 1 0 8 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 符号の説明 】

【 0 1 0 9 】

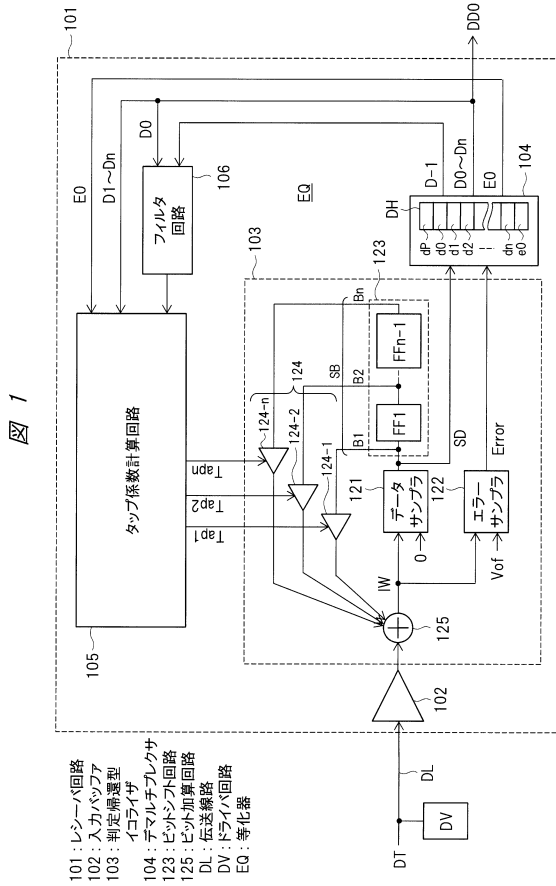
- 1 0 1 レシーバ回路
- 1 0 2 入力バッファ
- 1 0 3 判定帰還型イコライザ
- 1 0 4 デマルチプレクサ
- 1 0 5 タップ係数計算回路
- 1 0 6 フィルタ回路
- 1 2 1 データサンブラ
- 1 2 2 エラーサンブラ
- 1 2 3 ビットシフト回路
- 1 2 4 タップ係数乗算回路
- 1 2 5 タップ加算回路
- D V ドライバ回路
- D L 伝送線路
- E Q 等化器

10

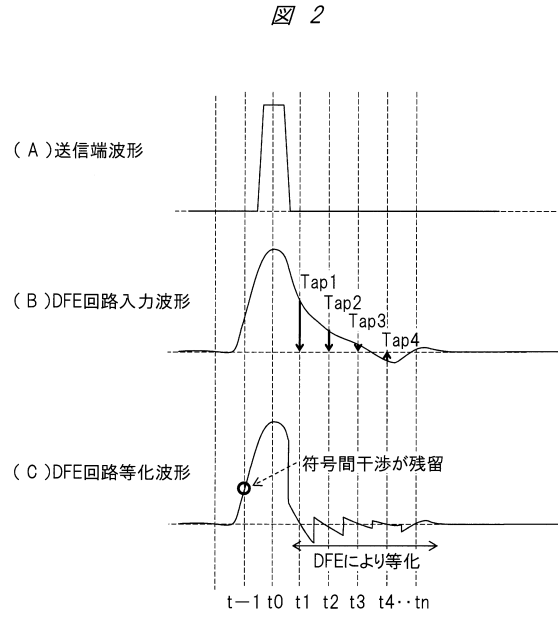
20

30

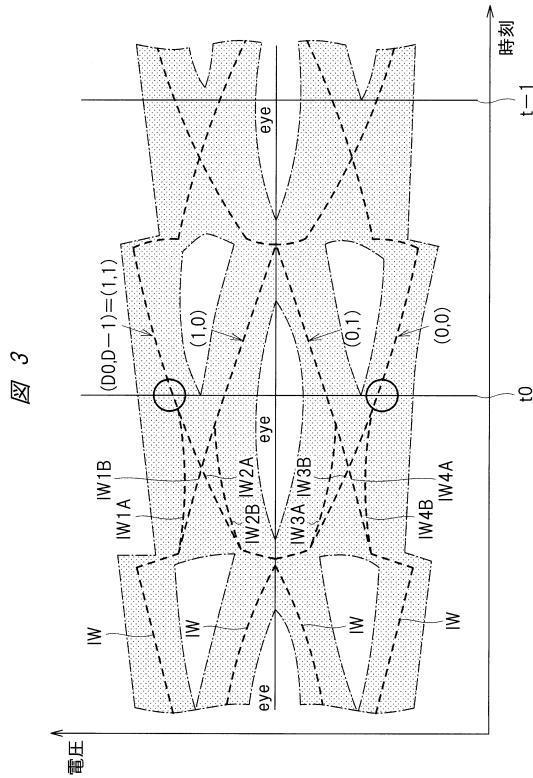
【 図 1 】



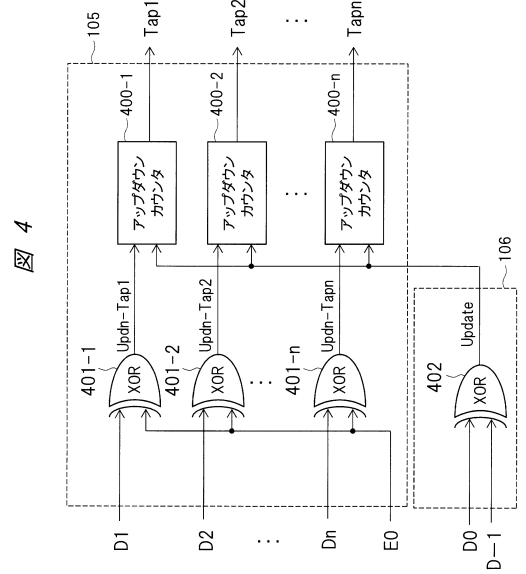
【 図 2 】



【 図 3 】

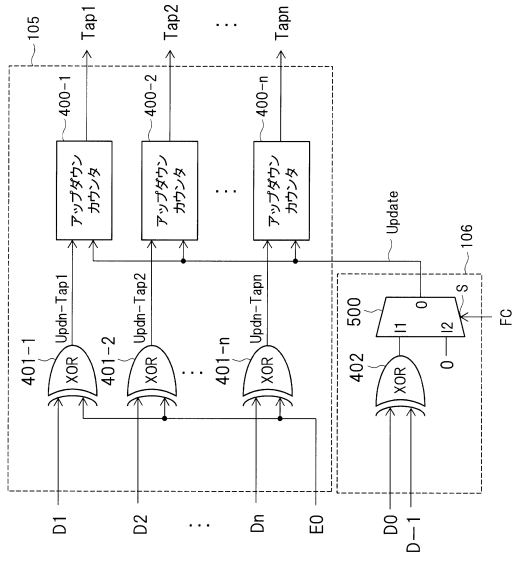


【 図 4 】



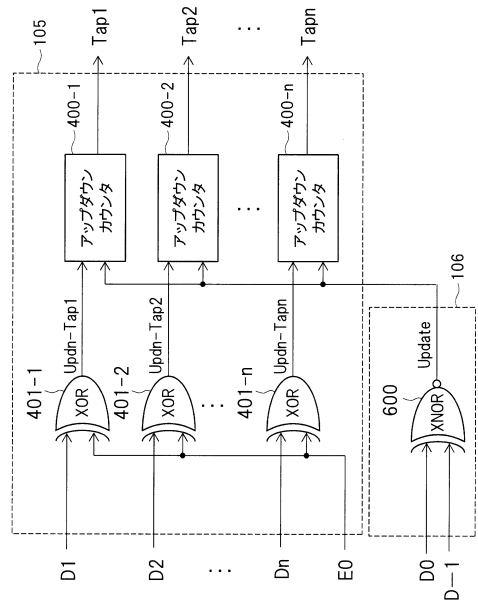
【図5】

図5



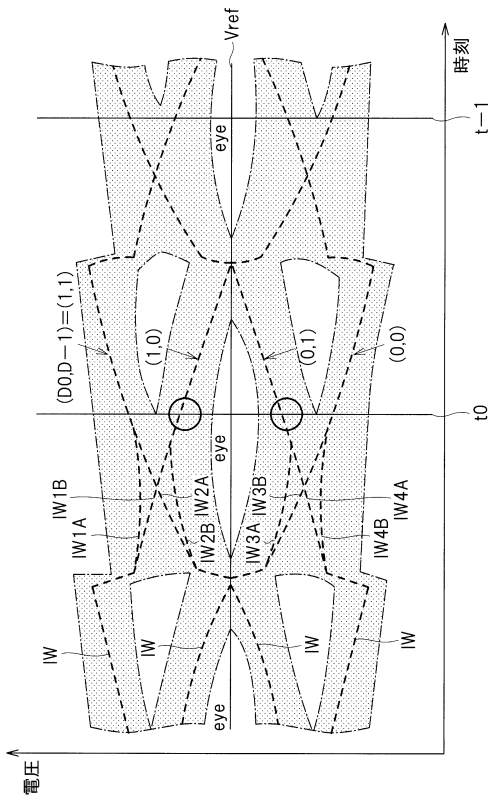
【図6】

図6



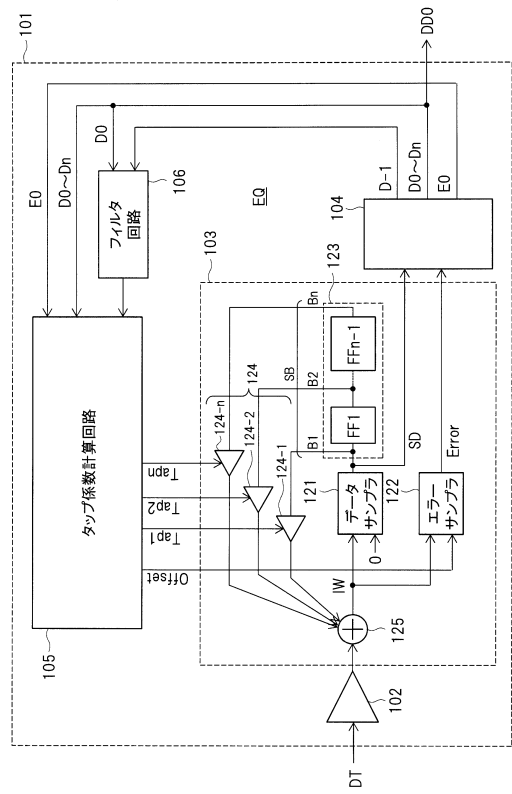
【図7】

図7

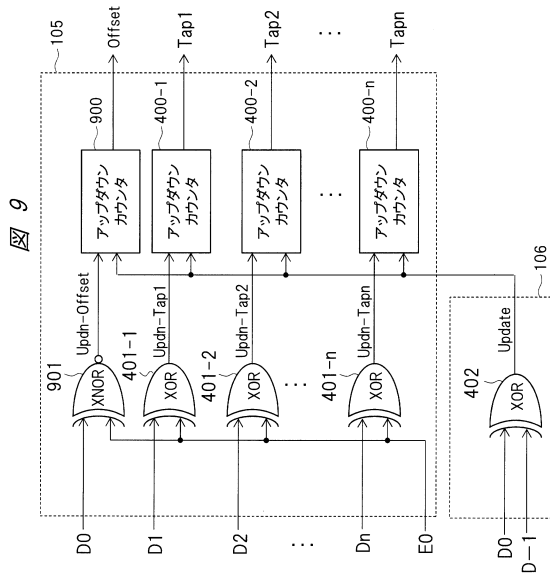


【図8】

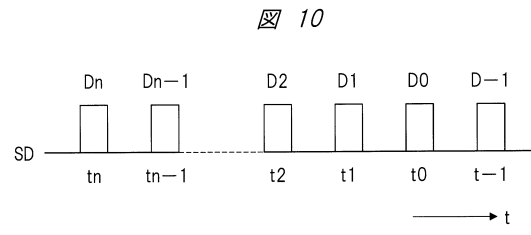
図8



【 図 9 】



【 図 10 】



---

フロントページの続き

審査官 佐藤 敬介

- (56)参考文献 特開2011-151765(JP,A)  
米国特許出願公開第2005/0157780(US,A1)  
特表2007-515130(JP,A)  
米国特許出願公開第2010/0008414(US,A1)  
中国特許出願公開第101595699(CN,A)  
特開2012-124782(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H04B 3/06  
H03H 21/00