



(12) 发明专利申请

(10) 申请公布号 CN 111785636 A

(43) 申请公布日 2020.10.16

(21) 申请号 202010691081.X

(22) 申请日 2020.07.17

(71) 申请人 上海华力集成电路制造有限公司  
地址 201203 上海市浦东新区康桥东路298号1幢1060室

(72) 发明人 翁文寅

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 张彦敏

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

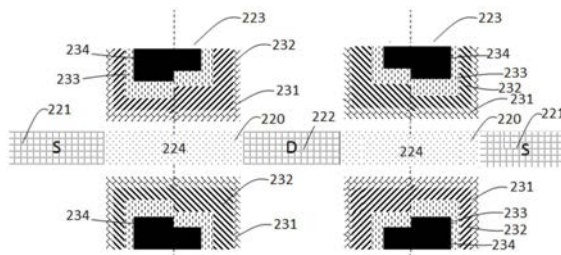
权利要求书2页 说明书7页 附图4页

(54) 发明名称

并联栅极环绕结构鳍式晶体管及其制造方法

(57) 摘要

本发明涉及并联栅极环绕结构鳍式晶体管的制造方法,涉及半导体集成电路制造技术,形成的栅极结构中的靠近漏极一侧的栅介质层的厚度大于靠近源极一侧的栅介质层的厚度,而使靠近漏极一侧的栅介质层所覆盖的沟道区的第一阈值电压大于靠近源极一侧的栅介质层所覆盖的沟道区的第二阈值电压,在半导体器件导通时,第一阈值电压区的反型电流小于第二阈值电压区的反型电流,从而使第一阈值电压区功能上类似于LDMOS中的漂移区,并在具有不同厚度的栅介质层的形成过程中,无论光刻胶偏向任何一侧的多晶硅栅去除区域,最终形成的相邻两栅极结构中的靠近漏极一侧的栅介质层的总长度不变,使形成的并联栅极环绕结构鳍式晶体管的性能更优。



1. 一种并联栅极环绕结构鳍式晶体管的制造方法,其特征在于,包括:

S1:提供一半导体衬底,在半导体衬底上形成场氧化层,场氧化层隔离出有源区,在所述半导体衬底表面形成外延层,外延层包括锗硅外延层和硅外延层形成的至少一个叠加层,进行光刻刻蚀形成具有条状结构的多个鳍体,各鳍体平行排列,各鳍体包括所述至少一个叠加层,形成多条多晶硅栅,所述多晶硅栅分别覆盖鳍体的部分的顶部表面和侧面,在多晶硅栅的两侧形成侧墙,在鳍体上形成源极和漏极,源极和漏极位于多晶硅栅的两侧,相邻两多晶硅栅之间形成有一漏极;

S2:形成层间介质层,并进行平坦化工艺,去除多晶硅栅,进行锗硅刻蚀工艺,去除锗硅外延层形成由硅外延层形成的线体;

S3:形成界面层,界面层包覆多晶硅栅去除区域的线体的周侧并覆盖多晶硅栅去除区域的侧壁,形成第一层栅介质层,第一层栅介质层覆盖界面层的表面;

S4:形成光刻胶,进行曝光显影以将靠近源极一侧的第一层栅介质层显开,并将靠近漏极一侧的相邻两多晶硅栅去除区域的第一层栅介质层均保护起来,并去除显开的第一层栅介质层;

S5:去除光刻胶,形成第二层栅介质层,第二层栅介质层覆盖第一层栅介质层及裸露的界面层的表面,而使由第一层栅介质层和第二层栅介质层形成的栅介质层在靠近源极一侧具有第一厚度,在靠近漏极一侧具有第二厚度,并第二厚度大于第一厚度;以及

S6:形成功函数层,功函数层覆盖栅介质层的表面,形成金属栅,金属栅填充多晶硅栅的去除区域,使金属栅与线体、栅介质层和功函数层形成两相邻的栅极环绕的栅极结构,两相邻的栅极环绕的栅极结构和共用漏极与两源极构成并联栅极环绕结构鳍式晶体管。

2. 根据权利要求1所述的并联栅极环绕结构鳍式晶体管的制造方法,其特征在于,所述半导体衬底为硅衬底。

3. 根据权利要求1所述的并联栅极环绕结构鳍式晶体管的制造方法,其特征在于,所述场氧化层采用浅沟槽隔离工艺形成。

4. 根据权利要求1所述的并联栅极环绕结构鳍式晶体管的制造方法,其特征在于,所述界面层由氧化硅形成。

5. 根据权利要求1所述的并联栅极环绕结构鳍式晶体管的制造方法,其特征在于,栅介质层包括高介电常数层。

6. 一种并联栅极环绕结构鳍式晶体管,其特征在于,包括:两个栅极结构、两个源极和漏极,所述源极和所述漏极形成于由线体形成的鳍体上,并漏极位于所述两个栅极结构之间,两个源极分别位于所述两个栅极结构的与所述漏极相对的其中一侧,使一源极、一栅极结构和所述漏极形成一栅极环绕结构鳍式晶体管,使另一源极、另一栅极结构和所述漏极形成另一栅极环绕结构鳍式晶体管,两栅极环绕结构鳍式晶体管构成漏极共用的并联栅极环绕结构鳍式晶体管,其中,所述栅极结构包括界面层、栅介质层、功函数层和金属栅的叠加结构,界面层包覆所述栅极结构区域的线体的周侧,栅介质层叠加于界面层上,并靠近漏极一侧的栅介质层的厚度大于靠近源极一侧的栅介质层的厚度,而使靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层所覆盖的沟道区分别为第一阈值电压区和第二阈值电压区,且第一阈值电压区的第一阈值电压大于第二阈值电压区的第二阈值电压,功函数层叠加于栅介质层上,金属栅叠加于功函数层上,使金属栅与线体、栅介质层和功函数层形成栅

极环绕的栅极结构。

7. 根据权利要求6所述的并联栅极环绕结构鳍式晶体管, 其特征在于, 所述线体为硅纳米线。

8. 根据权利要求7所述的并联栅极环绕结构鳍式晶体管, 其特征在于, 所述线体由形成于半导体衬底表面的锗硅外延层和硅外延层形成的至少一个叠加层经锗硅刻蚀工艺去除锗硅外延层而形成。

9. 根据权利要求1所述的并联栅极环绕结构鳍式晶体管, 其特征在于, 所述栅介质层包括高介电常数层。

10. 根据权利要求1所述的并联栅极环绕结构鳍式晶体管, 其特征在于, 所述并联栅极环绕结构鳍式晶体管为5nm以下工艺节点的器件。

## 并联栅极环绕结构鳍式晶体管及其制造方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造技术,尤其涉及一种并联栅极环绕结构鳍式晶体管。

### 背景技术

[0002] 在半导体集成电路领域,高漏极电压器件即高耐压半导体器件被广泛应用,如显示驱动器件、电源IC控制器以及微波和射频功率放大器等设备中均需用到高耐压半导体器件,所以如何提高半导体器件的耐压能力非常重要。

[0003] 如图1所示,是现有MOSFET的结构示意图,以NMOS管为例,包括:形成于半导体衬底如硅衬底1表面的P型掺杂区如P阱2,半导体衬底1通常为P+掺杂;形成于P阱2上的栅极结构,其包括由栅介质层如栅氧化层3和多晶硅栅4叠加而成的结构;以及形成在所述栅极结构两侧的P阱2中的N+掺杂的源区5和漏区6。其中,被栅极结构所覆盖的所述P阱2的表面用于形成连接源区5和漏区6的沟道。图1所示的现有MOSFET的耐压能力较差,通常用于低压应用中。

[0004] 为了提高器件的耐压能力,现有方法是在图1所示的半导体器件的基础上在靠近漏区端增加漂移区,通常采用图2所示的LDMOS结构。如图2所示,是现有LDMOS的结构示意图;以N型器件为例,现有LDMOS包括:形成于半导体衬底如硅衬底201中的N阱207;形成于N阱207中的P阱202;形成于N阱207上的栅极结构,其包括由栅介质层如栅氧化层203和多晶硅栅204叠加而成的结构;形成在所述栅极结构第一侧的P阱202中的N+掺杂的源区205,形成在所述栅极结构第二侧的N阱207中的N+掺杂的漏区206;形成在P阱202中的由P+区组成的体引出区208。其中,沟道区由被栅极结构所覆盖的所述P阱202的表面用于形成沟道,漂移区由位于所述沟道区和所述漏区206之间的所述N阱207组成。在所述漏区206加高电压时,所述漂移区会产生耗尽从而能承受高压。所以,相对图1所示的结构,图2所示的LDMOS相当于在沟道区中靠近漏区端插入了一个漂移区,通过漂移区的设置而实现耐压能力的提升。

[0005] 如图1和图2所示的器件均为平面性器件,随着半导体技术的不断发展,如图1和同样2所示的平面性器件已经不能满足人们对高性能器件的需求。FinFET (Fin Field-Effect Transistor, 鳍式场效应晶体管) 应运而生,其是一种立体型器件,相对于平面式晶体管,鳍式场效应晶体管 (FinFET) 具有立体式沟道结构,故具有更好的导通电流和关断电流特性,也能改善短沟道效应 (SCE)。鳍式晶体管通常包括鳍体,鳍体由形成于半导体衬底上的纳米条或纳米片组成。同一半导体衬底上的鳍体平行排列且各鳍体之间隔离有介质层。栅极结构覆盖在部分长度的鳍体的顶部表面和侧面,被栅极结构覆盖的鳍体的表面用于形成沟道,也即在鳍体的顶部表面和两个侧面都具有沟道。通常栅极结构包括叠加而成的栅介质层和栅导电材料层。源区和漏区形成在栅极结构两侧的鳍体中。

[0006] 随着半导体技术的进一步发展及市场需求,器件尺寸不断缩小。5nm工艺节点以下时,鳍式场效应晶体管会应用采用了纳米线 (nanowire) 或纳米片 (nanosheet) 的栅极环绕

(Gate-All-Around,GAA)结构,其可进一步改善短沟道效应(SCE)。请参阅图3,图3为栅极环绕结构的示意图,如图3所示,栅极环绕结构包括形成于半导体衬底上的鳍体110上的线体144。半导体器件的沟道区形成在线体144中,在沟道区即线体144的周侧形成有栅介质层122。在栅介质层122的周侧及栅介质层122与半导体衬底之间形成有功函数层133。GAA结构可有效改善器件的短沟道效应(SCE)。

[0007] 现有栅极环绕结构的鳍式晶体管很难实现类似于图2所示的LDMOS结构,也即很难在由所述线体144组成的沟道区的靠近漏端一侧形成漂移区,原因包括:

[0008] 第一、现有栅极环绕结构的鳍式晶体管的沟道区形成在所述线体144中,需要尽量降低对沟道区的离子注入剂量,这样有利于提高载流子的迁移率;而引入漂移区的掺杂后将会降低载流子的迁移率。

[0009] 第二、所述线体144组成的所述沟道区需要被全部耗尽,引入漂移区后将会关闭沟道区的全部耗尽。

[0010] 为迎合器件尺寸的不断缩小,并提高半导体器件的耐压能力,研发一种高耐压能力的栅极环绕结构的鳍式晶体管成为业界研究的方向。

## 发明内容

[0011] 本发明提供的并联栅极环绕结构鳍式晶体管的制造方法,包括:S1:提供一半导体衬底,在半导体衬底上形成场氧化层,场氧化层隔离出有源区,在所述半导体衬底表面形成外延层,外延层包括锗硅外延层和硅外延层形成的至少一个叠层,进行光刻刻蚀形成具有条状结构的多个鳍体,各鳍体平行排列,各鳍体包括所述至少一个叠层,形成多条多晶硅栅,所述多晶硅栅分别覆盖鳍体的部分的顶部表面和侧面,在多晶硅栅的两侧形成侧墙,在鳍体上形成源极和漏极,源极和漏极位于多晶硅栅的两侧,相邻两多晶硅栅之间形成有一漏极;S2:形成层间介质层,并进行平坦化工艺,去除多晶硅栅,进行锗硅刻蚀工艺,去除锗硅外延层形成由硅外延层形成的线体;S3:形成界面层,界面层包覆多晶硅栅去除区域的线体的周侧并覆盖多晶硅栅去除区域的侧壁,形成第一层栅介质层,第一层栅介质层覆盖界面层的表面;S4:形成光刻胶,进行曝光显影以将靠近源极一侧的第一层栅介质层显开,并将靠近漏极一侧的相邻两多晶硅栅去除区域的第一层栅介质层均保护起来,并去除显开的第一层栅介质层;S5:去除光刻胶,形成第二层栅介质层,第二层栅介质层覆盖第一层栅介质层及裸露的界面层的表面,而使由第一层栅介质层和第二层栅介质层形成的栅介质层在靠近源极一侧具有第一厚度,在靠近漏极一侧具有第二厚度,并第二厚度大于第一厚度;以及S6:形成功函数层,功函数层覆盖栅介质层的表面,形成金属栅,金属栅填充多晶硅栅的去除区域,使金属栅与线体、栅介质层和功函数层形成两相邻的栅极环绕的栅极结构,两相邻的栅极环绕的栅极结构和共用漏极与两源极构成并联栅极环绕结构鳍式晶体管。

[0012] 更进一步的,所述半导体衬底为硅衬底。

[0013] 更进一步的,所述场氧化层采用浅沟槽隔离工艺形成。

[0014] 更进一步的,所述界面层由氧化硅形成。

[0015] 更进一步的,栅介质层包括高介电常数层。

[0016] 本发明还提供一种并联栅极环绕结构鳍式晶体管,包括:两个栅极结构、两个源极和漏极,所述源极和所述漏极形成于由线体形成的鳍体上,并漏极位于所述两个栅极结构

之间,两个源极分别位于所述两个栅极结构的与所述漏极相对的其中一侧,使一源极、一栅极结构和所述漏极形成一栅极环绕结构鳍式晶体管,使另一源极、另一栅极结构和所述漏极形成另一栅极环绕结构鳍式晶体管,两栅极环绕结构鳍式晶体管构成漏极共用的并联栅极环绕结构鳍式晶体管,其中,所述栅极结构包括界面层、栅介质层、功函数层和金属栅的叠加结构,界面层包覆所述栅极结构区域的线体的周侧,栅介质层叠加于界面层上,并靠近漏极一侧的栅介质层的厚度大于靠近源极一侧的栅介质层的厚度,而使靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层所覆盖的沟道区分别为第一阈值电压区和第二阈值电压区,且第一阈值电压区的第一阈值电压大于第二阈值电压区的第二阈值电压,功函数层叠加于栅介质层上,金属栅叠加于功函数层上,使金属栅与线体、栅介质层和功函数层形成栅极环绕的栅极结构。

[0017] 更进一步的,所述线体为硅纳米线。

[0018] 更进一步的,所述线体由形成于半导体衬底表面的锗硅外延层和硅外延层形成的至少一个叠层经锗硅刻蚀工艺去除锗硅外延层而形成。

[0019] 更进一步的,所述栅介质层包括高介电常数层。

[0020] 更进一步的,所述并联栅极环绕结构鳍式晶体管为5nm以下工艺节点的器件。

[0021] 由于在并联栅极环绕结构鳍式晶体管中,栅极结构中的靠近漏极一侧的栅介质层的厚度大于靠近源极一侧的栅介质层的厚度,而使靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层所覆盖的沟道区分别为第一阈值电压区和第二阈值电压区,且第一阈值电压区的第一阈值电压大于第二阈值电压区的第二阈值电压,在半导体器件导通时,第一阈值电压区的反型电流小于第二阈值电压区的反型电流,从而使第一阈值电压区在功能上类似于LDMOS中的漂移区,所以本发明实施例的第一阈值电压区能作为耐压区并提高器件的耐压,由于本发明实施例的第一阈值电压区的实现不需要通过改变沟道区的掺杂条件实现,故本发明实施例能在不改变沟道区掺杂的条件下提高器件的耐压,另本发明可通过调节靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层的厚度来调节所对应的第一和第二阈值电压区的阈值电压大小而满足各种耐压器件的需求,并在具有不同厚度的栅介质层的形成过程中,无论光刻胶偏向任何一侧的多晶硅栅去除区域,最终形成的相邻两栅极结构中的靠近漏极一侧的栅介质层的总长度不变,使形成的并联栅极环绕结构鳍式晶体管的性能更优。

## 附图说明

[0022] 图1为现有MOSFET的结构示意图。

[0023] 图2为现有LDMOS的结构示意图。

[0024] 图3为栅极环绕结构的示意图。

[0025] 图4a为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一多晶硅栅的剖面示意图。

[0026] 图4b为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一多晶硅栅的去除区域的剖面示意图。

[0027] 图4c至图4f为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一线体的剖面示意图。

[0028] 图4g为本发明一实施例的并联栅极环绕结构鳍式晶体管沿一线体的剖面示意图。

[0029] 图中主要组件附图标记说明如下：

[0030] 220、线体；221、源极；222、漏极；223、栅极结构；231、界面层；232、栅介质层；233、功函数层；234、金属栅。

### 具体实施方式

[0031] 下面将结合附图，对本发明中的技术方案进行清楚、完整的描述，显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在不做出创造性劳动的前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0032] 本发明一实施例中，在于提供一种并联栅极环绕结构鳍式晶体管的制造方法，包括：S1：提供一半导体衬底，在半导体衬底上形成场氧化层，场氧化层隔离出有源区，在所述半导体衬底表面形成外延层，外延层包括锗硅外延层和硅外延层形成的至少一个叠层，进行光刻刻蚀形成具有条状结构的多个鳍体，各鳍体平行排列，各鳍体包括所述至少一个叠层，形成多条多晶硅栅，所述多晶硅栅分别覆盖鳍体的部分的顶部表面和侧面，在多晶硅栅的两侧形成侧墙，在鳍体上形成源极和漏极，源极和漏极位于多晶硅栅的两侧，相邻两多晶硅栅之间形成有一漏极；S2：形成层间介质层，并进行平坦化工艺，去除多晶硅栅，进行锗硅刻蚀工艺，去除锗硅外延层形成由硅外延层形成的线体；S3：形成界面层，界面层覆盖多晶硅栅去除区域的线体的周侧并覆盖多晶硅栅去除区域的侧壁，形成第一层栅介质层，第一层栅介质层覆盖界面层的表面；S4：形成光刻胶，进行曝光显影以将靠近源极一侧的第一层栅介质层显开，并将靠近漏极一侧的相邻两多晶硅栅去除区域的第一层栅介质层均保护起来，并去除显开的第一层栅介质层；S5：去除光刻胶，形成第二层栅介质层，第二层栅介质层覆盖第一层栅介质层及裸露的界面层的表面，而使由第一层栅介质层和第二层栅介质层形成的栅介质层在靠近源极一侧具有第一厚度，在靠近漏极一侧具有第二厚度，并第二厚度大于第一厚度；以及S6：形成功函数层，功函数层覆盖栅介质层的表面，形成金属栅，金属栅填充多晶硅栅的去除区域，使金属栅与线体、栅介质层和功函数层形成两相邻的栅极环绕的栅极结构，两相邻的栅极环绕的栅极结构和共用漏极与两源极构成并联栅极环绕结构鳍式晶体管。

[0033] 请参阅图4a至图4g，具体的，本发明的并联栅极环绕结构鳍式晶体管的制造方法，包括：

[0034] S1：提供一半导体衬底200，在半导体衬底200上形成场氧化层211，场氧化层隔离出有源区，在所述半导体衬底200底表面形成外延层，外延层包括锗硅(SiGe)外延层213和硅(Si)外延层214形成的至少一个叠层215，进行光刻刻蚀形成具有条状结构的多个鳍体210，各鳍体210平行排列，各鳍体210包括所述至少一个叠层215，形成多条多晶硅栅230，所述多晶硅栅230分别覆盖鳍体210的部分的顶部表面和侧面，在多晶硅栅230的两侧形成侧墙，在鳍体上形成源极和漏极，源极和漏极位于多晶硅栅的两侧，相邻两多晶硅栅之间形成有一漏极，具体的可参阅图4a，图4a为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一多晶硅栅的剖面示意图。

[0035] 在一实施例中，半导体衬底200为硅衬底。在一实施例中，场氧化层通常采用浅沟

槽隔离(STI)工艺形成。

[0036] S2:如图4b所示,形成层间介质层,并进行平坦化工艺,去除多晶硅栅,进行锗硅刻蚀工艺,去除锗硅外延层形成由硅外延层形成的线体220。

[0037] 具体的可参阅图4b,图4b为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一多晶硅栅的去除区域的剖面示意图,并请参阅图4c,图4c为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一线体的剖面示意图。如图4c所示,源极221和漏极222形成在鳍体上,并位于多晶硅栅去除区域224的两侧,相邻两多晶硅栅去除区域224之间具有一漏极222。

[0038] 在本发明一实施例中,线体220的剖面结构包括圆形或多边形,多边形如正方形,长方形, $\Sigma$ 形。

[0039] S3:如图4d所示,图4d为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一线体的剖面示意图,形成界面层231,界面层231包覆多晶硅栅去除区域224的线体220的周侧并覆盖多晶硅栅去除区域的侧壁,形成第一层栅介质层241,第一层栅介质层241覆盖界面层231的表面。

[0040] 本发明一实施例中,界面层231由氧化硅(如SiO<sub>2</sub>)形成。

[0041] S4:如图4e所示,图4e为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一线体的剖面示意图,形成光刻胶250,进行曝光显影以将靠近源极221一侧的第一层栅介质层241显开,并将靠近漏极222一侧的相邻两多晶硅栅去除区域224的第一层栅介质层均241保护起来,并去除显开的第一层栅介质层241。

[0042] S5:如图4f所示,图4f为本发明一实施例的在并联栅极环绕结构鳍式晶体管的制造过程中沿一线体的剖面示意图,去除光刻胶250,形成第二层栅介质层242,第二层栅介质层242覆盖第一层栅介质层241及裸露的界面层231的表面,而使由第一层栅介质层241和第二层栅介质层242形成的栅介质层232在靠近源极221一侧具有第一厚度,在靠近漏极222一侧具有第二厚度,并第二厚度大于第一厚度。

[0043] S6:如图4g所示,图4g为本发明一实施例的并联栅极环绕结构鳍式晶体管沿一线体的剖面示意图,形成功函数层233,功函数层233覆盖栅介质层232的表面,形成金属栅250,金属栅250填充多晶硅栅的去除区域,使金属栅250与线体220、栅介质层232和功函数层233形成两相邻的栅极环绕的栅极结构223,两相邻的栅极环绕的栅极结构223和共用漏极222与两源极221构成并联栅极环绕结构鳍式晶体管。

[0044] 在一实施例中,栅介质层222包括高介电常数层,所述高介电常数层的材料包括二氧化硅,氮化硅,三氧化二铝,五氧化二钽,氧化钽,硅酸钪氧化合物,二氧化钪,氧化镧,二氧化锆,钛酸锶,硅酸锆氧化合物。

[0045] 由于在并联栅极环绕结构鳍式晶体管中,栅极结构中的靠近漏极一侧的栅介质层的厚度大于靠近源极一侧的栅介质层的厚度,而使靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层所覆盖的沟道区分别为第一阈值电压区和第二阈值电压区,且第一阈值电压区的第一阈值电压大于第二阈值电压区的第二阈值电压,在半导体器件导通时,第一阈值电压区的反型电流小于第二阈值电压区的反型电流,从而使第一阈值电压区在功能上类似于LDMOS中的漂移区,所以本发明实施例的第一阈值电压区能作为耐压区并提高器件的耐压,由于本发明实施例的第一阈值电压区的实现不需要通过改变沟道区的掺杂条件实现,



故本发明实施例能在不改变沟道区掺杂的条件下提高器件的耐压,另本发明可通过调节靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层的厚度来调节所对应的第一和第二阈值电压区的阈值电压大小而满足各种耐压器件的需求,并在具有不同厚度的栅介质层的形成过程中,无论光刻胶偏向任何一侧的多晶硅栅去除区域,最终形成的相邻两栅极结构中的靠近漏极一侧的栅介质层的总长度不变,使形成的并联栅极环绕结构鳍式晶体管的性能更优。

[0046] 在一实施例中,并联栅极环绕 (Gate-All-Around, GAA) 结构场效应晶体管为并联n型栅极环绕 (Gate-All-Around, GAA) 结构场效应晶体管或并联p型栅极环绕 (Gate-All-Around, GAA) 结构场效应晶体管。在本发明一实施例中,所述源极221和所述漏极222都为嵌入式结构。并联n型栅极环绕 (Gate-All-Around, GAA) 结构场效应晶体管的源极和漏极由第一嵌入式外延层组成,所述第一嵌入式外延层的材料为 $\text{SixPy}$ ,  $\text{SimCn}$ 或 $\text{SioCpPq}$ ,下标 $x, y, m, n, o, p, q$ 分别表示对应原子在材料分子中的个数。并联p型栅极环绕 (Gate-All-Around, GAA) 结构场效应晶体管的源极和漏极由第二嵌入式外延层组成,所述第二嵌入式外延层的材料为 $\text{SihGei}$ ,下标 $h, i$ 分别表示对应原子在材料分子中的个数。

[0047] 本发明一实施例中,还提供一种并联栅极环绕结构鳍式晶体管,具体的,可参阅图4g,图4g为本发明一实施例的并联栅极环绕结构鳍式晶体管沿一线体的剖面示意图。并联栅极环绕结构鳍式晶体管包括:两个栅极结构223、两个源极221和漏极222,所述源极221和所述漏极222形成于由线体220形成的鳍体上,并漏极222位于所述两个栅极结构223之间,两个源极221分别位于所述两个栅极结构223的与所述漏极222相对的其中一侧,使一源极221、一栅极结构223和所述漏极222形成一栅极环绕结构鳍式晶体管,使另一源极221、另一栅极结构223和所述漏极222形成另一栅极环绕结构鳍式晶体管,两栅极环绕结构鳍式晶体管构成漏极共用的并联栅极环绕结构鳍式晶体管,其中,所述栅极结构223包括界面层231、栅介质层232、功函数层233和金属栅234的叠加结构,界面层231包覆所述栅极结构223区域的线体220的周侧,栅介质层232叠加于界面层231上,并靠近漏极222一侧的栅介质层的厚度大于靠近源极221一侧的栅介质层的厚度,而使靠近漏极一侧的栅介质层和靠近源极一侧的栅介质层所覆盖的沟道区分别为第一阈值电压区和第二阈值电压区,且第一阈值电压区的第一阈值电压大于第二阈值电压区的第二阈值电压,功函数层233叠加于栅介质层232上,金属栅250叠加于功函数层233上,使金属栅250与线体220、栅介质层232和功函数层233形成栅极环绕的栅极结构223。

[0048] 在本发明一实施例中,所述线体220为硅纳米线,由形成于半导体衬底表面的锗硅 (SiGe) 外延层和硅 (Si) 外延层形成的至少一个叠加层经锗硅刻蚀工艺去除锗硅外延层而形成。

[0049] 在一实施例中,栅介质层222包括高介电常数层,所述高介电常数层的材料包括二氧化硅,氮化硅,三氧化二铝,五氧化二钽,氧化钽,硅酸钪氧化合物,二氧化钪,氧化镧,二氧化锆,钛酸锶,硅酸锆氧化合物。

[0050] 在一实施例中,界面层231还形成于栅极结构形成区域的侧壁。

[0051] 上述并联栅极环绕结构鳍式晶体管为5nm以下工艺节点的器件。

[0052] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依

然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

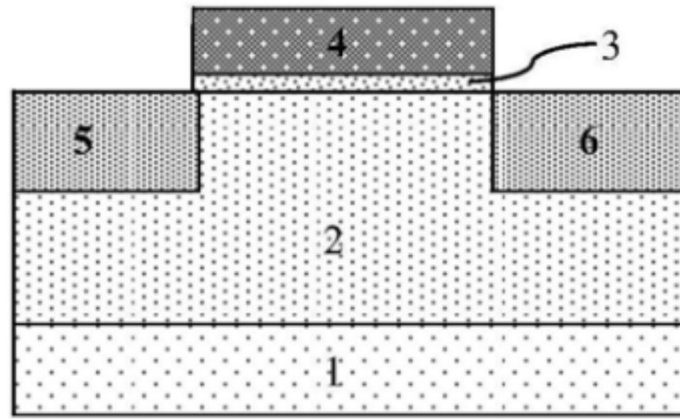


图1

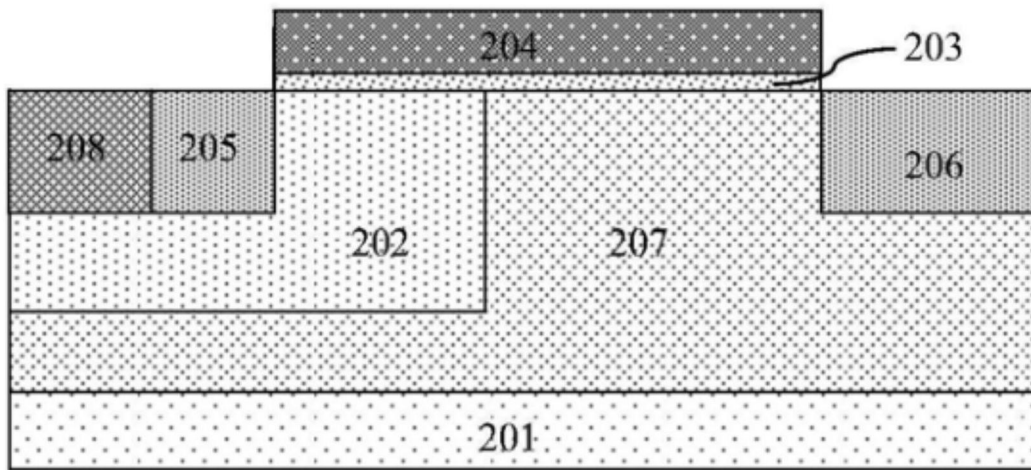


图2

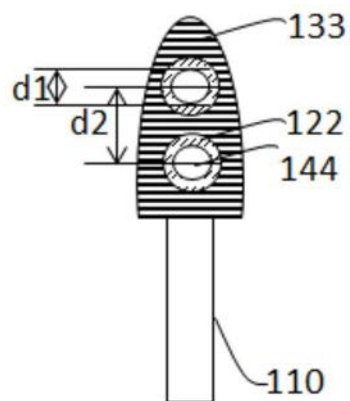


图3

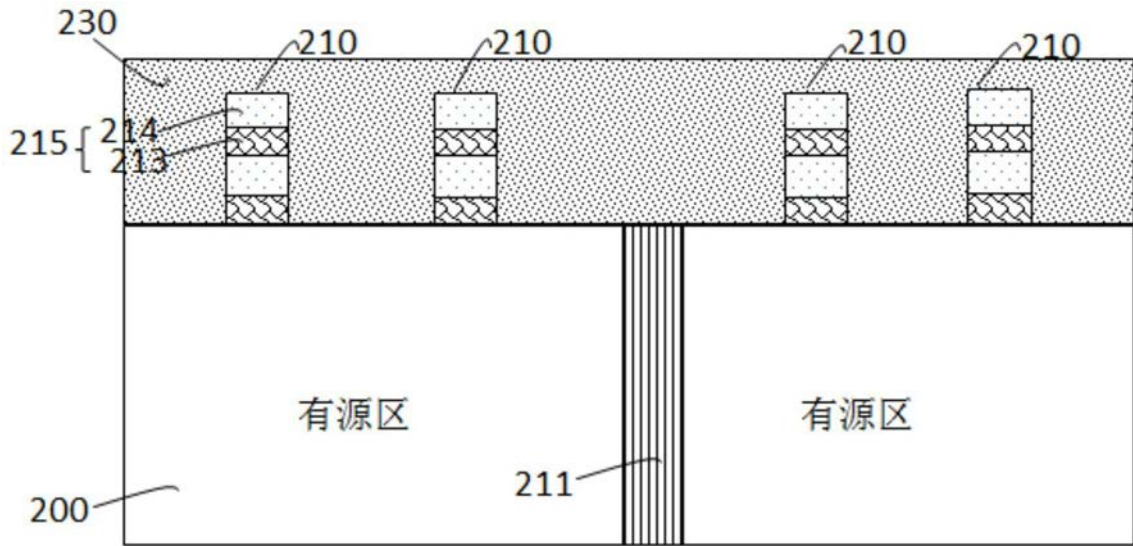


图4a

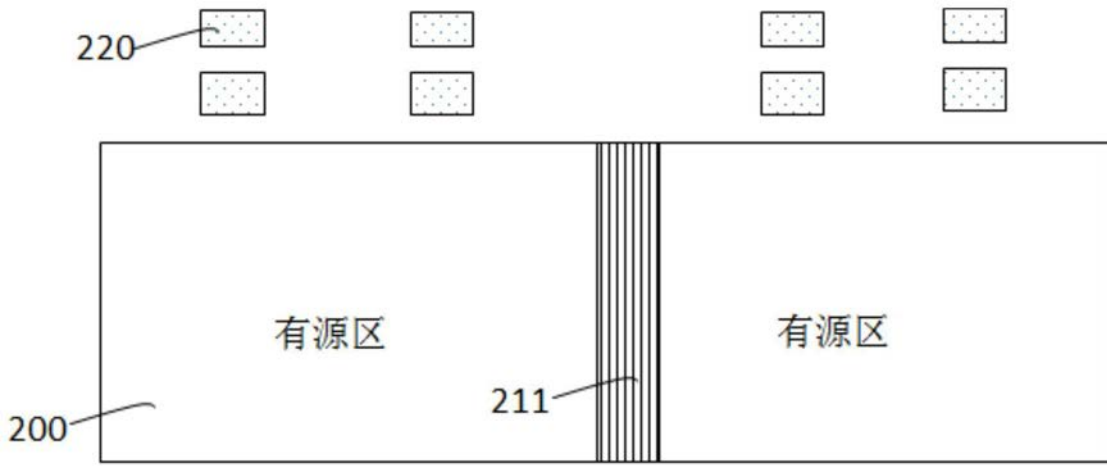


图4b

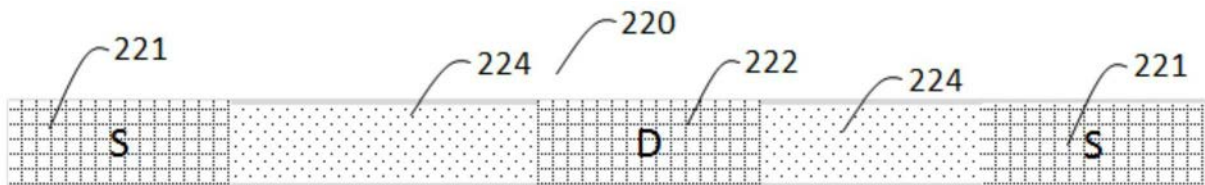


图4c

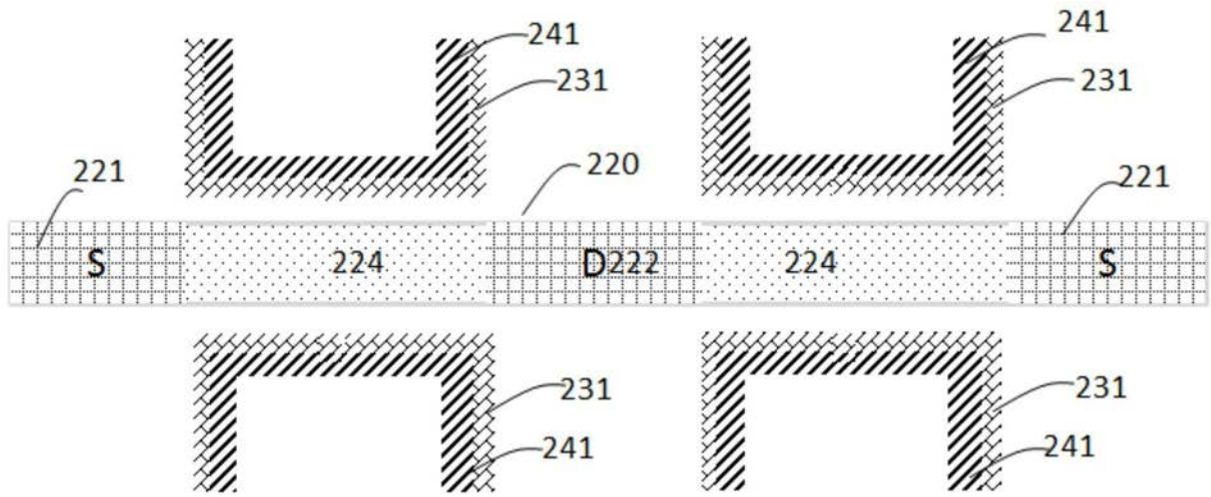


图4d

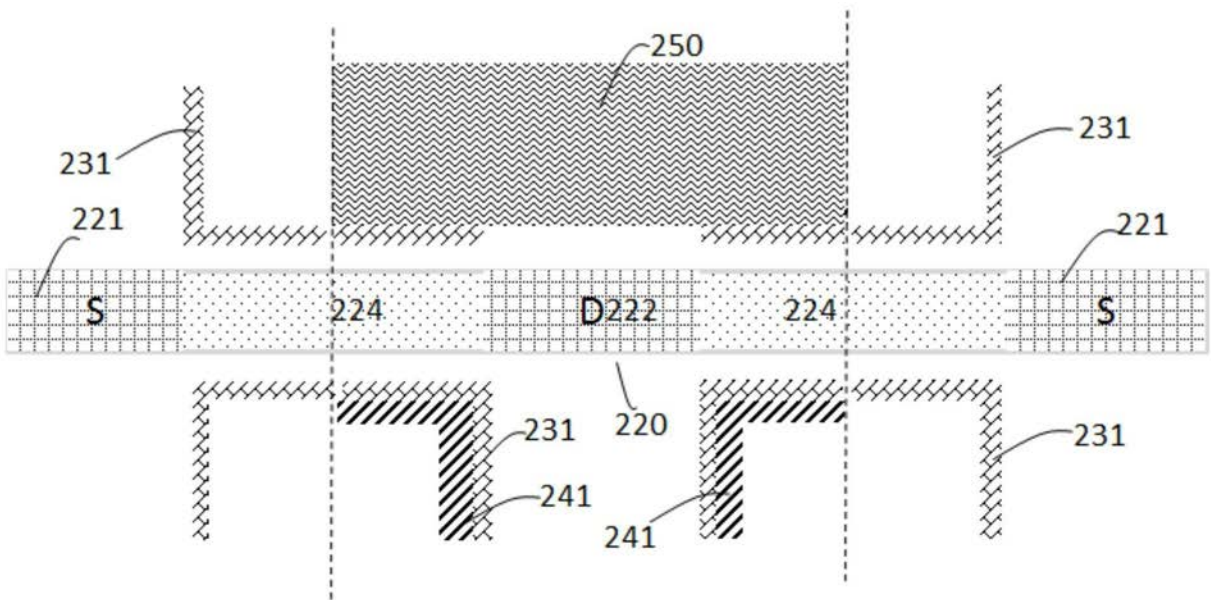


图4e

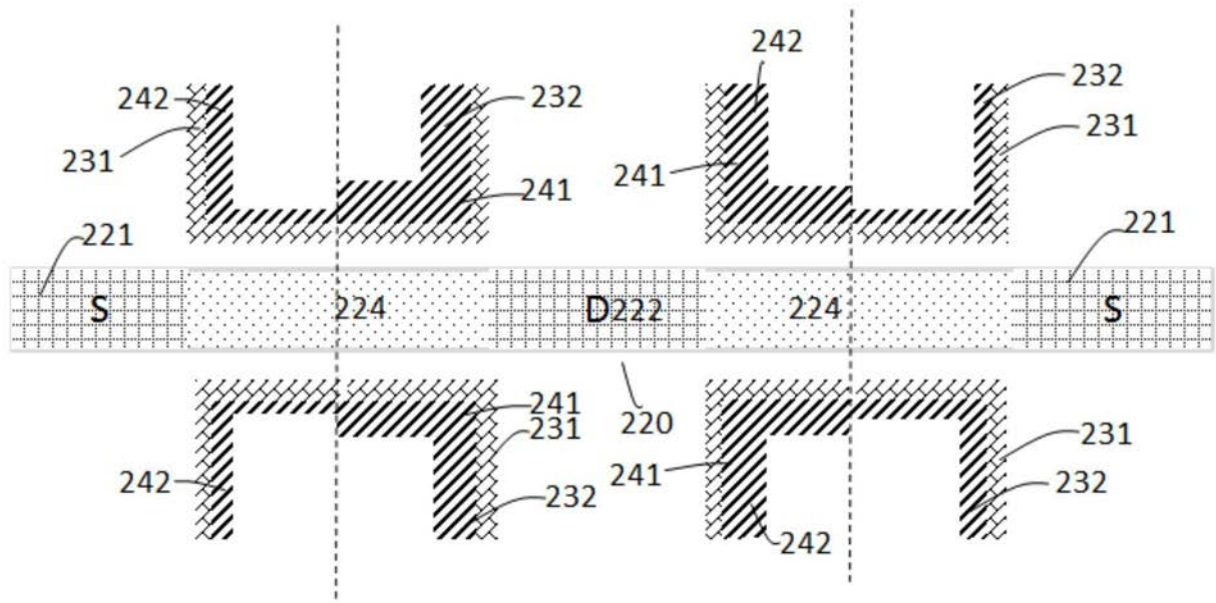


图4f

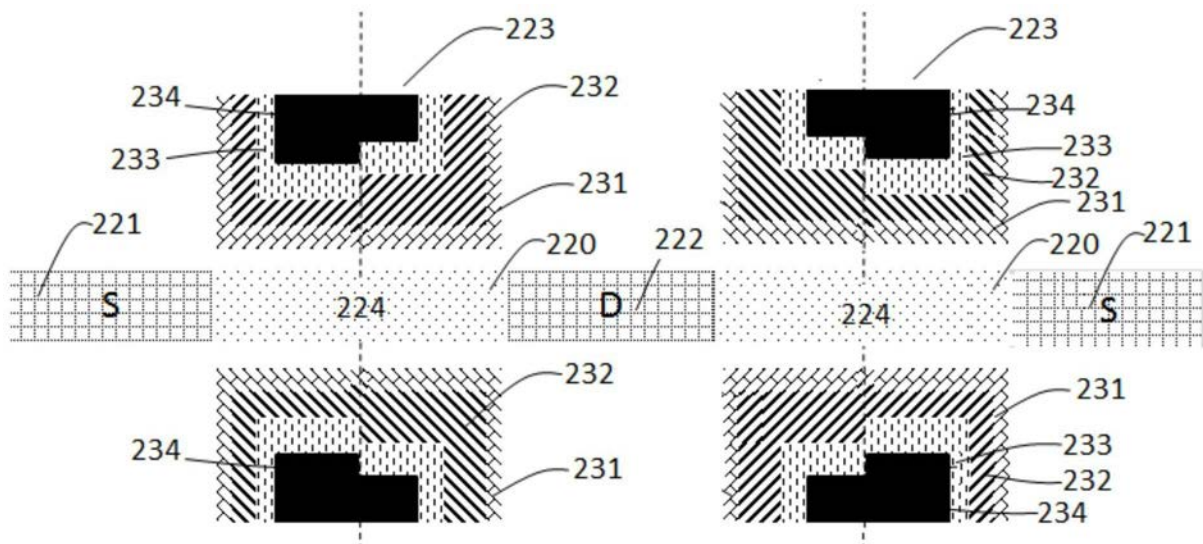


图4g