



(12) 发明专利申请

(10) 申请公布号 CN 118969738 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202411023043.1

H01L 29/423 (2006.01)

(22) 申请日 2024.07.29

H01L 27/07 (2006.01)

(71) 申请人 扬州扬杰电子科技股份有限公司

H01L 29/78 (2006.01)

地址 225008 江苏省扬州市邗江区平山堂北路江阳创业园三期

H01L 29/872 (2006.01)

H01L 29/861 (2006.01)

(72) 发明人 代书雨 周理明 王毅

(74) 专利代理机构 扬州市苏为知识产权代理事务所(普通合伙) 32283

专利代理师 郭翔

(51) Int. Cl.

H01L 21/8249 (2006.01)

H01L 21/336 (2006.01)

H01L 21/329 (2006.01)

H01L 29/06 (2006.01)

H01L 29/417 (2006.01)

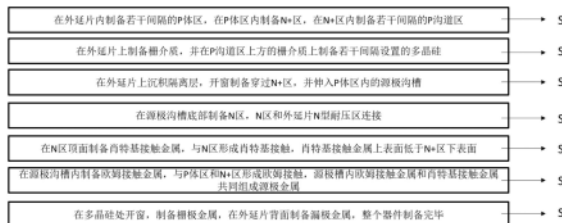
权利要求书2页 说明书7页 附图7页

(54) 发明名称

集成PN结和肖特基结的平面栅MOSFET及制备方法

(57) 摘要

集成PN结和肖特基结的平面栅MOSFET及制备方法。涉半导体技术领域。包括以下步骤:步骤S100,在外延片内制备若干间隔的P体区,在P体区内制备N+区,在N+区内制备若干间隔的P沟道区;步骤S200,在外延片上制备栅介质,并在P沟道区上方的栅介质上制备若干间隔设置的多晶硅;步骤S300,在外延片上沉积隔离层,开窗制备穿过N+区,并伸入P体区内的源极沟槽;步骤S400,在源极沟槽底部制备N区,N区和外延片N型耐压区连接;步骤S500,在N区顶面制备肖特基接触金属,与N区形成肖特基接触,肖特基接触金属上表面低于N+区下表面;本发明制备的增强体二极管续流能力的平面栅MOSFET及其制备方法,具备更优异的性能优势和工艺优势。



1. 集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,包括以下步骤:

步骤S100,在外延片(1)内制备若干间隔的P体区(2),在P体区(2)内制备N+区(3),在N+区(3)内制备若干间隔的P沟道区(4);

步骤S200,在外延片(1)上制备栅介质(5),并在P沟道区(4)上方的栅介质(5)上制备若干间隔设置的多晶硅(6);

步骤S300,在外延片上沉积隔离层(7),开窗制备穿过N+区(3),并伸入P体区(2)内的源极沟槽(8);

步骤S400,在源极沟槽(8)底部制备N区(9),N区(9)和外延片N型耐压区(16)连接;

步骤S500,在N区(9)顶面制备肖特基接触金属(10),与N区(9)形成肖特基接触,肖特基接触金属(10)上表面低于N+区(3)下表面;

步骤S600,在源极沟槽(8)内制备欧姆接触金属(11),与P体区(2)和N+区(3)形成欧姆接触,源极槽内欧姆接触金属(11)和肖特基接触金属(10)共同组成源极金属;

步骤S700,在多晶硅(6)处开窗,制备栅极金属(13),在外延片(1)背面制备漏极金属(14),整个器件制备完毕。

2. 根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S100包括:

步骤S110,利用光刻工艺,使用掩模将P体区(2)外部区域保护,通过扩散工艺或者离子注入工艺,形成若干间隔的P体区(2);

步骤S120,利用光刻工艺,使用掩模将N+区(3)外部区域保护,通过扩散工艺或者离子注入工艺,形成N+区(3);

步骤S130,利用光刻工艺,使用掩模将P沟道区(4)外部区域保护,通过扩散工艺或者离子注入工艺,形成若干间隔的P沟道区(4)。

3. 根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S200包括:

步骤S210,使用热氧技术在外延片(1)上制备栅介质(5);

步骤S220,通过光刻工艺,使用掩模将P沟道区(4)外部区域保护,通过化学气相沉积,在P沟道区(4)上方的栅介质(5)上制备多晶硅(6)。

4. 根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S300包括:

步骤S310,利用化学气相沉积制备隔离层(7),通过光刻工艺,使用掩模将源极沟槽(8)外部区域保护,采用刻蚀工艺制备源极沟槽(8),源极沟槽(8)底部延伸至P体区(2),沟槽两侧面位于N+区(3)内部。

5. 根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S400包括:

步骤S410,利用光刻工艺,使用掩模将源极沟槽(8)外部区域保护,通过扩散工艺或者离子注入工艺,在源极沟槽(8)底部制备N区(9),N区(9)和外延片N型耐压区(16)连接。

6. 根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S500包括:

步骤S510,利用光刻工艺,使用掩模将源极沟槽(8)外部区域保护,使用剥离工艺或者

刻蚀工艺,在源极沟槽(8)底部制备肖特基接触金属(10),与N区(9)形成肖特基接触,肖特基接触金属(10)上表面低于N+区(3)下表面。

7.根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S600包括:

步骤S610,利用光刻工艺,使用掩模将源极沟槽(8)外部区域保护,使用剥离工艺或者刻蚀工艺,在源极沟槽(8)内制备欧姆接触金属(11),与P体区(2)、N+区(3)形成欧姆接触,源极槽内欧姆接触金属(11)和肖特基接触金属(10)共同组成源极金属。

8.根据权利要求1所述的集成PN结和肖特基结的平面栅MOSFET制备方法,其特征在于,步骤S700包括:

步骤S710,利用光刻工艺,使用掩模将多晶硅(6)开窗处外部区域保护,利用刻蚀工艺,在多晶硅(6)处开窗,随后使用剥离工艺或者刻蚀工艺制备栅极金属(13),使用减薄工艺和背金工艺在外延片(1)背面制备漏极金属(14),整个器件制备完毕。

9.集成PN结和肖特基结的平面栅MOSFET,通过权利要求任一1-9所述的集成PN结和肖特基结的平面栅MOSFET制备方法制备,其特征在于,包括自下而上依次设置的漏极金属(14)、外延片(1)、多晶硅(6)和隔离层(7);

所述外延片(1)顶部设有:

P体区(2),设有若干并相互间隔;

N+区(3),设有若干并相互间隔,分别从所述外延片(1)的顶面向下;

P沟道区(4),设有若干,分别从所述N+区(3)顶部端部向下延伸至N+区(3)底面;

栅介质(5),设置在所述外延片(1)的顶面;

所述多晶硅(6)设有若干并相互间隔,分别位于所述栅介质(5)的顶面;

所述隔离层(7)位于多晶硅(6)顶面和相邻多晶硅(6)之间的栅介质(5)上;

N区(9),设置在所述P体区(2)内,底面与N型耐压区(16)连接;

肖特基接触金属(10),沿所述N区(9)的顶面向上延伸,与所述N区(9)形成肖特基接触,其顶面低于所述P体区(2)的顶面;

欧姆接触金属(11),沿所述肖特基接触金属(10)的顶面向上延伸,其顶面与所述隔离层(7)上表面齐平;

栅极金属(13),从所述隔离层(7)的顶面向下延伸至多晶硅(6)内部,和所述多晶硅(6)形成良好的欧姆接触。

10.根据权利要求9所述的集成PN结和肖特基结的平面栅MOSFET,起特征在于,所述外延片(1)包括自下而上的N+衬底层(15)和N型耐压区(16)。

集成PN结和肖特基结的平面栅MOSFET及制备方法

技术领域

[0001] 本发明涉半导体技术领域,尤其涉及集成PN结和肖特基结的平面栅MOSFET及制备方法。

背景技术

[0002] 在电力电子器件技术领域,MOSFET作为一种常用的功率半导体,已经代替三极管成为功率半导体领域最常用的开关器件之一。

[0003] MOSFET在几十年的迭代过程中,已经成为目前主流的功率半导体器件之一,在某些应用场合,MOSFET的体二极管发挥重要的续流作用,目前常规MOSFET主要采用PN结体二极管进行续流,PN结体二极管存在开启电压大,通流能力弱的缺点,因此如何改善MOSFET体二极管的性能一直是目前研究的热点。

[0004] 在MOSFET中集成肖特基二极管是一种改善MOSFET体二极管的性能的方案,目前已经有多个专利研究了该技术,一般都有其局限性,例如:

2024年06月25日公告的一篇“集成SBD的平面MOSFET及其工艺方法”,公开号为CN118248553A;该专利利用肖特基二极管代替PN结体二极管,但肖特基二极管完全代替PN结体二极管,降低了体二极管正向浪涌能力,且制备过程需要从外延片表面对P-Well整体进行N型离子注入,N型离子注入穿通整个P-Well区,容易产生横向扩散导致元胞尺寸难以缩小。

[0005] 2024年01月02日公告的一篇“一种源极沟槽集成SBD的SiC平面MOS及制备方法”,公开号为CN117334747A,该专利将源极沟槽穿通体区并延伸至耐压区,利用MOSFET体区下方的电流扩展层与沟槽内肖特基接触金属形成SBD,并为了减小集成的SBD的反向漏电,在肖特基接触金属下方制备P+屏蔽层,但是在耐压区制备P+屏蔽层也减弱了集成的SBD的正向通流能力和MOSFET正向通流能力。

[0006] 因此,在MOSFET中集成肖特基二极管,改善器件性能的同时增强MOSFET体二极管续流能力成为本行业亟需解决的技术难题。

发明内容

[0007] 本发明针对增强MOSFET体二极管续流能力的研发方向,发明了一种集成PN结和肖特基结的平面栅MOSFET及其制备方法。

[0008] 本发明的技术方案是:

集成PN结和肖特基结的平面栅MOSFET制备方法,包括以下步骤:

步骤S100,在外延片内制备若干间隔的P体区,在P体区内制备N+区,在N+区内制备若干间隔的P沟道区;

步骤S200,在外延片上制备栅介质,并在P沟道区上方的栅介质上制备若干间隔设置的多晶硅;

步骤S300,在外延片上沉积隔离层,开窗制备穿过N+区,并伸入P体区内的源极沟

槽；

步骤S400,在源极沟槽底部制备N区,N区和外延片N型耐压区连接；

步骤S500,在N区顶面制备肖特基接触金属,与N区形成肖特基接触,肖特基接触金属上表面低于N+区下表面；

步骤S600,在源极沟槽内制备欧姆接触金属,与P体区和N+区形成欧姆接触,源极槽内欧姆接触金属和肖特基接触金属共同组成源极金属；

步骤S700,在多晶硅处开窗,制备栅极金属,在外延片背面制备漏极金属,整个器件制备完毕。

[0009] 具体的,步骤S100包括：

步骤S110,利用光刻工艺,使用掩模将P体区外部区域保护,通过扩散工艺或者离子注入工艺,形成若干间隔的P体区；

步骤S120,利用光刻工艺,使用掩模将N+区外部区域保护,通过扩散工艺或者离子注入工艺,形成N+区；

步骤S130,利用光刻工艺,使用掩模将P沟道区外部区域保护,通过扩散工艺或者离子注入工艺,形成若干间隔的P沟道区。

[0010] 具体的,步骤S200包括：

步骤S210,使用热氧技术在外延片上制备栅介质；

步骤S220,通过光刻工艺,使用掩模将P沟道区外部区域保护,通过化学气相沉积,在P沟道区上方的栅介质上制备多晶硅。

[0011] 具体的,步骤S300包括：

步骤S310,利用化学气相沉积制备隔离层,通过光刻工艺,使用掩模将源极沟槽外部区域保护,采用刻蚀工艺制备源极沟槽,源极沟槽底部延伸至P体区,沟槽两侧面位于N+区内部。

[0012] 具体的,步骤S400包括：

步骤S410,利用光刻工艺,使用掩模将源极沟槽外部区域保护,通过扩散工艺或者离子注入工艺,在源极沟槽底部制备N区,N区和外延片N型耐压区连接。

[0013] 具体的,步骤S500包括：

步骤S510,利用光刻工艺,使用掩模将源极沟槽外部区域保护,使用剥离工艺或者刻蚀工艺,在源极沟槽底部制备肖特基接触金属,与N区形成肖特基接触,肖特基接触金属上表面低于N+区下表面。

[0014] 具体的,步骤S600包括：

步骤S610,利用光刻工艺,使用掩模将源极沟槽外部区域保护,使用剥离工艺或者刻蚀工艺,在源极沟槽内制备欧姆接触金属,与P体区、N+区形成欧姆接触,源极槽内欧姆接触金属和肖特基接触金属共同组成源极金属。

[0015] 具体的,步骤S700包括：

步骤S710,利用光刻工艺,使用掩模将多晶硅开窗处外部区域保护,利用刻蚀工艺,在多晶硅处开窗,随后使用剥离工艺或者刻蚀工艺制备栅极金属,使用减薄工艺和背金工艺在外延片背面制备漏极金属,整个器件制备完毕。

[0016] 集成PN结和肖特基结的平面栅MOSFET,包括自下而上依次设置的漏极金属、外延

片、多晶硅和隔离层；

所述外延片顶部设有：

P体区，设有若干并相互间隔；

N+区，设有若干并相互间隔，分别从所述外延片的顶面向下；

P沟道区，设有若干，分别从所述N+区顶面端部向下延伸至N+区底面；

栅介质，设置在所述外延片的顶面；

所述多晶硅设有若干并相互间隔，分别位于所述栅介质的顶面；

所述隔离层位于多晶硅顶面和相邻多晶硅之间的栅介质上；

N区，设置在所述P体区内，底面与N型耐压区连接；

肖特基接触金属，沿所述N区的顶面向上延伸，与所述N区形成肖特基接触，其顶面低于所述P体区的顶面；

欧姆接触金属，沿所述肖特基接触金属的顶面向上延伸，其顶面与所述隔离层上表面齐平；

栅极金属，从所述隔离层的顶面向下延伸至多晶硅内部，和所述多晶硅形成良好的欧姆接触。

[0017] 具体的，所述外延片包括自下而上的N+衬底层和N型耐压区。

[0018] 本发明有益效果：

本发明通过制备源极沟槽，并在源极沟槽底部制备肖特基接触，形成了集成肖特基二极管和PN结二极管的结构，利用肖特基二极管的低开启电压和高电流特性，达到减小体二极管续流损耗的目的，利用PN结二极管增强体二极管正向浪涌能力。同时本发明肖特基二极管的N区，两侧是MOSFET的P体区，形成超结结构，进而减小集成的肖特基二极管的反向漏电，不需要特殊的额外工艺步骤来降低集成的肖特基二极管的反向漏电，外延层结构和常规MOSFET结构一致，不影响集成的SBD的正向通流能力和MOSFET正向通流能力，和已有的对比文件相比，本发明制备的增强体二极管续流能力的平面栅MOSFET及其制备方法，具备更优异的性能优势和工艺优势。

附图说明

[0019] 图1是本发明的工艺流程图；

图2是制备P体区截面结构示意图；

图3是制备N+区截面结构示意图；

图4是制备P沟道区截面结构示意图；

图5是制备多晶硅截面结构示意图；

图6制备隔离层截面结构示意图；

图7是步骤S300中器件截面结构示意图；

图8是步骤S400中器件截面结构示意图；

图9是步骤S500中器件截面结构示意图；

图10是步骤S600中器件截面结构示意图；

图11是栅极金属开窗后器件截面结构示意图；

图12是制备栅极金属后器件截面结构示意图；

图13是制备漏极金属后器件截面结构示意图;

图中1是外延片,2是P体区,3是N+源区,4是P沟道区,5是栅介质,6是多晶硅,7是隔离层,8是源极沟槽,9是N区,10是肖特基接触金属,11是欧姆接触金属,12是栅极金属开窗,13是栅极金属,14是漏极金属,15是N+衬底层,16是N型耐压区。

具体实施方式

[0020] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。

[0021] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0022] 下面参考图1-13描述本发明;

集成PN结和肖特基结的平面栅MOSFET的制备方法,包括以下步骤:

步骤S100,在外延片1内制备若干间隔的P体区2,在P体区2内制备N+区3,在N+区3内制备若干间隔的P沟道区4,如图2、3、4所示;

步骤S110,利用光刻工艺,使用掩模将P体区2外部区域保护,通过扩散工艺或者离子注入工艺,形成若干间隔的P体区2;

步骤S120,利用光刻工艺,使用掩模将N+区3外部区域保护,通过扩散工艺或者离子注入工艺,形成N+区3;

步骤S130,利用光刻工艺,使用掩模将P沟道区4外部区域保护,通过扩散工艺或者离子注入工艺,形成若干间隔的P沟道区4;

相应地,外延片1是Si基N型外延片,由自下而上的N+衬底层15、N型耐压区16组成,外延片1厚度为100-2000um,N+衬底层15厚度为90-1500um,N型耐压区16厚度为10-500um;

P体区2厚度为1-20um,宽度为1-20um,间隔距离为1-10um;

N+区3从外延片1顶面向下延伸,其底面高于所述P体区2底面,厚度为0.5-10um,宽度和P体区2宽度一致;

P沟道区4从所述N+区3顶面向下延伸N+区3底面,位于N+区3两侧,厚度和N+区3厚度一致,宽度设定为0.25-5um;

N型掺杂的掺杂浓度范围是 $1e^{14} \cdot \text{cm}^{-3}$ - $1e^{20} \cdot \text{cm}^{-3}$,P型掺杂的掺杂浓度范围是 $1e^{15} \cdot \text{cm}^{-3}$ - $1e^{20} \cdot \text{cm}^{-3}$,相关参数设定和器件电性设计相关;

本实施例,外延片1的厚度为350um,N+衬底层15厚度为300um,掺杂浓度是 $2e^{19} \cdot \text{cm}^{-3}$,N型耐压区16厚度为50um,掺杂浓度是 $1e^{16} \cdot \text{cm}^{-3}$,P体区2厚度为5um,宽度为5um,间隔距离是2um,掺杂浓度是 $3e^{18} \cdot \text{cm}^{-3}$,N+区3厚度为3um,宽度为5um,掺杂浓度是 $2e^{19} \cdot \text{cm}^{-3}$,P沟道区4厚度为3um,位于N+区3两侧,宽度为1um,掺杂浓度是 $1e^{18} \cdot \text{cm}^{-3}$,使用离子注入工艺制备P体区2、N+区3、P沟道区4。

[0023] 步骤S200,在外延片1上制备栅介质5,并在栅介质5上制备若干间隔设置的多晶硅

6,如图5所示;

步骤S210,使用热氧技术在外延片1上制备栅介质5;

步骤S220,通过光刻工艺,使用掩模将P沟道区4外部区域保护,通过化学气相沉积,在P沟道区4上方的栅介质5上制备多晶硅6;

相应地,栅介质5材质为 SiO_2 ,厚度设定为40-500nm,多晶硅6厚度设定为100nm-5um;

本实施例,使用热氧技术制备80nm的 SiO_2 作为栅介质5,使用化学气相沉积制备500nm的多晶硅6。

[0024] 步骤S300,在外延片上沉积隔离层7,开窗制备穿过N+区3,并伸入P体区2内的源极沟槽8,如图6、7所示;

步骤S310,利用化学气相沉积制备隔离层7,通过光刻工艺,使用掩模将源极沟槽8外部区域保护,采用刻蚀工艺制备源极沟槽8,源极沟槽8底部延伸至P体区2内部,沟槽两侧面位于N+区3内部;

相应地,隔离层7起保护作用,材质为 SiO_2 或者 Si_3N_4 ,厚度设定为10-5000nm,使用ICP干法刻蚀制备源极沟槽8,源极沟槽8底部延伸至P体区2内部,沟槽两侧面位于N+区3内部;

本实施例,使用使用 Si_3N_4 作为隔离层7,厚度设定为200nm,使用ICP干法刻蚀制备源极沟槽8,源极沟槽8深度为4.28um,宽度为2um。

[0025] 步骤S400,在源极沟槽8底部制备N区9,N区9和外延片N型耐压区16连接,如图8所示;

步骤S410,利用光刻工艺,使用掩模将源极沟槽8外部区域保护,通过扩散工艺或者离子注入工艺,在源极沟槽8底部制备N区9,N区9和外延片N型耐压区16连接;

相应的,N型掺杂的掺杂浓度范围是 $1e^{14} \cdot \text{cm}^{-3}$ - $1e^{20} \cdot \text{cm}^{-3}$;

本实施例,N区9掺杂浓度是 $1e^{16} \cdot \text{cm}^{-3}$,使用离子注入工艺制备N区9。

[0026] 步骤S500,在N区9顶面制备肖特基接触金属10,与N区9形成肖特基接触,肖特基接触金属10上表面低于N+区3下表面,如图9所示;

步骤S510,利用光刻工艺,使用掩模将源极沟槽8外部区域保护,使用剥离工艺或者刻蚀工艺,在源极沟槽8内制备肖特基接触金属10,与N区9形成肖特基接触,肖特基接触金属10上表面低于N+区3下表面;

相应的,肖特基接触金属10,设置在源极沟槽8底部,与N区9形成肖特基接触,其上表面低于N+区3下表面;

本实施例,使用剥离工艺,在源极沟槽8底部制备200nm厚的Ni/Al两层金属作为肖特基接触金属9,Ni和N区9形成肖特基接触。

[0027] 步骤S600,在源极沟槽8内制备欧姆接触金属11,与P体区2和N+区3形成欧姆接触,源极沟槽8内欧姆接触金属11和肖特基接触金属10共同组成源极金属,如图10所示;

步骤S610,利用光刻工艺,使用掩模将源极沟槽8外部区域保护,使用剥离工艺或者刻蚀工艺,在源极沟槽8内制备欧姆接触金属11,与P体区2、N+区3形成欧姆接触,源极槽内欧姆接触金属11和肖特基接触金属10共同组成源极金属;

相应的,欧姆接触金属11设置在源极沟槽8内部,其下表面和肖特基接触金属10上

表面接触,上表面和隔离层7上表面齐平,与P体区2、N+区3形成欧姆接触;

本实施例,使用剥离工艺,在源极沟槽8内制备4.08 μm 厚的Ti/Al两层金属作为欧姆接触金属11,Ti和P体区2、N+区3形成欧姆接触。

[0028] 步骤S700,在多晶硅6处开窗,制备栅极金属13,在外延片1背面制备漏极金属14,整个器件制备完毕,如图11-13所示。

[0029] 步骤S710,利用光刻工艺,使用掩模将多晶硅6开窗处外部区域保护,利用刻蚀工艺,在多晶硅6处开窗,随后使用剥离工艺或者刻蚀工艺制备栅极金属13,使用减薄工艺和背金工艺在外延片1背面制备漏极金属14,整个器件制备完毕。

[0030] 相应的,多晶硅6开窗深度大于隔离层7厚度,栅极金属13从所述隔离层7的顶面向下延伸至多晶硅6内,与多晶硅6形成欧姆接触,漏极金属14与外延片1底面N+衬底层15形成欧姆接触;

本实施例,通过刻蚀工艺在多晶硅6处开窗,开窗深度1 μm ,使用剥离工艺,制备1 μm 厚的Ti/Al两层金属作为栅极金属13,与多晶硅6形成欧姆接触,使用减薄工艺将350 μm 厚外延片1减薄到180 μm ,使用Ti/Al两层金属制备漏极金属14。

[0031] 集成PN结和肖特基结的平面栅MOSFET,包括自下而上依次设置的漏极金属14、外延片1、多晶硅6和隔离层7;

所述外延片1顶部设有:

P体区2,设有若干并相互间隔,其顶面低于所述外延片1顶面,其底面高于N型耐压区16底面;

N+区3,设有若干并相互间隔,分别从所述外延片1的顶面向下,N+区3的底面高于P体区2的底面;

P沟道区4,设有若干,分别从所述N+区3顶面端部向下延伸至N+区3底面;所述P沟道区4远离N+区3的一侧分别与P体区2的侧面在同一平面内;

栅介质5,设置在所述外延片1的顶面;

所述多晶硅6设有若干并相互间隔,分别位于所述栅介质5的顶面;

所述隔离层7位于多晶硅6顶面和相邻多晶硅6之间的栅介质5上;

N区9,设置在所述P体区2内,底面与N型耐压区16连接,侧部与所述P体区2连接,顶面低于所述P体区2的顶面;

肖特基接触金属10,沿所述N区9的顶面向上延伸,与N区9形成肖特基接触,其顶面低于所述P体区2的顶面;

欧姆接触金属11,沿所述肖特基接触金属10的顶面向上延伸,其顶面与所述隔离层7上表面齐平;欧姆接触金属11与侧部的P体区2和N+区3形成欧姆接触,源极沟槽8内欧姆接触金属11和肖特基接触金属10共同组成源极金属;

栅极金属13,从所述隔离层7的顶面向下延伸至多晶硅6内部,和所述多晶硅6形成良好的欧姆接触。

[0032] 外延片1是Si基N型外延片,由自下而上的N+衬底层15、N型耐压区16构成。漏极金属14和外延片1的N+衬底层15形成良好的欧姆接触。

[0033] 本发明通过制备源极沟槽8,并在源极沟槽8底部制备肖特基接触,形成了集成肖特基二极管和PN结二极管的结构,利用肖特基二极管的低开启电压和高电流特性,达到减

小体二极管续流损耗的目的,利用PN结二极管增强体二极管正向浪涌能力。同时本发明肖特基二极管的N区9,两侧是MOSFET的P体区2,形成超结结构,进而减小集成的肖特基二极管的反向漏电,不需要特殊的额外工艺步骤来降低集成的肖特基二极管的反向漏电,外延层结构和常规MOSFET结构一致,不影响集成的SBD的正向通流能力和MOSFET正向通流能力,和已有的对比文件相比,本发明制备的增强体二极管续流能力的平面栅MOSFET及其制备方法,具备更优异的性能优势和工艺优势。

[0034] 对于本案所公开的内容,还有以下几点需要说明:

本案所公开的实施例附图只涉及到与本案所公开实施例所涉及到的结构,其他结构可参考通常设计;

在不冲突的情况下,本案所公开的实施例及实施例中的特征可以相互组合以得到新的实施例;

以上,仅为本案所公开的具体实施方式,但本公开的保护范围并不局限于此,本案所公开的保护范围应以权利要求的保护范围为准。

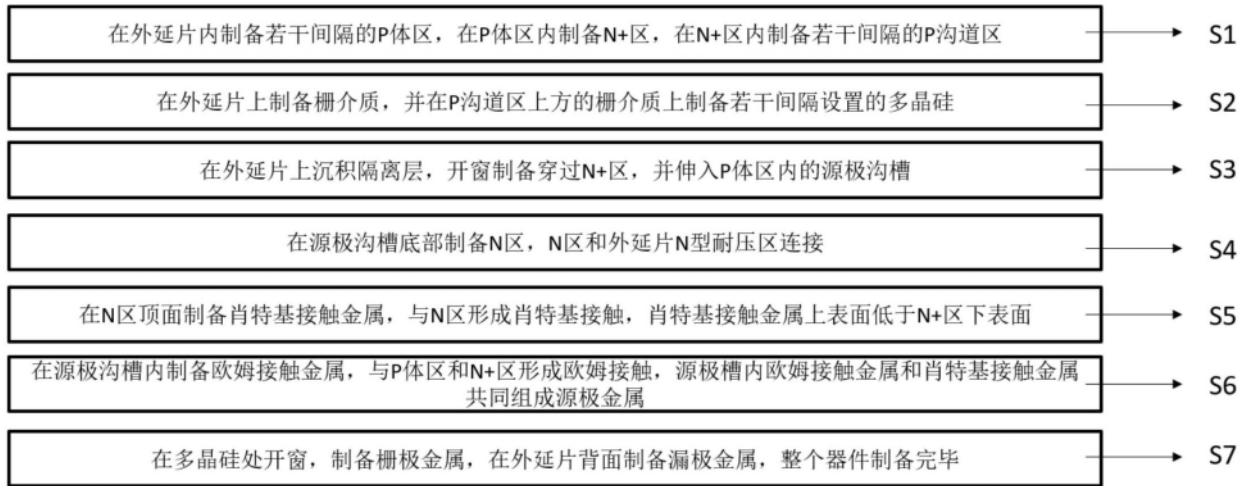


图1

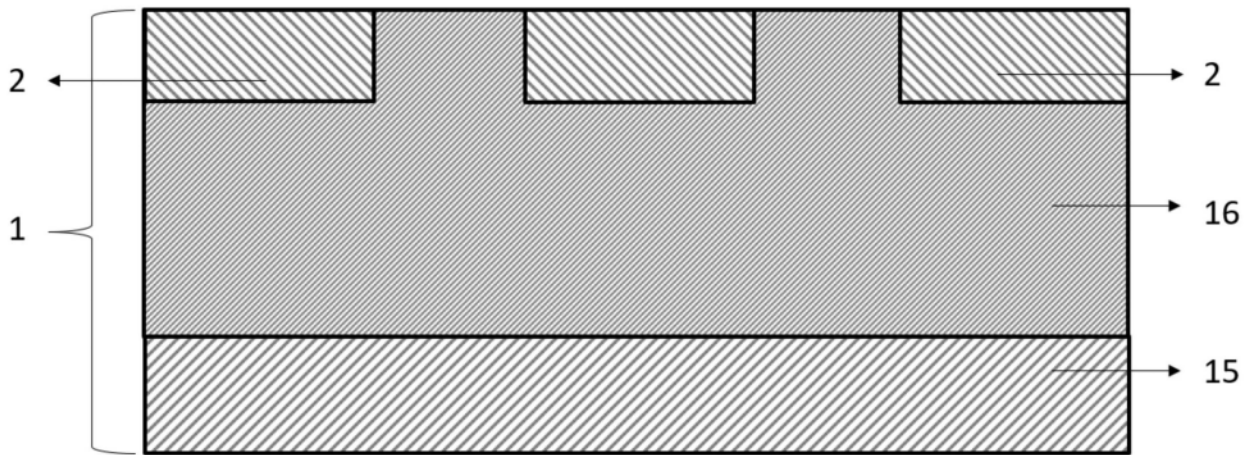
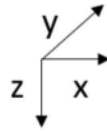


图2

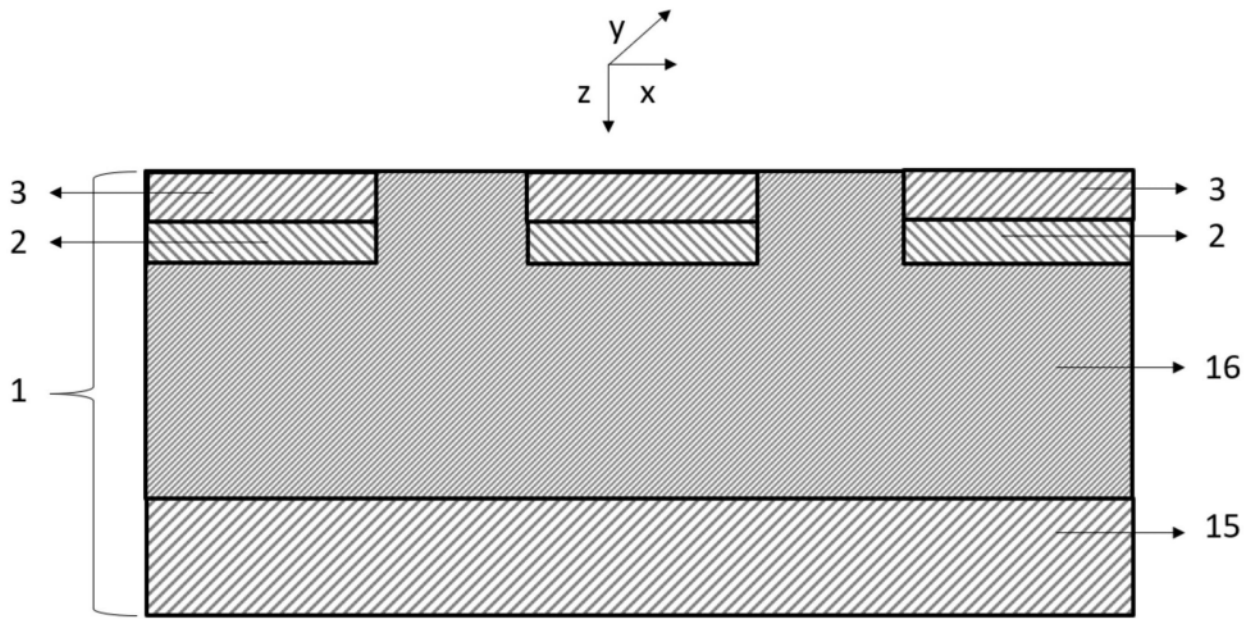


图3

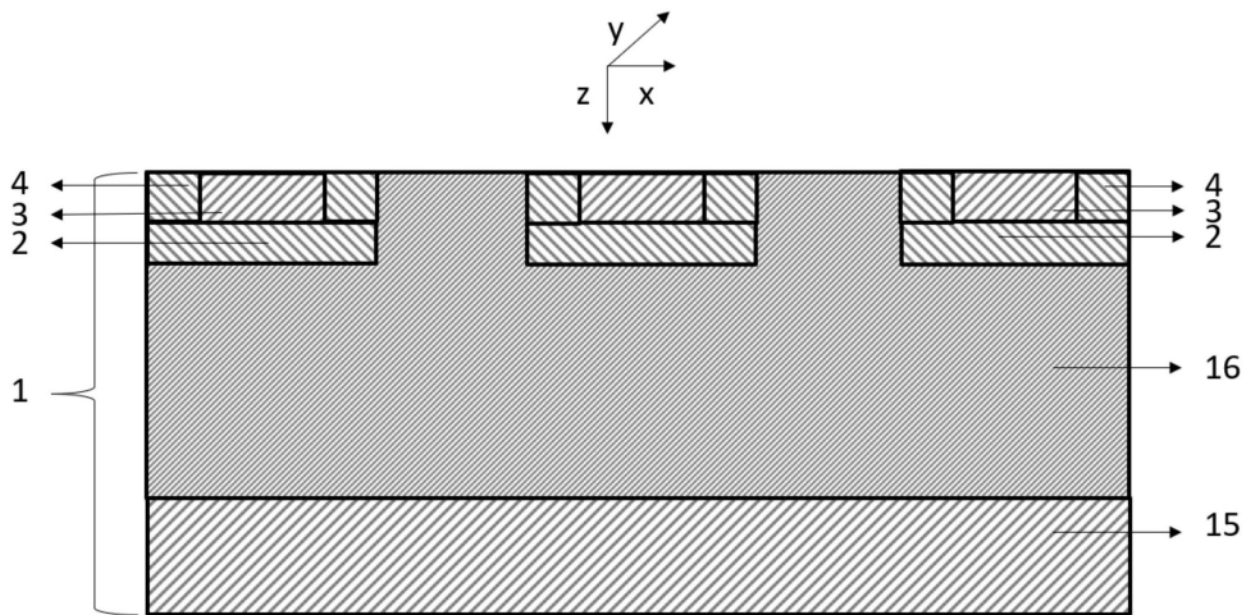


图4

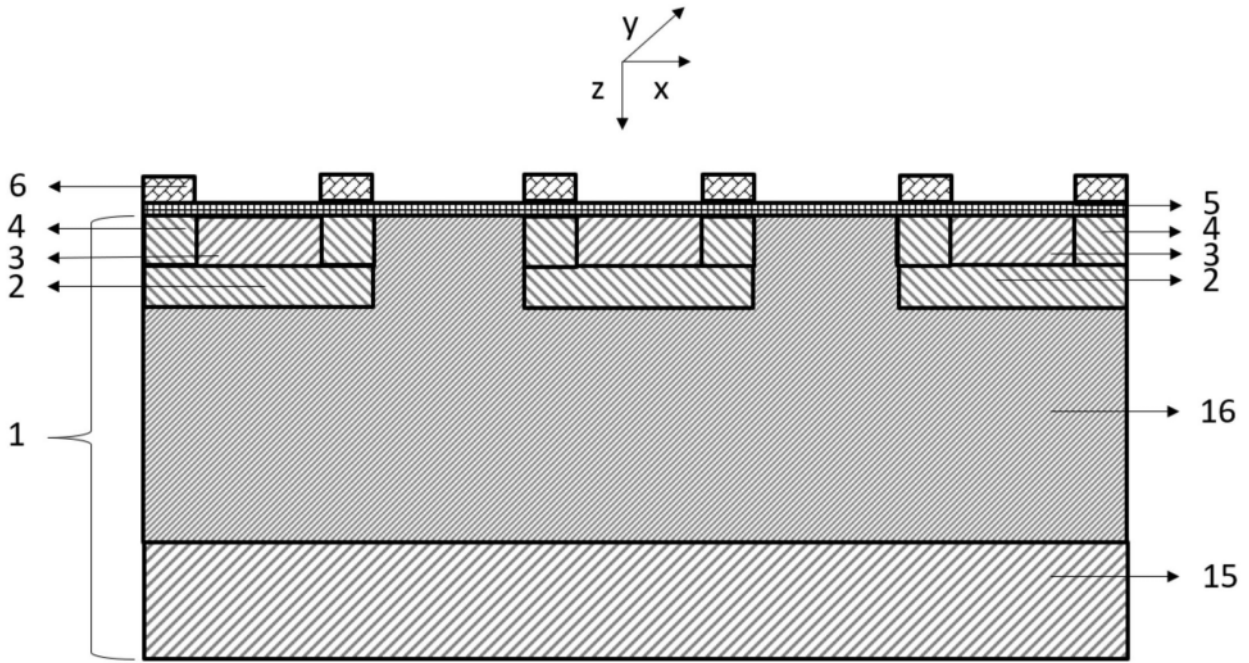


图5

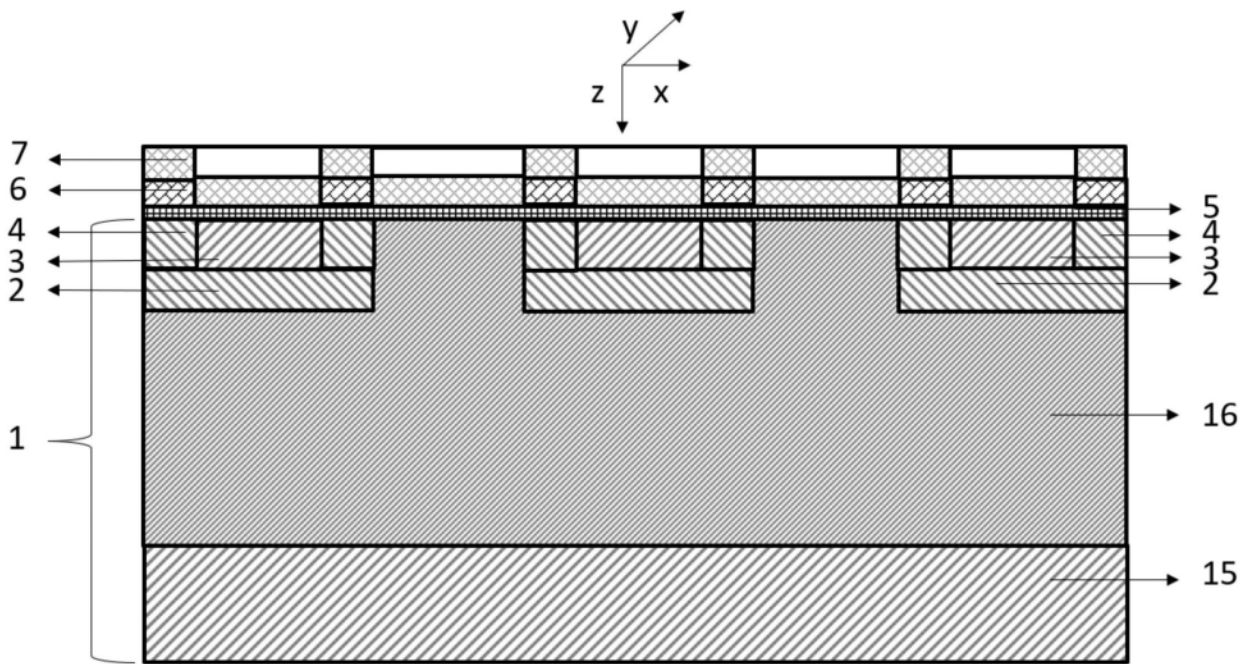


图6

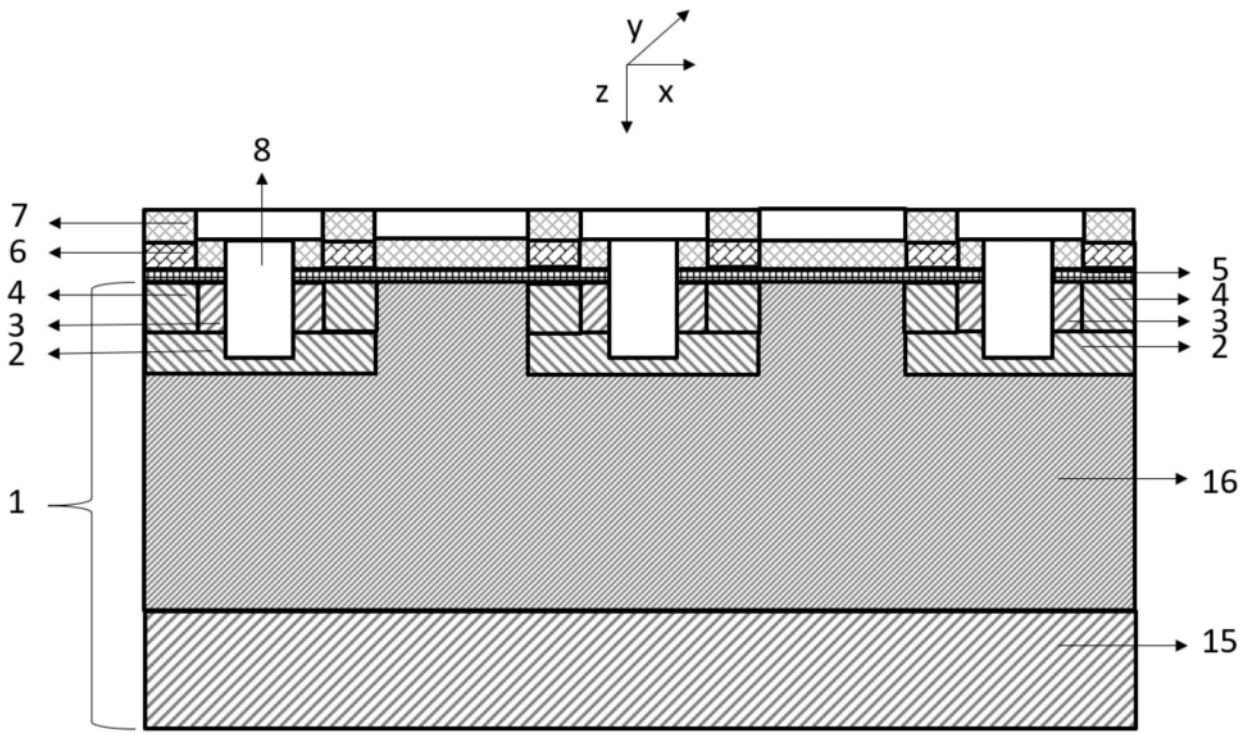


图7

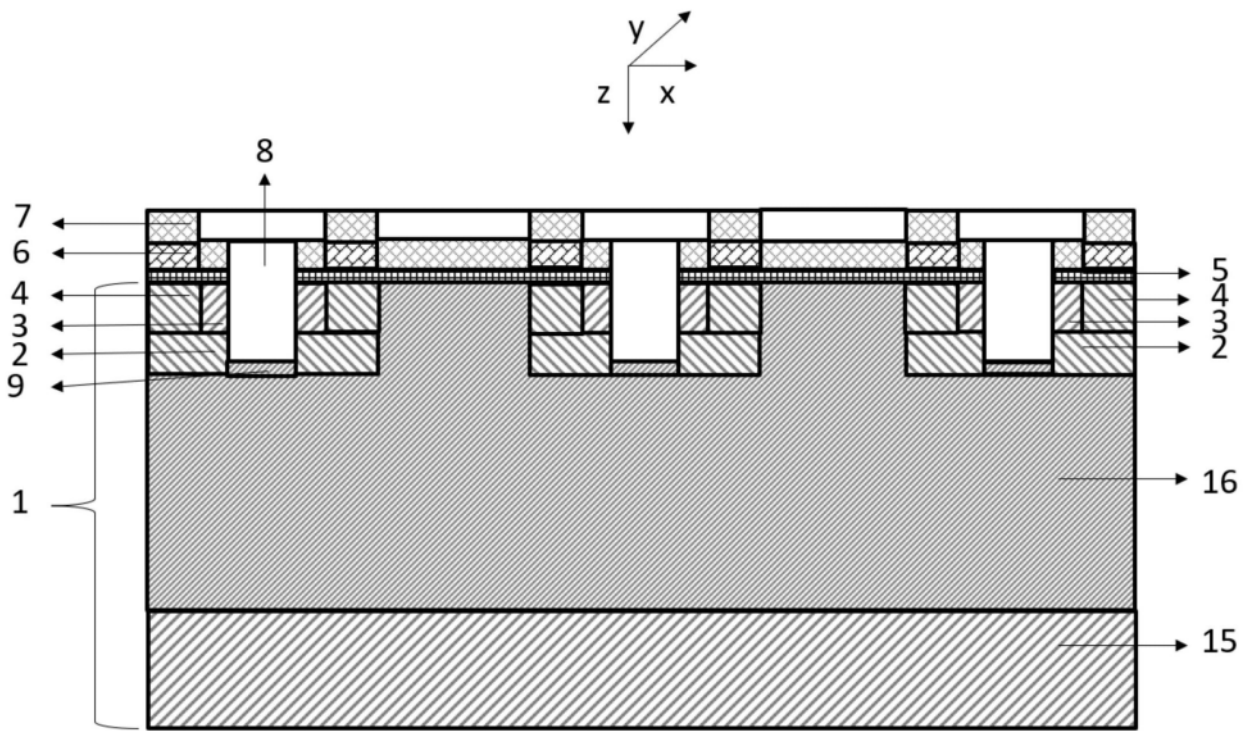


图8

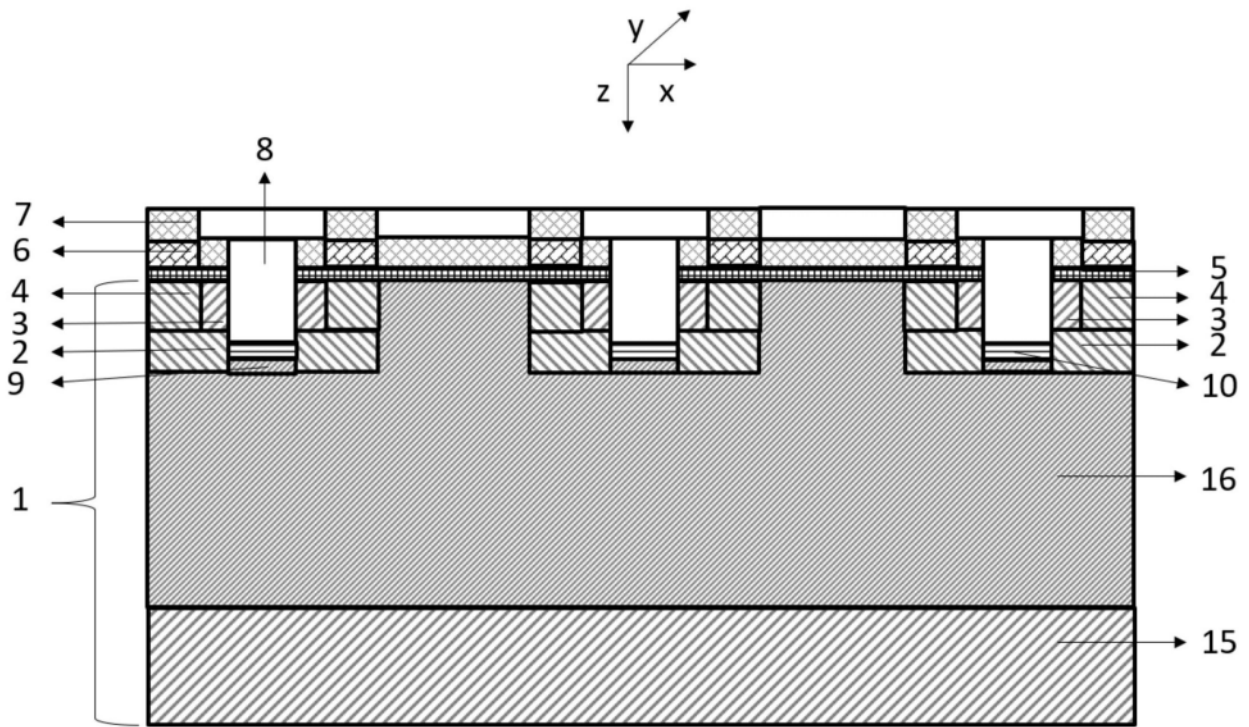


图9

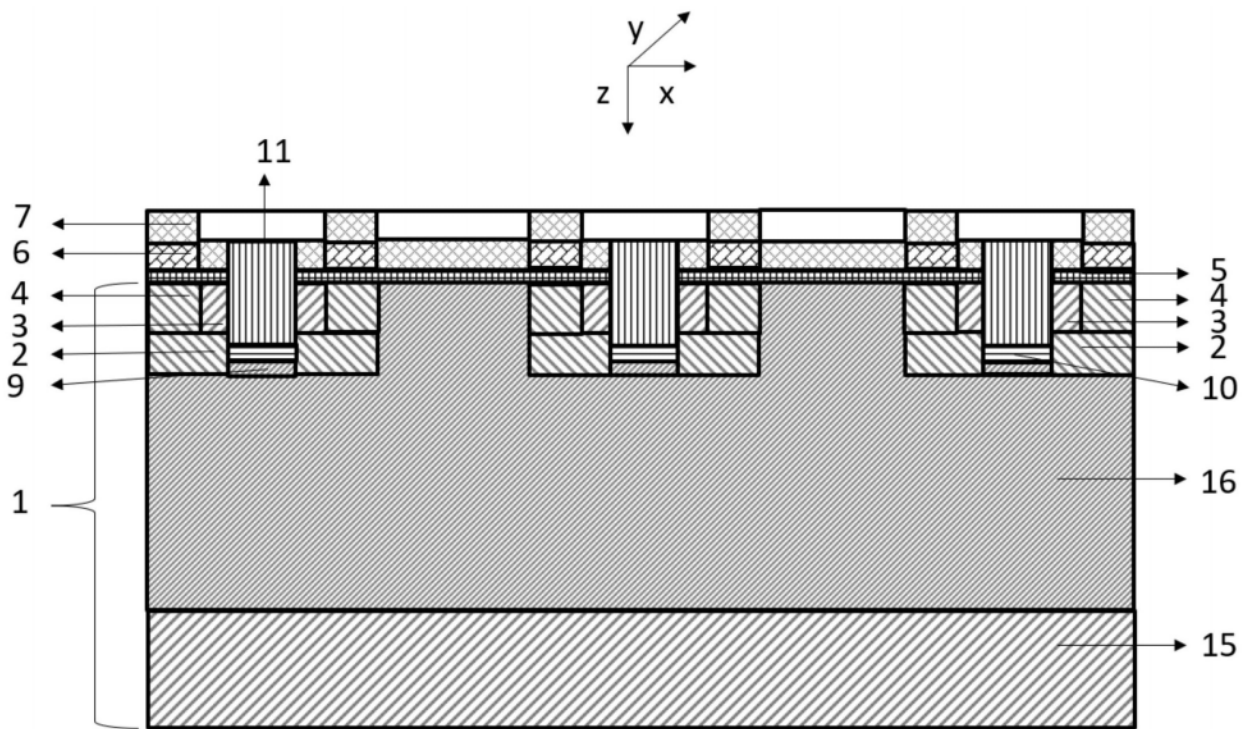


图10

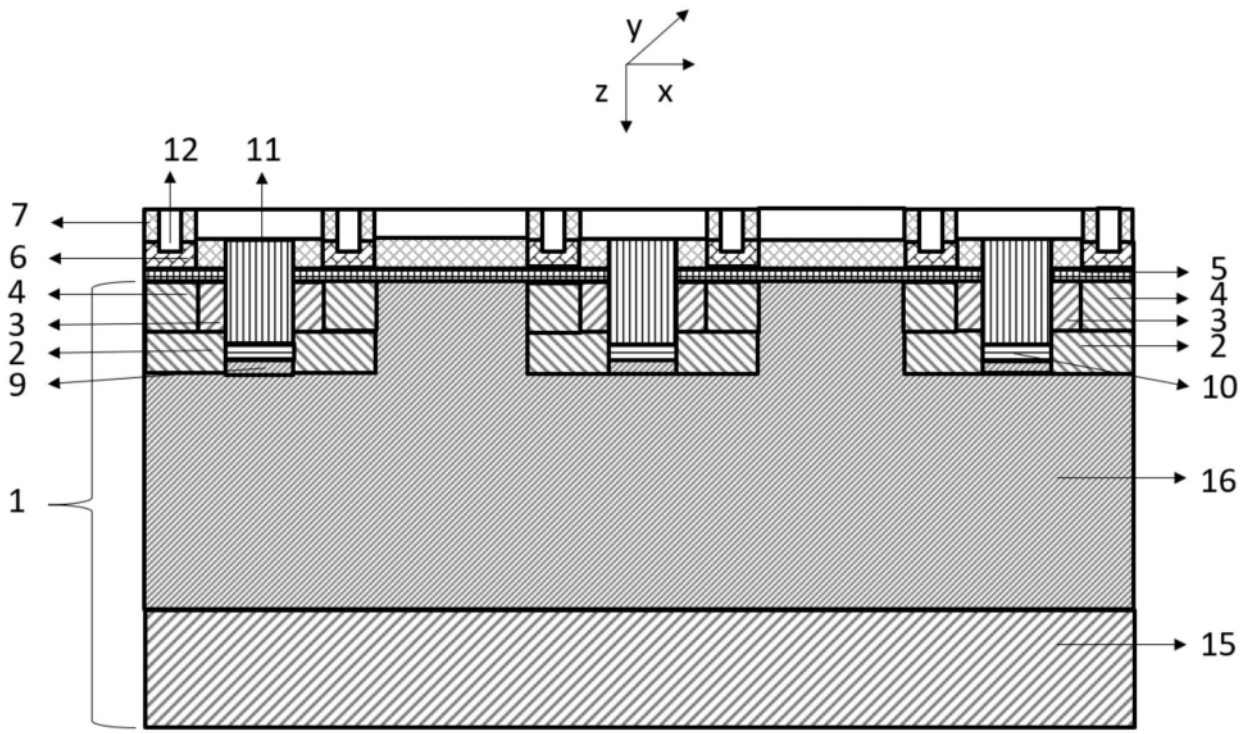


图11

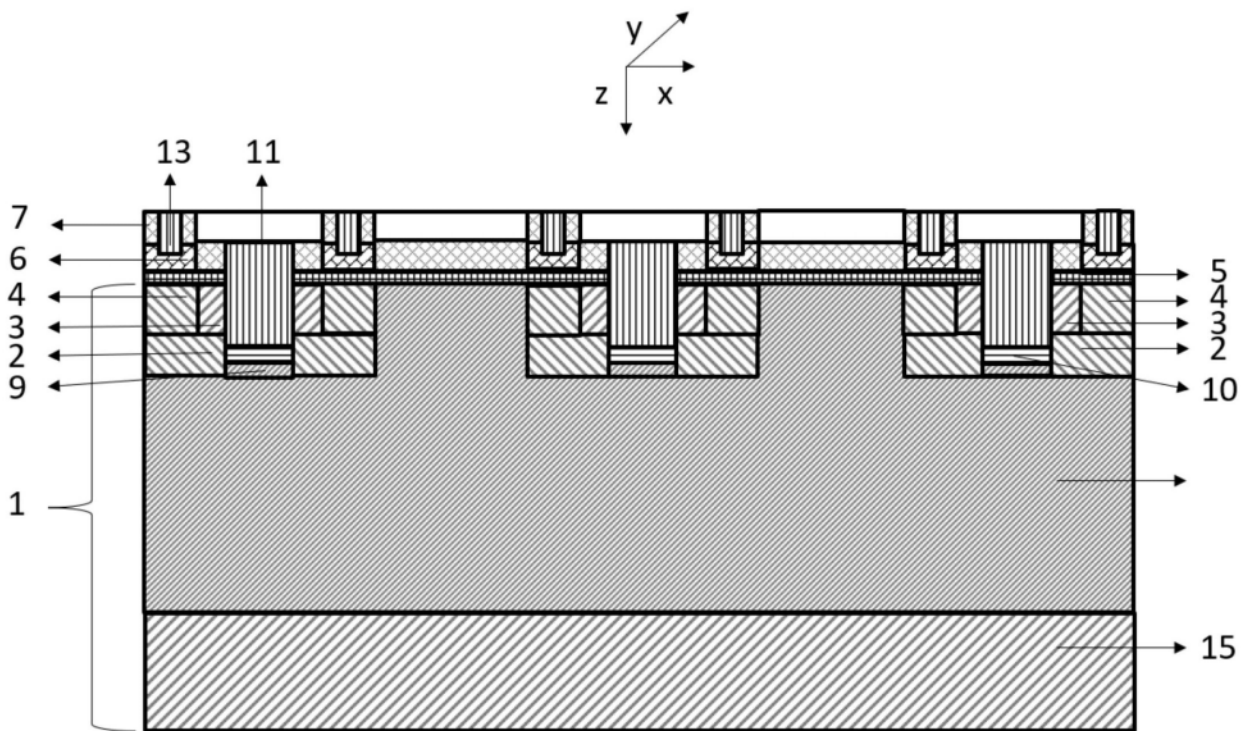


图12

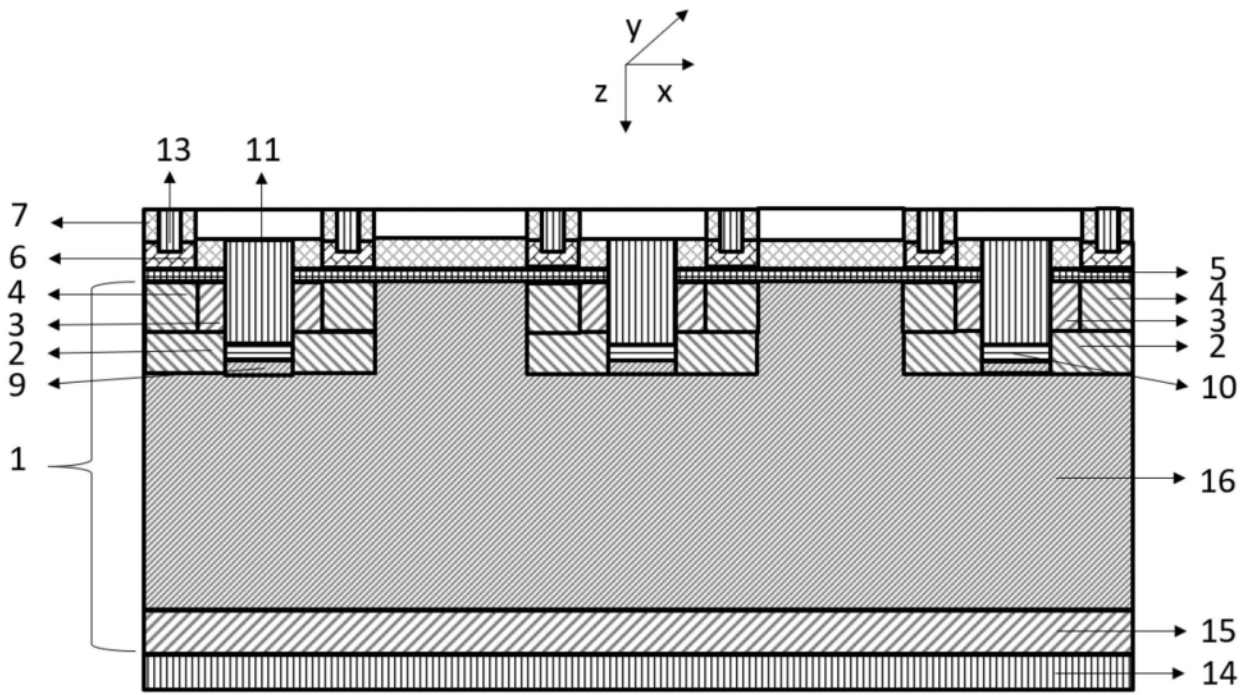


图13