

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5599684号
(P5599684)

(45) 発行日 平成26年10月1日(2014.10.1)

(24) 登録日 平成26年8月22日(2014.8.22)

(51) Int.Cl.

H03F 1/52 (2006.01)

F I

H03F 1/52

請求項の数 10 (全 21 頁)

(21) 出願番号 特願2010-212594 (P2010-212594)
 (22) 出願日 平成22年9月22日 (2010.9.22)
 (65) 公開番号 特開2012-70179 (P2012-70179A)
 (43) 公開日 平成24年4月5日 (2012.4.5)
 審査請求日 平成25年9月13日 (2013.9.13)

(73) 特許権者 308033711
 ラピスセミコンダクタ株式会社
 神奈川県横浜市港北区新横浜二丁目4番地
 8
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 甲斐 敦浩
 東京都八王子市東浅川町550番地1 O
 K Iセミコンダクタ株式会社内

最終頁に続く

(54) 【発明の名称】 信号増幅装置、ブリッジ接続型信号増幅装置、信号出力装置、ラッチアップ阻止方法、及びプログラム

(57) 【特許請求の範囲】

【請求項1】

第1電圧が印加される第1電圧線に接続された第1電圧端子、前記第1電圧と異なる第2電圧が印加される第2電圧線に接続された第2電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第1電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第1電圧線と前記出力端子との間を非導通状態にすることが可能な第1被保護対象スイッチング素子、及び前記第2電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、

10

前記第1電圧線に接続された第1導電型第1端子、前記信号線に接続された第1導電型第2端子、及び第1導電型制御端子を備え、通常時非導通状態の前記第1導電型第1端子及び前記第1導電型第2端子間を、該第1導電型制御端子にオン電圧が印加されたときに導通状態にする第1導電型の第1スイッチング素子と、

前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、

前記第1電圧線に過電流が流れた場合、前記第1スイッチング素子を導通状態にすると

20

共に前記第 2 スイッチング素子を非導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御し、前記第 2 電圧線に過電流が流れた場合、前記第 1 スイッチング素子を非導通状態にすると共に前記第 2 スイッチング素子を導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する制御手段と、

を含む信号増幅装置。

【請求項 2】

前記制御手段は、前記第 1 電圧線に過電流が流れた場合、前記第 1 スイッチング素子を導通状態にすると共に前記第 2 スイッチング素子を非導通状態にするように制御し、前記出力端子が通常時の電圧値に回復する時期として予め推測された時期に前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御し、前記第 2 電圧線に過電流が流れた場合、前記第 1 スイッチング素子を非導通状態にすると共に前記第 2 スイッチング素子を導通状態にするように制御し、前記予め推測された時期に前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する請求項 1 記載の信号増幅装置。

10

【請求項 3】

請求項 1 または請求項 2 に記載の一对の信号増幅装置と、

一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線であって、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続された出力線と、

20

前記出力線に設けられた通常時導通状態の第 3 スイッチング素子であって、前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能な第 3 スイッチング素子と、を含み、

前記制御手段は、前記第 1 電圧線に過電流が流れた場合、前記第 3 スイッチング素子を非導通状態にするように制御し、かつ前記一对の信号増幅装置の各々について、前記第 1 スイッチング素子を導通状態にすると共に前記第 2 スイッチング素子を非導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御し、前記第 2 電圧線に過電流が流れた場合、前記第 3 スイッチング素子を非導通状態にするように制御し、かつ前記一对の信号増幅装置の各々について、前記第 1 スイッチング素子を非導通状態にすると共に前記第 2 スイッチング素子を導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する

30

ブリッジ接続型信号増幅装置。

【請求項 4】

請求項 3 に記載のブリッジ接続型信号増幅装置と、

前記信号線に入力された前記信号を前記一对の信号増幅装置の各々における前記反転増幅回路で増幅して得た増幅信号を該反転増幅回路の各々の前記出力端子から前記インダクタ部を介して出力する信号出力手段と、

を含む信号出力装置。

40

【請求項 5】

第 1 電圧が印加される第 1 電圧線に接続された第 1 電圧端子、前記第 1 電圧と異なる第 2 電圧が印加される第 2 電圧線に接続された第 2 電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第 1 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 1 電圧線と前記出力端子との間を非導通状態にすることが可能な第 1 被保護対象スイッチング素子、及び前記第 2 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 2 電圧線と前記出力端子との間を非導通状態にすることが可能な第 2 被保護対象スイッチング素子を有する反転増幅回路と、前記第 1 電圧線に接続された第 1 導電型第 1 端子、前記信号線に接続された第 1 導電

50

型第2端子、及び第1導電型制御端子を備え、通常時非導通状態の前記第1導電型第1端子及び前記第1導電型第2端子間を、該第1導電型制御端子にオン電圧が印加されたときに導通状態にする第1導電型の第1スイッチング素子と、前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、を含む信号増幅装置のラッチアップ阻止方法であって、

前記第1電圧線に過電流が流れた場合、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にし、

10

前記第2電圧線に過電流が流れた場合、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にすることを含むラッチアップ阻止方法。

【請求項6】

一对の前記信号増幅装置と、一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線であって、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続された出力線と、前記出力線に設けられた通常時導通状態の第3スイッチング素子であって、前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能な第3スイッチング素子と、を含むブリッジ接続型信号増幅装置において、前記第1電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にし、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にし、

20

前記第2電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にし、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にすることを更に含む請求項5に記載のラッチアップ阻止方法。

30

【請求項7】

コンピュータを、

第1電圧が印加される第1電圧線に接続された第1電圧端子、前記第1電圧と異なる第2電圧が印加される第2電圧線に接続された第2電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第1電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第1電圧線と前記出力端子との間を非導通状態にすることが可能な第1被保護対象スイッチング素子、及び前記第2電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、前記第1電圧線に接続された第1導電型第1端子、前記信号線に接続された第1導電型第2端子、及び第1導電型制御端子を備え、通常時非導通状態の前記第1導電型第1端子及び前記第1導電型第2端子間を、該第1導電型制御端子にオン電圧が印加されたときに導通状態にする第1導電型の第1スイッチング素子と、前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、を含む信号増幅装置において、前記第1電圧線に過電流が流れた場合、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導

40

50

通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する手段、及び

前記第 2 電圧線に過電流が流れた場合、前記第 1 スwitchング素子を非導通状態にすると共に前記第 2 スwitchング素子を導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する手段として機能させるためのプログラム。

【請求項 8】

前記コンピュータを、更に、

一方の前記信号増幅装置と、一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線であって、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続された出力線と、前記出力線に設けられた通常時導通状態の第 3 スwitchング素子であって、前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能な第 3 スwitchング素子と、を含むブリッジ接続型信号増幅装置において、前記第 1 電圧線に過電流が流れた場合、前記第 3 スwitchング素子を非導通状態にするように制御し、かつ前記一方の信号増幅装置の各々について、前記第 1 スwitchング素子を導通状態にすると共に前記第 2 スwitchング素子を非導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する手段、及び

前記第 2 電圧線に過電流が流れた場合、前記第 3 スwitchング素子を非導通状態にするように制御し、かつ前記一方の信号増幅装置の各々について、前記第 1 スwitchング素子を非導通状態にすると共に前記第 2 スwitchング素子を導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する手段として機能させるための請求項 7 に記載のプログラム。

【請求項 9】

第 1 電圧が印加される第 1 電圧線に接続された第 1 電圧端子、前記第 1 電圧と異なる第 2 電圧が印加される第 2 電圧線に接続された第 2 電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第 1 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 1 電圧線と前記出力端子との間を非導通状態にすることが可能な第 1 被保護対象スイッチング素子、及び前記第 2 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 2 電圧線と前記出力端子との間を非導通状態にすることが可能な第 2 被保護対象スイッチング素子を有する反転増幅回路と、

前記第 1 電圧線に接続された第 1 導電型第 1 端子、前記信号線に接続された第 1 導電型第 2 端子、及び第 1 導電型制御端子を備え、通常時非導通状態の前記第 1 導電型第 1 端子及び前記第 1 導電型第 2 端子間を、該第 1 導電型制御端子にオン電圧が印加されたときに導通状態にする第 1 導電型の第 1 スwitchング素子と、

前記第 1 電圧線に過電流が流れた場合、前記第 1 スwitchング素子を導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する制御手段と、

を含む信号増幅装置。

【請求項 10】

第 1 電圧が印加される第 1 電圧線に接続された第 1 電圧端子、前記第 1 電圧と異なる第 2 電圧が印加される第 2 電圧線に接続された第 2 電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第 1 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 1 電圧線と前記出力端子との間を非導通状態にすることが可能な第 1 被保護対象スイッチング素子、及び前記第 2 電圧線と

前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、

前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、

前記第2電圧線に過電流が流れた場合、前記第2スイッチング素子を導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する制御手段と、

を含む信号増幅装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号増幅装置、ブリッジ接続型信号増幅装置、信号出力装置、ラッチアップ阻止方法、及びプログラムに関する。

【背景技術】

【0002】

図5には、スピーカに接続されて用いられる従来のアンプ100の一例が示されている。同図に示されるように、アンプ100は、反転増幅回路102、過電流検知回路104、及び制御装置106を含んで構成されている。反転増幅回路102は、駆動用の正極電圧が印加された電源配線VDDに接続された第1電圧端子としての電源端子102A、接地電圧が印加された接地配線GNDに接続された第2電圧端子としての接地端子102B、信号線103が接続された反転入力端子102C、基準電圧(ここでは、接地電圧)が印加された非反転入力端子102D、出力端子102E、及び制御端子102Fを備えている。信号線103には抵抗素子R2が挿入されており、反転入力端子102Cは抵抗素子R2を介してアンプ100の入力端子100Aに接続されている。また、出力端子102Eは、抵抗素子R1を介して反転入力端子102Cに接続され、かつアンプ100の出力端子100Bからケーブル109を介してスピーカ108の正極側入力端子に接続されている。なお、スピーカ108の負極側入力端子は接地されている。

【0003】

過電流検知回路104は、入力端子104A及び出力端子104Bを備えており、入力端子104Aが出力端子102Eに接続されており、反転増幅回路102から過電流が入力されたときに過電流を検知して過電流検知信号を出力端子104Bから出力する。なお、以下では、アンプ100の電源が投入されている状態で過電流が発生していないときを「通常時」と称する。

【0004】

制御装置106は、所定のプログラムの処理を実行することによりアンプ100全体を制御するCPU(中央処理装置)、アンプ100の作動を制御する制御プログラムや各種パラメータ等が予め記憶された記憶媒体であるROM(Read Only Memory)、及び各種プログラムの実行時のワークエリア等として用いられる記憶媒体であるRAM(Random Access Memory)などを含んで構成されたコンピュータである。

【0005】

制御装置106は、入力端子106A及び出力端子106Bを備えており、入力端子106Aは過電流検知回路104の出力端子104Bに、出力端子106Bは反転増幅回路102の制御端子102Fに各々接続されている。

【0006】

図6には、反転増幅回路102の要部構成を示す構成図が示されている。同図に示されるように、反転増幅回路102は、差動段110、オフセット段112及び出力段114を含んで構成されている。差動段110は、図5に示す電源端子102Aを介して電源配

10

20

30

40

50

線VDDに接続された電源端子110A、図5に示す接地端子102Bを介して接地配線GNDに接続された接地端子110B、反転入力端子102C及び非反転入力端子102Dを備え、反転入力端子102Cに入力された信号と非反転入力端子102Dに入力された信号との差電圧を示す差電圧信号を生成して後段のオフセット段112に出力する回路である。

【0007】

オフセット段112は、図5に示す電源端子102Aを介して電源配線VDDに接続された電源端子112Aと、図5に示す接地端子102Bを介して接地配線GNDに接続された接地端子112Bと、差電圧信号が入力されるように差動段110に接続されており、入力された差電圧信号から差動段102で生じるオフセット電圧成分を除去した差動信号を生成して出力する。また、オフセット段112は、通常時が負出力状態の出力端子であって、入力された差動電圧信号からオフセット電圧成分を除去して得た正極の差動信号を出力する出力端子112Aと、通常時が正出力状態であって、入力された差動電圧信号のオフセット電圧成分を除去して得た負極の差動信号を出力する出力端子112Bと、を備えている。

10

【0008】

出力段114は、出力端子102E、Pチャネル型MOS電界効果トランジスタ(以下、「PMOSTランジスタ」という。)116,118及びNチャネル型MOS電界効果トランジスタ(以下、「NMOSTランジスタ」という。)120,122を含んで構成されている。

20

【0009】

第1被保護対象スイッチング素子としてのPMOSTランジスタ116は、出力端子112Aに接続されたゲート端子と、出力端子102Eに接続されたドレイン端子と、図5に示す電源端子102Aを介して電源配線VDDに接続されたソース端子と、を備えており、通常時導通状態のソース端子及びドレイン端子間が、ゲート端子に電源電圧の大きさ以上の電圧が印加されたときに非導通状態になるように構成されている。

【0010】

PMOSTランジスタ118は、図5に示す過電流検知回路104により過電流が検知されたときにPMOSTランジスタ116のソース端子及びドレイン端子間を非導通状態にするスイッチング素子であって、図5に示す電源端子102Aを介して電源配線VDDに接続されたソース端子と、PMOSTランジスタ116のゲート端子に接続されたドレイン端子と、図5に示す制御端子102Fを介して制御装置106の出力端子106Bに接続されたゲート端子と、を備えている。

30

【0011】

一方、第2被保護対象スイッチング素子としてのNMOSTランジスタ120は、出力端子112Bに接続されたゲート端子と、出力端子102Eに接続されたドレイン端子と、図5に示す接地端子102Bを介して接地配線GNDに接続されたソース端子と、を備えており、通常時導通状態のソース端子及びドレイン端子間が、ゲート端子に接地電圧の大きさ以下の電圧が印加されたときに非導通状態になるように構成されている。

【0012】

40

NMOSTランジスタ122は、図5に示す過電流検知回路104により過電流が検知されたときにNMOSTランジスタ120のソース端子及びドレイン端子間を非導通状態にするスイッチング素子であって、図5に示す接地端子102Bを介して接地配線GNDに接続されたソース端子と、NMOSTランジスタ122のゲート端子に接続されたドレイン端子と、図5に示す制御端子102Fを介して制御装置106の出力端子106Bに接続されたゲート端子と、を備えている。

【0013】

このように構成されたアンプ100では、反転増幅回路102から過電流が出力された場合、過電流検知回路104により過電流を検知して過電流検知信号を制御装置106に出力し、アンプをパワーダウンさせて(アンプの駆動を停止して)、PMOSTランジスタ

50

タ 1 1 6 及び N M O S トランジスタ 1 2 0 が過電流によって破壊されることを防止していた（例えば、特許文献 1 を参照）。

【先行技術文献】

【特許文献】

【 0 0 1 4 】

【特許文献 1】特開 2 0 0 0 - 1 7 4 5 6 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 5 】

しかしながら、上記のように構成されたアンプ 1 0 0 は、出力端子 1 0 0 B の接続先のインダクタンス成分（図 5 では、ケーブル 1 0 9 の寄生インダクタンス成分）が所定の大きさ以上の場合、反転増幅回路 1 0 2 に流れる過電流を瞬間的に切断（パワーダウン）することによって生じる電磁誘導現象により引き起こされるサージ電流によって P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 にラッチアップが生じて P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 が破壊されてしまう、という問題点があった。つまり、電源配線 V D D が接地側に短絡した場合はマイナスのサージ電流（電源配線 V D D に過電流）が生じ、接地配線 G N D が電源側に短絡した場合はプラスのサージ電流（接地配線 G N D に過電流）が生じ、これによって P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 にラッチアップが生じて P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 が破壊される場合があった。

【 0 0 1 6 】

本発明は上記問題点を解決するために成されたものであり、ラッチアップを阻止することができる信号増幅装置、ブリッジ接続型信号増幅装置、信号出力装置、ラッチアップ阻止方法、及びプログラムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

上記目的を達成するために、請求項 1 に記載の信号増幅装置は、第 1 電圧が印加される第 1 電圧線に接続された第 1 電圧端子、前記第 1 電圧と異なる第 2 電圧が印加される第 2 電圧線に接続された第 2 電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第 1 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 1 電圧線と前記出力端子との間を非導通状態にすることが可能な第 1 被保護対象スイッチング素子、及び前記第 2 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 2 電圧線と前記出力端子との間を非導通状態にすることが可能な第 2 被保護対象スイッチング素子を有する反転増幅回路と、前記第 1 電圧線に接続された第 1 導電型第 1 端子、前記信号線に接続された第 1 導電型第 2 端子、及び第 1 導電型制御端子を備え、通常時非導通状態の前記第 1 導電型第 1 端子及び前記第 1 導電型第 2 端子間を、該第 1 導電型制御端子にオン電圧が印加されたときに導通状態にする第 1 導電型の第 1 スwitching 素子と、前記第 2 電圧線に接続された第 2 導電型第 1 端子、前記信号線に接続された第 2 導電型第 2 端子、及び第 2 導電型制御端子を備え、通常時非導通状態の前記第 2 導電型第 1 端子及び前記第 2 導電型第 2 端子間を、該第 2 導電型制御端子にオン電圧が印加されたときに導通状態にする第 2 導電型の第 2 スwitching 素子と、前記第 1 電圧線に過電流が流れた場合、前記第 1 スwitching 素子を導通状態にすると共に前記第 2 スwitching 素子を非導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御し、前記第 2 電圧線に過電流が流れた場合、前記第 1 スwitching 素子を非導通状態にすると共に前記第 2 スwitching 素子を導通状態にするように制御してから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御する制御手段と、を備えている。

【 0 0 1 8 】

請求項 1 に記載の信号増幅装置では、第 1 電圧端子、第 2 電圧端子、反転入力端子、及び出力端子を有する反転増幅回路において、前記第 1 電圧端子に、第 1 電圧が印加される第 1 電圧線が接続され、前記第 2 電圧端子に、前記第 1 電圧と異なる第 2 電圧が印加される第 2 電圧線が接続され、反転入力端子に、信号が入力される信号線が接続され、出力端子に、該反転入力端子が抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部が接続されると共に、通常時導通状態の前記第 1 電圧線と前記出力端子との間を非導通状態にすることが可能な第 1 被保護対象スイッチング素子が前記第 1 電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第 1 電圧線と前記出力端子との間を非導通状態にすることが可能な第 1 被保護対象スイッチング素子、及び通常時導通状態の前記第 2 電圧線と前記出力端子との間を非導通状態にすることが可能な第 2 被保護対象スイッチング素子が前記第 2 電圧線と前記出力端子との間に挿入される。

10

【 0 0 1 9 】

また、請求項 1 に記載の信号増幅装置では、第 1 導電型第 1 端子、第 1 導電型第 2 端子、及び第 1 導電型制御端子を備えた第 1 導電型の第 1 スwitching素子において、前記第 1 導電型第 1 端子に前記第 1 電圧線が接続され、前記第 1 導電型第 2 端子に前記信号線が接続され、通常時非導通状態の前記第 1 導電型第 1 端子及び前記第 1 導電型第 2 端子間が前記第 1 導電型制御端子に該第 1 導電型制御端子にオン電圧が印加されたときに導通状態にされる。

【 0 0 2 0 】

また、請求項 1 に記載の信号増幅装置では、第 2 導電型第 1 端子、第 2 導電型第 2 端子、及び第 2 導電型制御端子を備えた第 2 導電型の第 2 スwitching素子において、第 2 導電型第 1 端子に前記第 2 電圧線が接続され、第 2 導電型第 2 端子に前記信号線が接続され、通常時非導通状態の前記第 2 導電型第 1 端子及び前記第 2 導電型第 2 端子間が、該第 2 導電型制御端子にオン電圧が印加されたときに導通状態にされる。

20

【 0 0 2 1 】

そして、請求項 1 に記載の信号増幅装置では、制御手段により、前記第 1 電圧線に過電流が流れた場合、前記第 1 スwitching素子を導通状態にすると共に前記第 2 スwitching素子を非導通状態にするように制御されてから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御され、前記第 2 電圧線に過電流が流れた場合、前記第 1 スwitching素子を非導通状態にすると共に前記第 2 スwitching素子を導通状態にするように制御されてから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御される。

30

【 0 0 2 2 】

このように、請求項 1 に記載の信号増幅装置では、前記第 1 電圧線に過電流が流れた場合、前記第 1 スwitching素子を導通状態にすると共に前記第 2 スwitching素子を非導通状態にするように制御されてから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御され、前記第 2 電圧線に過電流が流れた場合、前記第 1 スwitching素子を非導通状態にすると共に前記第 2 スwitching素子を導通状態にするように制御されてから前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御されるので、第 1 被保護対象スイッチング素子及び第 2 被保護対象スイッチング素子のラッチアップを阻止することができる。

40

【 0 0 2 3 】

また、請求項 2 に記載の信号増幅装置は、請求項 1 に記載の発明において、前記制御手段が、前記第 1 電圧線に過電流が流れた場合、前記第 1 スwitching素子を導通状態にすると共に前記第 2 スwitching素子を非導通状態にするように制御し、前記出力端子が通常時の電圧値に回復する時期として予め推測された時期に前記第 1 被保護対象スイッチング素子及び前記第 2 被保護対象スイッチング素子の各々を非導通状態にするように制御し、前記第 2 電圧線に過電流が流れた場合、前記第 1 スwitching素子を非導通状態にする

50

と共に前記第2スイッチング素子を導通状態にするように制御し、前記予め推測された時期に前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御するものとしてもよい。これにより、第1被保護対象スイッチング素子及び第2被保護対象スイッチング素子のラッチアップをより確実に阻止することができる。

【0024】

一方、上記目的を達成するために、請求項3に記載のブリッジ接続型信号増幅装置は、請求項1または請求項2に記載の一对の信号増幅装置と、一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線であって、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続された出力線と、前記出力線に設けられた通常時導通状態の第3スイッチング素子であって、前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能な第3スイッチング素子と、を含み、前記制御手段が、前記第1電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御し、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御し、前記第2電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御し、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する。

【0025】

請求項3に記載のブリッジ接続型信号増幅装置では、請求項1または請求項2に記載の一对の信号増幅装置の一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線が、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続され、前記出力線に設けられた通常時導通状態の第3スイッチング素子が前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能とされる。

【0026】

そして、請求項3に記載のブリッジ接続型信号増幅装置では、前記制御手段により、前記第1電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御され、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にするように制御されてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御され、前記第2電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御され、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にするように制御されてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御される。

【0027】

このように、請求項3に記載のブリッジ接続型信号増幅装置では、前記第1電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御され、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にするように制御されてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御され、前記第2電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御され、かつ前記一对の信号増幅装置の各々について、前記第

1 スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にするように制御されてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御されるので、一对の信号増幅装置の各々について、第1被保護対象スイッチング素子及び第2被保護対象スイッチング素子のラッチアップを阻止することができる。

【0028】

一方、上記目的を達成するために、請求項4に記載の信号出力装置は、請求項3に記載のブリッジ接続型信号増幅装置と、前記信号線に入力された前記信号を前記一对の信号増幅装置の各々における前記反転増幅回路で増幅して得た増幅信号を該反転増幅回路の各々の前記出力端子から前記インダクタ部を介して出力する信号出力手段と、を備えている。

10

【0029】

請求項4に記載の信号出力装置では、信号出力手段により、請求項3に記載のブリッジ接続型信号増幅装置における前記信号線に入力された前記信号が前記一对の信号増幅装置の各々における前記反転増幅回路で増幅されて得られた増幅信号が該反転増幅回路の各々の前記出力端子から前記インダクタ部を介して出力される。

【0030】

一方、上記目的を達成するために、請求項5に記載のラッチアップ阻止方法は、第1電圧が印加される第1電圧線に接続された第1電圧端子、前記第1電圧と異なる第2電圧が印加される第2電圧線に接続された第2電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第1電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第1電圧線と前記出力端子との間を非導通状態にすることが可能な第1被保護対象スイッチング素子、及び前記第2電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、前記第1電圧線に接続された第1導電型第1端子、前記信号線に接続された第1導電型第2端子、及び第1導電型制御端子を備え、通常時非導通状態の前記第1導電型第1端子及び前記第1導電型第2端子間を、該第1導電型制御端子にオン電圧が印加されたときに導通状態にする第1導電型の第1スイッチング素子と、前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、を含む信号増幅装置のラッチアップ阻止方法であって、前記第1電圧線に過電流が流れた場合、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にし、前記第2電圧線に過電流が流れた場合、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にすることを含む。

20

30

【0031】

従って、請求項5に記載のラッチアップ阻止方法は、請求項1に記載の信号増幅装置と同様に作用するので、請求項1に記載の信号増幅装置と同様の効果を得ることができる。

40

【0032】

一方、上記目的を達成するために、請求項5に記載のラッチアップ阻止方法は、請求項6に記載の発明のように、一对の前記信号増幅装置と、一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線であって、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続された出力線と、前記出力線に設けられた通常時導通状態の第3スイッチング素子であって、前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能な第3スイッチング素子と、

50

を含むブリッジ接続型信号増幅装置において、前記第1電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にし、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にし、前記第2電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にし、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にしてから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にすることを更に含む。

【0033】

従って、請求項6に記載のラッチアップ阻止方法は、請求項3に記載のブリッジ接続型信号増幅装置と同様に作用するので、請求項3に記載のブリッジ接続型信号増幅装置と同様の効果を得ることができる。

【0034】

一方、上記目的を達成するために、請求項7に記載のプログラムは、コンピュータを、第1電圧が印加される第1電圧線に接続された第1電圧端子、前記第1電圧と異なる第2電圧が印加される第2電圧線に接続された第2電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第1電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第1電圧線と前記出力端子との間を非導通状態にすることが可能な第1被保護対象スイッチング素子、及び前記第2電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、前記第1電圧線に接続された第1導電型第1端子、前記信号線に接続された第1導電型第2端子、及び第1導電型制御端子を備え、通常時非導通状態の前記第1導電型第1端子及び前記第1導電型第2端子間を、該第1導電型制御端子にオン電圧が印加されたときに導通状態にする第1導電型の第1スイッチング素子と、前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、を含む信号増幅装置において、前記第1電圧線に過電流が流れた場合、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する手段、及び前記第2電圧線に過電流が流れた場合、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する手段として機能させるためのものである。

【0035】

従って、請求項7に記載のプログラムは、請求項1に記載の信号増幅装置と同様に作用するので、請求項1に記載の信号増幅装置と同様の効果を得ることができる。

【0036】

一方、上記目的を達成するために、請求項7に記載のプログラムは、請求項8に記載の発明のように、前記コンピュータを、更に、一对の前記信号増幅装置と、一方の信号増幅装置の前記反転増幅回路の前記出力端子に接続された出力線であって、他方の信号増幅装置の前記反転増幅回路に対応する前記信号線として該他方の信号増幅装置における前記反転増幅回路の前記反転入力端子に接続された出力線と、前記出力線に設けられた通常時導通状態の第3スイッチング素子であって、前記一方の信号増幅装置の前記出力端子と前記他方の信号増幅装置の前記反転入力端子との間を非導通状態にすることが可能な第3スイッチング素子と、を含むブリッジ接続型信号増幅装置において、前記第1電圧線に過電流

10

20

30

40

50

が流れた場合、前記第3スイッチング素子を非導通状態にするように制御し、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を導通状態にすると共に前記第2スイッチング素子を非導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する手段、及び前記第2電圧線に過電流が流れた場合、前記第3スイッチング素子を非導通状態にするように制御し、かつ前記一对の信号増幅装置の各々について、前記第1スイッチング素子を非導通状態にすると共に前記第2スイッチング素子を導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する手段として機能させるためのプログラムである。

10

【0037】

従って、請求項8に記載のプログラムは、請求項3に記載のブリッジ接続型信号増幅装置と同様に作用するので、請求項3に記載のブリッジ接続型信号増幅装置と同様の効果を得ることができる。

上記目的を達成するために、請求項9に記載の信号増幅装置は、第1電圧が印加される第1電圧線に接続された第1電圧端子、前記第1電圧と異なる第2電圧が印加される第2電圧線に接続された第2電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第1電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第1電圧線と前記出力端子との間を非導通状態にすることが可能な第1被保護対象スイッチング素子、及び前記第2電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、前記第1電圧線に接続された第1導電型第1端子、前記信号線に接続された第1導電型第2端子、及び第1導電型制御端子を備え、通常時非導通状態の前記第1導電型第1端子及び前記第1導電型第2端子間を、該第1導電型制御端子にオン電圧が印加されたときに導通状態にする第1導電型の第1スイッチング素子と、前記第1電圧線に過電流が流れた場合、前記第1スイッチング素子を導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する制御手段と、を含む。

20

30

上記目的を達成するために、請求項10に記載の信号増幅装置は、第1電圧が印加される第1電圧線に接続された第1電圧端子、前記第1電圧と異なる第2電圧が印加される第2電圧線に接続された第2電圧端子、信号が入力される信号線に接続された反転入力端子、及び該反転入力端子に抵抗素子を介して接続され、かつインダクタ成分を有するインダクタ部に接続される出力端子を有すると共に、前記第1電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第1電圧線と前記出力端子との間を非導通状態にすることが可能な第1被保護対象スイッチング素子、及び前記第2電圧線と前記出力端子との間に挿入され、通常時導通状態の前記第2電圧線と前記出力端子との間を非導通状態にすることが可能な第2被保護対象スイッチング素子を有する反転増幅回路と、前記第2電圧線に接続された第2導電型第1端子、前記信号線に接続された第2導電型第2端子、及び第2導電型制御端子を備え、通常時非導通状態の前記第2導電型第1端子及び前記第2導電型第2端子間を、該第2導電型制御端子にオン電圧が印加されたときに導通状態にする第2導電型の第2スイッチング素子と、前記第2電圧線に過電流が流れた場合、前記第2スイッチング素子を導通状態にするように制御してから前記第1被保護対象スイッチング素子及び前記第2被保護対象スイッチング素子の各々を非導通状態にするように制御する制御手段と、を含む。

40

【発明の効果】

【0038】

本発明によれば、ラッチアップを阻止することができる、という効果が得られる。

【図面の簡単な説明】

50

【 0 0 3 9 】

【 図 1 】 第 1 の実施形態に係るアンプの構成の一例を示す構成図である。

【 図 2 】 第 1 及び第 2 の実施形態に係るパワーダウン処理プログラムの処理の流れを示すフローチャートである。

【 図 3 】 第 2 の実施形態に係るアンプの構成の一例を示す構成図である。

【 図 4 】 通常のパワーダウン時の電圧値又は電流値の経時変化の一例を示すグラフであり、(a) は反転増幅回路の出力端子の電圧値の経時変化を示し、(b) は保護対象の P M O S トランジスタのゲート端子に印加される電圧値の経時変化を示し、(c) は過電流検知回路で検知された過電流の電流値の経時変化を示す。

【 図 5 】 従来のアンプの構成の一例を示す構成図である。

【 図 6 】 反転増幅回路の構成の一例を示す構成図である。

【 発明を実施するための形態 】

【 0 0 4 0 】

以下、図面を参照して、本発明を実施するための形態の一例について詳細に説明する。なお、以下では、本発明をスピーカに接続して使用されるアンプに適用した場合について説明する。また、本実施形態に係るアンプにおいて、図 5 示すアンプ 1 0 0 と同一の構成については同一の符号を付して説明を省略する。また、以下では、マイナスのサージ電流を「マイナスサージ」と称し、プラスのサージ電流を「プラスサージ」と称し、これらを区別して説明する必要がない場合は「サージ電流」と称する。また、以下では、M O S トランジスタのソース端子及びドレイン端子間を導通状態 (M O S トランジスタのスイッチング素子としての機能をオン状態) にするためのゲート電圧を「オン電圧」と称する。

【 0 0 4 1 】

[第 1 の実施形態]

【 0 0 4 2 】

図 1 は、本第 1 の実施形態に係るアンプ 1 0 の構成の一例を示す構成図である。同図に示すように、アンプ 1 0 は、図 5 に示すアンプ 1 0 0 に比べ、第 1 スwitching 素子としての P M O S トランジスタ 1 2 及び第 2 スwitching 素子としての N M O S トランジスタ 1 4 を更に設けた点、並びに制御手段としての制御装置 1 0 6 に出力端子 1 0 6 C , 1 0 6 D を更に設けた点のみが異なっている。

【 0 0 4 3 】

P M O S トランジスタ 1 2 は、電源配線 V D D に接続されたソース端子と、入力端子 1 0 0 A と抵抗素子 R 2 との間の信号線 1 0 3 に接続されたドレイン端子と、制御装置 1 0 6 の出力端子 1 0 6 D に接続されたゲート端子と、を備えている。

【 0 0 4 4 】

N M O S トランジスタ 1 4 は、接地配線 G N D に接続されたソース端子と、入力端子 1 0 0 A と抵抗素子 R 2 との間の信号線 1 0 3 に接続されたドレイン端子と、制御装置 1 0 6 の出力端子 1 0 6 C に接続されたゲート端子と、を備えている。

【 0 0 4 5 】

次に、本第 1 の実施形態に係るアンプ 1 0 の作用について説明する。まず、アンプ 1 0 を介してスピーカ 1 0 8 から音声を出力する場合について説明する。なお、以下では、錯綜を回避するために、アンプ 1 0 が初期状態に設定されている場合であって、スピーカ 1 0 8 から出力させる対象の音声を示すアナログの音声信号が外部装置 (図示省略) からアンプ 1 0 の入力端子 1 0 0 A に入力された場合について説明する。また、本実施形態において「初期状態」とは、反転増幅回路 1 0 2 において、P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 の各々のドレイン端子及びソース端子間を非導通状態 (P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 の各々のスイッチング素子としての機能がオフ状態)、並びに P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 の各々のドレイン端子及びソース端子間を導通状態 (P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 の各々のスイッチング素子としての機能がオン状態) のことを示す。

10

20

30

40

50

【0046】

差動段110は、スピーカ108から出力させる音声を示す音声信号が差動段110に入力されると、入力された音声信号としての正入力信号及び負入力信号の差電圧信号を生成し、生成した差電圧信号を増幅してオフセット段112を介して正極の差動信号をPMOSトランジスタ116のゲート端子に出力すると共に負極の差動信号をNMOSトランジスタ120に出力する。

【0047】

PMOSトランジスタ116及びNMOSトランジスタ120は、オフセット段112から入力された差動信号に基づく電圧に応じて導通状態または非導通状態となり、これに応じて電流が出力端子102Eから出力される。出力端子102Eにスピーカ108が接続されている場合、出力端子102Eから出力された電流により元のアナログ信号に復元された音声信号がスピーカ108から出力される。

10

【0048】

ところで、従来は、アンプ10において過電流検知回路104によって過電流が検知された場合、反転増幅回路102をパワーダウンさせていた。ここで、「パワーダウン」とは、アンプからの出力を停止すること意味し、具体的には被保護対象スイッチング素子の駆動を停止することを意味する。

【0049】

反転増幅回路102をパワーダウンさせることによりPMOSトランジスタ116及びNMOSトランジスタ120が過電流によって破壊されることを防止することができる。

20

【0050】

しかし、パワーダウンを行うために、制御装置106が反転増幅回路102におけるPMOSトランジスタ116及びNMOSトランジスタ120の各々のソース端子及びドレイン端子間を非導通状態とするようにPMOSトランジスタ116及びNMOSトランジスタ120の各ゲート端子に印加する電圧の大きさを制御すると、PMOSトランジスタ116及びNMOSトランジスタ120の各々のゲート端子に対して急激にオフ電圧が印加されるため(PMOSトランジスタ116のゲート端子への印加電圧の大きさの経時変化の一例は図4(b)を参照)、PMOSトランジスタ116及びNMOSトランジスタ120の各々のソース端子及びドレイン端子間は導通状態から非導通状態に急激に変化し、出力端子102Eでは、一例として図4(c)に示すように過電流が流れている状態から電流が流れない状態への急激な変化が生じる。そのため、出力端子102Eにサージ電流が発生し、発生したサージ電流によって一例として図4(a)に示すように反転増幅回路102の出力電圧の大きさは一時的に接地電圧の大きさを下回り、その結果、PMOSトランジスタ116及びNMOSトランジスタ120にラッチアップが生じてPMOSトランジスタ116及びNMOSトランジスタ120が破壊されてしまう。

30

【0051】

なお、ラッチアップは、出力端子102Eからの出力がグラウンドショート時に過電流を止めた際にはマイナスサージによって引き起こされ、出力端子102Eからの出力が電源ショート時に過電流を止めた際にはプラスサージによって引き起こされる。また、ラッチアップが生じると考えられるインダクタンス値は、本発明者らの実験によって過電流が3Aのときに350nH程度であることが知られている。従って、350nH程度のインダクタ成分を有するケーブル116又はケーブル116に相当するインダクタ部が出力端子102Eに接続されている場合にはラッチアップを阻止するための対策が必要となる。

40

【0052】

そこで、本第1の実施形態に係るアンプ10では、ラッチアップを引き起こすことなく反転増幅回路102をパワーダウンさせるパワーダウン処理が実行される。

【0053】

次に、図2を参照しながらパワーダウン処理を実行しているアンプ10の作用について説明する。なお、図2は、アンプ10の電源が投入された際に制御装置106によって実行されるパワーダウン処理プログラムの処理の流れを示すフローチャートである。

50

【 0 0 5 4 】

同図のステップ 2 0 0 では、過電流検知回路 1 0 4 によって過電流が検知されたか否かを判定し、否定判定となった場合にはステップ 2 0 2 に移行する。ステップ 2 0 2 では、反転増幅回路 1 0 2 をパワーダウン状態に移行させる条件（例えば、制御装置 1 0 6 がアンプ 1 0 の電源の切断指示を受けた、との条件、或いはアンプ 1 0 の電源を投入してから所定期間経過した、との条件）を満足しているか否かを判定し、否定判定となった場合にはステップ 2 0 0 に戻る一方、肯定判定となった場合にはステップ 2 0 4 に移行し、通常時のパワーダウン制御である通常パワーダウン制御を行った後、本パワーダウン処理プログラムを終了する。本ステップ 2 0 4 では、具体的には、各々非導通状態の P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 を導通状態にするように P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 の各ゲート端子に対して、対応するオン電圧を印加する。

10

【 0 0 5 5 】

ステップ 2 0 4 の処理に応じて、P M O S トランジスタ 1 1 8 が導通状態となるため、P M O S トランジスタ 1 1 6 のゲート端子に電源電圧が印加される。これによって、P M O S トランジスタ 1 1 6 は非導通状態となる（P M O S トランジスタ 1 1 6 のゲート端子がプルアップされる）。また、ステップ 2 0 4 の処理に応じて、N M O S トランジスタ 1 2 2 が導通状態となるため、N M O S トランジスタ 1 2 0 のゲート端子に接地電圧が印加される。これによって、N M O S トランジスタ 1 2 0 は非導通状態となる（N M O S トランジスタ 1 2 0 のゲート端子がプルダウンされる）。

20

【 0 0 5 6 】

一方、ステップ 2 0 0 において肯定判定となった場合にはステップ 2 0 6 に移行し、上記ステップ 2 0 0 の処理で検知した過電流は電源配線 V D D に流れた過電流であるか否かを判定し、肯定判定となった場合にはステップ 2 0 8 に移行する一方、電源配線 V D D に流れた過電流でない、すなわち、接地配線 G N D に流れた過電流であると判定した場合には否定判定となってステップ 2 1 0 に移行する。

【 0 0 5 7 】

ステップ 2 0 8 では、第 1 非常パワーダウン制御を行う。すなわち、P M O S トランジスタ 1 2 が導通状態となり、かつ N M O S トランジスタ 1 4 が非導通状態となるように制御してから予め定められた期間が経過した時点で上記通常パワーダウン制御を行う。更に詳しく説明すると、P M O S トランジスタ 1 2 のゲート端子に対してオフ電圧を印加してから予め定められた期間が経過した時点で各々非導通状態の P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 を導通状態にするように P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 の各ゲート端子に対して、対応するオン電圧を印加する。これによって、反転増幅回路 1 0 2 において現時点で出力端子 1 0 2 E に印加されている電圧の大きさが、P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 を非導通状態にすることなく、接地電圧の大きさにまで引き戻されてから、P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 が非導通状態となるので、マイナスサージの発生が抑制され、P M O S トランジスタ 1 1 6 及び N M O S トランジスタのラッチアップを阻止することができる。

30

40

【 0 0 5 8 】

一方、ステップ 2 1 0 では、第 2 非常パワーダウン制御を行う。すなわち、P M O S トランジスタ 1 2 が非導通状態となり、かつ N M O S トランジスタ 1 4 が導通状態となるように制御してから予め定められた期間が経過した時点で上記通常パワーダウン制御を行う。更に詳しく説明すると、N M O S トランジスタ 1 4 のゲート端子に対してオフ電圧を印加してから予め定められた期間が経過した時点で各々非導通状態の P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 を導通状態にするように P M O S トランジスタ 1 1 8 及び N M O S トランジスタ 1 2 2 の各ゲート端子に対して、対応するオン電圧を印加する。これによって、反転増幅回路 1 0 2 において現時点で出力端子 1 0 2 E に印加されている電圧の大きさが、P M O S トランジスタ 1 1 6 及び N M O S トランジスタ 1 2 0 を

50

非導通状態にすることなく、電源電圧の大きさにまで引き戻されてから、PMOSトランジスタ116及びNMOSトランジスタ120が非導通状態となるので、プラスサージの発生が抑制され、PMOSトランジスタ116及びNMOSトランジスタの120ラッチアップを阻止することができる。

【0059】

なお、上記ステップ208及びステップ210に適用する「予め定められた期間」とは、出力端子102Eの電圧の大きさ（電圧値）が通常時の電圧値に回復する時期として予め推測された時期を示しており、例えば、実験やコンピュータ・シミュレーションなどによって事前に得られた電圧値を採用している。具体的には、上記ステップ208に適用する「予め定められた期間」には、出力端子102Eの電圧値が接地電圧値に回復するまでの期間に相当する期間を採用し、上記ステップ210に適用する「予め定められた期間」には、出力端子102Eの電圧値が電源電圧値に回復するまでの期間に相当する期間を採用している。

10

【0060】

以上、詳細に説明したように、本第1の実施形態に係るアンプ10では、電源配線VDDに過電流が流れた場合、PMOSトランジスタ12を導通状態にすると共にNMOSトランジスタ14を非導通状態にするように制御してから反転増幅回路102をパワーダウンさせるように制御し、接地配線GNDに過電流が流れた場合、PMOSトランジスタ12を非導通状態にすると共にNMOSトランジスタ14を導通状態にするように制御してから反転増幅回路102をパワーダウンさせるように制御しているため、PMOSトランジスタ116及びNMOSトランジスタ120のラッチアップを阻止することができる。

20

【0061】

[第2の実施形態]

【0062】

図3は、本第2の実施形態に係るアンプ20の構成の一例を示す構成図である。なお、本第2の実施形態に係るアンプ20は、BTL(Bridged Transless)接続を利用した所謂BTLアンプであって、図1に示すアンプ10に比べ、アンプ30を更に設けた点、及び第3スイッチング素子としてのスイッチ40を更に設けた点のみが異なっているため、本第2の実施形態では、上記第1の実施形態と異なる点のみを説明する。また、本第2の実施形態では、上記第1の実施形態で説明した構成と同一の構成は同一の符号を付し、その説明を省略する。

30

【0063】

アンプ30は、上記第1の実施形態に係るアンプ10と構成部材が基本的に同一であり、入力端子100Aを除いた点、出力端子100Bに代えてスピーカ108の負極側入力端子に接続された出力端子100Cを設けた点、PMOSトランジスタ12のゲート端子が制御装置106の出力端子106Dに代えて出力端子106Hに接続されている点、NMOSトランジスタ14のゲート端子が制御装置106の出力端子106Cに代えて出力端子106Gに接続されている点、反転増幅回路102の制御端子102Fが制御装置106の出力端子106Bに代えて出力端子106Fに接続されている点、及び過電流検知回路104の出力端子104Bが制御装置106の入力端子106Aに代えて入力端子106Eに接続されている点が上記第1の実施形態に係るアンプ10と異なっている。

40

【0064】

スイッチ40は、PMOSトランジスタ及びNMOSトランジスタを備えた3入力1出力の通常時導通状態のスイッチング素子であり、第1入力端子としてのPMOSトランジスタ側のゲート端子（以下、「PMOSゲート端子」という。40A）が制御装置106の出力端子106Kに、第2入力端子としてのNMOSトランジスタ側のゲート端子（以下、「NMOSゲート端子」という。）40Bが制御装置106の出力端子106Jに各々接続されている。また、第3入力端子40Cはアンプ10の出力端子102Eに、出力端子40Dは出力線50によりアンプ30の抵抗R2を介してアンプ30の反転入力端子102Cに各々接続されている。すなわち、アンプ10の出力端子102Eは出力線50

50

によりスイッチ40及び抵抗素子R2を介してアンプ30の反転入力端子102Cに結線されている。

【0065】

次に、図2を参照しながら本第2の実施形態に係るパワーダウン処理を実行しているアンプ20の作用について説明する。なお、図2は、アンプ20の電源が投入された際に制御装置106によって実行される本第2の実施形態に係るパワーダウン処理プログラムの処理の流れを示すフローチャートである。

【0066】

同図のステップ200Bでは、アンプ10の過電流検知回路104及びアンプ30の過電流検知回路104の何れかによって過電流が検知されたか否かを判定し、否定判定となつた場合にはステップ202Bに移行する。ステップ202Bでは、アンプ10及びアンプ30の各々の反転増幅回路102をパワーダウン状態に移行させる条件（例えば、制御装置106がアンプ20の電源の切断指示を受けた、との条件、或いはアンプ20の電源を投入してから所定期間経過した、との条件）を満足しているか否かを判定し、否定判定となつた場合にはステップ200Bに戻る一方、肯定判定となつた場合にはステップ204Bに移行し、通常時のパワーダウン制御である通常パワーダウン制御を行った後、本パワーダウン処理プログラムを終了する。本ステップ204Bでは、具体的には、スイッチ40を導通状態にしたまま、アンプ10及びアンプ30の各々について、各々非導通状態のPMOSトランジスタ118及びNMOSトランジスタ122を導通状態にするようにPMOSトランジスタ118及びNMOSトランジスタ122の各ゲート端子に対して、対応するオン電圧を印加する。

10

20

【0067】

ステップ204Bの処理に応じて、アンプ10及びアンプ30の各々について、PMOSトランジスタ118が導通状態となるため、アンプ10及びアンプ30の各々のPMOSトランジスタ116のゲート端子に電源電圧が印加される。これによって、アンプ10及びアンプ30の各々のPMOSトランジスタ116は非導通状態となる（PMOSトランジスタ116のゲート端子がプルアップされる）。また、ステップ204Bの処理に応じて、アンプ10及びアンプ30の各々のNMOSトランジスタ122が導通状態となるため、アンプ10及びアンプ30の各々のNMOSトランジスタ120のゲート端子に接地電圧が印加される。これによって、アンプ10及びアンプ30の各々のNMOSトランジスタ120は非導通状態となる（NMOSトランジスタ120のゲート端子がプルダウンされる）。

30

【0068】

一方、ステップ200Bにおいて肯定判定となつた場合にはステップ206Bに移行し、上記ステップ200Bの処理で検知した過電流は電源配線VDDに流れた過電流であるか否かを判定し、肯定判定となつた場合にはステップ208Bに移行する一方、電源配線VDDに流れた過電流でない、すなわち、接地配線GNDに流れた過電流であると判定した場合には否定判定となつてステップ210Bに移行する。

【0069】

ステップ208Bでは、第1非常パワーダウン制御を行う。すなわち、導通状態のスイッチ40を非導通状態にするように制御すると共に、アンプ10及びアンプ30の各々について、PMOSトランジスタ12が導通状態となり、かつNMOSトランジスタ14が非導通状態となるように制御してから予め定められた期間（上記第1の実施形態で説明した予め定められた期間と同様の期間）が経過した時点で上記通常パワーダウン制御を行う。更に詳しく説明すると、導通状態のスイッチ40を非導通状態にするようにPMOSゲート端子40A及びNMOSゲート端子40Bに対して電圧を印加すると共に、アンプ10及びアンプ30の各々について、PMOSトランジスタ12のゲート端子に対してオフ電圧を印加してから予め定められた期間が経過した時点で各々非導通状態のPMOSトランジスタ118及びNMOSトランジスタ122を導通状態にするようにPMOSトランジスタ118及びNMOSトランジスタ122の各ゲート端子に対して、対応するオン電

40

50

圧を印加する。これによって、アンプ10及びアンプ30の各々について、反転増幅回路102において現時点で出力端子102Eに印加されている電圧の大きさが、PMOSトランジスタ116及びNMOSトランジスタ120を非導通状態にすることなく、接地電圧の大きさにまで引き戻されてから、PMOSトランジスタ116及びNMOSトランジスタ120が非導通状態となるので、マイナスサージの発生が抑制され、PMOSトランジスタ116及びNMOSトランジスタのラッチアップを阻止することができる。

【0070】

一方、ステップ210Bでは、第2非常パワーダウン制御を行う。すなわち、導通状態のスイッチ40を非導通状態にするように制御すると共に、アンプ10及びアンプ30の各々について、PMOSトランジスタ12が非導通状態となり、かつNMOSトランジスタ14が導通状態となるように制御してから予め定められた期間（上記第1の実施形態で説明した予め定められた期間と同様の期間）が経過した時点で上記通常パワーダウン制御を行う。更に詳しく説明すると、導通状態のスイッチ40を非導通状態にするようにPMOSゲート端子40A及びNMOSゲート端子40Bに対して電圧を印加すると共に、アンプ10及びアンプ30の各々について、NMOSトランジスタ14のゲート端子に対してオフ電圧を印加してから予め定められた期間が経過した時点で各々非導通状態のPMOSトランジスタ118及びNMOSトランジスタ122を導通状態にするようにPMOSトランジスタ118及びNMOSトランジスタ122の各ゲート端子に対して、対応するオン電圧を印加する。これによって、アンプ10及びアンプ30の各々について、反転増幅回路102において現時点で出力端子102Eに印加されている電圧の大きさが、PMOSトランジスタ116及びNMOSトランジスタ120を非導通状態にすることなく、電源電圧の大きさにまで引き戻されてから、PMOSトランジスタ116及びNMOSトランジスタ120が非導通状態となるので、プラスサージの発生が抑制され、PMOSトランジスタ116及びNMOSトランジスタの120ラッチアップを阻止することができる。

【0071】

以上、詳細に説明したように、本第2の実施形態に係るアンプ20では、電源配線VDDに過電流が流れた場合、スイッチ40を非導通状態にするように制御し、かつ一対のアンプ（ここでは、アンプ10及びアンプ30）の各々について、PMOSトランジスタ12を導通状態にすると共にNMOSトランジスタ14を非導通状態にするように制御してからPMOSトランジスタ116及びNMOSトランジスタ120の各々を非導通状態にするように制御し、接地配線GNDに過電流が流れた場合、スイッチ40を非導通状態にするように制御し、かつ一対のアンプの各々について、PMOSトランジスタ12を非導通状態にすると共にNMOSトランジスタ14を導通状態にするように制御してからPMOSトランジスタ116及びNMOSトランジスタ120の各々を非導通状態にするように制御しているので、一対のアンプの各々について、PMOSトランジスタ116及びNMOSトランジスタ120のラッチアップを阻止することができる。

【0072】

なお、上記各実施形態では、出力端子100Bに500nHの寄生インダクタ成分を有するケーブル109を接続した場合を例に挙げているが、これに限らず、例えばケーブル109と同等の寄生インダクタ成分を有する半導体装置やコイルであってもよく、反転増幅回路102に流れる過電流を瞬間的に切断することによって生じる電磁誘導現象により引き起こされるサージ電流によって反転増幅回路102に含まれるスイッチング素子のラッチアップを引き起こし得るインダクタ成分を有するインダクタ部であれば如何なるものであってもよい。

【0073】

また、上記各実施形態では、パワーダウン処理の各々がパワーダウン処理プログラムを実行することにより実現されるソフトウェア構成を例に挙げて説明したが、本発明はこれに限定されるものではなく、パワーダウン処理がハードウェア構成により実現されるようにしても良い。また、パワーダウン処理をハードウェア構成とソフトウェア構成の組み合

10

20

30

40

50

わせによって実現してもよいことは言うまでもない。

【 0 0 7 4 】

また、上記各実施形態では、抵抗素子 R 1 , R 2 として固定抵抗素子を採用しているが、本発明はこれに限定されるものではなく、半固定抵抗素子又は可変抵抗素子を適用してもよい。

【 0 0 7 5 】

また、上記各実施形態では、本発明をスピーカに接続されたアンプに適用した場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、レギュレータ回路に本発明を適用してもよく、本発明は、サージ電流の発生に起因して発生するラッチアップから保護するスイッチング素子を有する回路であれば如何なる回路に対しても適用可能である。

10

【 0 0 7 6 】

また、上記各実施形態では、制御装置 1 0 6 が過電流検知回路 1 0 4 から入力された過電流検知信号に応じて過電流が流れたと判断したときに P M O S トランジスタ 1 2 及び N M O S トランジスタ 1 4 やスイッチ 4 0 の導通状態と非導通状態とを切り替えるように制御しているが、これに限らず、ユーザが過電流検知回路 1 0 4 の検知結果をモニタリングし、過電流が発生したと認識したときに手動で制御部 1 6 を介して或いは他のスイッチング回路を介して P M O S トランジスタ 1 2 及び N M O S トランジスタ 1 4 やスイッチ 4 0 の導通状態と非導通状態とを切り替えるようにしてもよい。

【 0 0 7 7 】

20

また、上記各実施形態では、スイッチング素子として電界効果トランジスタを用いた場合の形態例を挙げて説明したが、本発明はこれに限定されるものではなく、バイポーラ型トランジスタを用いてもよい。この場合、バイポーラ型トランジスタのコレクタ端子が M O S トランジスタのドレインに、バイポーラ型トランジスタのエミッタ端子が M O S トランジスタのソース端子に、バイポーラ型トランジスタのベース端子が M O S トランジスタのゲート端子に各々対応するように M O S トランジスタに代えてバイポーラ型トランジスタを適用すればよい。

【 0 0 7 8 】

また、上記各実施形態では、パワーダウン処理プログラムが R O M に予め記憶されているが、本発明はこれに限定されるものではなく、パワーダウン処理プログラムを C D - R O M や D V D - R O M 、 U S B (Universal Serial Bus) メモリなどのコンピュータによって読み取られる記憶媒体に格納した状態で提供する形態を適用しても良いし、有線又は無線による通信手段を介して配信する形態を適用してもよい。

30

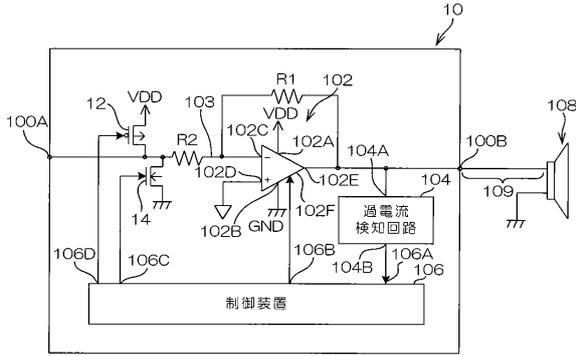
【 符号の説明 】

【 0 0 7 9 】

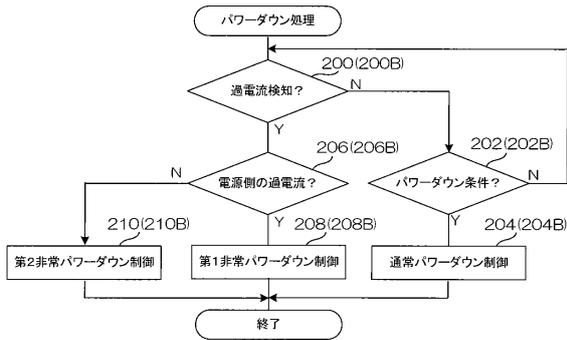
1 0 , 2 0 , 3 0 アンプ
 1 2 , 1 1 6 , 1 1 8 P M O S トランジスタ
 1 4 , 1 2 0 , 1 2 2 N M O S トランジスタ
 4 0 スイッチ
 1 0 2 反転増幅回路
 1 0 2 A 電源端子
 1 0 2 B 接地端子
 1 0 2 C 反転入力端子
 1 0 2 E 出力端子
 1 0 4 過電流検知回路
 1 0 6 制御装置
 1 0 9 ケーブル
 R 1 抵抗素子

40

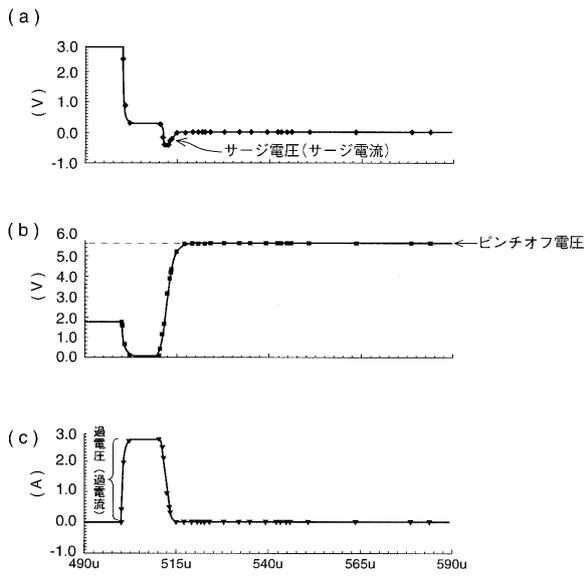
【図1】



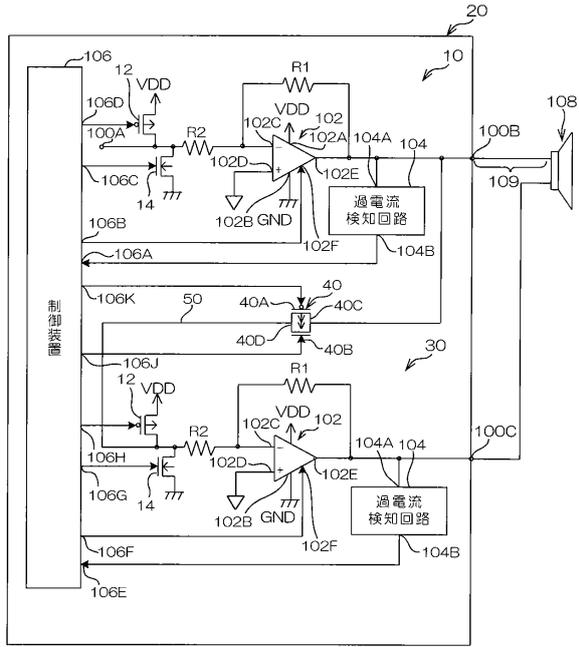
【図2】



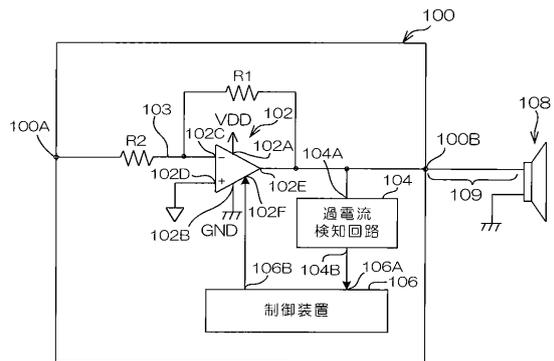
【図4】



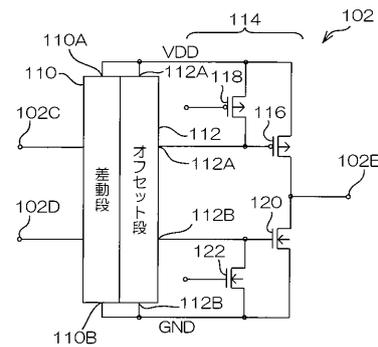
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 黒木 修

東京都八王子市東浅川町550番地1 OKIセミコンダクタ株式会社内

審査官 柳下 勝幸

(56)参考文献 米国特許第07570118(US, B1)

特開平06-233451(JP, A)

特開2007-325236(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/52