

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-216975

(P2006-216975A)

(43) 公開日 平成18年8月17日(2006.8.17)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F O 3 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F O 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 21/88 C	5 F I O 1
HO 1 L 27/115 (2006.01)		
HO 1 L 21/3213 (2006.01)		

審査請求 有 請求項の数 6 O L (全 17 頁)

(21) 出願番号	特願2006-68138 (P2006-68138)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成18年3月13日 (2006.3.13)		東京都港区芝浦一丁目1番1号
(62) 分割の表示	特願2003-154247 (P2003-154247) の分割	(74) 代理人	100058479 弁理士 鈴江 武彦
原出願日	平成15年5月30日 (2003.5.30)	(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

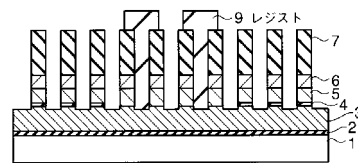
(57) 【要約】

【課題】 異なる幅の配線が隣接して形成される場合、各配線の寸法精度を向上することが困難であった。

【解決手段】 半導体基板 1 上に第 1 の絶縁膜 2、第 1 の導電膜 3、第 3 の絶縁膜 4、第 2 の導電膜 5、6、第 2 の絶縁膜 7 を順次形成し、第 2 の絶縁膜上にメモリセルのゲートの幅に対応した第 1 の幅を有する第 1 のレジストを第 1 の間隔で周期的に形成し、第 1 のレジストを用いて、少なくとも第 2 の絶縁膜 7 をパターニングして第 2 の絶縁膜を含むマスクパターンを形成し、メモリセルのゲートより幅の広いセレクトゲートの形成領域におけるマスクパターンのスペースに選択的に第 2 のレジスト 9 を形成し、第 2 のレジスト及びマスクパターンを用いて、第 1 の導電膜をパターニングする。

【選択図】 図 3

図 3



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の上に第 1 の絶縁膜、第 1 の導電膜を順次形成し、

前記第 1 の導電膜の上で、セレクトゲートの形成領域を除く領域に第 3 の絶縁膜を形成し、

前記第 1 の導電膜及び前記第 3 の絶縁膜の上に第 2 の導電膜を形成し、

前記第 2 の導電膜上に第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上にメモリセルのゲートの幅に対応した第 1 の幅を有する第 1 のレジストを第 1 の間隔で周期的に形成し、

前記第 1 のレジストを用いて、少なくとも前記第 2 の絶縁膜をパターンニングして前記第 2 の絶縁膜を含むマスクパターンを形成し、

前記メモリセルのゲートより幅の広いセレクトゲートの形成領域における前記マスクパターンのスペースに選択的に第 2 のレジストを形成し、

前記第 2 のレジスト及び前記マスクパターンを用いて、前記第 1 の導電膜をパターンニングする

ことを特徴とする不揮発性半導体記憶装置の製造方法。

## 【請求項 2】

半導体基板の上に第 1 の絶縁膜、第 1 の導電膜を順次形成し、

前記第 1 の導電膜の上で、セレクトゲートの形成領域を除くメモリセルの形成領域に第 3 の絶縁膜を形成し、

前記第 1 の導電膜及び前記第 3 の絶縁膜の上に第 2 の導電膜を形成し、

第 2 の導電膜の上に第 2 の絶縁膜を形成し、

前記メモリセルの形成領域における前記第 2 の絶縁膜上に、メモリセルのゲートと略同一の幅と間隔の第 1 のパターンを複数個有するとともに、前記メモリセルの形成領域と隣接するセレクトゲートの形成領域における前記第 2 の絶縁膜上に、セレクトゲート  $n$  個分 ( $n$  は 2 以上の正の整数) と前記セレクトゲートの間隔  $n - 1$  個分の幅の第 2 のパターンを有する第 1 のレジストを形成し、

前記第 1 のレジストを用いて前記第 2 の絶縁膜及び前記第 1 の導電膜がパターンニングされた前記メモリセルのゲートを形成し、

前記セレクトゲートの形成領域における前記セレクトゲート相互のスペースとなる部分を除いて、前記第 2 の絶縁膜上に第 2 のレジストを形成し、

前記第 2 のレジストを用いて前記第 2 の絶縁膜及び前記第 1 の導電膜がパターンニングされた前記セレクトゲートを形成する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

## 【請求項 3】

半導体基板の上に第 1 の絶縁膜、第 1 の導電膜を順次形成し、

前記第 1 の導電膜の上で、セレクトゲートの形成領域を除く領域に第 2 の絶縁膜を形成し、

前記第 1 の導電膜及び前記第 2 の絶縁膜の上に第 2 の導電膜を形成し、

前記第 2 の導電膜の上に第 3 の絶縁膜を形成し、

メモリセルのゲートより幅が広いセレクトゲートの形成領域に対応した位置に前記第 3 の絶縁膜よりエッチングレートが小さい第 4 の絶縁膜を形成し、

前記メモリセルのゲートの形成領域における前記第 3 の絶縁膜上に選択的に、前記メモリセルのゲートと略同一の幅と間隔のパターンを複数個有するレジストを形成し、

前記レジスト及び前記第 4 の絶縁膜を用いて、前記第 3 の絶縁膜、第 2 の導電膜、第 2 の絶縁膜及び前記第 1 の導電膜をパターンニングし、前記メモリセルのゲート、及びセレクトゲートを形成する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

## 【請求項 4】

前記第 4 の絶縁膜は前記第 3 の絶縁膜の内部に形成されることを特徴とする請求項 3 記載

の不揮発性半導体記憶装置の製造方法。

【請求項 5】

前記第 4 の絶縁膜は前記第 3 の絶縁膜の上に形成されることを特徴とする請求項 3 記載の不揮発性半導体記憶装置の製造方法。

【請求項 6】

前記レジストは前記第 4 の絶縁膜上にも形成されることを特徴とする請求項 4 又は 5 記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に係り、特に、不揮発性半導体記憶装置等の配線層の構造の改良を図った不揮発性半導体記憶装置の製造方法に関する。

【背景技術】

【0002】

例えば NAND 型不揮発性半導体記憶装置は、直列接続された複数のメモリセルからなるメモリセルユニットをビット線やソース線に接続するためのセレクトゲート (SG) を有している。各メモリセルの制御ゲートはワード線 (WL) に接続され、各セレクトゲートはセレクトゲート線に接続されている。セレクトゲートは、例えばメモリセルと同様に、トンネル酸化膜、フローティングゲート用のポリシリコン (FG Poly) 膜、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜が積層された ONO 膜、コントロールゲート用のポリシリコン (CG Poly) 膜、タングステンシリサイド (WSi) 膜、窒化シリコン (SiN) 膜を有している。これらの膜を順次形成した後、リソグラフィ工程によって、レジストをパターニングし、このパターニングされたレジストをマスクとしてドライエッチング工程により、SiN 膜、WSi 膜、CG Poly 膜、ONO 膜、FG Poly 膜を加工して、ワード線及びセレクトゲート線が形成される。

【0003】

前記セレクトゲートは、メモリセルユニットを構成する 16 本あるいは 32 本のワード線に対して 2 個配置される。このセレクトゲート及びセレクトゲート線は、セレクトゲートのカットオフ特性を向上させるため、そのチャンネル長方向の幅がワード線の幅よりも太く設定されている。このため、セレクトゲート線及びワード線を形成する際のリソグラフィ工程において、セレクトゲート線に隣接するワード線は、ワード線が周期的に配置された領域に比べて、複雑な光近接効果を受ける。

【0004】

しかも、セレクトゲート線の相互間にビット線等のコンタクトがある場合、セレクトゲート線の相互間にスペースが形成される。このため、ワード線に対する光近接効果が一層複雑化する。このように複雑な光近接効果を受けるレジストを露光するマスクを作成する際、マスクに光近接効果補正 (OPC) を施すことにより、太い配線に隣接する配線の寸法を制御している。このマスクの OPC は、シミュレーションによって行われる。しかし、OPC のシミュレーションモデルは現在開発の途上であるため、十分な精度を得ることができない。このため、焦点深度のマージンが低下し、それに伴いレジストが細くなって倒れることがある。したがって、太いセレクトゲート線に隣接するワード線の寸法精度を維持することが困難となっていた。

【0005】

上記光近接効果を抑制するための一例として、セレクトゲート線の幅をワード線と同一の幅とし、1つのメモリセルユニットの両側に 2 個ずつ、計 4 個のセレクトゲート及びセレクトゲート線を設ける技術が開発されている (特許文献 1 参照)。

【0006】

上記の例では不揮発性半導体記憶装置のワード線とそれに隣接するセレクトゲート線との光近接効果について説明した。しかし、半導体装置には、異なる幅の配線が隣接して形成される場合が多く、回路構成や配線構成によっては、特許文献 1 に開示された構成を採

10

20

30

40

50

用し得ないことがある。

【特許文献1】特開2003-51557号

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、異なる幅の配線が隣接して形成される場合においても、各配線の寸法精度を向上することが可能な不揮発性半導体記憶装置の製造方法を提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明の不揮発性半導体記憶装置の製造方法の第1の態様は、半導体基板上に第1の絶縁膜、第1の導電膜を順次形成し、前記第1の導電膜の上で、セレクトゲートの形成領域を除く領域に第3の絶縁膜を形成し、前記第1の導電膜及び前記第3の絶縁膜の上に第2の導電膜を形成し、前記第2の導電膜上に第2の絶縁膜を形成し、前記第2の絶縁膜上にメモリセルのゲートの幅に対応した第1の幅を有する第1のレジストを第1の間隔で周期的に形成し、前記第1のレジストを用いて、少なくとも前記第2の絶縁膜をパターンニングして前記第2の絶縁膜を含むマスクパターンを形成し、前記メモリセルのゲートより幅の広いセレクトゲートの形成領域における前記マスクパターンのスペースに選択的に第2のレジストを形成し、前記第2のレジスト及び前記マスクパターンを用いて、前記第1の導電膜をパターンニングすることを特徴とする。

10

20

【0009】

本発明の不揮発性半導体記憶装置の製造方法の第2の態様は、半導体基板上に第1の絶縁膜、第1の導電膜を順次形成し、前記第1の導電膜の上で、セレクトゲートの形成領域を除くメモリセルの形成領域に第3の絶縁膜を形成し、前記第1の導電膜及び前記第3の絶縁膜の上に第2の導電膜を形成し、第2の導電膜の上に第2の絶縁膜を形成し、前記メモリセルの形成領域における前記第2の絶縁膜上に、メモリセルのゲートと略同一の幅と間隔の第1のパターンを複数個有するとともに、前記メモリセルの形成領域と隣接するセレクトゲートの形成領域における前記第2の絶縁膜上に、セレクトゲート $n$ 個分( $n$ は2以上の正の整数)と前記セレクトゲートの間隔 $n-1$ 個分の幅の第2のパターンを有する第1のレジストを形成し、前記第1のレジストを用いて前記第2の絶縁膜及び前記第1の導電膜がパターンニングされた前記メモリセルのゲートを形成し、前記セレクトゲートの形成領域における前記セレクトゲート相互のスペースとなる部分を除いて、前記第2の絶縁膜上に第2のレジストを形成し、前記第2のレジストを用いて前記第2の絶縁膜及び前記第1の導電膜がパターンニングされた前記セレクトゲートを形成することを特徴とする。

30

【0010】

本発明の不揮発性半導体記憶装置の製造方法の第3の態様は、半導体基板上に第1の絶縁膜、第1の導電膜を順次形成し、前記第1の導電膜の上で、セレクトゲートの形成領域を除く領域に第2の絶縁膜を形成し、前記第1の導電膜及び前記第2の絶縁膜の上に第2の導電膜を形成し、前記第2の導電膜の上に第3の絶縁膜を形成し、メモリセルのゲートより幅が広いセレクトゲートの形成領域に対応した位置に前記第3の絶縁膜よりエッチングレートが小さい第4の絶縁膜を形成し、前記メモリセルのゲートの形成領域における前記第3の絶縁膜上に選択的に、前記メモリセルのゲートと略同一の幅と間隔のパターンを複数個有するレジストを形成し、前記レジスト及び前記第4の絶縁膜を用いて、前記第3の絶縁膜、第2の導電膜、第2の絶縁膜及び前記第1の導電膜をパターンニングし、前記メモリセルのゲート、及びセレクトゲートを形成することを特徴とする。

40

【発明の効果】

【0011】

本発明によれば、異なる幅の配線が隣接して形成される場合においても、各配線の寸法精度を向上することが可能な不揮発性半導体記憶装置の製造方法を提供できる。

【発明を実施するための最良の形態】

50

## 【0012】

以下、本発明の実施の形態について図面を参照して説明する。

## 【0013】

(第1の実施形態)

図1乃至図5は、第1の実施形態を示すものであり、NAND型不揮発性半導体記憶装置のワード線と直交する方向、すなわち、メモリセル及びセレクトゲートのチャネル長方向に沿った断面図を示している。

## 【0014】

図1に示すように、シリコン基板1上にトンネル酸化膜2、フローティングゲート用ポリシリコン(FG Poly)膜3、ONO膜4が順次形成される。このONO膜4において、後にセレクトゲート線が形成される領域、あるいは隣接する2つのセレクトゲート線及びこれらセレクトゲート線間スペースに対応する領域が除去される。また、ポリシリコン膜3は、図1の紙面と直交する方向にパターニングされ、図示せぬ所定の幅とスペースを有するパターンに形成されている。さらに、隣接するポリシリコン膜3のパターンのスペース部分に自己整合的に、図示せぬ素子分離領域が形成されている。次いで、ONO膜4及びポリシリコン膜3上にコントロールゲート用ポリシリコン(CG Poly)膜5、WSi膜6及びSiN膜7が順次形成される。

10

## 【0015】

この後、SiN膜7上に所定の幅とスペースを有するレジストパターンが選択的に形成される。このようにして形成されたレジスト8のパターンは、例えばワード線と対応する幅とスペースを有している。このレジスト8をマスクとして、SiN膜7及びWSi膜6が例えばドライエッチングによってエッチングされる。次いで、レジストが除去される。

20

## 【0016】

この後、図2に示すように、SiN膜7及びWSi膜6をマスクとして、ポリシリコン膜5及びONO膜4を例えばドライエッチングによって、エッチングする。このようにして、SiN膜7を含む周期的なマスクパターンが形成される。

## 【0017】

その次に、図3に示すように、セレクトゲート線が形成される領域に対応してレジスト9が形成される。この実施形態に適用されるNAND型不揮発性半導体記憶装置は、例えばビット線のコンタクトの両側にメモリセルユニットが配置され、これらメモリセルユニットがセレクトゲートを介してビット線のコンタクトにそれぞれ接続される。このため、2つのメモリセルユニットの各セレクトゲートが隣接して配置される。したがって、前記レジスト9は、コンタクトを挟んで対向する2つのセレクトゲートの形成領域に対応して形成される。この状態において、レジスト9及びSiN膜7乃至ONO膜4をマスクとしてフローティングゲート用ポリシリコン膜3が例えばドライエッチングによって、エッチングされ、その後、レジスト9が除去される。

30

## 【0018】

このようにして、図4に示すように、ワード線WLと、セレクトゲート線SGLが形成される。セレクトゲート線SGLは、上部にワード線と同様の幅を有する2つの凸部と、これら凸部の間に形成された1つの凹部とを有している。この凹部の幅はワード線相互間のスペースと同様である。また、セレクトゲート線SGLの下部は、ワード線2個分と1つのスペース分の幅を有している。このため、セレクトゲート線SGLは、ワード線WLのほぼ3倍の幅を有している。尚、ここでは、ビット線のコンタクトと隣接するセレクトゲート線SGLをワード線WLの略3倍の幅で形成した例が示されているが、ソース線側のセレクトゲート線についても全く同様に形成することができる。

40

## 【0019】

この後、図5に示すように、周知の製造工程により、ワード線WLとセレクトゲート線SGLを覆う絶縁膜11、ソース・ドレイン領域としての拡散層12やビット線のコンタクト13等が形成され、NAND型不揮発性半導体記憶装置が形成される。コンタクト13は、例えばタングステン(W)により形成されている。コンタクト13と基板1の相互

50

間には、図示せぬ例えばチタン (Ti) 及び窒化チタン (TiN) が形成されている。

【0020】

尚、図2に示すエッチング工程は、ほぼONO膜4までエッチングしている。しかし、これに限らず、コントロールゲート用ポリシリコン膜5までエッチングしたり、WSi膜6まで、あるいはSiN膜7までエッチングしたりしてもよい。

【0021】

上記第1の実施形態によれば、セレクトゲート線SGL上部の幅及びスペースをワード線のそれと同一に設定している。このため、リソグラフィ工程において、ワード線の形成領域におけるパターンの周期性を、セレクトゲート線の形成領域においても崩すことがない。したがって、これら配線の形成領域において、光近接効果が周期的であるため、リソグラフィにおける焦点深度のマージンを向上できる。この結果、周期的なパターンを有する各配線の幅とスペースを微細化する上で有利である。

10

【0022】

しかも、セレクトゲート線SGLの幅をワード線WLの幅より広くできる。このため、素子が微細化された場合においても、セレクトゲートのカットオフ特性を向上できる。

【0023】

図6は、第1の実施形態の変形例を示している。上記第1の実施形態においては、図5に示したセレクトゲート線SGLのポリシリコン膜3が紙面と垂直な方向に配置された各メモリセルに対応してパターンニングされている。このため、紙面と垂直な方向に連続して形成されているセレクトゲート線SGLのポリシリコン膜5にコンタクトを設け、このポリシリコン膜5からポリシリコン膜3に電位を供給することで、選択されたメモリセルユニットのセレクトゲートを動作させる必要がある。このため、セレクトゲート線SGLと対応する部分のONO膜4は除去されている。しかし、セレクトゲート線SGLのポリシリコン膜3が、紙面と垂直な方向に連続して形成されている場合、図6に示すように、セレクトゲート線SGLと対応する部分にONO膜4を形成していてもよい。この場合、セレクトゲート線SGLの任意の位置において、ポリシリコン膜3へのコンタクトを設けることで、選択されたメモリセルユニットのセレクトゲートを動作させることが可能となるからである。あるいは、ポリシリコン膜3の任意の位置でONO膜4を除去し、ポリシリコン膜5をポリシリコン膜3に接続することもできる。尚、図6において、ONO膜4は、ワード線相互間のスペースとほぼ等しい幅の開口部を有しているが、この開口部の有無はWSi層6、ポリシリコン層5のエッチング条件によるものであり任意である。

20

30

【0024】

また、セレクトゲート線SGLのポリシリコン膜3が紙面と垂直な方向に配置された各メモリセルに対応してパターンニングされている場合において、図6に示すように、セレクトゲート線SGLと対応する部分にONO膜4を形成してもよい。この場合、各セレクトゲート線SGLのONO膜4に、図6に示すように開口部を形成し、この開口部を介して、ポリシリコン膜5をポリシリコン膜3に接続してもよい。

【0025】

(第2の実施形態)

図7乃至図12は、第2の実施形態を示している。尚、以下の各実施形態において、第1の実施形態と同一部分には、同一符号を付す。

40

【0026】

第2の実施形態は、第1の実施形態の図3において、セレクトゲート線となる領域を覆うレジスト9を形成したのに対して、セレクトゲート線となる領域に予めSiN膜よりエッチングレートが小さい絶縁膜、例えばアルミナ ( $Al_2O_3$ ) を形成し、この絶縁膜をマスクとして、セレクトゲート線を形成する。

【0027】

すなわち、図7に示すように、まず、第1の実施形態と同様に、シリコン基板1上にトンネル酸化膜2、フローティングゲート用ポリシリコン膜3、ONO膜4、コントロールゲート用ポリシリコン膜5、WSi膜6及びSiN膜7が順次形成される。その後、セレ

50

クトゲート線となる領域に対応して、SiN膜7に開口6-1が形成される。

【0028】

次いで、図8に示すように、全面に例えばアルミナ( $Al_2O_3$ )からなる絶縁膜21が形成され、開口6-1が絶縁膜21により埋め込まれる。

この後、図9に示すように、SiN膜7をストッパーとして、化学的機械研磨(CMP)により、絶縁膜21が研磨され、平坦化される。このようにして、セレクトゲート線の形成領域に絶縁膜21が形成される。

【0029】

次に、図10に示すように、SiN膜7及び絶縁膜21の上にレジスト22のパターンが形成される。このレジスト22の幅及びレジスト22のスペースは、ワード線の幅とスペースに略一致されている。

10

【0030】

次いで、図11に示すように、レジスト22をマスクとして、SiN膜7がエッチングされる。絶縁膜21はSiN膜7よりもエッチングレートが小さいが、若干エッチングされる。このため、レジスト22で覆われていない絶縁膜21の上部に凹部が形成される。この後、レジスト22が除去される。

【0031】

その後、図12(a)に示すように、SiN膜7と絶縁膜21をマスクとして、WSi膜6、コントロールゲート用ポリシリコン膜5、ONO膜4、フローティングゲート用ポリシリコン膜3がエッチングされる。このようにして、最上層に絶縁膜21を有するセレクトゲート線SGLと、最上層にSiN膜7を有するワード線WLが形成される。この時、絶縁膜21は、SiN膜7よりもエッチングレートが小さいため、セレクトゲート線領域の積層膜全体の膜厚はワード線領域の積層膜全体の膜厚よりも厚くなっている。

20

【0032】

上記のようにして形成されたセレクトゲート線SGLは、上部にワード線と同様の幅を有する2つの絶縁膜21からなる凸部を有し、これら凸部間のスペースは、ワード線相互間のスペースと一致されている。一方、セレクトゲート線SGLの下部は、実質的にワード線2個分と1つのスペース分の幅を有している。このため、セレクトゲート線SGLは、ワード線WLのほぼ3倍の幅を有している。尚、このような、セレクトゲート線SGLにおいて、上部における2つの凸部のうちの1つの幅と下部の幅は、レジスト22を形成する際のレジスト22と絶縁膜21との合わせずれを加えた幅で形成されてもよい。

30

【0033】

この後、周知の製造工程により、ソース・ドレイン領域やビット線等が形成され、NAND型不揮発性半導体記憶装置が形成される。

【0034】

図12(b)は、隣接するセレクトゲート線SGLの相互間にコンタクト27を形成した状態を示している。ここで、ワード線WL及びセレクトゲート線SGLの側壁は、例えばシリコン酸化膜26により覆われ、隣接するセレクトゲート線SGLの相互間にコンタクト27が形成されている。コンタクト27は、例えばタングステン(W)により形成されている。コンタクト27と基板1の相互間には、図示せぬ例えばチタン(Ti)及び窒化チタン(TiN)が形成されている。このコンタクトの構成は、以下に示す各実施形態にも適用可能である。

40

【0035】

尚、図10に示す工程において、セレクトゲート線と対応する領域は、SiN膜7が全て除去され、絶縁膜21のみとなっている。しかし、セレクトゲート線と対応する領域の上層の一部のみを絶縁膜21とし、絶縁膜21の下部にSiN膜7を残しておいてもよい。

【0036】

上記第2の実施形態によっても第1の実施形態と同様の効果を得ることができる。しかも、第2の実施形態によれば、絶縁膜21としてセレクトゲート線SGL間の埋め込み材

50

料（例えばタングステン）に対してもエッチングレートが小さい材料（例えばアルミナ）を用いている。このため、セレクトゲート線相互間にセルフアラインでコンタクトを形成する際、アルミナからなる絶縁膜 2 1 を SiN 膜 7 より優れたマスク材として使用できる。

**【 0 0 3 7 】**

（第 3 の実施形態）

図 1 3 乃至図 1 6 は、第 3 の実施形態を示している。第 2 の実施形態は、絶縁膜 2 1 を SiN 膜 7 の内部に形成した。これに対して、第 3 の実施形態では、絶縁膜 2 1 を SiN 膜 7 の上でセレクトゲート線の形成領域に対応して形成している。

**【 0 0 3 8 】**

すなわち、図 1 3 に示すように、シリコン基板 1 上にトンネル酸化膜 2、フローティングゲート用ポリシリコン膜 3、ONO 膜 4、コントロールゲート用ポリシリコン膜 5、W Si 膜 6 及び SiN 膜 7 が順次形成される。この後、SiN 膜 7 の上に、SiN 膜 7 よりエッチングレートが小さい膜、例えば  $Al_2O_3$  からなる絶縁膜 2 1 が形成される。この絶縁膜 2 1 の上に、セレクトゲート線の形成領域に対応してレジスト 2 3 が形成される。このレジスト 2 3 をマスクとして絶縁膜 2 1 がエッチングされ、セレクトゲート線の形成領域のみに絶縁膜 2 1 が残される。その後、レジスト 2 3 が除去される。

**【 0 0 3 9 】**

次に、図 1 4 に示すように、SiN 膜 7 及び絶縁膜 2 1 の上にパターンニングされたレジスト 2 4 が形成される。このレジスト 2 4 の幅及びスペースは、ワード線の幅とワード線間のスペースと略一致されている。

**【 0 0 4 0 】**

次いで、図 1 5 に示すように、レジスト 2 4 及び絶縁膜 2 1 をマスクとして、SiN 膜 7 がエッチングされる。絶縁膜 2 1 は SiN 膜 7 よりもエッチングレートが小さいが、若干エッチングされる。このため、レジスト 2 4 で覆われていない絶縁膜 2 1 の上部に凹部が形成される。この後、レジスト 2 4 が除去される。

**【 0 0 4 1 】**

その後、図 1 6 に示すように、絶縁膜 2 1 及び SiN 膜 7 をマスク材として、W Si 膜 6、コントロールゲート用ポリシリコン膜 5、ONO 膜 4、フローティングゲート用ポリシリコン膜 3 がエッチングされ、セレクトゲート SGL 線及びワード線 WL が形成される。この時、絶縁膜 2 1 は、SiN 膜 7 よりエッチングレートが小さいため、絶縁膜 2 1 は残る。しかし、全て除去されたとしても、ワード線 WL 線の上に残る SiN 膜 7 よりもセレクトゲート線 SGL の上部に残る SiN 膜 7 の方が厚い。このため、この後、隣接するセレクトゲート線 SGL の相互間にセルフアラインにより、コンタクトを形成する際に、SiN 膜 7 をマスクとして用いることができるため、別途マスク用の膜を形成する必要がない。

**【 0 0 4 2 】**

上記第 3 の実施形態によっても、第 1、第 2 の実施形態と同様の効果を得ることができる。

**【 0 0 4 3 】**

第 1 乃至第 3 の実施形態は、NAND 型の不揮発性半導体記憶装置のメモリセルアレイに本発明を適用した場合について説明した。しかし、本発明は、異なる幅の配線が隣接して形成される回路パターンであれば、メモリセルアレイに限定されるものではなく、例えば不揮発性半導体記憶装置の周辺回路のパターン形成に適用できる。

**【 0 0 4 4 】**

図 1 7、図 1 8 は、第 1 の実施形態に対応する変形例を示している。尚、図 1 7、図 1 8 に示す概念は、第 2、第 3 の実施形態にも適用可能である。

**【 0 0 4 5 】**

図 1 7 は、例えば不揮発性半導体記憶装置の周辺回路に本発明を適用した場合を示しており、第 1 の配線 L 1 と第 2 の配線 L 2 を有する回路パターンを示している。これら第 1

10

20

30

40

50



、第2の配線L1、L2は、ともにONO膜4を持たない以外は、第1の実施形態と同様の構成となっている。

【0046】

このような構成の周辺回路は、上記第1の実施形態と同様の製造方法により形成することができる。すなわち、まず、第1の配線L1と略一致する幅とスペースを有するレジストパターンを形成して、SiN膜7より下方の任意の位置までエッチングする。その後、第2の配線L2の形成領域にレジストを形成した後、WSi膜6、ポリシリコン膜5、3の残りの部分をエッチングすればよい。

【0047】

このような構成によっても、第1の実施形態と同様の効果を得ることができる。

10

【0048】

また、第1乃至第3の実施形態において、セレクトゲート線SGLは、ワード線WLのほぼ3倍の幅を有する場合について説明した。しかし、隣接する配線同士の幅の関係は、これに限定されるものではない。

【0049】

図18において、第3の配線L3の幅は、第1の配線L1の幅のほぼ5倍に設定されている。一般に、第3の配線L3の幅は、第1の配線L1の幅n本分と、第1の配線L1の配線間スペースn-1本分の幅とにより設定されていけばよい。第1の配線L1と第3の配線L3とがこのような関係を有していれば、第1、第3の配線L1、L3を第1乃至第3の実施形態と同様の方法により形成でき、第1乃至第3の実施形態と同様の効果を得ることができる。

20

【0050】

さらに、第1乃至第3の実施形態は不揮発性半導体記憶装置に限らず、その他の半導体装置の回路パターンの形成に適用できる。この場合、トンネル酸化膜2、フローティングゲート用ポリシリコン膜3、ONO膜4、コントロールゲート用ポリシリコン膜5、WSi膜6の積層構造は、これに限定されるものではなく、任意の構成を選択することができる。

【0051】

(第4の実施形態)

図19(a)は、セレクトゲート線SGLとワード線WLの配置の一例を示している。この配置の場合、セレクトゲート線SGLの相互間にスペースがある。このため、これらセレクトゲート線SGLとワード線WLに対応してレジストを形成しようとするとき光近接効果が複雑化し、寸法精度が良好なレジストを形成することが困難となる。

30

【0052】

これを解決するため、第1乃至第3の実施形態は、セレクトゲート線の形成領域に形成されるレジストパターンの幅とスペースをワード線のそれと一致させた。これに対して、第4の実施形態は、セレクトゲート線の形成領域に形成するレジストのパターンを、ワード線ともセレクトゲート線とも異なるパターンとしている。

【0053】

すなわち、図19(b)に示すように、第4の実施形態は、ワード線に対応したレジストパターン31-1と、2つのセレクトゲート線SGLと、これらセレクトゲート線SGL間のスペースを合わせた領域と対応したレジストパターン31-2を形成し、まず、ワード線の形成領域を加工する。その後、レジストパターン31-2を除去し、2つのセレクトゲート線SGL間のスペースと対応して開口を有するレジストを形成し、このレジストを用いてセレクトゲート線を形成している。

40

【0054】

図20乃至図23は、第4の実施形態を示している。

【0055】

図20に示すように、第1乃至第3の実施形態と同様にシリコン基板1上にトンネル酸化膜2、フローティングゲート用ポリシリコン膜3、ONO膜4、コントロールゲート用

50

ポリシリコン膜 5、W S i 膜 6 及び S i N 膜 7 が順次形成される。この後、各ワード線の形成領域、及びセレクトゲート線 2 本分とセレクトゲート線間のスペース 1 本分が配置される領域に対応してレジスト 3 1 が選択的に形成される。すなわち、ワード線と対応する領域に形成されたレジスト 3 1 - 1 は、ワード線の配線幅及びスペースに略一致されている。また、このように周期的に配列されたレジスト 3 1 - 1 の間に形成されたレジスト 3 1 - 2 は、実質的に 2 つのセレクトゲート線 S G L と、これらのセレクトゲート線 S G L 間スペース 1 つ分の幅を有している。

【 0 0 5 6 】

次に、図 2 1 に示すように、上記レジスト 3 1 - 1、3 1 - 2 をマスクとして、S i N 膜 7 を例えばドライエッチングによってエッチングする。次いで、レジストを除去する。

10

この後、図 2 2 に示すように、S i N 膜 7 をマスクとして W S i 膜 6、コントロールゲート用ポリシリコン膜 5、O N O 膜 4 及びフローティングゲート用ポリシリコン膜 3 を例えばドライエッチングによりエッチングする。このようにして、それぞれメモリセルユニットを構成するワード線の形成領域において、周期的な配線幅及びスペースを有するワード線群が形成される。次いで、こうして形成されたワード線群の相互間で、隣接する 2 つのセレクトゲート線間のスペースとなる部分を除いてレジスト 3 2 が形成される。

【 0 0 5 7 】

この後、レジスト 3 2 をマスクとして、ワード線群の相互間で 2 つのセレクトゲート線の形成領域の間に位置する S i N 膜 7、W S i 膜 6、コントロールゲート用ポリシリコン膜 5、O N O 膜 4 及びフローティングゲート用ポリシリコン膜 3 が例えばドライエッチングによりエッチングされる。

20

このようにして、図 2 3 に示すように、隣接する 2 つのセレクトゲート線 S G L が形成される。セレクトゲート線 S G L の幅は、レジスト 3 2 を形成する際のスペースによって変えることができる。

【 0 0 5 8 】

第 4 の実施形態によれば、ワード線に対応するレジスト 3 1 - 1 に隣接して、2 つのセレクトゲート線 S G L と、これらセレクトゲート線 S G L 間のスペースとに対応した幅が広いレジスト 3 1 - 2 を形成している。このように単に太い配線を形成するようにレジスト 3 1 - 2 を形成した場合、レジスト 3 1 - 2 に隣接するレジスト 3 1 - 1 の光近接効果が単純となる。このため、O P C によるマスク補正が容易となる。したがって、マスクの精度、及びレジストの寸法精度を向上でき、所望の幅を有するワード線を形成することができる。

30

【 0 0 5 9 】

( 第 5 の実施形態 )

図 2 4 乃至図 2 6 は、第 5 の実施形態を示している。図 2 4 において、S i N 膜 7 内の絶縁膜 2 1 は、セレクトゲート線の形成領域に対応して形成されている。第 5 の実施形態において、S i N 膜 7 内に絶縁膜 2 1 を形成するまでの工程は、第 2 の実施形態における図 7 乃至図 9 と同様であるため説明は省略する。

【 0 0 6 0 】

図 2 4 において、S i N 膜 7 の上には、ワード線の形成領域に対応してレジスト 3 3 が形成されている。このレジスト 3 3 の幅及び間隔はワード線と略一致されている。また、セレクトゲート線の形成領域と対応する箇所には、レジスト 3 3 が形成されていない。すなわち、図 1 9 ( c ) に示すように、隣接するメモリセルユニットを構成するワード線 W L の形成領域の相互間にはスペースが形成されている。

40

【 0 0 6 1 】

この後、図 2 5 に示すように、前記レジスト 3 3 をマスクとして S i N 膜 7 を例えばドライエッチングによりエッチングする。絶縁膜 2 1 は、S i N 膜 7 よりエッチングレートが小さいが、レジスト 3 3 によって、マスクされていないため、若干エッチングされる。次いで、レジスト 3 3 が除去される。

50

## 【0062】

その後、図26に示すように、SiN膜7と絶縁膜21をマスクとして、WSi膜6、コントロールゲート用ポリシリコン膜5、ONO膜4、フローティングゲート用ポリシリコン膜3を例えばドライエッチングによりエッチングする。これにより、セレクトゲート線SGLとワード線WLが形成される。

## 【0063】

前記絶縁膜21は、セレクトゲート線を形成するエッチングのマスク材としての機能を有している。また、ワード線WLは、SiN膜7をマスクとして形成されている。よって、セレクトゲート線SGLとワード線WLの高さは、SiN膜7と絶縁膜21のエッチングレートの差により異なる。

## 【0064】

また、図24において、セレクトゲート線の形成領域は絶縁膜21のみであり、SiN膜7が残っていない。しかし、絶縁膜21の下部にSiN膜7を残しておいてもよい。

## 【0065】

第5の実施形態によれば、第4の実施形態とは異なり、セレクトゲート線が形成される領域に対応してレジストが形成されていない。このような構成によっても、ワード線に対応するレジストの光近接効果は単純である。このため、OPCにより容易にマスクを補正でき、寸法精度が良好なレジスト及び、ワード線を形成することができる。

## 【0066】

また、絶縁膜21は、第2の実施形態と同様に、絶縁膜21としてセレクトゲート線間の埋め込み材料に対してもエッチングレートが小さい材料を用いた場合、セレクトゲート線相互間にセルフアラインでコンタクトを形成する際、この材料をSiN膜7より優れたマスク材として使用できる。例えば絶縁膜21として前記アルミナ( $Al_2O_3$ )を用い、埋め込み材料としてタングステンを用いた場合、アルミナの方がタングステン及びSiN膜よりエッチングレートが低い。したがって、SiN膜よりも、コンタクトのオーバーエッチングを防止でき、コンタクトとセレクトゲート線の短絡を確実に防止できる。

## 【0067】

(第6の実施形態)

図27乃至図29は、第6の実施形態を示している。第6の実施形態は第3の実施形態と第5の実施形態を変形したものであり、SiN膜7の上でセレクトゲート線を形成する領域に対応して絶縁膜21を形成している。

## 【0068】

図27において、絶縁膜21の上にセレクトゲート線の形成領域に対応してレジスト34を形成し、このレジスト34をマスクとして絶縁膜21をエッチングするまでの工程は第3の実施形態と同様である。このため、説明は省略する。次いで、レジスト34が除去される。

## 【0069】

この後、図28に示すように、SiN膜7の上でワード線の形成領域に対応してレジスト35が形成される。このレジスト35は、幅及び相互間隔がワード線と略一致されている。また、SiN膜7及び絶縁膜21の上でセレクトゲート線の形成領域と対応する箇所にはレジスト35が形成されていない。すなわち、図19(c)に示すように、隣接するメモリセルユニットを構成するワード線WLの形成領域の相互間にはスペースが形成されている。次いで、レジスト35及び絶縁膜21をマスクとしてSiN膜7を例えばドライエッチングによりエッチングする。その後、レジスト35が除去される。

## 【0070】

次に、図29に示すように、絶縁膜21及びSiN膜7をマスクとして、WSi膜6、コントロールゲート用ポリシリコン膜5、ONO膜4、フローティングゲート用ポリシリコン膜3を例えばドライエッチングによりエッチングする。これにより、セレクトゲート線SGL及びワード線WLが形成される。この時、絶縁膜21は、SiN膜7よりもエッチングレートが小さいため、ややエッチングされても残存する。あるいは、加工中に絶縁

10

20

30

40

50

膜 2 1 が除去されてしまったとしても、セレクトゲート線領域の配線の高さは、ワード線領域の配線よりも高くなる。

【 0 0 7 1 】

第 6 の実施形態によっても、第 5 の実施形態と同様の効果を得ることができる。

【 0 0 7 2 】

尚、上記第 4 乃至第 6 の実施形態は、不揮発性半導体記憶装置のメモリセルアレイの回路パターンを形成する場合について説明した。しかし、これに限定されるものではなく、第 1 乃至第 3 の実施形態と同様に、不揮発性半導体記憶装置の周辺回路のパターンや、その他の半導体装置の回路パターンの形成に適用することも可能である。

【 0 0 7 3 】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【 図面の簡単な説明 】

【 0 0 7 4 】

【 図 1 】 第 1 の実施形態の製造工程を示すものであり、SiN 膜上にレジストを形成した状態を示す断面図。

【 図 2 】 図 1 に続く製造工程を示すものであり、ONO 膜までをエッチングした状態を示す断面図。

【 図 3 】 図 2 に続く製造工程を示すものであり、セレクトゲート線を形成する領域にレジストを形成した状態を示す断面図。

【 図 4 】 図 3 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【 図 5 】 図 4 に続く製造工程を示すものであり、ビット線のコンタクトを形成した状態を示す断面図。

【 図 6 】 第 1 の実施形態の変形例を示す断面図。

【 図 7 】 第 2 の実施形態に係る製造工程を示すものであり、SiN 膜に開口を形成した状態を示す断面図。

【 図 8 】 図 7 に続く製造工程を示すものであり、基板全面に絶縁膜を形成した状態を示す断面図。

【 図 9 】 図 8 に続く製造工程を示すものであり、絶縁膜により開口を埋め込んだ状態を示す断面図。

【 図 1 0 】 図 9 に続く製造工程を示すものであり、SiN 膜及び絶縁膜上にレジストを形成した状態を示す断面図。

【 図 1 1 】 図 1 0 に続く製造工程を示すものであり、SiN 膜をエッチングした状態を示す断面図。

【 図 1 2 】 図 1 1 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【 図 1 3 】 第 3 の実施形態に係る製造工程を示すものであり、SiN 膜上に絶縁膜を形成した状態を示す断面図。

【 図 1 4 】 図 1 3 に続く製造工程を示すものであり、SiN 膜及び絶縁膜上にレジストを形成した状態を示す断面図。

【 図 1 5 】 図 1 4 に続く製造工程を示すものであり、SiN 膜をエッチングした状態を示す断面図。

【 図 1 6 】 図 1 5 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【 図 1 7 】 第 1 の実施形態の変形例を示すものであり、第 1 の実施形態を半導体装置の周辺回路に適用した例を示す断面図。

【 図 1 8 】 第 1 の実施形態において、異なる幅を有する配線の変形例を示す断面図。

【 図 1 9 】 図 1 9 ( a ) は、セレクトゲート線 S G L とワード線 W L の配置の一例を示す平面図、図 1 9 ( b ) は第 4 の実施形態に係るレジストの形状を示す平面図、図 1 9 ( c ) は第 5 、第 6 の実施形態に係るレジストの形状を示す平面図。

10

20

30

40

50

【図20】第4の実施形態に係る製造工程を示すものであり、SiN膜上にレジストを形成した状態を示す断面図。

【図21】図20に続く製造工程を示すものであり、SiN膜をエッチングした状態を示す断面図。

【図22】図21に続く製造工程を示すものであり、セレクトゲート線間のスペースを形成するためのレジストを形成した状態を示す断面図。

【図23】図22に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図24】第5の実施形態に係る製造工程を示すものであり、絶縁膜が埋め込まれたSiN膜上にレジストを形成した状態を示す断面図。

10

【図25】図24に続く製造工程を示すものであり、SiN膜をエッチングした状態を示す断面図。

【図26】図25に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図27】第6の実施形態に係る製造工程を示すものであり、SiN膜上に絶縁膜を形成した状態を示す断面図。

【図28】図27に続く製造工程を示すものであり、SiN膜をエッチングした状態を示す断面図。

【図29】図28に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

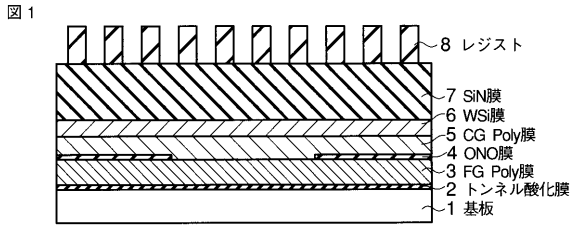
20

【符号の説明】

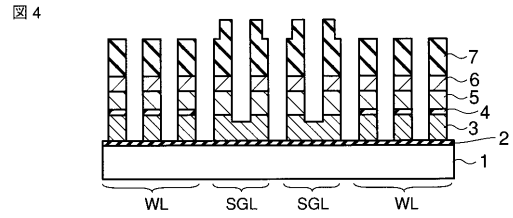
【0075】

1...シリコン基板、3...フローティングゲート用ポリシリコン膜、4...ONO膜、5...コントロールゲート用ポリシリコン膜、6...WSi膜、7...SiN膜、8、9、22、23、24、31~35...レジスト、31-1、31-2...レジストパターン、21...絶縁膜、SGL...セレクトゲート線、WL...ワード線。

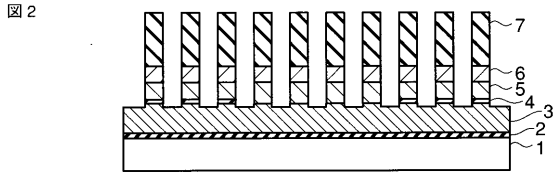
【図 1】



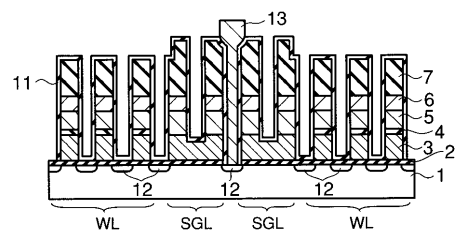
【図 4】



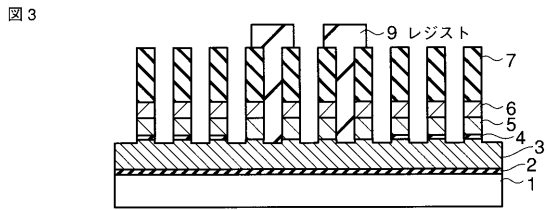
【図 2】



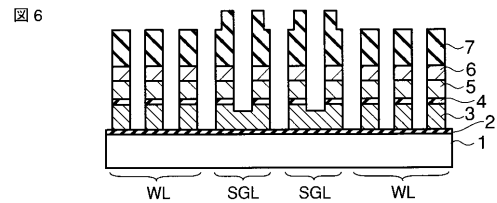
【図 5】



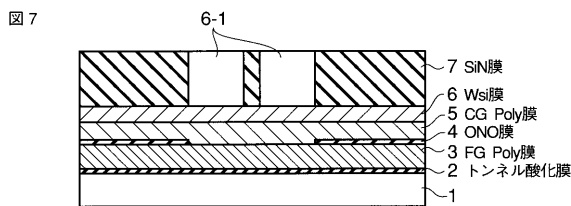
【図 3】



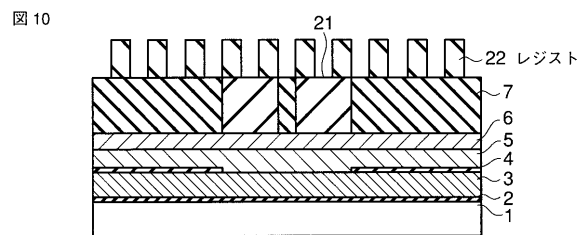
【図 6】



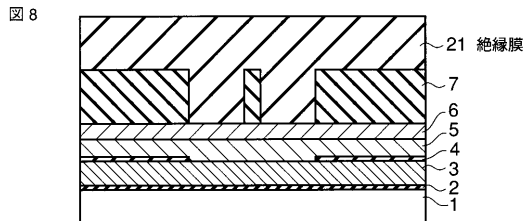
【図 7】



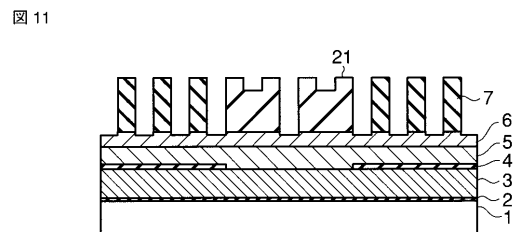
【図 10】



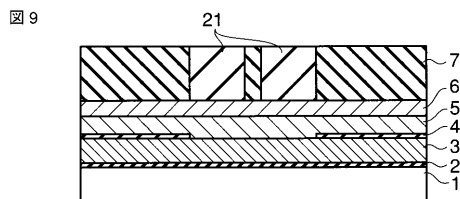
【図 8】



【図 11】

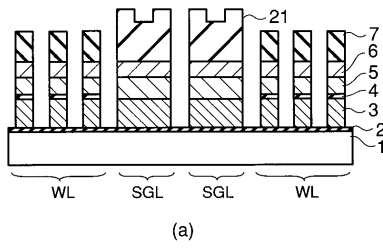


【図 9】

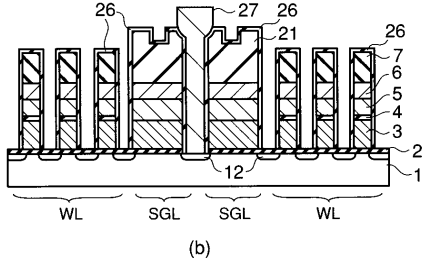


【図 12】

図 12



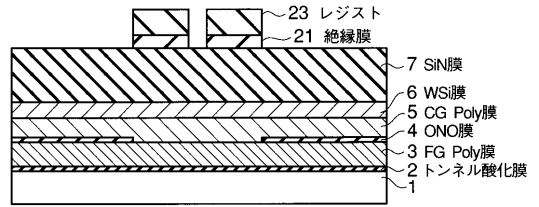
(a)



(b)

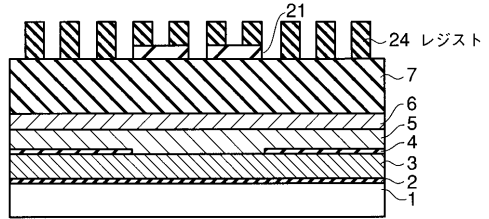
【図 13】

図 13



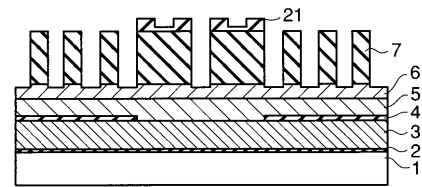
【図 14】

図 14



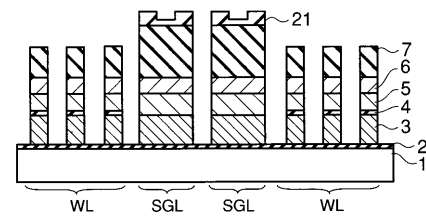
【図 15】

図 15



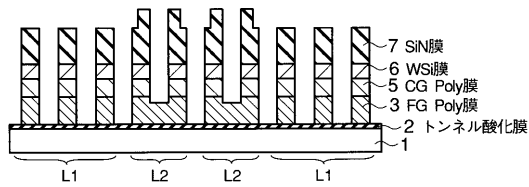
【図 16】

図 16



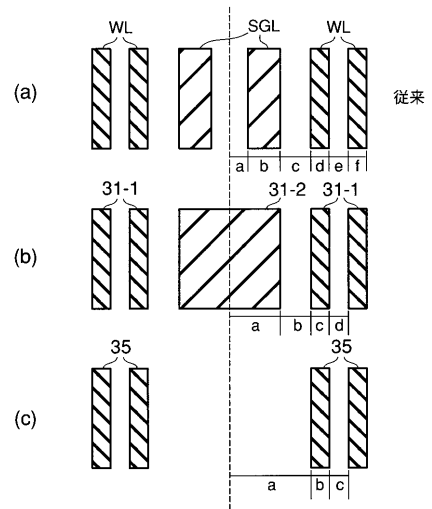
【図 17】

図 17



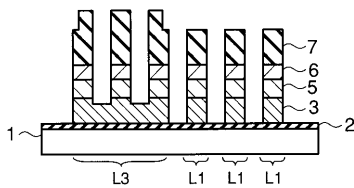
【図 19】

図 19



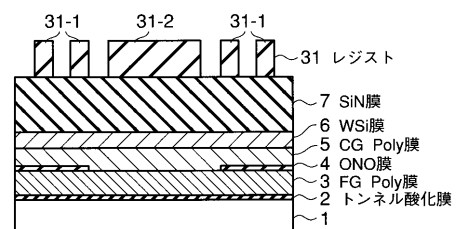
【図 18】

図 18



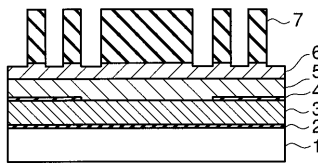
【図 20】

図 20



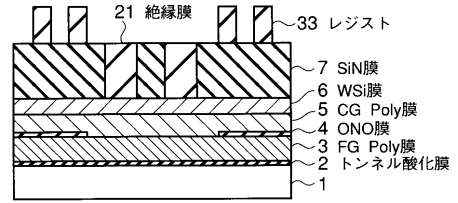
【図 2 1】

図 21



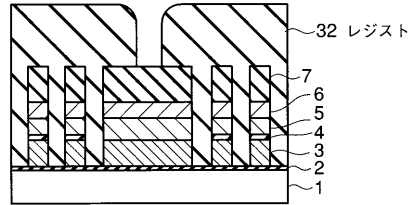
【図 2 4】

図 24



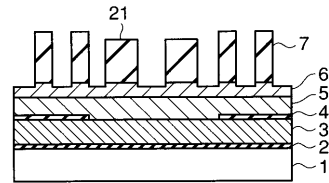
【図 2 2】

図 22



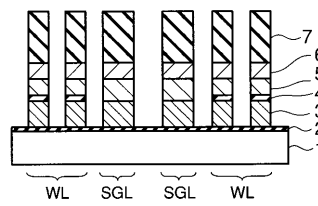
【図 2 5】

図 25



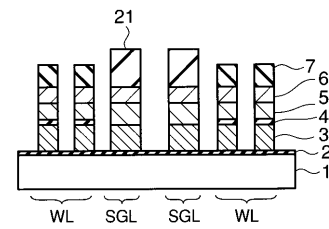
【図 2 3】

図 23



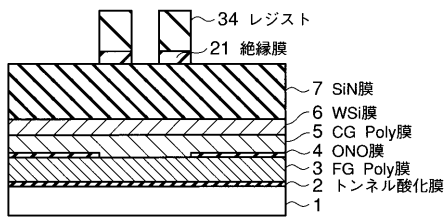
【図 2 6】

図 26



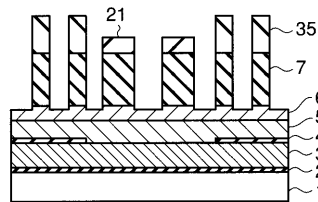
【図 2 7】

図 27



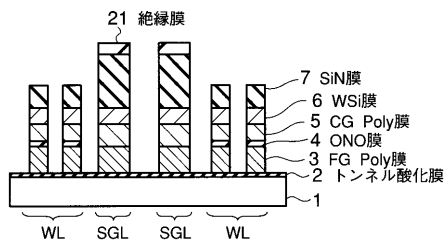
【図 2 8】

図 28



【図 2 9】

図 29





---

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 三輪 忠司

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F033 HH04 HH28 JJ18 JJ19 JJ33 KK01 MM07 MM29 NN39 QQ08  
QQ09 QQ10 QQ11 QQ28 QQ35 QQ48 QQ49 RR03 RR04 RR06  
TT02 TT07 VV06 VV16 XX03 XX15  
5F083 EP02 EP23 EP32 EP55 EP56 EP76 ER21 GA27 JA04 JA35  
JA39 JA40 JA53 LA21 MA05 MA20 PR06 PR07 PR40 PR43  
PR44 PR45 PR53 PR54 PR55 ZA05  
5F101 BA29 BA36 BB05 BD10 BD22 BD34 BE07 BH13