

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5954983号
(P5954983)

(45) 発行日 平成28年7月20日 (2016. 7. 20)

(24) 登録日 平成28年6月24日 (2016. 6. 24)

(51) Int. Cl.	F I		
HO 1 L 27/146 (2006. 01)	HO 1 L 27/14	C	
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 1 3 Z	
HO 1 L 27/144 (2006. 01)	HO 1 L 27/14	K	
GO 1 T 7/00 (2006. 01)	GO 1 T 7/00	A	
A 6 1 B 6/00 (2006. 01)	A 6 1 B 6/00	3 0 0 S	
請求項の数 10 (全 17 頁) 最終頁に続く			

(21) 出願番号 特願2011-279752 (P2011-279752)
 (22) 出願日 平成23年12月21日 (2011. 12. 21)
 (65) 公開番号 特開2013-131610 (P2013-131610A)
 (43) 公開日 平成25年7月4日 (2013. 7. 4)
 審査請求日 平成26年12月12日 (2014. 12. 12)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 園分 孝悦
 (72) 発明者 和山 弘
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 望月 千織
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 渡辺 実
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置及び放射線撮像システム、並びに撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置であって、

ゲートが前記第1のトランジスタのソース及びドレインの他方に接続された第2のトランジスタを有しており、

前記第2のトランジスタは、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って配置されてお

10

り、
 前記第2のトランジスタのチャンネル部は、上方に前記変換素子が存しない位置に部分的に除去された個所を有していることを特徴とする撮像装置。

【請求項2】

各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置であって、

ゲートが前記第1のトランジスタのソース及びドレインの他方に接続された第2のトランジスタを有しており、

前記第2のトランジスタは、前記複数の画素の前記変換素子がそれぞれ前記第2のトラ

20

ンジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って配置されており、

前記第2のトランジスタのソース及びドレインは、上方に前記変換素子が存しない位置に部分的に除去された個所を有していることを特徴とする撮像装置。

【請求項3】

前記第2のトランジスタは、前記複数の画素に共有されており、ゲートが前記複数の画素の前記第1のトランジスタのソース及びドレインの他方とそれぞれ接続されていることを特徴とする請求項1又は2に記載の撮像装置。

【請求項4】

前記部分的に除去された個所は、前記第1のトランジスタの駆動線と前記第2のトランジスタとの交差部分に位置することを特徴とする請求項1～3のいずれか1項に記載の撮像装置。

【請求項5】

前記第1のトランジスタ及び前記第2のトランジスタは、ポリシリコンを用いたトップゲート構造のものであることを特徴とする請求項1～4のいずれか1項に記載の撮像装置。

【請求項6】

前記第1のトランジスタ及び前記第2のトランジスタは、アモルファスシリコンを用いたボトムゲート構造のものであることを特徴とする請求項1～4のいずれか1項に記載の撮像装置。

【請求項7】

電磁波を発生させるための放射線源と、
請求項1～6のいずれか1項に記載の撮像装置と、
前記撮像装置から出力された信号を処理する信号処理手段と
を備えることを特徴とする放射線撮像システム。

【請求項8】

前記信号処理手段から出力された信号を記録するための記録手段と、
前記信号処理手段から出力された信号を表示するための表示手段と、
前記信号処理手段から出力された信号を伝送するための伝送処理手段と
を更に備えることを特徴とする請求項7に記載の放射線撮像システム。

【請求項9】

各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置の製造方法であって、

ゲートが前記第1のトランジスタのソース及びドレインの他方に接続される第2のトランジスタを、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って形成し、

前記第2のトランジスタのチャンネル部は、上方に前記変換素子が存しない個所が部分的に除去されることを特徴とする撮像装置の製造方法。

【請求項10】

各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置の製造方法であって、

ゲートが前記第1のトランジスタのソース及びドレインの他方に接続される第2のトランジスタを、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って形成し、

前記第2のトランジスタのソース及びドレインは、上方に前記変換素子が存しない個所

10

20

30

40

50

が部分的に除去されることを特徴とする撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置及び放射線撮像システム、並びに撮像装置の製造方法に関する。

【背景技術】

【0002】

近年では、TFT（薄膜トランジスタ）を用いた液晶パネルの製造技術は、TFTと半導体変換素子とを組み合わせることで放射線撮像装置等の撮像装置として利用されている。撮像装置では、半導体変換素子に蓄積された信号を読み出す際に、ソースフォロア回路（SFTFT）を用いる手法が提案されている（特許文献1を参照）。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-345330号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、撮像装置にSFTFTを適用する場合には、その信号転送において、SFTFTの抵抗と信号性の配線容量との積で定義される時定数分の遅延が生じる。放射線撮像装置の場合、そのサイズが約40cm×40cm程度であり、時定数が非常に大きく、電荷転送の速度が十分に満たされないことになる。このように、例えば特許文献1における信号の読み出し方法では、SFTFTの持つ抵抗が原因となって転送速度に遅延が生じ、特に高速駆動する際に大きな問題が生じる。

20

【0005】

本発明は、上記の課題に鑑みてなされたものであり、ソースフォロア回路により信号転送を行うも、その転送速度を向上させ、高速駆動にも十分対応することを可能とする信頼性の高い撮像装置及び放射線撮像システム、並びに撮像装置の製造方法を提供する。

【課題を解決するための手段】

【0006】

本発明の撮像装置は、各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置であって、ゲートが前記第1のトランジスタのソース及びドレインの他方に接続された第2のトランジスタを有しており、前記第2のトランジスタは、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って配置されており、前記第2のトランジスタのチャンネル部は、上方に前記変換素子が存しない位置に部分的に除去された個所を有している。

30

本発明の撮像装置は、各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置であって、ゲートが前記第1のトランジスタのソース及びドレインの他方に接続された第2のトランジスタを有しており、前記第2のトランジスタは、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って配置されており、前記第2のトランジスタのソース及びドレインは、上方に前記変換素子が存しない位置に部分的に除去された個所を有している。

40

【0007】

本発明の放射線撮像システムは、電磁波を発生させるための放射線源と、上記の撮像装

50

置と、前記撮像装置から出力された信号を処理する信号処理手段とを備える。

【0008】

本発明の撮像装置の製造方法は、各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置の製造方法であって、ゲートが前記第1のトランジスタのソース及びドレインの他方に接続される第2のトランジスタを、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って形成し、前記第2のトランジスタのチャンネル部は、上方に前記変換素子が存しない個所が部分的に除去される。

10

本発明の撮像装置の製造方法は、各々、変換素子と、ソース及びドレインの一方が前記変換素子に接続された第1のトランジスタとを有し、前記変換素子が前記第1のトランジスタの上に配置された画素を複数備えた撮像装置の製造方法であって、ゲートが前記第1のトランジスタのソース及びドレインの他方に接続される第2のトランジスタを、前記複数の画素の前記変換素子がそれぞれ前記第2のトランジスタの上に配置されるように、前記第2のトランジスタのゲート、ソース、ドレイン、及びチャンネル部のうちの少なくとも1つが複数の前記画素に亘って跨って形成し、前記第2のトランジスタのソース及びドレインは、上方に前記変換素子が存しない個所が部分的に除去される。

【発明の効果】

【0009】

本発明によれば、ソースフォロア回路を用いた信号転送を行うも、その転送速度を向上させ、高速駆動にも十分対応することを可能とする信頼性の高い撮像装置及び放射線撮像システム、並びに撮像装置の製造方法が実現する。

20

【図面の簡単な説明】

【0010】

【図1】第1の実施形態による放射線撮像装置の全体的な等価回路を簡易に示す回路図である。

【図2】第1の実施形態による放射線撮像装置において、隣接する2つの画素領域を拡大して示すレイアウト図である。

【図3】第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

30

【図4】図3に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図5】図4に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図6】図5に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図7】図6に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図8】図7に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

40

【図9】図8に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図10】図9に引き続き、第1の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図11】図10の断面を含むレイアウト図である。

【図12】第2の実施形態による放射線撮像装置において、隣接するN個の画素領域を拡大して示すレイアウト図である。

【図13】第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

50

【図14】図13に引き続き、第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図15】図14に引き続き、第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図16】図15に引き続き、第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図17】図16に引き続き、第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図18】図17に引き続き、第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

10

【図19】図18に引き続き、第2の実施形態による放射線撮像装置の製造プロセスを示すレイアウト図である。

【図20】図19の断面を含むレイアウト図である。

【図21】第3の実施形態による放射線撮像装置の代表的なレイアウト図である。

【図22】図21において、第3の実施形態による放射線撮像装置の機能を説明するためのレイアウト図である。

【図23】第4の実施形態によるX線診断システムの概略構成を示す模式図である。

【発明を実施するための形態】

【0011】

以下、本発明の諸実施形態について、添付の図面を参照して具体的に説明する。なお、本願において、電磁波とは、可視光、赤外光等の光から、X線、線、線、線等の放射線までの波長領域のものを言う。

20

【0012】

(第1の実施形態)

本実施形態では、撮像装置として放射線撮像装置を開示する。

図1は、本実施形態による放射線撮像装置の全体的な等価回路を簡易に示す回路図である。

【0013】

この放射線撮像装置は、電磁波を別の波長の電磁波に変換してから間接的に電気信号に変換する間接型のものを例示するが、電磁波を直接的に電気信号に変換する直接型としても良い。直接型の放射線撮像装置では、間接型の放射線撮像装置と異なり、いわゆる波長変換素子(GOS又はCsI等)が不要となる。

30

放射線撮像装置は、ガラス基板1上に複数の画素領域10がマトリクス状に配置され、転送駆動回路部2、信号処理回路部3、電源電圧4、共通電極駆動回路部5、リセット電位供給回路部6、リセット駆動回路部7、及び統括制御部8を備えて構成されている。

【0014】

なお、図1の構成に付加して、選択用薄膜トランジスタが接続された選択駆動回路部を設けるようにしても良い。選択用薄膜トランジスタは、駆動タイミングをより任意にすることが可能であり、更に、ソースフォロア用薄膜トランジスタ14から流れ込むリーク電流を信号線3Aから遮断する機能を有する。

40

【0015】

画素領域10は、光電変換素子11、転送用薄膜トランジスタ(第1のトランジスタ)12、及びリセット用薄膜トランジスタ13を備えて構成されている。また、複数の画素領域10、本実施形態では隣接する2つの画素領域10に共通のソースフォロア用薄膜トランジスタ(第2のトランジスタ)14が接続されている。

【0016】

転送駆動回路部2は、各転送駆動線2Aごとに、行方向に並ぶ各画素領域10の転送用薄膜トランジスタ12のゲートと接続されており、これらを駆動する。信号処理回路部3は、各信号線3Aごとに、列方向に並ぶ各ソースフォロア用薄膜トランジスタ14のソースと接続されており、この信号処理を行う。電源電圧4は、各電源電圧供給線4Aごとに

50

、行方向に並ぶ各ソースフォロア用薄膜トランジスタ14のドレインと接続されており、ドレイン電圧を供給する。共通電極駆動回路部5は、各共通電極線5Aごとに、列方向に並ぶ各光電変換素子11と接続されており、これらを駆動する。リセット電位供給回路部6は、各リセット電位供給線6Aごとに、列方向に並ぶ各リセット用薄膜トランジスタ13と接続されており、これらを駆動する。リセット駆動回路部7は、各リセット駆動線7Aごとに、行方向に並ぶ各リセット用薄膜トランジスタ13のゲートと接続されており、これらを駆動する。

【0017】

統括制御部8は、中央処理回路(CPU)及びROM、RAM等を有して構成されており、転送駆動回路部2、信号処理回路部3、電源電圧4、共通電極駆動回路部5、リセット電位供給回路部6、リセット駆動回路部7とそれぞれ接続され、これらを駆動制御する。なお図1において、図示の便宜上、統括制御部8の転送駆動回路部2~リセット駆動回路部7との結線の図示を省略する。

10

【0018】

なお、本実施形態による放射線撮像装置を構成する各構成要素(統括制御部8等)の機能は、当該放射線撮像装置に内蔵されているコンピュータのRAMやROM等に記憶されたプログラムが動作することによって実現できる。

【0019】

光電変換素子11は、p型半導体/半導体/n型半導体で構成される、いわゆるPIN型として例示するが、金属/絶縁膜/半導体で構成される、いわゆるMIS型のもでも良い。

20

転送用薄膜トランジスタ12、リセット用薄膜トランジスタ13、ソースフォロア用薄膜トランジスタ14は、夫々、ポリシリコンを用いたものを例示するが、アモルファスシリコンを用いて構成しても良い。また、各薄膜トランジスタの形態はトップゲート構造のものを例示するが、ボトムゲート構造でも良い。

【0020】

図1では、画素領域10は4画素×4画素のマトリクスのみ表示するが、画素領域10の数は任意である。本実施形態では、信号線3Aと平行に隣接する2つの画素領域10ごとに1つのソースフォロア用薄膜トランジスタ14が配されている。ソースフォロア用薄膜トランジスタ14のゲートが、隣接する2つの画素領域10の各転送用薄膜トランジスタ12のソース又はドレインと接続されており、当該ゲート(チャンネル部)が2つの画素領域10に亘って跨るように形成されている。2つの画素領域10のみならず、3つ以上の画素領域10で1つのソースフォロア用薄膜トランジスタ14を共有し、当該ゲート(チャンネル部)が3つ以上の画素領域10に亘って跨るように形成しても良い。

30

【0021】

図2は、本実施形態による放射線撮像装置において、隣接する2つの画素領域を拡大して示すレイアウト図である。ここでは、各画素領域を画素領域10₁、10₂とする。

画素領域10₁、10₂に共通に、1つのソースフォロア用薄膜トランジスタ14が形成されている。1つのソースフォロア用薄膜トランジスタ14は、ソースフォロア用薄膜トランジスタ14のゲート14a(及びその下部のチャンネル部)及びソース/ドレイン14bが画素領域10₁、10₂に亘って跨るように配されている。図2では、各コンタクトホールを15で示す。

40

【0022】

通常、放射線撮像装置は、一辺が20cm~45cm程度の矩形(例えば40cm×40cm程度)であるため、信号線3Aの長さも20cm~45cm程度である。この場合、信号処理回路部の信号線の寄生容量が50pF~300pF程度となる。また、通常、ソースフォロア用薄膜トランジスタとして使用される薄膜トランジスタの電気抵抗は、当該トランジスタをポリシリコンで作製した場合、10k~100k、アモルファスシリコンで作製した場合、1M~10M程度となる。転送時定数は、ソースフォロア用薄膜トランジスタの抵抗値と信号線の抵抗値との積で表され、上記の場合には1μ秒~

50

500 μ 秒程度の非常に大きな値となる。この転送時定数に対応した転送速度では動画駆動は実現し難い。転送速度の高速化を実現するには、ソースフォロア用薄膜トランジスタの抵抗を低下させるか、信号線の寄生容量を低下させるしかない。信号線の寄生容量を大幅に低減することは、放射線撮像装置の大きさを小さくすることと等価であって不可能である。従って、ソースフォロア用薄膜トランジスタの抵抗を低減しなければならない。

【0023】

そのためには、複数（本実施形態では2つ）の画素領域に亘って跨るようにソースフォロア用薄膜トランジスタを形成すれば良い。本実施形態では、図2のように、ソースフォロア用薄膜トランジスタ14が画素領域10₁、10₂に亘って跨るように配される。この構成により、ソースフォロア用薄膜トランジスタ14が極めて大きなチャンネル幅（ゲート幅）を持つことになる。一般的に、ソースフォロア用薄膜トランジスタの抵抗値はチャンネル幅に反比例する。即ち、本実施形態のソースフォロア用薄膜トランジスタ14は、複数の画素領域に跨るように、1つの画素領域内で作り出すことのできる最大のチャンネル幅の2倍のチャンネル幅を持つため、抵抗値が半分の値となる。更に、3つ以上の所期数の画素領域に亘って跨るようにソースフォロア用薄膜トランジスタを形成することにより、任意の大きなチャンネル幅が実現可能であり、抵抗値を十分に低減させることができる。

【0024】

また、放射線撮像装置のレイアウトの自由度が増すと、チャンネル幅を大きくすることに加え、ソースフォロア用薄膜トランジスタ14のチャンネル面積（チャンネル幅×ソース・ドレイン間隔）も巨大にすることができる。一般的に、ソースフォロア用薄膜トランジスタでは、揺らぎ（1/f）ノイズがノイズの支配的な成分であり、この1/fノイズはチャンネル面積に反比例する。複数の画素領域に亘って跨るようにソースフォロア用薄膜トランジスタを形成することにより、巨大なチャンネル幅及び巨大なチャンネル面積が得られ、低抵抗且つ低ノイズが実現する。

【0025】

図3～図10は、本実施形態による放射線撮像装置の製造プロセスを工程順に示すレイアウト図である。ここでは、隣接する2つの画素領域10₁、10₂のみを示す。

【0026】

まず、図3に示すように、洗浄された絶縁基板21上にバッファ層22を形成する。このバッファ層22は、シリコン酸化物（SiO₂）又はシリコン窒化物膜（SiN）で形成される。膜厚は200nm程度であることが望ましい。

次に、バッファ層22上に、アモルファスシリコン23をプラズマCVD法等により成膜する。膜厚は50nm程度～200nm程度であることが望ましい。成膜後、レーザアニール法によりアモルファスシリコン23を結晶化し、ポリシリコン24を形成する。次にこのポリシリコンを必要な部分のみ残すために島状にエッチングする。

【0027】

続いて、図4に示すように、ゲート絶縁膜25を成膜し、高融点金属26を成膜する。ゲート絶縁膜25は、50nm程度～200nm程度の膜厚が望ましい。また、高融点金属26は、モリブデンやタングステン、またその合金等を使用すると良い。その後、高融点金属26をウェットエッチングにより島状にパターニングする。その後、高融点金属26をマスクとして、ポリシリコン24にイオンドーピングを行う。また、この過程で、転送用薄膜トランジスタ12、リセット用薄膜トランジスタ13、及びソースフォロア用薄膜トランジスタ14のソース/ドレインとなる半導体不純物層が形成される。このとき、各薄膜トランジスタ12～14のリーク電流を抑制したり、その特性を向上させるためにLDD領域（Lightly Doped Drainの略。ソース・ドレイン間の電界を緩和させる働きを持つ）を形成する場合もある。

【0028】

続いて、図5に示すように、第1の層間絶縁膜27を成膜する。膜厚は300nm程度～600nm程度であることが望ましい。その後、第1の層間絶縁膜27に各コンタクトホール28をドライエッチング技術を用いて形成する。

【 0 0 2 9 】

続いて、図 6 に示すように、第 1 の低抵抗金属層 2 9 を成膜する。その後、第 1 の低抵抗金属層 2 9 をエッチング技術によりパターニングし、転送駆動線 2 A 及びリセット駆動線 7 A を形成する。第 1 の低抵抗金属層 2 9 には、できるだけ低抵抗の導電材料が良い。膜厚は 3 0 0 n m 程度 ~ 7 0 0 n m 程度であることが望ましい。

【 0 0 3 0 】

続いて、図 7 に示すように、第 2 の層間絶縁膜 3 1 を成膜する。その後、ドライエッチング技術を用いて第 2 の層間絶縁膜 3 1 に各コンタクトホール 3 2 を形成する。

続いて、図 8 に示すように、第 2 の低抵抗金属層 3 3 を成膜する。その後、第 2 の低抵抗金属層 3 3 をエッチング技術によりパターニングし、信号線 3 A、電源電圧供給線 4 A、リセット電位供給線 6 A 等を形成する。

以上により、転送用薄膜トランジスタ 1 2、リセット用薄膜トランジスタ 1 3、ソースフォロア用薄膜トランジスタ 1 4 が形成される。

【 0 0 3 1 】

続いて、図 9 に示すように、これら薄膜トランジスタ 1 2、1 3、1 4 を保護するために層間絶縁膜 3 4 を成膜し、更に有機平坦化膜 3 5 を成膜する。層間絶縁膜 3 4 は 5 0 0 n m 程度の膜厚が良く、また、有機平坦化膜 3 5 は、後に成膜する光電変換素子との寄生容量を低減させるため、3 μ m 程度 ~ 5 μ m 程度の膜厚にすると良い。その後、有機平坦化膜 3 5 及び層間絶縁膜 3 4 に、転送用薄膜トランジスタ 1 2 のドレインと光電変換素子とを接続するためのコンタクトホール 3 6 を形成する。

【 0 0 3 2 】

続いて、図 1 0 に示すように、光電変換素子の材料を成膜し、画素領域間をエッチングで分離して、光電変換素子 1 1 を形成する。光電変換素子 1 1 には、共通電極線 5 A 等が接続される。光電変換素子 1 1 は、P I N 型で構成される。また、光電変換素子 1 1 上には S i N 等の保護膜、波長変換素子である G O S 又は C s I が配置される。

以上により、図 2 に示すレイアウトの放射線撮像装置が形成される。

【 0 0 3 3 】

図 1 1 において、図 1 1 (b) は、図 2 のレイアウトの断面図であり、図 1 1 (a) に示す図 1 0 の一部における破線 I - I' に沿った断面に相当する。

絶縁基板 2 1 の上方に、転送用薄膜トランジスタ 1 2、リセット用薄膜トランジスタ 1 3、ソースフォロア用薄膜トランジスタ 1 4 が形成され、その上部に有機平坦化膜 3 5 等を介して光電変換素子 1 1 が形成されている。図 1 1 では示していないが、光電変換素子 1 1 上には G O S 又は C s I 等の電磁波の波長変換素子が存在する。

【 0 0 3 4 】

以上説明したように、本実施形態によれば、ソースフォロア回路を用いた信号転送を行うも、その転送速度を向上させ、高速駆動にも十分対応することを可能とする信頼性の高い放射線撮像装置が実現する。

【 0 0 3 5 】

(第 2 の実施形態)

本実施形態では、第 1 の実施形態と同様に、撮像装置として放射線撮像装置を開示する。本実施形態における各薄膜トランジスタは、アモルファスシリコンを用いたボトムゲート型のものを例示する。なお、第 1 の実施形態と対応する構成部材等については、同符号を付して詳しい説明を省略する。

図 1 2 は、本実施形態による放射線撮像装置において、隣接する N 個 (N は 3 以上の任意の整数) の画素領域を拡大して示すレイアウト図である。

【 0 0 3 6 】

図 1 2 では、各画素領域を画素領域 1 0₁、1 0₂、 \dots 、1 0_Nとする。

各画素領域 1 0₁、1 0₂、 \dots 、1 0_Nは、各々、光電変換素子 1 1、転送用薄膜トランジスタ 1 2、及びリセット用薄膜トランジスタ 1 3 を備えて構成されている。更に、画素領域 1 0₁、1 0₂、 \dots 、1 0_Nに共通に、1 つのソースフォロア用薄膜トランジ

10

20

30

40

50

スタ14が形成されている。1つのソースフォロア用薄膜トランジスタ14は、ソースフォロア用薄膜トランジスタ14のゲート14a(及びその下部のチャンネル部)及びソース/ドレイン14bが画素領域10a, 10bに亘って跨るように配されている。図12では、各コンタクトホールを15で示す。

【0037】

Nの値は多ければ多いほど、レイアウトの自由度が増し、ソースフォロア用薄膜トランジスタ14のチャンネル幅(ゲート幅)を大きくすることが可能であり、低抵抗化を実現できる。例えば、一画素領域あたりのサイズを150 μ m程度と仮定し、レイアウトを工夫すれば、約10画素領域~30画素領域に亘って跨るようにソースフォロア用薄膜トランジスタ14を形成すれば、動画駆動に耐え得ることが判る。

10

【0038】

図13~図19は、本実施形態による放射線撮像装置の製造プロセスを工程順に示すレイアウト図である。ここでは、隣接するN個の画素領域10₁, 10₂, ..., 10_Nのうち、隣接する2つの画素領域10₁, 10₂のみを図示する。

【0039】

まず、図13に示すように、洗浄された絶縁基板21上に、転送駆動線2A及びリセット駆動線7Aを成膜する。薄膜トランジスタの駆動線は低抵抗の方が良く、膜厚は200nm程度~500nm程度が良い。材料としては、アルミや銅、ネオジウム等の低抵抗金属若しくはその合金でも良い。

次に、第1のゲート絶縁膜37を成膜する。材料としてはシリコン窒化物(SiN)が良く、膜厚は200nm程度~400nm程度とすることが望ましい。

20

【0040】

続いて、図14に示すように、導電材料を成膜し、島状にエッチングして、ソースフォロア用薄膜トランジスタ14のゲート14aを形成する。このエッチングにより、幾つの画素領域に亘るように跨らせてソースフォロア用薄膜トランジスタ14を形成するかが決定される。

【0041】

続いて、図15に示すように、第2のゲート絶縁膜38を成膜する。材料としては、第1のゲート絶縁膜37と同様に、シリコン窒化物(SiN)が良く、膜厚は200nm程度~400nm程度とすることが望ましい。その後、ドライエッチング技術を用いて第2のゲート絶縁膜38に各コンタクトホール39を形成する。コンタクトホール39は、ソースフォロア用薄膜トランジスタ14のゲート14aと転送用薄膜トランジスタ12のソースとを電気的に接続するためのものである。

30

【0042】

続いて、図16に示すように、アモルファスシリコンを成膜し、更にソース/ドレインとなる不純物半導体層を成膜する。アモルファスシリコン及び不純物半導体層を積層膜41とする。アモルファスシリコンは、転送用薄膜トランジスタ12、リセット用薄膜トランジスタ13、ソースフォロア用薄膜トランジスタ14の各チャンネル部を形成するものである。アモルファスシリコンはプラズマCVD法等で成膜し、膜厚は100nm程度~200nm程度が良い。不純物半導体層は、アモルファスシリコンと同様にプラズマCVD法等で成膜され、膜厚は15nm程度~60nm程度が望ましい。その後、積層膜41を島状にエッチングする。

40

【0043】

続いて、図17に示すように、成膜及びエッチングすることにより低抵抗金属層42を形成する。その後、低抵抗金属層42をマスクとして、積層膜41の上部に成膜されている不純物半導体層をエッチングにより形成する。この低抵抗金属層42により、ソースフォロア用薄膜トランジスタ14に接続される信号線3A及び電源電圧供給線4A、リセット電位供給線6Aを形成する。更に、転送用薄膜トランジスタ12のドレインとソースフォロア用薄膜トランジスタ14のゲートとを接続する。

【0044】

50

続いて、図18に示すように、薄膜トランジスタ12, 13, 14の保護層を成膜する。保護層はシリコン窒化物(SiN)を成膜するのが良く、膜厚は200nm程度~700nm程度が良い。その後、保護層に、転送用薄膜トランジスタ12のドレインと後に成膜する光電変換素子11とを接続するためのコンタクトホール43を形成する。次に、薄膜トランジスタ12, 13, 14及び光電変換素子11の寄生容量を低減するために有機平坦化膜を形成する。膜厚は3.5µm程度~5µm程度が望ましい。

【0045】

続いて、図19に示すように、光電変換素子の材料を成膜し、画素領域間をエッチングで分離して、光電変換素子11を形成する。光電変換素子11には、共通電極線5A等が接続される。光電変換素子11は、PIN型で構成される。また、光電変換素子11上にはSiN等の保護膜、波長変換素子であるGOS又はCsIが配置される。

以上により、図12に示すレイアウトの放射線撮像装置が形成される。

【0046】

図20において、図20(b)は、図12のレイアウトの断面図であり、図20(a)に示す図19の一部における破線I-I'に沿った断面に相当する。

絶縁基板21の上方に、転送用薄膜トランジスタ12、リセット用薄膜トランジスタ13、ソースフォロア用薄膜トランジスタ14が形成され、その上部に有機平坦化膜35等を介して光電変換素子11が形成されている。図20では示していないが、光電変換素子11上にはGOS又はCsI等の電磁波の波長変換素子が存在する。

【0047】

以上説明したように、本実施形態によれば、ソースフォロア回路を用いた信号転送を行うも、その転送速度を向上させ、高速駆動にも十分対応することを可能とする信頼性の高い放射線撮像装置が実現する。

【0048】

(第3の実施形態)

本実施形態では、第2の実施形態と同様に、撮像装置として放射線撮像装置を開示する。本実施形態における各薄膜トランジスタは、アモルファスシリコンを用いたボトムゲート型のものを例示する。なお、第1及び第2の実施形態と対応する構成部材等については、同符号を付して詳しい説明を省略する。

【0049】

図21は、本実施形態による放射線撮像装置の代表的なレイアウト図である。

第2の実施形態と同様に、ソースフォロア用薄膜トランジスタ14を複数の画素領域に亘って跨るように形成した場合、その上部に画素領域を含む個所と、上部に画素領域含まない個所(隣接する画素領域間の部分)とが存在する。前者の個所と後者の個所とでは、ソースフォロア用薄膜トランジスタ14の閾値が異なる。図22に示すように、光電変換素子11は電磁波等の外来ノイズからソースフォロア用薄膜トランジスタ14のチャネル部を保護する機能も有している。即ち、ソースフォロア用薄膜トランジスタ14は、上部に光電変換素子11が存する部分と存しない部分とでは、外来ノイズに対する感度が異なり、結果として閾値に差異が生じる。1つのソースフォロア用薄膜トランジスタ14内で部分により閾値が異なれば、得られた信号が受光情報を真に反映することの信頼性が低下する。

【0050】

本実施形態では、図21に示すように、ソースフォロア用薄膜トランジスタ14のチャネル部(アモルファスシリコン41)において、以下のようにエッチングする。即ち、チャネル部において、上方に光電変換素子11が存しない個所(隣接する画素領域間の部分)、即ち電荷転送の経路となる個所を、エッチングにより部分的に除去する。これにより、ソースフォロア用薄膜トランジスタ14を所望の数だけ複数の画素領域に亘り跨るように形成しても、閾値のばらつき等がなく、光電変換素子11の情報を損なうことなく信号の読み出しが可能となる。

【0051】

10

20

30

40

50

なお、本実施形態のようにソースフォロア用薄膜トランジスタ14のチャンネル部の所定個所をエッチングする代わりに、以下のようにエッチングしても良い。即ち、ソースフォロア用薄膜トランジスタ14のソース/ドレインにおいて、上方に光電変換素子11が存しない個所（隣接する画素領域間の部分）をエッチングしても良い。また、ソースフォロア用薄膜トランジスタ14のチャンネル部において、上方に光電変換素子11が存しない個所の上部に金属層を形成し、この金属層により電荷転送の経路となる個所を遮光するようにしても好適である。

【0052】

また、第1の実施形態の図2、第2の実施形態の図12において、転送駆動線2A及びリセット駆動線7Aの上方において、ソースフォロア用薄膜トランジスタ14のチャンネル部が転送駆動線2A及びリセット駆動線7Aと交差する部分がある。この部分においては、各薄膜トランジスタに電圧が印加される際に、ソースフォロア用薄膜トランジスタ14のスイッチがオンになってしまい、電荷が転送されることが考えられる。これを防止するために、ソースフォロア用薄膜トランジスタ14のソース/ドレインにおいて、転送駆動線2A及びリセット駆動線7Aとの交差部分（交差する位置）をエッチングして除去するようにしても良い。

【0053】

以上説明したように、本実施形態によれば、ソースフォロア回路を用いた信号転送を行うも、その転送速度を向上させ、高速駆動にも十分対応することが可能となる。これにより、光電変換素子11の情報を損なうことなく確実な信号の読み出しができる信頼性の高い放射線撮像装置が実現する。

【0054】

（第4の実施形態）

本実施形態では、第1～第3の実施形態から選ばれた1種の放射線撮像装置を備えた放射線撮像システムとして、X線診断システムを開示する。

図23は、本実施形態によるX線診断システムの概略構成を示す模式図である。

【0055】

このX線診断システムは、X線チューブ51、光電変換装置52、イメージプロセッサ53、ディスプレイ54a、54b、電話回線55、及びフィルムプロセッサ56を有して構成される。

X線チューブ51は、電磁波、ここではX線を発生させるための放射線源である。光電変換装置52は、シンチレータが上部に実装されており、第1～第3の実施形態から選ばれた1種の放射線撮像装置である。イメージプロセッサ53は、光電変換装置52から出力された信号をデジタル処理する信号処理手段である。ディスプレイ54a、54bは、イメージプロセッサ53から出力された信号を表示するための表示手段である。電話回線55は、イメージプロセッサ53から出力された信号を別の場所のドクタールーム等の遠隔地へ転送するための伝送処理手段である。フィルムプロセッサ56は、イメージプロセッサ53から出力された信号を記録するための記録手段である。

【0056】

このX線診断システムを使用する際には、X線チューブ51で発生したX線は患者（被験者）の胸部を透過し、シンチレータを上部に実装した光電変換装置52に入射する。ここで、シンチレータを上部に実装した光電変換装置52は、第1～第4の実施形態から選ばれた1種の放射線撮像装置を構成する。この入射したX線には患者の体内部の情報が含まれている。X線の入射に対応してシンチレータは発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換され信号処理手段となるイメージプロセッサ53により画像処理され制御室の表示手段となるディスプレイ54aで観察できる。

【0057】

また、この情報は電話回線55等の伝送処理手段により遠隔地へ転送でき、別の場所のドクタールーム等における表示手段となるディスプレイ54bに表示もしくは光ディスク等の記録手段に保存することができ、遠隔地の医師が診断することも可能である。また、

記録手段となるフィルムプロセッサ56により記録媒体となるフィルム57に記録することもできる。

【0058】

以上説明したように、本実施形態によれば、ソースフォロア回路を用いた信号転送を行うも、その転送速度を向上させ、高速駆動にも十分対応することを可能とし、所期の動画モード及び静止画モードの撮影ができる信頼性の高いX線診断システムが実現する。

【符号の説明】

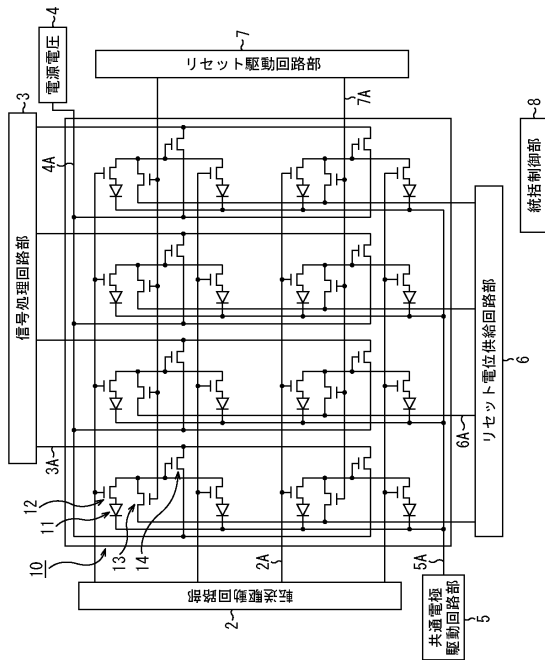
【0059】

- 1：ガラス基板 2：転送駆動回路部 2A：転送駆動線 3：信号処理回路部 3A：信号線
- 4：電源電圧 4A：電源電圧供給線 5：共通電極駆動回路部 5A：共通電極線
- 6：リセット電位供給回路部 6A：リセット供給線 7：リセット駆動回路部 7A：リセット駆動線
- 8：統括制御部 10, 10₁, 10₂, 10_N：画素領域 11：光電変換素子
- 12：転送用薄膜トランジスタ 13：リセット用薄膜トランジスタ 14：ソースフォロア用薄膜トランジスタ
- 14a：ゲート 14b：ソース/ドレイン 15, 28, 32, 36, 39, 43：コンタクトホール
- 21：絶縁基板 22：パッド層 23：アモルファスシリコン 24：ポリシリコン 25：ゲート絶縁膜
- 26：高融点金属 27：第1の層間絶縁膜 29：第1の低抵抗金属層 31：第2の層間絶縁膜
- 33：第2の低抵抗金属層 34：層間絶縁膜 35：有機平坦化膜 37：第1のゲート絶縁膜
- 38：第2のゲート絶縁膜 41：積層膜 42：低抵抗金属層 51：X線チューブ
- 52：光電変換装置 53：イメージプロセッサ 54a, 54b：ディスプレイ
- 55：電話回線 56：フィルムプロセッサ 57：フィルム

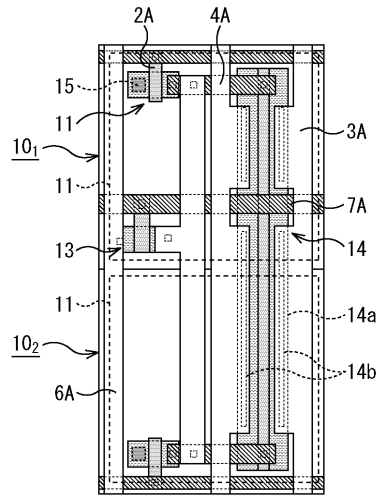
10

20

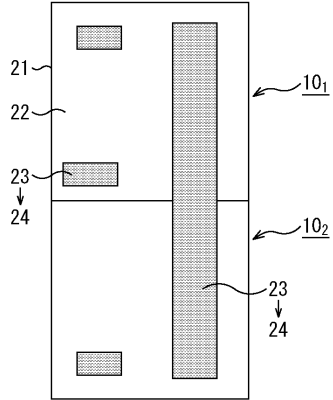
【図1】



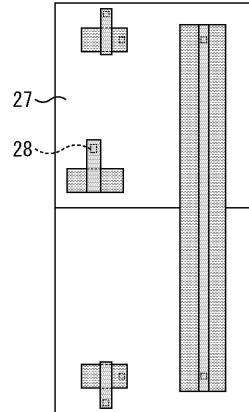
【図2】



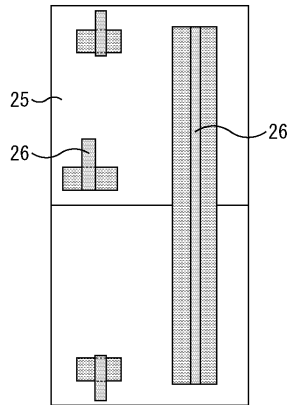
【 図 3 】



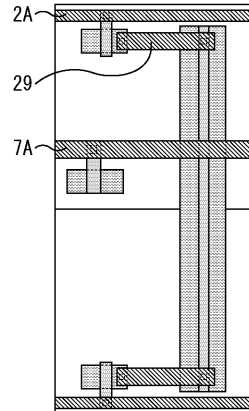
【 図 5 】



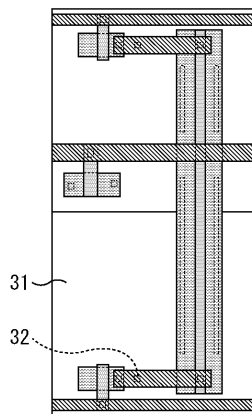
【 図 4 】



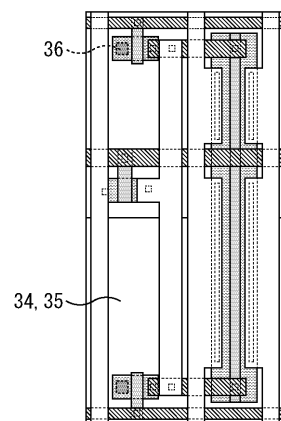
【 図 6 】



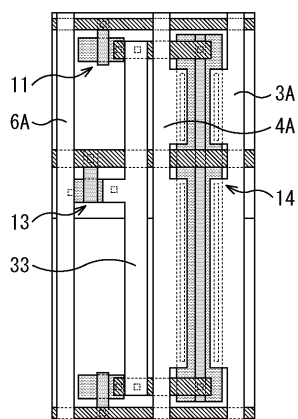
【 図 7 】



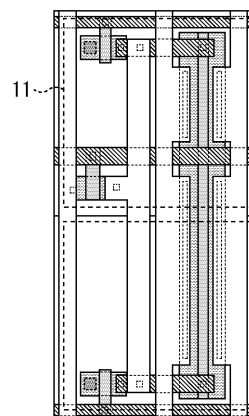
【 図 9 】



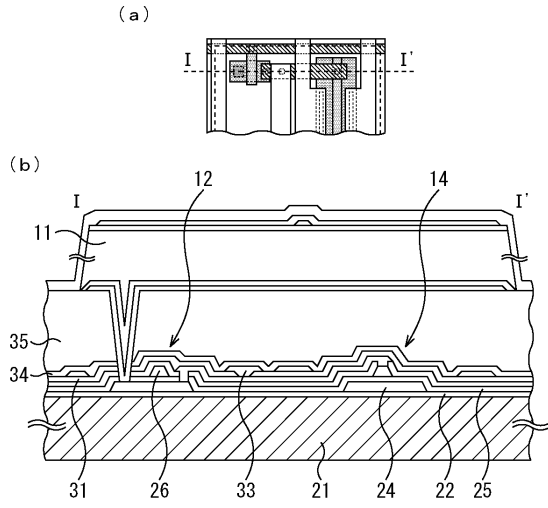
【 図 8 】



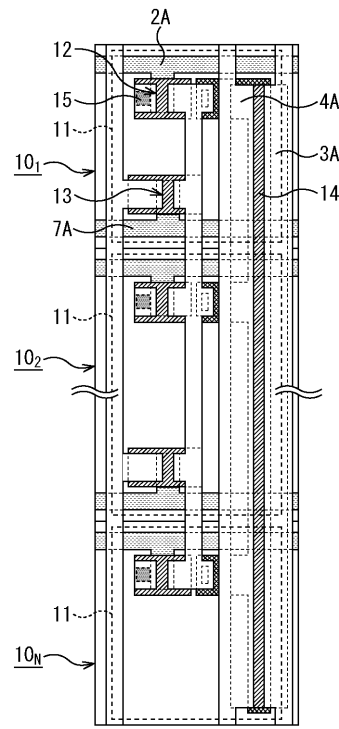
【 図 10 】



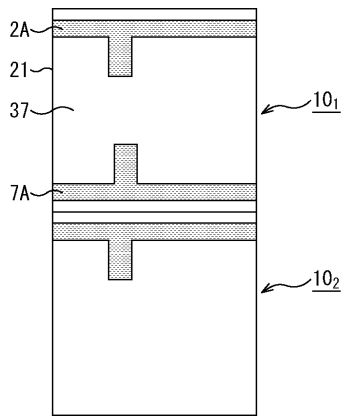
【図 1 1】



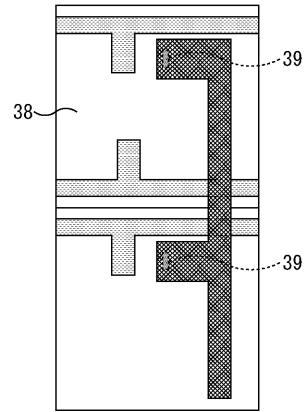
【図 1 2】



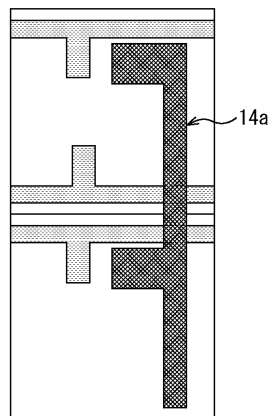
【図 1 3】



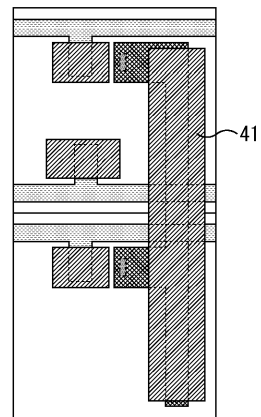
【図 1 5】



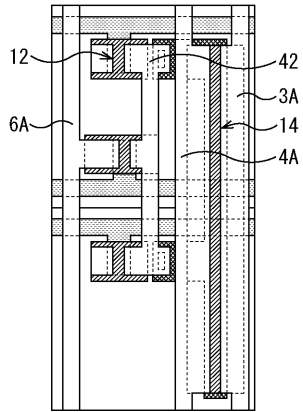
【図 1 4】



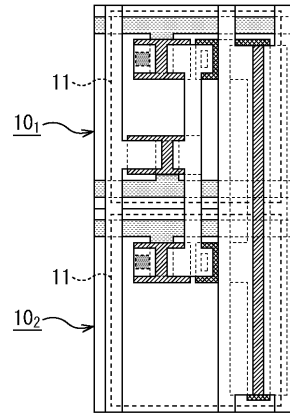
【図 1 6】



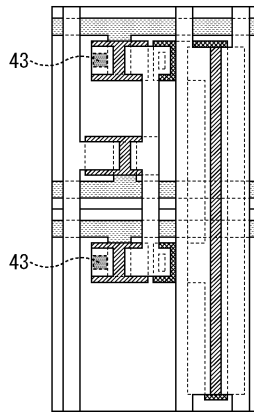
【図17】



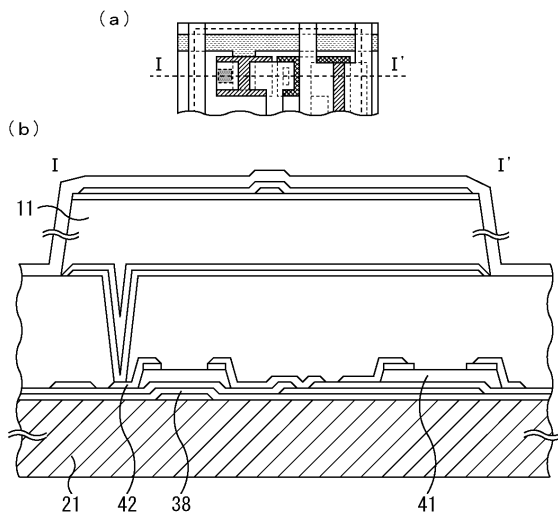
【図19】



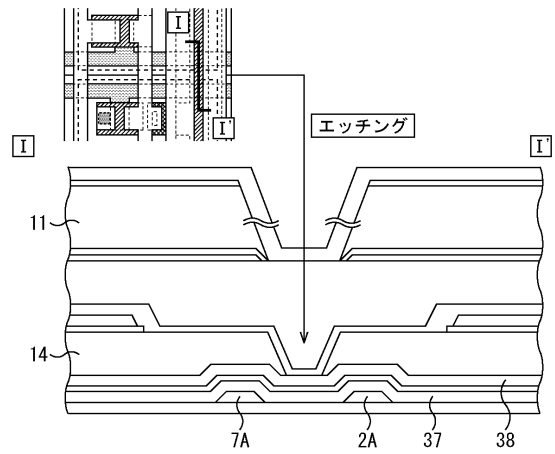
【図18】



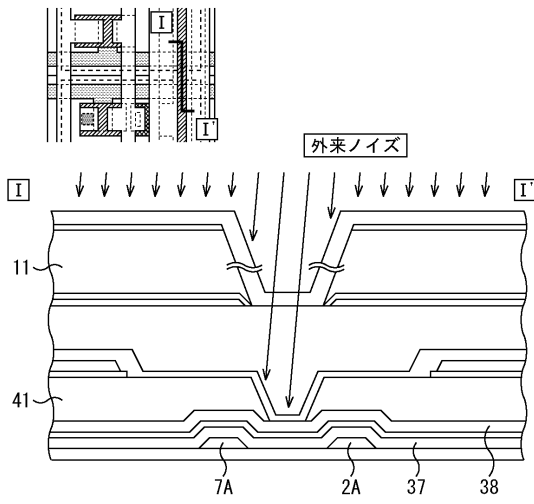
【図20】



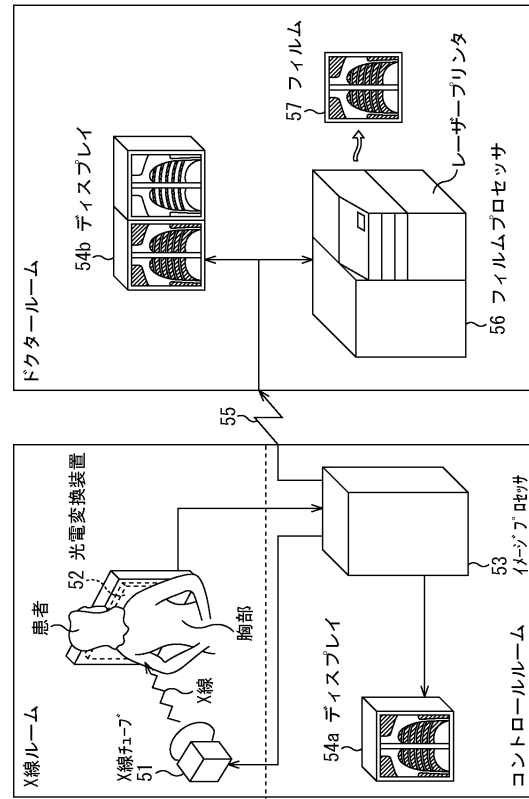
【図21】



【図22】



【図23】



フロントページの続き

(51)Int.Cl.		F I			
H 0 4 N	5/369	(2011.01)	H 0 4 N	5/335	6 9 0
H 0 4 N	5/32	(2006.01)	H 0 4 N	5/32	

(72)発明者 横山 啓吾
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大藤 将人
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 川鍋 潤
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 藤吉 健太郎
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 今井 聖和

(56)参考文献 特開2009-290659(JP,A)
 特開2011-009354(JP,A)
 特開2000-232216(JP,A)
 特開2008-244445(JP,A)
 実開平05-015454(JP,U)
 特開2011-119711(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 7 / 1 4
A 6 1 B	6 / 0 0
G 0 1 T	7 / 0 0
H 0 1 L	2 9 / 7 8 6
H 0 4 N	5 / 3 2
H 0 4 N	5 / 3 6 9