

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5625955号  
(P5625955)

(45) 発行日 平成26年11月19日(2014.11.19)

(24) 登録日 平成26年10月10日(2014.10.10)

(51) Int.Cl.		F I			
<b>H03F</b>	<b>3/34</b>	<b>(2006.01)</b>	H03F	3/34	B
<b>H03K</b>	<b>5/08</b>	<b>(2006.01)</b>	H03K	5/08	E

請求項の数 10 (全 47 頁)

(21) 出願番号	特願2011-17231 (P2011-17231)	(73) 特許権者	000005223
(22) 出願日	平成23年1月28日 (2011.1.28)		富士通株式会社
(65) 公開番号	特開2011-223553 (P2011-223553A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成23年11月4日 (2011.11.4)	(74) 代理人	100108187
審査請求日	平成25年10月7日 (2013.10.7)		弁理士 横山 淳一
(31) 優先権主張番号	特願2010-73828 (P2010-73828)	(72) 発明者	檀上 匠
(32) 優先日	平成22年3月26日 (2010.3.26)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)	審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 増幅回路及びその増幅回路を含むアナログデジタル変換回路

(57) 【特許請求の範囲】

【請求項1】

差動入力信号をゲート電極で受ける一対のMOSトランジスタと、  
前記一対のMOSトランジスタのドレインそれぞれと、高電位電源線とに電気的に接続し、前記一対のMOSトランジスタのドレインそれぞれに電気的に接続する差動出力ノード間の電位差を増幅し、増幅後の電位を前記差動出力ノードに保持する増幅部と、  
前記差動出力ノード間の電圧を前記増幅部が増幅する際に、前記差動出力ノードの一方にキャンセル電流を流し、前記増幅部による増幅動作後に、前記一対のMOSトランジスタのドレイン電圧に応じて前記差動出力ノードへの前記キャンセル電流の流入を遮断するオフセットキャンセル回路と、  
前記差動入力信号の一方の信号の電位を他方の信号の電位と等しく設定し、前記差動出力ノード間の電位差を増幅したときに、前記差動出力ノード間の電位が、前記キャンセル電流を注入する前に比較し、前記キャンセル電流の注入後において逆転するように、前記キャンセル電流を設定するスレッシュホールドコントローラと、  
を備えることを特徴とする増幅回路。

【請求項2】

前記オフセットキャンセル回路は、  
前記スレッシュホールドコントローラによりオンオフが制御され、前記差動出力ノードの一つに一方の端子が接続するn個のスイッチと、  
前記n個のスイッチの他方の端子それぞれにドレイン端子にて接続し、ゲート端子にて

前記一対のMOSトランジスタのドレインの内の一つと接続し、ソース端子をグランド電位とすることが可能なn個の第1MOSトランジスタと、  
を備えることを特徴とする請求項1に記載の増幅回路。

【請求項3】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力するn個の第1ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記一対のMOSトランジスタのドレインの内の一つと接続するn個の第1MOSトランジスタと、

ドレイン端子にて前記n個の第1MOSトランジスタのソース端子それぞれに接続し、ゲート端子にて前記n個の第1ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にてグランド線に接続するn個の第2MOSトランジスタと、

を備えることを特徴とする請求項1に記載の増幅回路。

【請求項4】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一対のMOSトランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第2ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第2ロジック回路からの信号を受けるn個の第1MOSトランジスタと、

ドレイン端子にて前記n個の第1MOSトランジスタのソース端子それぞれに接続し、ゲート端子にてクロック信号を受け、ソース端子にてグランド線に接続するn個の第2MOSトランジスタと、

を備えることを特徴とする請求項1に記載の増幅回路。

【請求項5】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力するn個の第1ロジック回路と、

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一対のMOSトランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第2ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第2ロジック回路からの信号を受けるn個の第1MOSトランジスタと、

ドレイン端子にて前記n個の第1MOSトランジスタのソース端子それぞれに接続し、ゲート端子にて前記n個の第1ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にてグランド線に接続するn個の第2MOSトランジスタと、

を備えることを特徴とする請求項1に記載の増幅回路。

【請求項6】

差動入力信号をゲート電極で受ける一対のMOSトランジスタと、

前記一対のMOSトランジスタのドレインそれぞれと、グランド線とに電氣的に接続し、前記一対のMOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノード間の電位差を増幅し、増幅後の電位を前記差動出力ノードに保持する増幅部と、

前記差動出力ノード間の電圧を前記増幅部が増幅する際に、前記差動出力ノードの一方にキャンセル電流を流し、前記増幅部による増幅動作後に、前記一対のMOSトランジスタのドレイン電圧に応じて前記差動出力ノードへの前記キャンセル電流の流入を遮断するオフセットキャンセル回路と、

前記差動入力信号の一方及び他方の信号の電位を等しく設定し、前記差動出力ノード間の電位差を増幅したときに、前記差動出力ノード間の電位が、前記キャンセル電流を注入する前に比較し、前記キャンセル電流の注入後において逆転するように、前記キャンセル電流を設定するスレッシュホールドコントローラと、

10

20

30

40

50

を備えることを特徴とする増幅回路。

【請求項 7】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラによりオンオフが制御され、前記差動出力ノードの一つに一方の端子が接続する  $n$  個のスイッチと、

前記  $n$  個のスイッチの他方の端子それぞれにドレイン端子にて接続し、ゲート端子にて前記一对の MOS トランジスタのドレインの内の一つと接続し、ソース端子をグランド電位とすることが可能な  $n$  個の第 1 MOS トランジスタと、

を備えることを特徴とする請求項 6 に記載の増幅回路。

【請求項 8】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力する  $n$  個の第 1 ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記一对の MOS トランジスタのドレインの内の一つと接続する  $n$  個の第 1 MOS トランジスタと、

ドレイン端子にて前記  $n$  個の第 1 MOS トランジスタのソース端子それぞれに接続し、ゲート端子にて前記  $n$  個の第 1 ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にて高電位線に接続する  $n$  個の第 2 MOS トランジスタと、

を備えることを特徴とする請求項 6 に記載の増幅回路。

【請求項 9】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一对の MOS トランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第 2 ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第 2 ロジック回路からの信号を受ける  $n$  個の第 1 MOS トランジスタと、

ドレイン端子にて前記  $n$  個の第 1 MOS トランジスタのソース端子それぞれに接続し、ゲート端子にてクロック信号を受け、ソース端子にて高電位線に接続する  $n$  個の第 2 MOS トランジスタと、

を備えることを特徴とする請求項 6 に記載の増幅回路。

【請求項 10】

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力する  $n$  個の第 1 ロジック回路と、

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一对の MOS トランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第 2 ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第 2 ロジック回路からの信号を受ける  $n$  個の第 1 MOS トランジスタと、

ドレイン端子にて前記  $n$  個の第 1 MOS トランジスタのソース端子それぞれに接続し、ゲート端子にて前記  $n$  個の第 1 ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にて高電位線に接続する  $n$  個の第 2 MOS トランジスタと、

を備えることを特徴とする請求項 6 に記載の増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

オフセット補正機能を有する増幅回路及びその増幅回路を含むアナログデジタル変換回路に関する。

【背景技術】

10

20

30

40

50

## 【0002】

アナログデジタル変換回路において、電圧比較に用いられるコンパレータは、一般的に、差動入力信号の一方及び他方をゲート電極に受ける2個のMOSトランジスタと、それらのMOSトランジスタが電流を制御する2本の電流経路と、電流経路間の電位差を増幅し、保持するラッチ部とを備える。

## 【0003】

そこで、コンパレータにおいて、上記電流経路に流れる電流を制御するMOSトランジスタの特性の差、ラッチ部を構成するMOSトランジスタの特性の差があると、差動入力信号間の電圧比較を行う際に、オフセットが生じる。

## 【0004】

さらに、異なるコンパレータに属するMOSトランジスタに対しても特性の差は生じている。そうすると、コンパレータにおいて生じるオフセットは、コンパレータ毎に異なり、コンパレータにおけるオフセットにバラツキが生じることになる。

## 【0005】

その結果、アナログデジタル回路において、複数の直列抵抗によって、グランド電圧から基準電圧までを等間隔に区切った電圧区間に分割し、複数のコンパレータを用いて入力されたアナログ信号の電圧が上記のどの電圧区間に属するかを判定することによってデジタル化が行われている場合、コンパレータのオフセット値にバラツキがあると、電圧区間の境目において、どちらの電圧区間に属するかの判定にバラツキが生じる。

## 【0006】

そこで、上記の判定バラツキを解消するため、コンパレータのオフセットをキャンセルするキャンセル回路が提案されている(特許文献1参照)。すなわち、上記の文献によれば、コンパレータの2本の電流経路内の一方に、オフセットをキャンセルするためのキャンセル電流を電流経路に流しておくことが提案されている。

## 【0007】

上記のキャンセル電流は、コンパレータに入力される、信号の電位間の比較動作を行っている間は電流経路を定常的に流れる。そうすると、上記のキャンセル回路を含むコンパレータの消費電流は、キャンセル回路を含まないコンパレータと比較して増加する。

## 【先行技術文献】

## 【特許文献】

## 【0008】

【特許文献1】特開2001-111421号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0009】

そこで、本発明の課題は、コンパレータのオフセットキャンセル動作において発生する消費電力を、低減させることが可能なオフセットキャンセル機構を搭載したコンパレータを提供することを目的とする。

## 【課題を解決するための手段】

## 【0010】

そこで、上記の課題を解決するため、差動入力信号をゲート電極で受ける一对のNMOSトランジスタと、一对のNMOSトランジスタのドレインそれぞれと、高電位電源線とに電氣的に接続し、一对のNMOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノード間の電位差を増幅し、増幅後の電位を差動出力ノードに保持する増幅部と、差動出力ノード間の電圧を前記増幅部が増幅する際に、差動出力ノードの一方にキャンセル電流を流し、増幅部による増幅動作後に、一对のMOSトランジスタのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断するオフセットキャンセル回路と、差動入力信号の一方及び他方の信号の電位を等しく設定し、差動出力ノード間の電位差を増幅したときに、差動出力ノードに発生する電位が、キャンセル電流を注入する前に比較し、キャンセル電流の注入後において逆転するように、キャンセル電流を設定するス

10

20

30

40

50

レッシュヨルドコントローラと、を備えることを特徴とする増幅回路を提供する。

【発明の効果】

【0011】

コンパレータのオフセットキャンセル動作において発生する消費電力を、低減させることが可能なオフセットキャンセル機構を搭載したコンパレータを提供することができる。

【図面の簡単な説明】

【0012】

【図1】図1は実施例1のコンパレータ10を示す回路図である。

【図2】図2は実施例1のコンパレータ10のスレッシュヨルドコントローラ20を示す図である。

【図3】図3はコンパレータ10のキャリブレーション動作を説明するフローチャートである。

【図4】図4はオフセット検出回路20の動作に関係する信号の電位の変化を時間とともに表したタイミング図である。

【図5】図5は、オフセット検出動作時における、オフセットキャンセル部30、40におけるオフセット補正量をオンするスイッチの数に対して示したグラフである。

【図6】図6は、コンパレータ10の通常動作時におけるクロック信号CLK、ノードDP/DM、出力信号OP/OMの電位を時間変化とともに表したタイミング図及び接続中のスイッチを流れる電流を時間変化とともに表した図である。

【図7】図7は実施例2のコンパレータ10bを示す回路図である。

【図8】図8は実施例1のコンパレータ10又は実施例2のコンパレータ10bを使用したアナログデジタル回路70を示す。

【図9】図9は実施例4のコンパレータ10cを示す回路図である。

【図10】図10は実施例5のコンパレータ10dを示す回路図である。

【図11】図11は実施例6のコンパレータ10eを示す回路図である。

【図12】図12は実施例7のコンパレータ10fを示す回路図である。

【図13】図13は実施例8のコンパレータ10gを示す回路図である。

【図14】図14は実施例9のコンパレータ10hを示す回路図である。

【図15】図15は、実施例4において示したロジック回路37c1に対する第1回路例となるロジック回路37aを説明するための図である。

【図16】図16は、実施例4において示したロジック回路37c1に対する第2回路例となるロジック回路37bを説明するための図である。

【図17】図17は、実施例4において示したロジック回路38c1に対する回路例となるロジック回路38aを説明するための図である。

【図18】図18はクロックバッファ60aの回路図を示す。

【図19】図19はクロックバッファ60bの回路図を示す。

【発明を実施するための形態】

【0013】

本発明は、以下に説明する実施例に対し、当業者が想到可能な、設計上の変更が加えられたもの、及び、実施例に現れた構成要素の組み換えが行われたものも含む。また、本発明は、その構成要素が同一の作用効果を及ぼす他の構成要素へ置き換えられたもの等も含み、以下の実施例に限定されない。

【実施例1】

【0014】

図1は実施例1のコンパレータ10を示す回路図である。コンパレータ10はスレッシュヨルドコントローラ20、オフセットキャンセル部30、オフセットキャンセル部40、P型MOSトランジスタ51、52、N型MOSトランジスタ53、54、55、56、スイッチ57を含む。

コンパレータ10は比較動作と、コンパレータ10のオフセットをキャリブレーションする動作を行うことができる。なお、比較動作とは、与えられた相補入力信号の一方と他

10

20

30

40

50

方の電圧を増幅し、電圧が高かった方の信号の電位を論理 " H " の電位にし、電圧が低かった方の信号の電位を論理 " L " にする増幅動作である。また、キャリブレーション動作とは、電圧の高低の判定に伴うオフセットを検出し、そのオフセットに応じたキャンセル電流の量を設定する動作である。

【 0 0 1 5 】

P型MOSトランジスタ51のソースは高電位線AVDと接続し、ドレインはN型MOSトランジスタ53のドレインと接続し、ゲートはN型MOSトランジスタ54のドレインと接続している。なお、P型MOSトランジスタ51のドレインは出力信号OMが出力される出力端子に接続している。

N型MOSトランジスタ53のソースはノードDMと接続し、ゲートはN型MOSトランジスタ54のドレインと接続している。

N型MOSトランジスタ55のソースはスイッチ57の一方の電極と接続し、ゲートは入力信号VIPが伝搬する信号線と接続している。

以上より、P型MOSトランジスタ51、N型MOSトランジスタ53、N型MOSトランジスタ55はソース及びドレインによって、スイッチ57と高電位線AVD間に直列に接続しており、ノードDMを含む第1の電流経路を形成している。なお、第1の電流経路の電流は、N型MOSトランジスタによって入力信号VIPの電位に応じて、制御され、増減する。

【 0 0 1 6 】

P型MOSトランジスタ52のソースは高電位線AVDと接続し、ドレインはN型MOSトランジスタ54のドレインと接続し、ゲートはN型MOSトランジスタ53のドレインと接続している。なお、P型MOSトランジスタ52のドレインは出力信号OPが出力される出力端子に接続している。

N型MOSトランジスタ54のソースはノードDPと接続し、ゲートはN型MOSトランジスタ53のドレインと接続している。

N型MOSトランジスタ56のソースはスイッチ57の一方の電極と接続し、ゲートは入力信号VIMが伝搬する信号線と接続している。

以上より、P型MOSトランジスタ52、N型MOSトランジスタ54、N型MOSトランジスタ56はソース及びドレインによって、スイッチ57と高電位線AVD間に直列に接続しており、ノードDPを含む第2の電流経路を形成している。なお、第2の電流経路の電流は、N型MOSトランジスタによって入力信号VIMの電位に応じて、制御され、増減する。

なお、スイッチ57はクロック信号CLKの電位に応じて、N型MOSトランジスタ55、56のソースとグランド線を接続又は切断するスイッチである。

以上より、第1の電流経路と、第2の電流経路に属するトランジスタと、スイッチ57は、出力端子OM、OPが接続するノードの電位差を増幅し、電位が高かった方の電位を論理 " H " にし、電位が低かった方の電位を論理 " L " とする。従って、第1の電流経路と、第2の電流経路に属するトランジスタと、スイッチ57は、信号の増幅部を形成する。

【 0 0 1 7 】

オフセットキャンセル部30は、スレッシュホールドコントローラ20からのデジタル信号からなるコード信号36及びノードDMの電位に応じて、出力信号OMが出力される出力端子を介して第1の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部30は、n個のスイッチ331、332・・・33nと、n個のN型MOSトランジスタ341、342・・・34nと、n個のスイッチ351、352・・・35nと、スイッチ31、32とを含む。

【 0 0 1 8 】

n個のスイッチ331、332・・・33nそれぞれは、一方の端で、出力信号OMが出力される出力端子に接続し、他方の端で、N型MOSトランジスタ341、342・・・34nのドレインそれぞれと接続する。N型MOSトランジスタ341、342・・・

10

20

30

40

50

34nのソースそれぞれは、スイッチ351、352・・・35nの一方の端それぞれに接続し、ゲートはノードDMに接続する。スイッチ351、352・・・35nの他方の端はグラウンド線と接続する。スイッチ32は出力信号OMが出力される出力端子と高電位線AVDを接続又は切断する。スイッチ31はノードDMと高電位線AVDを接続又は切断する。なお、スイッチ31、32はクロック信号CLKの反転信号/CLKの電位に応じて接続又は切断を実行する。従って、増幅動作開始前は出力信号OMが出力される出力端子とノードDMは高電位線AVDと等しい電位である。また、増幅動作開始する時に出力信号OMが出力される出力端子とノードDMは高電位線AVDから切り離される。

スイッチ351、352・・・35nはクロック信号CLKの電位に応じて接続又は切断を実行する。なお、クロック信号CLKとクロック信号CLKの反転信号/CLKとは論理状態が逆の信号である。

10

#### 【0019】

n個のスイッチ331、332・・・33nは、スレッシュホールドコントローラ20から出力される、複数ビットのデジタル信号からなるコード信号36を受けると、n個の内、そのデジタル信号で表された2進数に応じた数のスイッチは接続状態となり、その他のスイッチは切断状態を保持する。

従って、オフセットキャンセル部30は、ノードDMとN型トランジスタ53を介して接続する出力信号OMが出力される出力端子、ノードDPとN型MOSトランジスタ54を介して接続する出力信号OPが出力される出力端子間の電圧を増幅する際に、接続状態となっているN型MOSトランジスタ341、342・・・34nと、スイッチ331、332・・・33nを介して、出力信号OMが出力される出力端子にキャンセル電流を流す。キャンセル電流とはコンパレータ10のオフセットをキャンセルするための電流である。電圧の増幅後、ノードDMの電位がほぼグラウンドレベルとなるので、N型MOSトランジスタ341、342・・・34nはオフし、キャンセル電流の注入を遮断する。

20

#### 【0020】

オフセットキャンセル部40は、スレッシュホールドコントローラ20からのデジタル信号からなるコード信号46及びノードDPの電位に応じて、出力信号OPが出力される出力端子を介して第2の電流経路からグラウンド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部40は、n個のスイッチ431、432・・・43nと、n個のN型MOSトランジスタ441、442・・・44nと、n個のスイッチ451、452・・・45nと、スイッチ41、42とを含む。

30

#### 【0021】

n個のスイッチ431、432・・・43nそれぞれは、一方の端で、出力信号OPが出力される出力端子に接続し、他方の端で、N型MOSトランジスタ441、442・・・44nのドレインそれぞれと接続する。N型MOSトランジスタ441、442・・・44nのソースそれぞれは、スイッチ451、452・・・45nの一方の端それぞれに接続し、ゲートはノードDPに接続する。スイッチ451、452・・・45nの他方の端はグラウンド線と接続する。スイッチ42は出力信号OPが出力される出力端子と高電位線AVDを接続又は切断する。スイッチ41はノードDPと高電位線AVDを接続又は切断する。なお、スイッチ41、42はクロック信号CLKの反転信号/CLKの電位に応じて接続又は切断を実行する。従って、増幅動作開始前は出力信号OPが出力される出力端子とノードDPは高電位線AVDと等しい電位である。また、増幅動作開始する時に出力信号OPが出力される出力端子とノードDPは高電位線AVDから切り離される。

40

スイッチ451、452・・・45nはクロック信号CLKの電位に応じて接続又は切断を実行する。なお、クロック信号CLKとその反転信号/CLKとは論理状態が逆の信号である。

#### 【0022】

n個のスイッチ431、432・・・43nは、スレッシュホールドコントローラ20から出力される、複数ビットのデジタル信号からなるコード信号36を受けると、n個の内、そのデジタル信号で表された2進数に応じた数のスイッチは接続状態となり、その他のス

50

イッチは切断状態を保持する。従って、オフセットキャンセル部 40 も、オフセットキャンセル部 30 と同様に、増幅動作開始する時に出力信号 OP が出力される出力端子にキャンセル電流を流し、電圧の動作後は、キャンセル電流の注入を遮断する。

【 0 0 2 3 】

図 2 は実施例 1 のコンパレータ 10 のスレッシュホールドコントローラ 20 を示す図である。スレッシュホールドコントローラ 20 はアンド回路 21、パルスカウンタ 22、デコーダ 23、レジスタ 24、オア回路 25、信号供給回路 27 を含む。

アンド回路 21 は、CPU 26 から出力される、「スレッシュホールドコントローラ 20 をキャリブレーション動作とするとときに論理 " H " となる補正信号  $s e 1$ 」と、「コンパレータ 10 から出力され、論理 " H " となっている出力信号 OM 又は OP を受けてオア回路 25 から出力される信号」を受けて、クロック信号 CLK をパルスカウンタ 22 に供給する回路である。

10

【 0 0 2 4 】

パルスカウンタ 22 はアンド回路 21 からクロック信号 CLK を供給されている間、クロックをカウントする回路である。そして、アンド回路 21 からクロック信号 CLK の供給がされなくなったときに、その時のカウント値を補正值  $c a 1$  としてレジスタ 24 に出力する回路である。

デコーダ 23 はレジスタ 24 から補正值  $c a 1$  を受けたときに、その補正值  $c a 1$  に応じたコード信号を出力する回路である。

レジスタ 24 はパルスカウンタ 22 から出力される補正值  $c a 1$  を記憶するメモリ回路である。

20

【 0 0 2 5 】

オア回路 25 は、コンパレータ 10 からの出力信号 OM、OP の内、どちらかが論理 " H " となっている場合に、論理 " H " を出力するオア回路である。

CPU 26 は、コンパレータ 10 を含むアナログデジタル回路を制御する、制御回路である。一般的には、アナログデジタル回路を搭載している L S I 中に含まれる中央処理装置が上記の制御回路となる。

そこで、スレッシュホールドコントローラ 20 はコンパレータ 10 が通常に動作する時には CPU 26 からの書き込み命令によって、レジスタ 24 に格納しているデータをデコーダ 23 に対して出力させる。デコーダ 23 はレジスタ 24 からのデータをデコードして、コード信号をオフセットキャンセル部 30、40 に出力する。

30

一方、スレッシュホールドコントローラ 20 はコンパレータ 10 がキャリブレーション動作をするときには、図 3 で説明する動作を行う。

【 0 0 2 6 】

図 3 はコンパレータ 10 のキャリブレーション動作を説明するフローチャートである。

オペレーション  $o p 1 0 0$  においては、スレッシュホールドコントローラ 20 は初期状態に設定される。例えば、CPU 26 は論理 " L " の補正信号  $s e 1$  を出力するとともに、リセット信号  $r e s e t$  を出力し、パルスカウンタ 22 をリセットする。また、CPU 26 は、レジスタ 24 内に記憶されている補正值を、補正值  $c a 1 = 0$  に設定する。その結果、レジスタ 24 から補正值  $c a 1 = 0$  が出力されるので、デコーダ 23 から補正值  $c a 1 = 0$  に相当するコード信号が出力される。

40

【 0 0 2 7 】

オペレーション  $o p 1 1 0$  においては、スレッシュホールドコントローラ 20 はオフセットの検出を開始する。CPU 26 は、補正信号  $s e 1$  の論理を論理 " L " から論理 " H " に立ち上げる。スレッシュホールドコントローラ 10 において、出力信号 OM 又は OP に起因して、オア回路 25 から論理 " H " の信号が出力されると、パルスカウンタ 22 にクロック信号 CLK が供給される。

【 0 0 2 8 】

オペレーション  $o p 1 2 0$  においては、オフセット検出回路 20 はオフセットが出力信号 OM 側にあるか、出力信号 OP 側にあるかを検出する。CPU 26 は出力信号 OM の電

50



位と、出力信号OPの電位を比較し、どちらが大きいかに応じた信号ssを信号供給回路27に出力する。その結果、スレッシュホールドコントローラ20はコード信号をキャリブレーション部30に対して出力するか、キャリブレーション部40に対し出力するかを、信号ssの論理に応じて決定する。そして、出力信号OPの電位が出力信号OMの電位より大きいときには、オペレーション130に進み、出力信号OMの電位が出力信号OPの電位より大きいときには、オペレーション160に進む。

#### 【0029】

オペレーションop130、140、150において、スレッシュホールドコントローラ20はオフセットを検出する動作を行う。ここで、オペレーションop120において出力信号OPの電位が出力信号OMの電位より大きいと判断しているため、入力信号VIPと入力信号VIMの電位が等しくても、N型MOSトランジスタ55に流れる電流が大きいことになる。

10

そこで、CPU26はオフセットキャンセル部40を動作させて出力信号OPが伝搬する信号線側にキャンセル電流が流れるように信号ssの論理を設定する。

パルスカウンタ22はクロック信号CLKのクロックをカウントする。出力信号OPの電位と出力信号OMの電位の大小関係が逆転したときに、パルスカウンタ22におけるカウント値を、補正值calとしてレジスタ24に出力する。その後、オペレーション190に進む。なお、スレッシュホールドコントローラ20のオフセット検出動作は図4のタイミング図を使用して詳細に説明する。

#### 【0030】

20

オペレーションop160、170、180において、スレッシュホールドコントローラ20はオフセットを検出する動作を行う。ここで、オペレーションop120において出力信号OMの電位が出力信号OPの電位より大きいと判断しているため、入力信号VIPと入力信号VIMの電位が等しくても、N型MOSトランジスタ56に流れる電流が大きいことになる。

そこで、CPU26はオフセットキャンセル部30を動作させて出力信号OMが伝搬する信号線側にキャンセル電流が流れるように信号ssの論理を設定する。

パルスカウンタ22はクロック信号CLKのクロックをカウントする。出力信号OMの電位と出力信号OPの電位の大小関係が逆転したときに、パルスカウンタ22におけるカウント値を、補正值calとしてレジスタ24に出力する。その後、オペレーション190に進む。なお、スレッシュホールドコントローラ20のオフセット検出動作は図4のタイミング図を使用して詳細に説明する。

30

#### 【0031】

オペレーションop190において、スレッシュホールドコントローラ20はオフセット検出動作を終了する。CPU26は補正信号selの論理を論理"H"から論理"L"に立ち下げる。また、パルスカウンタ22から出力された補正值calをレジスタ24に格納する。その後、コンパレータ10のキャリブレーション動作は終了する。

なお、アナログデジタル回路が複数のコンパレータ10を含む場合、CPU26はすべてのコンパレータ10について順次、キャリブレーション動作を行い、それぞれのコンパレータ10について、補正值calをそれぞれのレジスタ24に格納させる。

40

#### 【0032】

図4はスレッシュホールドコントローラ20の動作に関係する信号の電位の変化を時間とともに表したタイミング図である。

オフセット検出動作をスレッシュホールドコントローラ20にさせるにあたり、CPU26は、同電位の入力信号VIPと入力信号VIMを入力する。その結果、出力信号OPの電位と出力信号OMの電位とに電位差が発生すれば、コンパレータ10においてオフセットが発生していると考えられる。

#### 【0033】

時刻T1と時刻T2との間にオフセット検出動作を開始するため、CPU26から出力される補正信号selが立ち上げられる。そうすると、アンド回路21からクロック信号

50

C L K が出力され、パルスカウンタ 2 2 は、時刻 T 2 よりカウントを開始する。

時刻 T 2、T 3、T 4 において、カウント値はカウントアップして行くとともに、デコーダ回路 2 3 からそのカウント値に応じたコード信号が出力される。

【 0 0 3 4 】

そして、そのコード信号に応じて、オフセットキャンセル部 3 0 の n 個のスイッチ 3 3 1、3 3 2・・・3 3 n の内の所定の数のスイッチ又はオフセットキャンセル部 4 0 の n 個のスイッチ 4 3 1、4 3 2・・・4 3 n 内の所定の数のスイッチが、各スイッチに対応する n 型 M O S トランジスタと、出力信号 O P 又は O M が伝搬する信号線とを接続する。なお、オフセットキャンセル部 3 0 内のスイッチ 3 3 1、3 3 2・・・3 3 n にコード信号を送るか、オフセットキャンセル部 4 0 内のスイッチ 4 3 1、4 3 2・・・4 3 n にコード信号を送るかは、出力信号 O P の電位と出力信号 O M の電位を比較した結果に応じて、C P U 2 6 が信号供給回路 2 7 に出力する信号の論理に応じて決定される。

10

また、オフセットキャンセル部 3 0 内のスイッチ 3 3 1、3 3 2・・・3 3 n、及び、オフセットキャンセル部 4 0 内のスイッチ 4 3 1、4 3 2・・・4 3 n が一つオンする度に発生する出力信号 O M の電位の変動については、図 5 を用いて説明する。

【 0 0 3 5 】

その結果、時刻 T 4 と時刻 T 5 の間において、出力信号 O P 又は O M が伝搬する信号線と接続された M O S トランジスタの数が、一定の数に達し、出力信号 O P と出力信号 O M の電位が逆転したときに、出力信号 O M が接続する第 1 の電流経路中の P 型 M O S トランジスタ 5 1 に流れる電流と、出力信号 O P が接続する第 2 の電流経路中の P 型 M O S トランジスタ 5 2 に流れる電流がほぼ等しくなったと考え、コンパレータ 1 0 のオフセットがキャンセルされた状態になったと考えられる。

20

【 0 0 3 6 】

そこで、C P U 2 6 は、出力信号 O P と出力信号 O M の電位が逆転したときに、補正信号 s e l の論理を " H " から立ち下げ、スレッシュホールドコントローラ 2 0 のオフセット検出動作を終了させる。その結果、パルスカウンタ 2 2 のカウントアップ動作も終了する。そして、パルスカウンタ 2 2 のカウントアップ動作が終了した時点のカウント値を検出したオフセットとする。

【 0 0 3 7 】

図 5 は、オフセット検出動作時における、オフセットキャンセル部 3 0、4 0 におけるオフセット補正量を、オンするスイッチの数に対して示したグラフである。

30

図 5 のグラフにおいて、横軸の正軸側はオフセットキャンセル回路 4 0 側においてオンするスイッチの数を示し、横軸の負軸側はオフセットキャンセル回路 3 0 側においてオンするスイッチの数を示す。

スイッチによって、接続される N 型 M O S トランジスタのサイズは、例えば、 $W = 0.5 \mu\text{m}$ 、 $L = 0.06 \mu\text{m}$  である。

【 0 0 3 8 】

縦軸は、オフセット検出動作時において接続するスイッチの数に対する、出力信号 O M の電位変化をオフセット補正量  $V_{pp\_diff} (mV)$  として表している。

すなわち、オフセットキャンセル回路 3 0 側においてオンするスイッチを一つオンする度に、出力信号 O M の電位は、当初の出力信号 O M の電位に比較して、 $100 mV$  低下する。また、オフセットキャンセル回路 4 0 側においてオンするスイッチを一つオンする度に、出力信号 O M の電位は、相対的に出力信号 O P の電位に比較して、 $100 mV$  増加する。

40

【 0 0 3 9 】

なお、上記のように出力信号 O M の電位が、スイッチの開閉に応じて変動するのは以下の理由による。まず、オフセットキャンセル回路 3 0 において、スイッチが一つオンすると P 型 M O S トランジスタ 5 1 に流れる電流が一定量増加する。その結果、P 型 M O S トランジスタ 5 1 のオン抵抗による、ドレイン側の電圧降下量が一定量増加する。そこで、スイッチが一つオンする毎に出力信号 O M が伝搬する信号線に接続する N 型 M O S トラン

50

ジスタのサイズを、例えば、 $W = 0.5 \mu\text{m}$ 、 $L = 0.06 \mu\text{m}$ とした場合に、上記N型MOSトランジスタのドレイン側には出力信号OMが伝搬する信号線が接続しているので、シミュレーションにより電圧降下量を求めると、出力信号OMの電位は、100mV低下することがわかった。

#### 【0040】

同様に考えると、オフセットキャンセル回路40において、スイッチが一つオンするとP型MOSトランジスタ52に流れる電流が一定量増加する。その結果、P型MOSトランジスタ52のオン抵抗による、ドレイン側の電圧降下量が一定量増加する。そこで、スイッチが一つオンする毎に出力信号OPが伝搬する信号線に接続するN型MOSトランジスタのサイズを、例えば、 $W = 0.5 \mu\text{m}$ 、 $L = 0.06 \mu\text{m}$ とした場合に、上記N型MOSトランジスタのドレイン側には出力信号OPが伝搬する信号線が接続しているので、シミュレーションにより電圧降下量を求めると、出力信号OPの電位は、100mV低下することがわかった。その結果、相対的に、出力信号OPの電位に対する出力信号OMの電位は増加する。

#### 【0041】

図6は、コンパレータ10の通常動作時におけるクロック信号CLK、ノードDP/DM、出力信号OP/OMの電位を時間変化とともに表したタイミング図及び接続中のスイッチを流れる電流を時間変化とともに表した図である。

オフセット検出動作が終了すると、通常動作時のコンパレータ10において、検出したオフセットに対応してオフセットキャンセル回路30、又は、オフセットキャンセル回路40のスイッチが出力信号OM又は出力信号OPが伝搬する信号線に所定数のN型MOSトランジスタを接続した状態となる。

#### 【0042】

そこで、図6は、ほぼ同電位の入力信号VIPと入力信号VIMとを入力するとともに、クロック信号CLKをコンパレータ10に入力した場合に、ノードDP、DMの電位及び出力信号OP、OMの電位の変化を時間とともに表したタイミング図を示す。また、図6は、オフセットキャンセル回路30、又は、オフセットキャンセル回路40のオンしているスイッチと接続するN型MOSトランジスタに流れる電流Icalの電流変化を時間とともに表したタイミング図を示す。

なお、クロック信号CLK、ノードDP、DMの電位及び出力信号OP、OMに関するタイミング図では、縦軸は電位、横軸は時間である。また、電流Icalの電流変化に関するタイミング図では、縦軸は電流、横軸は時間である。

#### 【0043】

クロック信号CLKは100Psec、433Psec、766Psecにおいて、論理" L "から論理" H "に立ち上がる周波数3GHzのクロック信号である。

クロック信号CLKが論理" L "の期間においてコンパレータ10は、入力信号VIPの電位と入力信号VIMの電位の比較動作を行わない。すなわち、スイッチ57が切断されるため、出力信号OM、出力信号OPともに論理" H "となる。

一方、クロック信号CLKが論理" H "の期間においてコンパレータ10は、入力信号VIPの電位と入力信号VIMの電位の比較動作を行う。そうすると、その比較動作において、入力信号VIPと入力信号VIMの内、入力信号VIPの電位が高いとした場合に、出力信号OMの論理は" L "となり、出力信号OPの論理は" H "となる。

#### 【0044】

クロック信号CLKが論理" L "の期間において、スイッチ57が切断されるため、ノードDP、ノードDMともに論理" H "となる。

一方、クロック信号CLKが論理" H "の期間において、ノードDP、DMの電位はクロック信号CLKの立ち上がりから、立ち下がりを開始し、30Psecから40Psecまでの期間内で、論理" L "となる。スイッチ57がオンし、N型トランジスタ55、56のソースがグランドに接続され、N型トランジスタ55、56がオンすることにより、ノードDM、ノードOPもグランドに接続されるためである。

## 【 0 0 4 5 】

スイッチ 3 3 1、3 3 2・・・3 3 nのいずれかがオンし、N型MOSトランジスタ 3 4 1、3 4 2・・・3 4 nのいずれかが、出力信号OMの信号線に接続した場合、あるいは、スイッチ 4 3 1、4 3 2・・・4 3 nのいずれかがオンし、N型MOSトランジスタ 4 4 1、4 4 2・・・4 4 nのいずれかが、出力信号OMの信号線に接続した場合、接続したN型MOSトランジスタを流れる電流は、クロック信号CLKの論理が立ち上がったときに流れる。しかし、クロック信号CLKの論理が立ち上がったから30Psecから40Psecまでの期間の経過後には、ノードDM、ノードDPの論理は”L”となる、すなわち、ノードDM、ノードDPの電位はグラウンドレベルになる。従って、ノードDM及びノードDPにゲート電極が接続されているN型MOSトランジスタ3 4 1、3 4 2・・・3 4 n及びN型MOSトランジスタ4 4 1、4 4 2・・・4 4 nはオフする。その結果、30Psecから40Psecまでの期間の経過後には、N型MOSトランジスタ3 4 1、3 4 2・・・3 4 n及びN型MOSトランジスタ4 4 1、4 4 2・・・4 4 nには、電流が流れなくなる。

10

## 【 0 0 4 6 】

以上より、実施例1のコンパレータ10は、

差動入力信号をゲート電極で受ける一对のN型MOSトランジスタ(N型MOSトランジスタ55、56)と、

前記一对のN型MOSトランジスタのドレインそれぞれと、高電位電源線(AVD)とに電氣的に接続し、前記一对のN型MOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノード(出力信号OM、OPに接続する出力ノード)間の電位差を増幅し、増幅後の電位を差動出力ノードに保持する増幅部(トランジスタ51-54)と、

20

上記差動出力ノード間の電圧を上記増幅部が増幅する際に、上記差動出力ノードの一方にキャンセル電流を流し、上記増幅部による増幅動作後に、上記一对のN型MOSトランジスタのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断するオフセットキャンセル回路(オフセットキャンセル回路30、40)と、

差動入力信号の一方及び他方の信号の電位を等しく設定し、上記差動出力ノード間の電位差を増幅したときに、差動出力ノードに発生する電位が、キャンセル電流を注入する前に比較し、キャンセル電流の注入後において逆転するように、キャンセル電流を設定するスレッシュホールドコントローラ(スレッシュホールドコントローラ20)と、

30

を備えることを特徴とする増幅回路である。

## 【 0 0 4 7 】

実施例1のコンパレータ10は、

実施例1のコンパレータ10における前記オフセットキャンセル回路(オフセットキャンセル回路30、40)が、

前記差動出力ノード(出力信号OM、OPに接続する出力ノード)の一つに、一方の端子が接続するn個のスイッチ(スイッチ3 3 1、3 3 2・・・3 3 n及びスイッチ4 3 1、4 3 2・・・4 3 n)と、

n個のスイッチの他方の端子それぞれにドレイン端子にて接続し、ゲート端子にて一对のMOSトランジスタのドレインの内一つと接続し、ソース端子をグラウンド電位とすることが可能なn個のMOSトランジスタ(N型MOSトランジスタ3 4 1、3 4 2・・・3 4 n及びN型MOSトランジスタ4 4 1、4 4 2・・・4 4 n)と、を備えることを特徴とする増幅回路である。

40

実施例1のコンパレータ10は、

実施例1のコンパレータ10における前記スレッシュホールドコントローラが、クロック信号CLKを受けて、クロックパルスのカウントするパルスカウンタ(パルスカウンタ22)と、

パルスカウンタからのカウンタ値を記憶するレジスタ(レジスタ24)と、

キャリブレーション動作の時にはパルスカウンタからのカウンタ値に応じたコード信号を出力し、増幅動作の時には、レジスタから出力されるカウンタ値に応じたコード信号を

50

出力するデコーダ回路（デコーダ 23）と、を備えることを特徴とする増幅回路である。

【0048】

実施例 1 のコンパレータ 10 において行われる増幅方法は、

差動入力信号をゲート電極で受ける一対の NMOS トランジスタと、

前記一対の NMOS トランジスタのドレインそれぞれと、高電位電源線とに電氣的に接続する増幅部と、

上記増幅部における差動出力ノードと、上記一対の NMOS トランジスタのドレインと、グランド電源とに電氣的に接続し、差動出力ノードにキャンセル電流を注入するオフセットキャンセル回路と、

キャンセル電流を設定するスレッシュホールドコントローラと、を備える増幅回路であって

10

、  
差動入力信号の一方及び他方の信号の電位を等しく設定し、上記差動出力ノード間の電位差を増幅したときに、差動出力ノードに発生する電位が、キャンセル電流を注入する前に比較し、キャンセル電流の注入後において逆転するように、キャンセル電流を設定する工程と、

上記差動出力ノード間の電圧を上記増幅部が増幅する際に、上記差動出力ノードの一方にキャンセル電流を流し、上記増幅部による増幅動作後に、上記一対の MOS トランジスタのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断する工程と、

上記一対の NMOS トランジスタのドレインそれぞれに電氣的に接続する差動出力ノード間の電位差を増幅し、増幅後の電位を差動出力ノードに保持する工程と、を備える電圧増幅方法である。

20

【0049】

実施例 1 のコンパレータ 10 においては、比較動作を行うときに、オフセットキャンセル回路 30、40 が、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作終了後において、差動出力ノードの電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対の N 型 MOS トランジスタのドレインの電位は論理 "L" となるため、オフセットキャンセル回路 30、40 は差動出力ノードへの電流供給を遮断する。その結果、コンパレータ 10 においては、オフセットキャンセル動作において発生する消費電力が低減される。

30

【実施例 2】

【0050】

図 7 は実施例 2 のコンパレータ 10 b を示す回路図である。コンパレータ 10 b はスレッシュホールドコントローラ 20 b、オフセットキャンセル部 30 b、オフセットキャンセル部 40 b、N 型 MOS トランジスタ 51 b、52 b、P 型 MOS トランジスタ 53 b、54 b、55 b、56 b、スイッチ 57 b を含む。

コンパレータ 10 b は入力信号 VIP と入力信号 VIM との比較動作を行う機能を有する、すなわち、入力信号 VIP と入力信号 VIM 間の電位差の増幅動作を行う。また、コンパレータ 10 b はそれ自身のオフセットをキャリブレーションする動作を行うことができる。この点、実施例 1 のコンパレータ 10 と同様である。

40

【0051】

N 型 MOS トランジスタ 51 b のソースはグランド線と接続し、ドレインは P 型 MOS トランジスタ 53 b のドレインと接続し、ゲートは P 型 MOS トランジスタ 54 b のドレインと接続している。なお、N 型 MOS トランジスタ 51 b のドレインは出力信号 OM b が出力される出力端子に接続している。

P 型 MOS トランジスタ 53 b のソースはノード DM b と接続し、ゲートは P 型 MOS トランジスタ 54 b のドレインと接続している。

P 型 MOS トランジスタ 55 b のソースはスイッチ 57 の一方の電極と接続し、ゲートは入力信号 VIP b が伝搬する信号線と接続している。

以上より、N 型 MOS トランジスタ 51 b、P 型 MOS トランジスタ 53 b、P 型 MO

50

Sトランジスタ55bはソース及びドレインによって、スイッチ57bとグランド線間に直列に接続しており、ノードDMbを含む第1の電流経路を形成している。なお、第1の電流経路の電流は、P型MOSトランジスタ55bによって入力信号VIPbの電位に応じて、制御され、増減する。

#### 【0052】

N型MOSトランジスタ52bのソースはグランド線と接続し、ドレインはP型MOSトランジスタ54bのドレインと接続し、ゲートはP型MOSトランジスタ53bのドレインと接続している。なお、N型MOSトランジスタ52bのドレインは出力信号OPbが出力される出力端子に接続している。

P型MOSトランジスタ54bのソースはノードDPbと接続し、ゲートはP型MOSトランジスタ53bのドレインと接続している。

P型MOSトランジスタ56bのソースはスイッチ57の一方の電極と接続し、ゲートは入力信号VIMbが伝搬する信号線と接続している。

以上より、N型MOSトランジスタ52b、P型MOSトランジスタ54b、P型MOSトランジスタ56bはソース及びドレインによって、スイッチ57とグランド線間に直列に接続しており、ノードDPbを含む第2の電流経路を形成している。なお、第2の電流経路の電流は、P型MOSトランジスタ56bによって入力信号VIMの電位に応じて、制御され、増減する。

なお、スイッチ57はクロック信号CLKの電位に応じて、P型MOSトランジスタ55b、56bのソースと高電位線AVDを接続又は切断するスイッチである。

以上より、第1の電流経路と、第2の電流経路に属するトランジスタと、スイッチ57bは、出力端子OMb、OPbが接続するノードの電位差を増幅し、電位が高かった方の電位を論理" H "にし、電位が低かった方の電位を論理" L "とする。従って、第1の電流経路と、第2の電流経路に属するトランジスタと、スイッチ57bは、信号の増幅部を形成する。

#### 【0053】

オフセットキャンセル部30bは、スレッシュホールドコントローラ20bからのデジタル信号からなるコード信号36b及びノードDMbの電位に応じて、出力信号OMbが出力される出力端子を介して第1の電流経路から高電位線AVDへのキャンセル電流を制御する回路である。

オフセットキャンセル部30bは、n個のスイッチ33b1、33b2・・・33bnと、n個のP型MOSトランジスタ34b1、34b2・・・34bnと、n個のスイッチ35b1、35b2・・・35bnと、スイッチ31b、32bとを含む。

#### 【0054】

n個のスイッチ33b1、33b2・・・33bnそれぞれは、一方の端で、出力信号OMbが出力される出力端子に接続し、他方の端で、P型MOSトランジスタ341、342・・・34nのドレインそれぞれと接続する。P型MOSトランジスタ34b1、34b2・・・34bnのソースそれぞれは、スイッチ35b1、35b2・・・35bnの一方の端それぞれに接続し、ゲートはノードDMbに接続する。スイッチ35b1、35b2・・・35bnの他方の端は高電位線AVDと接続する。スイッチ32bは出力信号OMbが出力される出力端子とグランド線を接続又は切断する。スイッチ31bはノードDMbとグランド線を接続又は切断する。なお、スイッチ31b、32bはクロック信号CLKの反転信号/CLKの電位に応じて接続又は切断を実行する。従って、増幅動作開始前は出力信号OMbが出力される出力端子とノードDMbはグランド線と等しい電位である。また、増幅動作開始する時に出力信号OMbが出力される出力端子とノードDMbはグランド線から切り離される。

スイッチ35b1、35b2・・・35bnはクロック信号CLKの電位に応じて接続又は切断を実行する。なお、クロック信号CLKとその反転信号/CLKとは論理状態が逆の信号である。

#### 【0055】

n個のスイッチ33b1、33b2・・・33bnは、スレッシュホールドコントローラから出力される、複数ビットのデジタル信号からなるコード信号を受けると、n個の内、そのデジタル信号で表された2進数に応じた数のスイッチは接続状態となり、その他のスイッチは切断状態を保持する。

従って、オフセットキャンセル部30は、ノードDMbとN型トランジスタ53bを介して接続する出力信号OMbが出力される出力端子、ノードDPbとN型MOSトランジスタ54bを介して接続する出力信号OPbが出力される出力端子間の電圧を増幅する際に、接続状態となっているP型MOSトランジスタ34b1、34b2・・・34bnと、スイッチ33b1、33b2・・・33bnを介して、出力信号OMbが出力される出力端子にキャンセル電流を流す。キャンセル電流とはコンパレータ10bのオフセットをキャンセルするための電流である。電圧の増幅後、ノードDMbの電位がほぼ高電位線AVDの電位レベルとなるので、P型MOSトランジスタ341、342・・・34nはオフし、キャンセル電流の注入を遮断する。

#### 【0056】

オフセットキャンセル部40bは、スレッシュホールドコントローラ20bからのデジタル信号からなるコード信号46b及びノードDPbの電位に応じて、出力信号OPbが出力される出力端子を介して第2の電流経路から高電位線AVDへのキャンセル電流を制御する回路である。

オフセットキャンセル部40bは、n個のスイッチ43b1、43b2・・・43bnと、n個のN型MOSトランジスタ44b1、44b2・・・44bnと、n個のスイッチ45b1、45b2・・・45bnと、スイッチ41b、42bとを含む。

#### 【0057】

n個のスイッチ43b1、43b2・・・43bnそれぞれは、一方の端で、出力信号OPbが出力される出力端子に接続し、他方の端で、P型MOSトランジスタ44b1、44b2・・・44bnのドレインそれぞれと接続する。P型MOSトランジスタ44b1、44b2・・・44bnのソースそれぞれは、スイッチ45b1、45b2・・・45bnの一方の端それぞれに接続し、ゲートはノードDPbに接続する。スイッチ45b1、45b2・・・45bnの他方の端は高電位線AVDと接続する。スイッチ42bは出力信号OPbが出力される出力端子とグランド線を接続又は切断する。スイッチ41bはノードDPbとグランド線とを接続又は切断する。なお、スイッチ41b、42bはクロック信号CLKの反転信号CLKの電位に応じて接続又は切断を実行する。従って、増幅動作開始前は出力信号OPbが出力される出力端子とノードDPbはグランド線と等しい電位である。また、増幅動作開始する時に出力信号OPbが出力される出力端子とノードDPbはグランド線から切り離される。

スイッチ45b1、45b2・・・45bnはクロック信号CLKの電位に応じて接続又は切断を実行する。なお、クロック信号CLKとその反転信号/CLKとは論理状態が逆の信号である。

#### 【0058】

n個のスイッチ43b1、43b2・・・43bnは、スレッシュホールドコントローラ20から出力される、複数ビットのデジタル信号からなるコード信号を受けると、n個の内、そのデジタル信号で表された2進数に応じた数のスイッチは接続状態となり、その他のスイッチは切断状態を保持する。従って、オフセットキャンセル部40bも、オフセットキャンセル部30と同様に、増幅動作開始する時に出力信号OPbが出力される出力端子にキャンセル電流を流し、電圧の動作後は、キャンセル電流の注入を遮断する。

#### 【0059】

以上より、実施例2のコンパレータ10bにおいて、第1の電流経路に属するトランジスタと、第2の電流経路に属するトランジスタと、スイッチ57bとから構成される、信号の増幅部と、実施例1のコンパレータ10の増幅部とを比較すると、高電位電源線AVDと、グランド線が入れ代わっており、N型MOSトランジスタはP型MOSトランジスタに入れ代わっており、P型MOSトランジスタはN型MOSトランジスタに入れ代わっ

10

20

30

40

50

ている。また、実施例 2 のオフセットキャンセル部 30b、40b と、実施例 1 のオフセットキャンセル部 30、40 とを比較した場合も同様である。

しかし、実施例 2 の増幅部と、実施例 1 の増幅部は同様な機能を有する。同様に、実施例 2 のオフセットキャンセル部 30b、40b と、実施例 1 のオフセットキャンセル部 30、40 とは同様な機能を有する。

【0060】

従って、実施例 2 のコンパレータ 10b は、

差動入力信号をゲート電極で受ける一対の P 型 MOS トランジスタ ( P 型 MOS トランジスタ 55b、56b ) と、

前記一対の P 型 MOS トランジスタのドレインそれぞれと、グランド線とに電氣的に接続し、前記一対の P 型 MOS トランジスタのドレインそれぞれに電氣的に接続する差動出力ノード ( 出力信号 OMb、OPb に接続する出力ノード ) 間の電位差を増幅し、増幅後の電位を差動出力ノードに保持する増幅部 ( トランジスタ 51b - 54b ) と、

上記差動出力ノード間の電圧を上記増幅部が増幅する際に、上記差動出力ノードの一方にキャンセル電流を流し、上記増幅部による増幅動作後に、上記一対の P 型 MOS トランジスタのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断するオフセットキャンセル回路 ( オフセットキャンセル回路 30b、40b ) と、

差動入力信号の一方及び他方の信号の電位を等しく設定し、上記差動出力ノード間の電位差を増幅したときに、差動出力ノードに発生する電位が、キャンセル電流を注入する前に比較し、キャンセル電流の注入後において逆転するように、キャンセル電流を設定するスレッシュホールドコントローラ ( スレッシュホールドコントローラ 20b ) と、  
を備えることを特徴とする増幅回路である。

【0061】

実施例 2 のコンパレータ 10b においては、増幅動作を行うときに、オフセットキャンセル回路 30b、40b が、オフセットをキャンセルするために、差動出力ノードに電流を流す。しかし、増幅後において、差動出力ノードの電位が一定の論理を表すように安定すると、一対の P 型 MOS トランジスタのドレインの電位は論理 " H " となるため、オフセットキャンセル回路は差動出力ノードへの電流を遮断する。

その結果、コンパレータ 10b においては、オフセットキャンセル動作において発生する消費電力を、低減させることが可能である。

【実施例 3】

【0062】

図 8 は実施例 1 のコンパレータ 10 又は実施例 2 のコンパレータ 10b を使用したアナログデジタル回路 70 を示す。アナログデジタル回路 70 は ( n + 2 ) 個の抵抗 611 から抵抗 61 ( n + 2 ) まで、( n + 1 ) 個のコンパレータ 711 からコンパレータ 71 ( n + 1 ) まで、( n + 1 ) 個のフリップフロップ ( FF ) 811 からフリップフロップ ( FF ) 81 ( n + 1 ) まで、エンコーダ ( Encoder ) 90 を含む。

【0063】

抵抗 611 から抵抗 61 ( n + 2 ) までは、基準電源と、グランド電源との間に直列に接続されている抵抗からなる抵抗列である。ここで、基準電源はアナログデジタル回路 70 に電圧 Vref を供給する。また、抵抗 611 から抵抗 61 ( n + 2 ) までの各抵抗の抵抗値は等しい。

【0064】

コンパレータ 711 からコンパレータ 71 ( n + 1 ) までは、実施例 1 のコンパレータ 10 又は実施例 2 のコンパレータ 10b と同様な機能を持つコンパレータである。従って、コンパレータ 711 からコンパレータ 71 ( n + 1 ) までについて、機能についての説明を省く。ただし、実施例 1 で説明した相補信号の一方として、コンパレータ 711 からコンパレータ 71 ( n + 1 ) までは、アナログデジタル回路 70 に入力されるアナログ信号 Vin を受け取る。また、実施例 1 で説明した相補信号の他方として、コンパレータ 711 からコンパレータ 71 ( n + 1 ) までは、上記の抵抗 611 から抵抗 61 ( n + 2 )

10

20

30

40

50



までが直列接続されている状態における接続点それぞれから出力される信号を受け取る。

【0065】

従って、実施例3のアナログ回路70においては、アナログ信号Vinの電圧が、抵抗611から抵抗61(n+2)までの各抵抗値に応じて決定される電圧区間のどこに属するかを判定することによって、アナログ信号Vinのデジタル化が行われる。

なお、コンパレータ711からコンパレータ71(n+1)までは、CPU26から補正信号sel、リセット信号reset、信号ssからなる信号conを受け取り、通常の増幅動作とキャリブレーション動作とが切り替わり、また、スレッシュホールドコントローラ20のリセットが行われる。なお、キャリブレーション動作を行う際には、コンパレータ711からコンパレータ71(n+1)までが有する2個の端子に同電位の信号が入力されることはいうまでもない。すなわち、CPU26はアナログ信号Vinの電位を、上記抵抗列における抵抗同士が接続される接続点の内の一つであってキャリブレーションをしようとするコンパレータに接続している接続点の電位とが等しくなるように制御する。

10

【0066】

そうすると、実施例3のアナログデジタル回路70において、電源投入直後に、コンパレータ711からコンパレータ71(n+1)までについて、CPU26からの制御により、キャリブレーション動作を行うことができる。その結果、各コンパレータ711からコンパレータ71(n+1)までにおいて、補正值calがレジスタ24に記憶される。

そこで、CPU26からの制御により、コンパレータ711からコンパレータ71(n+1)までが通常の増幅動作に設定されると、オフセットキャンセル部30又は40によって、増幅動作時にキャンセル電流が、出力信号OP、又は、OMが出力される出力端子に流される。その結果、各コンパレータ711からコンパレータ71(n+1)までのオフセットが補正される。

20

実施例2のアナログデジタル回路70においては、各コンパレータのオフセットがほぼなくなるので、アナログ信号Vinの電圧が、抵抗611から抵抗61(n+2)までの各抵抗値に応じて決定される電圧区間のどこに属するかの判定が正確に行われる。

【0067】

フリップフロップ811から81(n+1)までは、コンパレータ711からコンパレータ71(n+1)までから出力された相補信号を受け取り、その相補信号をラッチし、ラッチした相補信号をエンコーダ90へ出力する。その結果、相補信号で表された論理値をエンコーダ90は受け取る。

30

エンコーダ90は、フリップフロップ811から81(n+1)までが出力した論理信号を受け取り、アナログ信号の電位に応じた、複数ビットからなるデジタル信号Voutを出力する。

【0068】

以上より、実施例3のアナログデジタル回路は、

基準電源と、グランド電源との間に直列に接続されている複数の抵抗からなる抵抗列と、

上記抵抗列における抵抗同士が接続される接続点の内の一つと接続し、入力信号の電位と、接続している前記接続点の電位とを比較する、複数のコンパレータと、

40

前記複数のコンパレータから出力される複数の比較結果から、上記入力信号の電位に応じたデジタル信号を出力するエンコーダと、を備え、

上記コンパレータは、

上記入力信号の電位及び上記接続点の電位をゲート電極で受ける一対のNMOSトランジスタと、

前記一対のNMOSトランジスタのドレインそれぞれと、高電位電源線とに電氣的に接続し、前記一対のNMOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノード間の電位差を増幅し、増幅後の電位を差動出力ノードに保持する増幅部と、

上記差動出力ノード間の電圧を上記増幅部が増幅する際に、上記差動出力ノードの一方にキャンセル電流を流し、上記増幅部による増幅動作後に、上記一対のMOSトランジスタ

50

タのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断するオフセットキャンセル回路と、

上記入力信号及び上記接続点の電位を等しく設定し、上記差動出力ノード間の電位差を増幅したときに、差動出力ノードに発生する電位が、キャンセル電流を注入する前に比較し、キャンセル電流の注入後において逆転するように、キャンセル電流を設定するスレッシュホールドコントローラと、を備えることを特徴とするアナログデジタル回路である。

【0069】

上記のアナログデジタル回路においては、コンパレータが増幅動作を行うときに、コンパレータに含まれるオフセットキャンセル回路が、オフセットをキャンセルするために、差動出力ノードに電流を流す。しかし、コンパレータの増幅動作後において、差動出力ノードの電位が論理的に安定すると、一对のNMOSトランジスタのドレインの電位は論理

10

”L”となるため、オフセットキャンセル回路はコンパレータの差動出力ノードへの電流を遮断する。

その結果、コンパレータ10においては、オフセットキャンセル動作において発生する消費電力が低減され、そのコンパレータを含むアナログデジタル回路の消費電力も低減される。

【実施例4】

【0070】

図9は実施例4のコンパレータ10cを示す回路図である。コンパレータ10cはスレッシュホールドコントローラ20c、オフセットキャンセル部30c、オフセットキャンセル部40c、P型MOSトランジスタ51c、52c、N型MOSトランジスタ53c、54c、55c、56c、スイッチ57c、クロックバッファ60cを含む。

20

コンパレータ10cは入力信号VIPと入力信号VIMとの比較動作を行う機能を有する、すなわち、入力信号VIPと入力信号VIM間の電位差の増幅動作を行う。また、コンパレータ10cはそれ自身のオフセットをキャリブレーションする動作を行うことができる。

P型MOSトランジスタ51c、52c、N型MOSトランジスタ53c、54c、55c、56cは実施例1のコンパレータ10に含まれるP型MOSトランジスタ51、52、N型MOSトランジスタ53、54、55、56と同様なトランジスタである。また、トランジスタ間の接続関係、高電位VD線及びグランド線との接続関係、動作及び機能

30

においても、両者に差はない。

スイッチ57cはN型MOSトランジスタであり、ドレインはN型MOSトランジスタ55c、56cのソースと接続し、ソースはグランド線と接続し、ゲートはクロックバッファ60cから出力されるクロック信号CLKを受ける。そうすると、スイッチ57cは、クロック信号CLKの電位に応じて、N型MOSトランジスタ55c、56cのソースとグランド線を接続又は切断するスイッチである。

クロックバッファ60cはマスタークロック信号MCLKをバッファし、クロック信号CLKを発生する回路である。後にクロックバッファ60cについて図18を用いて説明する。

【0071】

40

オフセットキャンセル部30cは、スレッシュホールドコントローラ20cからのデジタル信号SWM1-SWMn及びノードDMの電位に応じて、出力信号OMが出力される出力線を介して第1の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部30cは、ゲートにノードDMが接続されているn個のN型MOSトランジスタ34c1-34cnと、n個のスイッチ35c1-35cnと、ロジック回路37c1-37cnと、スイッチ31c、32cとを含む。N型MOSトランジスタ34c1-34cnの各ドレインは出力信号OMが出力される出力線に接続している。n個のスイッチ35c1-35cnはN型MOSトランジスタであり、各ソースにグランド線が接続され、各ドレインにN型MOSトランジスタ34c1-34cnの各ソースが接続され、各ゲートにロジック回路37c1-37cnから出力される各信号が接続され

50

ている。ロジック回路 37c1 - 37cn それぞれはデジタル信号 SWM1 - SWMn それぞれ及びクロック信号 CLK の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ 35c1 - 35cn はオン又はオフ状態となる。なお、ロジック回路 37c1 - 37cn について、図 15、図 16 を用いて詳細な構成を説明するが、接続するデジタル信号 SWM1 - SWMn の論理が "L" であるときには、ロジック回路 37c1 - 37cn は論理 "L" の信号を出力し、接続するデジタル信号 SWM1 - SWMn の論理が "H" であるときには、クロック信号 CLK と同様な論理を有する信号を出力する。

スイッチ 32c は出力信号 OM が出力される出力線と高電位線 AV D を接続又は切断する。スイッチ 31c はノード DM と高電位線 AV D を接続又は切断する。なお、スイッチ 31c、32c はクロック信号 CLK の逆論理信号 / CLK の電位に応じて接続又は切断を実行する。

#### 【0072】

デジタル信号 SWM1 - SWMn それぞれは、n 個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュドコントローラ 20c はデジタル信号 SWM1 - SWMn を通じて、n 個のスイッチ 35c1 - 35cn の内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号 OM が出力される出力線とグランド線間にコンパレータ 10c のオフセットに応じたキャンセル電流が流れる。なお、入力信号 VIP の電位と入力信号 VIM の電位の電位差に応じて、出力信号 OM の電位が "H" を表す論理レベル又は "L" を表す論理レベルに確定すると、ノード DM の電位は "L" を表す論理レベルとなるため、n 個の N 型 MOS トランジスタ 34c1 - 34cn すべてがオフする。その結果、オフセットキャンセル部 30c は、出力信号 OM が出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【0073】

オフセットキャンセル部 40c は、スレッシュドコントローラ 20c からのデジタル信号 SWP1 - SWPn 及びノード DP の電位に応じて、出力信号 OP が出力される出力線を介して第 2 の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部 40c は、ゲートにノード DP が接続されている n 個の N 型 MOS トランジスタ 44c1 - 44cn と、n 個のスイッチ 45c1 - 45cn と、ロジック回路 47c1 - 47cn と、スイッチ 41c、42c とを含む。N 型 MOS トランジスタ 44c1 - 44cn の各ドレインは出力信号 OP が出力される出力線に接続している。n 個のスイッチ 45c1 - 45cn は N 型 MOS トランジスタであり、各ソースにグランド線が接続され、各ドレインに N 型 MOS トランジスタ 44c1 - 44cn の各ソースが接続され、各ゲートにロジック回路 47c1 - 47cn から出力される各信号が接続されている。ロジック回路 47c1 - 47cn それぞれはデジタル信号 SWP1 - SWPn それぞれ及びクロック信号 CLK の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ 45c1 - 45cn はオン又はオフ状態となる。なお、ロジック回路 47c1 - 47cn について、図 15、図 16 を用いて詳細な構成を説明するが、接続するデジタル信号 SWP1 - SWPn の論理が "L" であるときには、ロジック回路 47c1 - 47cn は論理 "L" の信号を出力し、接続するデジタル信号 SWP1 - SWPn の論理が "H" であるときには、クロック信号 CLK と同様な論理を有する信号を出力する。

スイッチ 42c は出力信号 OP が出力される出力線と高電位線 AV D を接続又は切断する。スイッチ 41c はノード DP と高電位線 AV D を接続又は切断する。なお、スイッチ 41c、42c はクロック信号 CLK の逆論理信号 / CLK の電位に応じて接続又は切断を実行する。

#### 【0074】

デジタル信号 SWP1 - SWPn それぞれは、n 個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュドコ

10

20

30

40

50

ントローラ20cはデジタル信号SWP1 - SWPnを通じて、n個のスイッチ45c1 - 45cnの内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号OPが出力される出力線とグランド線間にコンパレータ10cのオフセットに応じたキャンセル電流が流れる。なお、入力信号VIPの電位と入力信号VIMの電位の電位差に応じて、出力信号OPの電位が”H”を表す論理レベル又は”L”を表す論理レベルに確定すると、ノードDPの電位は”L”を表す論理レベルとなるため、n個のN型MOSトランジスタ44c1 - 44cnすべてがオフする。その結果、オフセットキャンセル部40cにより発生した、出力信号OPが出力される出力線とグランド線間を流れるキャンセル電流は遮断される。

【0075】

10

スレッシュホールドコントローラ20cは、実施例1において説明したスレッシュホールドコントローラ20と比較すると、スイッチ331 - 33n、スイッチ431 - 43nのオンオフを制御するコード信号36の替わりに、デジタル信号SWM1 - SWMn及びデジタル信号SWP1 - SWPnを出力する点で異なるが、その他の点ではスレッシュホールドコントローラ20と同様な回路を構成しており、同様な機能を有する。

【0076】

実施例1に示すコンパレータ10においては、スイッチ331 - 33n及びスイッチ431 - 43nによりキャンセル電流量の増減を行っている。また、スイッチ351 - 35n及び451 - 45nがクロック信号CLKを受けることにより、オンオフするため、オフセットキャンセル部30、40のキャンセル電流発生期間はクロック信号CLKの論理が”H”である期間に限定されている。さらに、ノードDMの電位をN型MOSトランジスタ341 - 34nが受けており、ノードDPの電位をN型MOSトランジスタ341 - 34nが受けて動作することにより、キャンセル電流がスイッチ331 - 33n及びスイッチ431 - 43nを流れる期間を限定している。

20

【0077】

上記に対し、実施例4に示すコンパレータ10cにおいては、スイッチ35c1 - 35cn及び45c1 - 45cnはN型MOSトランジスタであり、ロジック回路37c1 - 37cn及びロジック回路47c1 - 47cnから出力される信号をゲートで受けている。その結果、スイッチ35c1 - 35cn及び45c1 - 45cnによって、キャンセル電流量の増減が実行されるとともに、オフセットキャンセル部30、40のキャンセル電流発生期間はクロック信号CLKの論理が”H”である期間に限定されている。

30

一方、ノードDMの電位をN型MOSトランジスタ34c1 - 34cnがゲートで受けており、ノードDPの電位をN型MOSトランジスタ44c1 - 44cnがゲートで受けて動作することにより、キャンセル電流がスイッチ34c1 - 34cn及びスイッチ44c1 - 44cnを流れる期間を限定している。

【0078】

以上より、実施例4のコンパレータ10cにおいては、比較動作を行うときに、オフセットキャンセル回路30c、40cが、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作中において、差動出力ノードDM、DPの電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対のN型MOSトランジスタのドレインの電位は論理”L”となるため、オフセットキャンセル回路30c、40cは差動出力ノードDM、DPへの電流供給を遮断する。その結果、コンパレータ10cにおいては、オフセットキャンセル動作において発生する消費電力が低減される。

40

【実施例5】

【0079】

図10は実施例5のコンパレータ10dを示す回路図である。コンパレータ10dはスレッシュホールドコントローラ20d、オフセットキャンセル部30d、オフセットキャンセル部40d、P型MOSトランジスタ51d、52d、N型MOSトランジスタ53d、54d、55d、56d、スイッチ57d、クロックバッファ60dを含む。

コンパレータ10dは入力信号VIPと入力信号VIMとの比較動作を行う機能を有す

50

る、すなわち、入力信号VIPと入力信号VIM間の電位差の増幅動作を行う。また、コンパレータ10dはそれ自身のオフセットをキャリブレーションする動作を行うことができる。

P型MOSトランジスタ51d、52d、N型MOSトランジスタ53d、54d、55d、56dは実施例1のコンパレータ10に含まれるP型MOSトランジスタ51、52、N型MOSトランジスタ53、54、55、56と同様なトランジスタである。また、トランジスタ間の接続関係、高電位線AVD及びグランド線との接続関係、動作及び機能においても、両者に差はない。

スイッチ57dはN型MOSトランジスタであり、ドレインはN型MOSトランジスタ55d、56dのソースと接続し、ソースはグランド線と接続し、ゲートはクロックバッファ60dから出力されるクロック信号CLKを受ける。そうすると、スイッチ57dは、クロック信号CLKの電位に応じて、N型MOSトランジスタ55d、56dのソースとグランド線を接続又は切断するスイッチである。

クロックバッファ60dはマスタークロック信号MCLKをバッファし、クロック信号CLKを発生する回路である。後にクロックバッファ60dについて図18を用いて説明する。

#### 【0080】

オフセットキャンセル部30dは、スレッシュホールドコントローラ20dからのデジタル信号SWM1-SWMn及びノードDMの電位に応じて、出力信号OMが出力される出力線を介して第1の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部30dは、n個のロジック回路38d1-38dnと、ゲートにロジック回路38d1-38dnそれぞれからの出力信号を受けるn個のN型MOSトランジスタ34d1-34dnと、n個のスイッチ35d1-35dnと、スイッチ31d、32dを含む。N型MOSトランジスタ34d1-34dnの各ドレインは出力信号OMが出力される出力線に接続している。n個のスイッチ35d1-35dnはN型MOSトランジスタであり、各ソースにグランド線が接続され、各ドレインにN型MOSトランジスタ34d1-34dnの各ソースが接続され、各ゲートによりクロックバッファ60dからのクロック信号CLKを受ける。ロジック回路38d1-38dnそれぞれはデジタル信号SWM1-SWMnそれぞれ及びノードDMの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、N型MOSトランジスタ34d1-34dnはオン又はオフ状態となる。

なお、ロジック回路38d1-38dnについて、図17を用いて詳細な構成を説明するが、接続するデジタル信号SWM1-SWMnの論理が" L "であるときには、ロジック回路38d1-38dnは論理" L "の信号を出力し、接続するデジタル信号SWM1-SWMnの論理が" H "であるときには、ノードDMとほぼ同電位を有する信号を出力する。

スイッチ32dは出力信号OMが出力される出力線と高電位線AVDを接続又は切断する。スイッチ31dはノードDMと高電位線AVDを接続又は切断する。なお、スイッチ31d、32dはクロック信号CLKの逆論理信号/CLKの電位に応じて接続又は切断を実行する。

#### 【0081】

デジタル信号SWM1-SWMnそれぞれは、n個のデジットからなる2進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュホールドコントローラ20dはデジタル信号SWM1-SWMnを通じて、n個のN型MOSトランジスタ34d1-34dnの内、オン又はオフするN型MOSトランジスタの個数を制御する。

その結果、出力信号OMが出力される出力線とグランド線間にコンパレータ10dのオフセットに応じたキャンセル電流が流れる。なお、入力信号VIPの電位と入力信号VIMの電位の電位差に応じて、出力信号OMの電位が" H "を表す論理レベル又は" L "を表す論理レベルに確定すると、ノードDMの電位は" L "を表す論理レベルとなるため、

10

20

30

40

50

n個のN型MOSトランジスタ34d1 - 34dnすべてがオフする。その結果、オフセットキャンセル部30dは出力信号OMが出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【0082】

オフセットキャンセル部40dは、スレッシュホールドコントローラ20dからのデジタル信号SWP1 - SWPn及びノードDPの電位に応じて、出力信号OPが出力される出力線を介して第2の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部40dは、ロジック回路48d1 - 48dnと、ゲートにロジック回路48d1 - 48dnそれぞれからの出力信号を受けるn個のN型MOSトランジスタ44d1 - 44dnと、n個のスイッチ45d1 - 45dnと、スイッチ41d、42dとを含む。N型MOSトランジスタ44d1 - 44dnの各ドレインは出力信号OPが出力される出力線に接続している。n個のスイッチ345d1 - 45dnはN型MOSトランジスタであり、各ソースにグランド線が接続され、各ドレインにN型MOSトランジスタ44d1 - 44dnの各ソースが接続され、各ゲートによりクロック信号CLKを受ける。

ロジック回路48d1 - 48dnそれぞれはデジタル信号SWP1 - SWPnそれぞれ及びノードDPの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ44d1 - 44dnはオン又はオフ状態となる。

なお、ロジック回路48d1 - 48dnについて、図17を用いて詳細な構成を説明するが、接続するデジタル信号SWP1 - SWPnの論理が”L”であるときには、ロジック回路48d1 - 48dnは論理”L”の信号を出力し、接続するデジタル信号SWP1 - SWPnの論理が”H”であるときには、ノードDPとほぼ同電位を有する信号を出力する。

スイッチ42dは出力信号OPが出力される出力線と高電位線AVDを接続又は切断する。スイッチ41dはノードDPと高電位線AVDを接続又は切断する。なお、スイッチ41d、42dはクロック信号CLKの逆論理信号/CLKの電位に応じて接続又は切断を実行する。

#### 【0083】

デジタル信号SWP1 - SWPnそれぞれは、n個のデジットからなる2進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュホールドコントローラ20dはデジタル信号SWP1 - SWPnを通じて、n個のスイッチ44d1 - 44dnの内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号OPが出力される出力線とグランド線間にコンパレータ10dのオフセットに応じたキャンセル電流が流れる。なお、入力信号VIPの電位と入力信号VIMの電位の電位差に応じて、出力信号OPの電位が”H”を表す論理レベル又は”L”を表す論理レベルに確定すると、ノードDPの電位は”L”を表す論理レベルとなるため、n個のN型MOSトランジスタ44d1 - 44dnすべてがオフする。その結果、オフセットキャンセル部40dは、出力信号OPが出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【0084】

スレッシュホールドコントローラ20dは、実施例1において説明したスレッシュホールドコントローラ20と比較すると、スイッチ331 - 33n、スイッチ431 - 43nのオンオフを制御するコード信号36の替わりに、デジタル信号SWM1 - SWMn及びデジタル信号SWP1 - SWPnを出力する点で異なるが、その他の点ではスレッシュホールドコントローラ20と同様な回路であり、同様な機能を有する。

#### 【0085】

実施例1に示すコンパレータ10においては、スイッチ331 - 33n及びスイッチ431 - 43nによりキャンセル電流量の増減を行っている。また、スイッチ351 - 35n及び451 - 45nがクロック信号CLKを受けることにより、オンオフするため、オフセットキャンセル部30、40のキャンセル電流発生期間はクロック信号CLKの論理

10

20

30

40

50

が " H " である期間に限定されている。さらに、ノード D M の電位を N 型 M O S トランジスタ 3 4 1 - 3 4 n が受けており、ノード D P の電位を N 型 M O S トランジスタ 3 4 1 - 3 4 n が受けて動作することにより、キャンセル電流がスイッチ 3 3 1 - 3 3 n 及びスイッチ 4 3 1 - 4 3 n を流れる期間を限定している。

【 0 0 8 6 】

上記に対し、実施例 5 に示すコンパレータ 1 0 d においては、スイッチ 3 5 d 1 - 3 5 d n 及び 4 5 d 1 - 4 5 d n は N 型 M O S トランジスタであり、クロック信号 C L K をゲートで受けている。その結果、スイッチ 3 5 d 1 - 3 5 d n 及び 4 5 d 1 - 4 5 d n によって、オフセットキャンセル部 3 0、4 0 のキャンセル電流発生期間は、クロック信号 C L K の論理が " H " である期間に限定されている。

10

一方、ロジック回路 3 8 d 1 - 3 8 d n からの出力信号を N 型 M O S トランジスタ 3 4 d 1 - 3 4 d n が受けており、論理 " L " の信号を出力しているロジック回路 3 8 d 1 - 3 8 d n に接続している N 型 M O S トランジスタ 3 4 d 1 - 3 4 d n においては、キャンセル電流は流れないが、ノード D P と同様な電位を有する信号を出力しているロジック回路 3 8 d 1 - 3 8 d n に接続している N 型 M O S トランジスタ 3 4 d 1 - 3 4 d n においては、キャンセル電流の流れる期間が限定される。

ロジック回路 4 8 d 1 - 4 8 d n から出力される信号の論理に応じて、N 型 M O S トランジスタ 4 4 d 1 - 4 4 d n も、上記と同様に動作する。

【 0 0 8 7 】

以上より、実施例 5 のコンパレータ 1 0 d においては、比較動作を行うときに、オフセットキャンセル回路 3 0 d、4 0 d が、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作中において、差動出力ノード D M、D P の電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対の N 型 M O S トランジスタのドレインの電位は論理 " L " となるため、オフセットキャンセル回路 3 0 d、4 0 d は差動出力ノード D M、D P への電流供給を遮断する。その結果、コンパレータ 1 0 d においては、オフセットキャンセル動作において発生する消費電力が低減される。

20

【 実施例 6 】

【 0 0 8 8 】

図 1 1 は実施例 6 のコンパレータ 1 0 e を示す回路図である。コンパレータ 1 0 e はスレッシュホールドコントローラ 2 0 e、オフセットキャンセル部 3 0 e、オフセットキャンセル部 4 0 e、P 型 M O S トランジスタ 5 1 e、5 2 e、N 型 M O S トランジスタ 5 3 e、5 4 e、5 5 e、5 6 e、スイッチ 5 7 e、クロックバッファ 6 0 e を含む。

30

コンパレータ 1 0 e は入力信号 V I P と入力信号 V I M との比較動作を行う機能を有する、すなわち、入力信号 V I P と入力信号 V I M 間の電位差の増幅動作を行う。また、コンパレータ 1 0 e はそれ自身のオフセットをキャリブレーションする動作を行うことができる。

P 型 M O S トランジスタ 5 1 e、5 2 e、N 型 M O S トランジスタ 5 3 e、5 4 e、5 5 e、5 6 e は実施例 1 のコンパレータ 1 0 に含まれる P 型 M O S トランジスタ 5 1、5 2、N 型 M O S トランジスタ 5 3、5 4、5 5、5 6 と同様なトランジスタである。また、トランジスタ間の接続関係、高電位線 A V D 及びグランド線との接続関係、動作及び機能においても、両者に差はない。

40

スイッチ 5 7 e は N 型 M O S トランジスタであり、ドレインは N 型 M O S トランジスタ 5 5 e、5 6 e のソースと接続し、ソースはグランド線と接続し、ゲートはクロックバッファ 6 0 e から出力されるクロック信号 C L K を受ける。そうすると、スイッチ 5 7 e は、クロック信号 C L K の電位に応じて、N 型 M O S トランジスタ 5 5 e、5 6 e のソースとグランド線を接続又は切断するスイッチである。

クロックバッファ 6 0 e はマスタークロック信号 M C L K をバッファし、クロック信号 C L K を発生する回路である。後にクロックバッファ 6 0 e について図 1 8 を用いて説明する。

【 0 0 8 9 】

50

オフセットキャンセル部 30e は、スレッシュホールドコントローラ 20e からのデジタル信号 SWM1 - SWMn 及びノード DM の電位に応じて、出力信号 OM が出力される出力線を介して第 1 の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部 30e は、n 個のロジック回路 37e1 - 37en と、n 個のロジック回路 38e1 - 38en と、ゲートにロジック回路 38e1 - 38en それぞれからの出力信号を受ける n 個の N 型 MOS トランジスタ 34e1 - 34en と、ロジック回路 37e1 - 37en それぞれからの出力信号を受けて動作する n 個のスイッチ 35e1 - 35dn と、スイッチ 31e、32e とを含む。

N 型 MOS トランジスタ 34e1 - 34en の各ドレインは出力信号 OM が出力される出力線に接続している。

10

n 個のスイッチ 35e1 - 35en は N 型 MOS トランジスタであり、各ソースにグランド線が接続され、各ドレインに N 型 MOS トランジスタ 34e1 - 34en の各ソースが接続され、各ゲートによりロジック回路 37e1 - 37en それぞれからの出力信号を受ける。

ロジック回路 37e1 - 37en それぞれはデジタル信号 SWM1 - SWMn それぞれ及びクロック信号 CLK の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、N 型 MOS トランジスタ 34e1 - 34en はオン又はオフ状態となる。

なお、ロジック回路 37e1 - 37en について、図 15、図 16 を用いて詳細な構成を説明するが、接続するデジタル信号 SWM1 - SWMn の論理が "L" であるときには、ロジック回路 37e1 - 37en は論理 "L" の信号を出力し、接続するデジタル信号 SWM1 - SWMn の論理が "H" であるときには、クロック信号 CLK と同相な信号を出力する。

20

ロジック回路 38e1 - 38en それぞれはデジタル信号 SWM1 - SWMn それぞれ及びノード DM の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、N 型 MOS トランジスタ 34e1 - 34en はオン又はオフ状態となる。

なお、ロジック回路 38e1 - 38en について、図 17 を用いて詳細な構成を説明するが、接続するデジタル信号 SWM1 - SWMn の論理が "L" であるときには、ロジック回路 38e1 - 38en は論理 "L" の信号を出力し、接続するデジタル信号 SWM1 - SWMn の論理が "H" であるときには、ノード DM とほぼ同電位を有する信号を出力する。

30

スイッチ 32e は出力信号 OM が出力される出力線と高電位線 AV D を接続又は切断する。スイッチ 31e はノード DM と高電位線 AV D を接続又は切断する。なお、スイッチ 31e、32e はクロック信号 CLK の反転信号 / CLK の電位に応じて接続又は切断を実行する。

#### 【0090】

デジタル信号 SWM1 - SWMn それぞれは、n 個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュホールドコントローラ 20e はデジタル信号 SWM1 - SWMn を通じて、n 個の N 型 MOS トランジスタ 34e1 - 34en の内、オン又はオフする N 型 MOS トランジスタの個数を制御する。

40

その結果、出力信号 OM が出力される出力線とグランド線間にコンパレータ 10e のオフセットに応じたキャンセル電流が流れる。なお、入力信号 VIP の電位と入力信号 VIM の電位の電位差に応じて、出力信号 OM の電位が "H" を表す論理レベル又は "L" を表す論理レベルに確定すると、ノード DM の電位は "L" を表す論理レベルとなるため、n 個の N 型 MOS トランジスタ 34e1 - 34en すべてがオフする。その結果、オフセットキャンセル部 30e は出力信号 OM が出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【0091】

オフセットキャンセル部 40e は、スレッシュホールドコントローラ 20e からのデジタル信号 SWP1 - SWPn 及びノード DP の電位に応じて、出力信号 OP が出力される出力

50



線を介して第2の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部40eは、n個のロジック回路47e1 - 47enと、n個のロジック回路48e1 - 48enと、ゲートにロジック回路48e1 - 48enそれぞれからの出力信号を受けるn個のN型MOSトランジスタ44e1 - 44enと、ロジック回路47e1 - 47enそれぞれから出力される信号を受けるn個のスイッチ45e1 - 45enと、スイッチ41e、42eとを含む。

N型MOSトランジスタ44e1 - 44enの各ドレインは出力信号OPが出力される出力線に接続している。

n個のスイッチ45e1 - 45enはN型MOSトランジスタであり、各ソースにグランド線が接続され、各ドレインにN型MOSトランジスタ44e1 - 44enの各ソースが接続され、各ゲートにロジック回路47e1 - 47enから出力される各信号が接続されている。

ロジック回路47e1 - 47enそれぞれはデジタル信号SWM1 - SWMnそれぞれ及びクロック信号CLKの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、N型MOSトランジスタ44e1 - 44enはオン又はオフ状態となる。

なお、ロジック回路47e1 - 47enについて、図15、図16を用いて詳細な構成を説明するが、接続するデジタル信号SWP1 - SWPnの論理が" L "であるときには、ロジック回路47e1 - 47enは論理" L "の信号を出力し、接続するデジタル信号SWP1 - SWPnの論理が" H "であるときには、クロック信号CLKと同相な信号を出力する。

ロジック回路48e1 - 48enそれぞれはデジタル信号SWP1 - SWPnそれぞれ及びノードDPの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ44e1 - 44enはオン又はオフ状態となる。

なお、ロジック回路48e1 - 48enについて、図17を用いて詳細な構成を説明するが、接続するデジタル信号SWP1 - SWPnの論理が" L "であるときには、ロジック回路48e1 - 48enは論理" L "の信号を出力し、接続するデジタル信号SWP1 - SWPnの論理が" H "であるときには、ノードDPとほぼ同電位を有する信号を出力する。

スイッチ42eは出力信号OPが出力される出力線と高電位線AVDを接続又は切断する。スイッチ41eはノードDPと高電位線AVDを接続又は切断する。なお、スイッチ41e、42eはクロック信号CLKの反転信号/CLKの電位に応じて接続又は切断を実行する。

#### 【0092】

デジタル信号SWP1 - SWPnそれぞれは、n個のデジットからなる2進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュドコントローラ20eはデジタル信号SWP1 - SWPnを通じて、n個のN型MOSトランジスタ44e1 - 44enの内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号OPが出力される出力線とグランド線間にコンパレータ10eのオフセットに応じたキャンセル電流が流れる。なお、入力信号VIPの電位と入力信号VIMの電位の電位差に応じて、出力信号OPの電位が" H "を表す論理レベル又は" L "を表す論理レベルに確定すると、ノードDPの電位は" L "を表す論理レベルとなるため、n個のN型MOSトランジスタ44e1 - 44enすべてがオフする。その結果、オフセットキャンセル部40dは、出力信号OPが出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【0093】

スレッシュドコントローラ20eは、実施例1において説明したスレッシュドコントローラ20と比較すると、スイッチ331 - 33n、スイッチ431 - 43nのオンオフを制御するコード信号36の替わりに、デジタル信号SWM1 - SWMn及びデジタル信号SWP1 - SWPnを出力する点で異なるが、その他の点ではスレッシュドコントローラ20と同様な回路であり、同様な機能を有する。

## 【 0 0 9 4 】

実施例 1 に示すコンパレータ 1 0 においては、スイッチ 3 3 1 - 3 3 n 及びスイッチ 4 3 1 - 4 3 n によりキャンセル電流量の増減を行っている。また、スイッチ 3 5 1 - 3 5 n 及び 4 5 1 - 4 5 n がクロック信号 C L K を受けることにより、オンオフするため、オフセットキャンセル部 3 0、4 0 のキャンセル電流発生期間はクロック信号 C L K の論理が " H " である期間に限定されている。さらに、ノード D M の電位を N 型 M O S トランジスタ 3 4 1 - 3 4 n が受けており、ノード D P の電位を N 型 M O S トランジスタ 3 4 1 - 3 4 n が受けて動作することにより、キャンセル電流がスイッチ 3 3 1 - 3 3 n 及びスイッチ 4 3 1 - 4 3 n を流れる期間を限定している。

## 【 0 0 9 5 】

上記に対し、実施例 6 に示すコンパレータ 1 0 e においては、スイッチ 3 5 e 1 - 3 5 e n 及び 4 5 e 1 - 4 5 e n は N 型 M O S トランジスタであり、ロジック回路 3 7 e 1 - 3 7 e n、ロジック回路 4 7 e 1 - 4 7 e n からの出力をゲートで受けている。その結果、スイッチ 3 5 e 1 - 3 5 e n 及び 4 5 e 1 - 4 5 e n によって、キャンセル電流量の増減が実行されるとともに、オフセットキャンセル部 3 0 e、4 0 e のキャンセル電流発生期間は、クロック信号 C L K の論理が " H " である期間に限定されている。

一方、ロジック回路 3 8 e 1 - 3 8 e n からの出力信号を N 型 M O S トランジスタ 3 4 e 1 - 3 4 e n がゲートで受けているため、ロジック回路 3 8 e 1 - 3 8 e n が論理 " L " の信号を出力しているときには、N 型 M O S トランジスタ 3 4 e 1 - 3 4 e n において、キャンセル電流は流れないが、ロジック回路 3 8 e 1 - 3 8 e n がノード D P と同様な電位を有する信号を出力しているときには N 型 M O S トランジスタ 3 4 e 1 - 3 4 e n においては、キャンセル電流の流れる期間が限定される。

ロジック回路 4 8 e 1 - 4 8 e n から出力される信号の論理に応じて、N 型 M O S トランジスタ 4 4 e 1 - 4 4 e n も、上記と同様に動作する。

## 【 0 0 9 6 】

以上より、実施例 6 のコンパレータ 1 0 e においては、比較動作を行うときに、オフセットキャンセル回路 3 0 e、4 0 e が、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作中において、差動出力ノード D M、D P の電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対の N 型 M O S トランジスタのドレインの電位は論理 " L " となるため、オフセットキャンセル回路 3 0 e、4 0 e は差動出力ノード D M、D P への電流供給を遮断する。その結果、コンパレータ 1 0 e においては、オフセットキャンセル動作において発生する消費電力が低減される。

## 【 実施例 7 】

## 【 0 0 9 7 】

図 1 2 は実施例 7 のコンパレータ 1 0 f を示す回路図である。コンパレータ 1 0 f はスレッシュホールドコントローラ 2 0 f、オフセットキャンセル部 3 0 f、オフセットキャンセル部 4 0 f、N 型 M O S トランジスタ 5 1 f、5 2 f、P 型 M O S トランジスタ 5 3 f、5 4 f、5 5 f、5 6 f、スイッチ 5 7 f、クロックバッファ 6 0 f を含む。

コンパレータ 1 0 f は入力信号 V I P と入力信号 V I M との比較動作を行う機能を有する、すなわち、入力信号 V I P と入力信号 V I M 間の電位差の増幅動作を行う機能を有する。また、コンパレータ 1 0 f はそれ自身のオフセットをキャリブレーションする動作を行う機能を有する。

N 型 M O S トランジスタ 5 1 f、5 2 f、P 型 M O S トランジスタ 5 3 f、5 4 f、5 5 f、5 6 f は実施例 2 のコンパレータに含まれる N 型 M O S トランジスタ 5 1 b、5 2 b、P 型 M O S トランジスタ 5 3 b、5 4 b、5 5 b、5 6 b と同様なトランジスタである。また、上記のトランジスタ間の接続関係、高電位線 A V D 及びグランド線との接続関係、動作及び機能においても、両者に差はない。

スイッチ 5 7 f は P 型 M O S トランジスタであり、ドレインは P 型 M O S トランジスタ 5 5 f、5 6 f のソースと接続し、ソースは高電位線 A V D と接続し、ゲートはクロックバッファ 6 0 f から出力されるクロック信号 C L K を受ける。すなわち、スイッチ 5 7 f

10

20

30

40

50

は、クロック信号の電位に応じて、P型MOSトランジスタ55f、56fのソースと高電位線AVDを接続又は切断するスイッチである。

クロックバッファ60fはマスタークロック信号CLKをバッファし、クロック信号CLKを発生する回路である。後にクロックバッファ60fについて図18を用いて説明する。

#### 【0098】

オフセットキャンセル部30fは、スレッシュホールドコントローラ20fからのデジタル信号SWM1-SWMn及びノードDMの電位に応じて、出力信号OMが出力される出力線を介して第1の電流経路から高電位線AVDへのキャンセル電流を制御する回路である。

オフセットキャンセル部30fは、ロジック回路37f1-37fnと、ゲートにノードDMが接続されているn個のP型MOSトランジスタ34f1-34fnと、ゲートにロジック回路37f1-37fnからの出力を受けるn個のP型MOSトランジスタ35f1-35fnと、スイッチ31f、32fとを含む。P型MOSトランジスタ34f1-34fnの各ドレインは出力信号OMが出力される出力線に接続している。n個のスイッチ35f1-35fnはP型MOSトランジスタであり、各ソースに高電位線AVDが接続され、各ドレインにP型MOSトランジスタ34f1-34fnの各ソースが接続され、各ゲートにロジック回路37f1-37fnから出力される各信号が接続されている。ロジック回路37f1-37fnそれぞれはデジタル信号SWM1-SWMnそれぞれ及びクロック信号CLKの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ35f1-35fnはオン又はオフ状態となる。なお、ロジック回路37f1-37fnについて、図15、図16を用いて詳細な構成を説明するが、接続するデジタル信号SWM1-SWMnの論理が" L "であるときには、ロジック回路37f1-37fnは論理" H "の信号を出力し、接続するデジタル信号SWM1-SWMnの論理が" H "であるときには、クロック信号CLKと同様な論理を有する信号を出力する。

スイッチ32fは出力信号OMが出力される出力線とグランド線を接続又は切断する。スイッチ31fはノードDPとグランド線を接続又は切断する。なお、スイッチ31f、32fはクロック信号CLKの逆論理信号/CLKの電位に応じて接続又は切断を実行する。

#### 【0099】

デジタル信号SWM1-SWMnそれぞれは、n個のビットからなる2進数の各ビットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュホールドコントローラ20fはデジタル信号SWM1-SWMnを通じて、n個のスイッチ35f1-35fnの内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号OMが出力される出力線とグランド線間にコンパレータ10fのオフセットに応じたキャンセル電流が流れる。なお、入力信号VIPの電位と入力信号VIMの電位の電位差に応じて、出力信号OMの電位が" H "を表す論理レベル又は" L "を表す論理レベルに確定すると、ノードDMの電位は" H "を表す論理レベルとなるため、n個のP型MOSトランジスタ35f1-35fnすべてがオフする。その結果、オフセットキャンセル部30fは、出力信号OMが出力される出力線と高電位線AVD間を流れるキャンセル電流の発生を遮断する。

#### 【0100】

オフセットキャンセル部40fは、スレッシュホールドコントローラ20fからのデジタル信号SWP1-SWPn及びノードDPの電位に応じて、出力信号OPが出力される出力線を介して第2の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部40fは、ロジック回路47f1-47fnと、ゲートにノードDPが接続されているn個のP型MOSトランジスタ44f1-44fnと、ゲートにロジック回路47f1-47fnからの出力を受けるn個のスイッチ45f1-45fnと、スイッチ41f、42fとを含む。P型MOSトランジスタ44f1-44fnの各ドレインは出力信号OPが出力される出力線に接続している。

n個のスイッチ45f1 - 45fnはP型MOSトランジスタであり、各ソースに高電位線AVDが接続され、各ドレインにP型MOSトランジスタ44f1 - 44fnの各ソースが接続され、各ゲートにロジック回路47c1 - 47cnから出力される各信号が接続されている。ロジック回路47f1 - 47fnそれぞれはデジタル信号SWP1 - SWPnそれぞれ及びクロック信号CLKの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ45f1 - 45fnはオン又はオフ状態となる。なお、ロジック回路47f1 - 47fnについて、図15、図16を用いて詳細な構成を説明するが、接続するデジタル信号SWP1 - SWPnの論理が" L "であるときには、ロジック回路47f1 - 47fnは論理" H "の信号を出力し、接続するデジタル信号SWP1 - SWPnの論理が" H "であるときには、クロック信号CLKと同様な論理を有する信号を出力する。

10

スイッチ42fは出力信号OPが出力される出力線とグランド線を接続又は切断する。スイッチ41fはノードDPとグランド線を接続又は切断する。なお、スイッチ41f、42fはクロック信号CLKの逆論理信号/CLKの電位に応じて接続又は切断を実行する。

#### 【0101】

デジタル信号SWP1 - SWPnそれぞれは、n個のビットからなる2進数の各ビットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュドコントローラ20fはデジタル信号SWP1 - SWPnを通じて、n個のスイッチ45f1 - 45fnの内、オン又はオフするスイッチの個数を制御する。

20

その結果、出力信号OPが出力される出力線とグランド線間にコンパレータ10fのオフセットに応じたキャンセル電流が流れる。なお、入力信号VIPの電位と入力信号VIMの電位の電位差に応じて、出力信号OPの電位が" H "を表す論理レベル又は" L "を表す論理レベルに確定すると、ノードDPの電位は" L "を表す論理レベルとなるため、n個のN型MOSトランジスタ45f1 - 45fnすべてがオフする。その結果、オフセットキャンセル部40fにより発生した、出力信号OPが出力される出力線と高電位線AVD間を流れるキャンセル電流は遮断される。

#### 【0102】

スレッシュドコントローラ20fは、実施例2において説明したスレッシュドコントローラ20bと比較すると、スイッチ33b1 - 33bn、スイッチ43b1 - 43bnのオンオフを制御するコード信号36の替わりに、デジタル信号SWM1 - SWMn及びデジタル信号SWP1 - SWPnを出力する点で異なるが、その他の点ではスレッシュドコントローラ20と同様な回路を構成しており、同様な機能を有する。

30

#### 【0103】

実施例2に示すコンパレータ10bにおいては、スイッチ33b1 - 33bn及びスイッチ43b1 - 43bnによりキャンセル電流量の増減を行っている。また、スイッチ351 - 35n及び451 - 45nがクロック信号CLKを受けることにより、オンオフするため、オフセットキャンセル部30b、40bのキャンセル電流発生期間はクロック信号CLKの論理が" L "である期間に限定されている。さらに、ノードDMの電位をP型MOSトランジスタ34b1 - 34bnが受けており、ノードDPの電位をP型MOSトランジスタ34b1 - 34bnが受けて動作することにより、キャンセル電流がスイッチ33b1 - 33bn及びスイッチ43b1 - 43bnを流れる期間を限定している。

40

#### 【0104】

上記に対し、実施例7に示すコンパレータ10fにおいては、スイッチ35f1 - 35fn及び45f1 - 45fnはP型MOSトランジスタであり、ロジック回路37f1 - 37fn及びロジック回路47f1 - 47fnから出力される信号をゲートで受けている。その結果、スイッチ35f1 - 35fn及び45f1 - 45fnによって、キャンセル電流量の増減が実行されるとともに、オフセットキャンセル部30f、40fのキャンセル電流発生期間はクロック信号CLKの論理が" L "である期間に限定されている。

一方、ノードDMの電位をP型MOSトランジスタ34f1 - 34fnがゲートで受け

50

ており、ノードDPの電位をP型MOSトランジスタ44f1 - 44fnがゲートで受けて動作することにより、キャンセル電流がスイッチ34f1 - 34fn及びスイッチ44f1 - 44fnを流れる期間を限定している。

【0105】

以上より、実施例7のコンパレータ10fにおいては、比較動作を行うときに、オフセットキャンセル回路30f、40fが、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作中において、差動出力ノードDM、DPの電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対のP型MOSトランジスタのドレインの電位は論理" H "となるため、オフセットキャンセル回路30f、40fは差動出力ノードDM、DPへの電流供給を遮断する。その結果、コンパレータ10f

10

【実施例8】

【0106】

図13は実施例8のコンパレータ10gを示す回路図である。コンパレータ10gはスレッシュホールドコントローラ20g、オフセットキャンセル部30g、オフセットキャンセル部40g、N型MOSトランジスタ51g、52g、P型MOSトランジスタ53g、54g、55g、56g、スイッチ57g、クロックバッファ60gを含む。

コンパレータ10gは入力信号VIPと入力信号VIMとの比較動作を行う機能を有する、すなわち、入力信号VIPと入力信号VIM間の電位差の増幅動作を行う機能を有する。また、コンパレータ10gはそれ自身のオフセットをキャリブレーションする動作を行う機能を有する。

20

N型MOSトランジスタ51g、52g、P型MOSトランジスタ53g、54g、55g、56gは実施例2のコンパレータに含まれるN型MOSトランジスタ51b、52b、P型MOSトランジスタ53b、54b、55b、56bと同様なトランジスタである。また、上記のトランジスタ間の接続関係、高電位線AVD及びグランド線との接続関係、動作及び機能においても、両者に差はない。

スイッチ57gはP型MOSトランジスタであり、ドレインはP型MOSトランジスタ55f、56fのソースと接続し、ソースは高電位線AVDと接続し、ゲートはクロックバッファ60gから出力されるクロック信号CLKを受ける。すなわち、スイッチ57gは、クロック信号CLKの電位に応じて、P型MOSトランジスタ55g、56gのソースと高電位線AVDを接続又は切断するスイッチである。

30

クロックバッファ60fはマスタークロック信号MCLKをバッファし、クロック信号CLKを発生する回路である。後にクロックバッファ60fについて図18を用いて説明する。

【0107】

オフセットキャンセル部30gは、スレッシュホールドコントローラ20gからのデジタル信号SWM1 - SWMn及びノードDMの電位に応じて、出力信号OMが出力される出力線を介して第1の電流経路から高電位線AVDへのキャンセル電流を制御する回路である。

オフセットキャンセル部30gは、ロジック回路38g1 - 38gnと、ゲートによりロジック回路38g1 - 38gnからの出力信号を受けるn個のP型MOSトランジスタ34g1 - 34gnと、n個のスイッチ35g1 - 35gnと、スイッチ31g、32gとを含む。P型MOSトランジスタ34g1 - 34gnの各ドレインは出力信号OMが出力される出力線に接続している。n個のスイッチ35g1 - 35gnはP型MOSトランジスタであり、各ソースに高電位線AVDが接続され、各ドレインにP型MOSトランジスタ34g1 - 34gnの各ソースが接続され、各ゲートによりクロックバッファ60gからのクロック信号CLKを受ける。

40

ロジック回路38g1 - 38gnそれぞれはデジタル信号SWM1 - SWMnそれぞれ及びノードDPの電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ34g1 - 34gnはオン又はオフ状態となる。

50

なお、ロジック回路 38g1 - 38gn について、図 17 を用いて詳細な構成を説明するが、接続するデジタル信号 SWM1 - SWMn の論理が "L" であるときには、ロジック回路 38g1 - 38gn は論理 "H" の信号を出力し、接続するデジタル信号 SWM1 - SWMn の論理が "H" であるときには、ノード DP と同様な電位を有する信号を出力する。

スイッチ 32g は出力信号 OM が出力される出力線とグランド線を接続又は切断する。スイッチ 31g はノード DP とグランド線を接続又は切断する。なお、スイッチ 31f、32f はクロック信号 CLK の逆論理信号 / CLK の電位に応じて接続又は切断を実行する。

#### 【0108】

デジタル信号 SWM1 - SWMn それぞれは、n 個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュホールドコントローラ 20g はデジタル信号 SWM1 - SWMn を通じて、n 個の P 型 MOS トランジスタ 34g1 - 34gn の内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号 OM が出力される出力線とグランド線間にコンパレータ 10g のオフセットに応じたキャンセル電流が流れる。なお、入力信号 VIP の電位と入力信号 VIM の電位の電位差に応じて、出力信号 OM の電位が "H" を表す論理レベル又は "L" を表す論理レベルに確定すると、ノード DM の電位は "H" を表す論理レベルとなるため、n 個の P 型 MOS トランジスタ 34g1 - 34gn すべてがオフする。その結果、オフセットキャンセル部 30g は、出力信号 OM が出力される出力線と高電位線 AVD 間を流れるキャンセル電流の発生を遮断する。

#### 【0109】

オフセットキャンセル部 40g は、スレッシュホールドコントローラ 20g からのデジタル信号 SWP1 - SWPn 及びノード DP の電位に応じて、出力信号 OP が出力される出力線を介して第 2 の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部 40g は、ロジック回路 48g1 - 48gn と、ロジック回路 48g1 - 48gn から出力された信号をゲートで受ける n 個の P 型 MOS トランジスタ 44g1 - 44gn と、n 個のスイッチ 45g1 - 45gn と、スイッチ 41g、42g とを含む。P 型 MOS トランジスタ 44g1 - 44gn の各ドレインは出力信号 OP が出力される出力線に接続している。

n 個のスイッチ 45g1 - 45gn は P 型 MOS トランジスタであり、各ソースに高電位線 AVD が接続され、各ドレインに P 型 MOS トランジスタ 44g1 - 44gn の各ソースが接続され、各ゲートによりクロックバッファ 60g からクロック信号 CLK を受ける。

ロジック回路 48f1 - 48fn それぞれはデジタル信号 SWP1 - SWPn それぞれ及びノード DP の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、P 型 MOS トランジスタであるスイッチ 44g1 - 44gn はオン又はオフ状態となる。

なお、ロジック回路 48g1 - 48gn について、図 17 を用いて詳細な構成を説明するが、接続するデジタル信号 SWP1 - SWPn の論理が "L" であるときには、ロジック回路 48f1 - 48fn は論理 "H" の信号を出力し、接続するデジタル信号 SWP1 - SWPn の論理が "H" であるときには、クロック信号 CLK と同様な論理を有する信号を出力する。

スイッチ 42g は出力信号 OP が出力される出力線とグランド線を接続又は切断する。スイッチ 41g はノード DP とグランド線を接続又は切断する。なお、スイッチ 41g、42g はクロック信号 CLK の逆論理信号 / CLK の電位に応じて接続又は切断を実行する。

#### 【0110】

デジタル信号 SWP1 - SWPn それぞれは、n 個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュホールドコ

10

20

30

40

50

ントローラ 20g はデジタル信号 SWP1 - SWPn を通じて、n 個の P 型 MOS トランジスタ 44g1 - 44gn の内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号 OP が出力される出力線とグラウンド線間にコンパレータ 10g のオフセットに応じたキャンセル電流が流れる。なお、入力信号 VIP の電位と入力信号 VIM の電位の電位差に応じて、出力信号 OP の電位が "H" を表す論理レベル又は "L" を表す論理レベルに確定すると、ノード DP の電位は "H" を表す論理レベルとなるため、n 個の P 型 MOS トランジスタ 44g1 - 44gn すべてがオフする。その結果、オフセットキャンセル部 40g により発生した、出力信号 OP が出力される出力線と高電位線 AVD 間を流れるキャンセル電流は遮断される。

#### 【0111】

スレッシュホールドコントローラ 20g は、実施例 2 において説明したスレッシュホールドコントローラ 20b と比較すると、スイッチ 33b1 - 33bn、スイッチ 43b1 - 43bn のオンオフを制御するコード信号 36 の替わりに、デジタル信号 SWM1 - SWMn 及びデジタル信号 SWP1 - SWPn を出力する点で異なるが、その他の点ではスレッシュホールドコントローラ 20b と同様な回路を構成しており、同様な機能を有する。

#### 【0112】

実施例 2 に示すコンパレータ 10b においては、スイッチ 33b1 - 33bn 及びスイッチ 43b1 - 43bn によりキャンセル電流量の増減を行っている。また、スイッチ 351 - 35n 及び 451 - 45n がクロック信号 CLK を受けることにより、オンオフするため、オフセットキャンセル部 30b、40b のキャンセル電流発生期間はクロック信号 CLK の論理が "L" である期間に限定されている。さらに、ノード DM の電位を P 型 MOS トランジスタ 34b1 - 34bn が受けており、ノード DP の電位を P 型 MOS トランジスタ 34b1 - 34bn が受けて動作することにより、キャンセル電流がスイッチ 33b1 - 33bn 及びスイッチ 43b1 - 43bn を流れる期間を限定している。

#### 【0113】

上記に対し、実施例 8 に示すコンパレータ 10g においては、スイッチ 35g1 - 35gn 及び 45g1 - 45gn は P 型 MOS トランジスタであり、クロックバッファ 60g から出力されるクロックバッファ信号 CLK をゲートで受けている。その結果、スイッチ 35g1 - 35gn 及び 45g1 - 45gn によって、オフセットキャンセル部 30g、40g のキャンセル電流発生期間はクロック信号 CLK の論理が "L" である期間に限定されている。

一方、ロジック回路 38g1 - 38gn から出力される信号を P 型 MOS トランジスタ 34f1 - 34fn がゲートで受けており、スレッシュホールドコントローラ 20g はデジタル信号 SWP1 - SWPn を通じて、n 個の P 型 MOS トランジスタ 34f1 - 34fn の内、オン又はオフする P 型 MOS トランジスタの個数を制御するため、キャンセル電流量の増減が実行されるとともに、オフセットキャンセル部 30g のキャンセル発生期間はクロック信号 CLK の論理が "L" である期間に限定されている。なお、P 型 MOS トランジスタ 44f1 - 44fn もロジック回路 48g1 - 48gn から出力される信号をゲートで受けて動作することにより、オフセットキャンセル部 40g のキャンセル電流量の増減が実行されるとともに、オフセットキャンセル部 40g のキャンセル発生期間はクロック信号 CLK の論理が "H" である期間に限定される。

#### 【0114】

以上より、実施例 8 のコンパレータ 10g においては、比較動作を行うときに、オフセットキャンセル回路 30g、40g が、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作中において、差動出力ノード DM、DP の電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対の P 型 MOS トランジスタのドレインの電位は論理 "H" となるため、オフセットキャンセル回路 30g、40g は差動出力ノード DM、DP への電流供給を遮断する。その結果、コンパレータ 10g においては、オフセットキャンセル動作において発生する消費電力が低減される。

#### 【実施例 9】

10

20

30

40

50

## 【 0 1 1 5 】

図 1 4 は実施例 9 のコンパレータ 1 0 h を示す回路図である。コンパレータ 1 0 h はスレッシュホールドコントローラ 2 0 h、オフセットキャンセル部 3 0 h、オフセットキャンセル部 4 0 h、N 型 MOS トランジスタ 5 1 h、5 2 h、P 型 MOS トランジスタ 5 3 h、5 4 h、5 5 h、5 6 h、スイッチ 5 7 h、クロックバッファ 6 0 h を含む。

コンパレータ 1 0 h は入力信号 V I P と入力信号 V I M との比較動作を行う機能を有する、すなわち、入力信号 V I P と入力信号 V I M 間の電位差の増幅動作を行う。また、コンパレータ 1 0 h はそれ自身のオフセットをキャリブレーションする動作を行うことができる。

N 型 MOS トランジスタ 5 1 h、5 2 h、P 型 MOS トランジスタ 5 3 h、5 4 h、5 5 h、5 6 h は実施例 2 のコンパレータ 1 0 h に含まれる N 型 MOS トランジスタ 5 1 h、5 2 h、P 型 MOS トランジスタ 5 3 h、5 4 h、5 5 h、5 6 h と同様なトランジスタである。また、トランジスタ間の接続関係、高電位線 A V D 及びグランド線との接続関係、動作及び機能においても、両者に差はない。

スイッチ 5 7 h は P 型 MOS トランジスタであり、ドレインは P 型 MOS トランジスタ 5 5 h、5 6 h のソースと接続し、ソースは高電位線 A V D と接続し、ゲートはクロックバッファ 6 0 h から出力されるクロック信号 C L K を受ける。そうすると、スイッチ 5 7 h は、クロック信号 C L K の電位に応じて、P 型 MOS トランジスタ 5 5 h、5 6 h のソースとグランド線を接続又は切断するスイッチである。

クロックバッファ 6 0 h はマスタークロック信号 M C L K をバッファし、クロック信号 C L K を発生する回路である。後にクロックバッファ 6 0 h について図 1 8 を用いて説明する。

## 【 0 1 1 6 】

オフセットキャンセル部 3 0 h は、スレッシュホールドコントローラ 2 0 h からのデジタル信号 S W M 1 - S W M n 及びノード D M の電位に応じて、出力信号 O M が出力される出力線を介して第 1 の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部 3 0 h は、n 個のロジック回路 3 7 h 1 - 3 7 h n と、n 個のロジック回路 3 8 h 1 - 3 8 h n と、ゲートにロジック回路 3 8 h 1 - 3 8 h n それぞれからの出力信号を受取る n 個の P 型 MOS トランジスタ 3 4 h 1 - 3 4 h n と、ロジック回路 3 7 h 1 - 3 7 h n それぞれからの出力信号を受けて動作する n 個のスイッチ 3 5 h 1 - 3 5 h n と、スイッチ 3 1 h、3 2 h とを含む。

P 型 MOS トランジスタ 3 4 h 1 - 3 4 h n の各ドレインは出力信号 O M が出力される出力線に接続している。

n 個のスイッチ 3 5 h 1 - 3 5 h n は P 型 MOS トランジスタであり、各ソースにグランド線が接続され、各ドレインに P 型 MOS トランジスタ 3 4 h 1 - 3 4 h n の各ソースが接続され、各ゲートによりロジック回路 3 7 h 1 - 3 7 h n それぞれからの出力信号を受取る。

## 【 0 1 1 7 】

ロジック回路 3 7 h 1 - 3 7 h n それぞれはデジタル信号 S W M 1 - S W M n それぞれ及びクロック信号 C L K の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、P 型 MOS トランジスタ 3 4 h 1 - 3 4 h n はオン又はオフ状態となる。

なお、ロジック回路 3 7 h 1 - 3 7 h n について、図 1 5、図 1 6 を用いて詳細な構成を説明するが、接続するデジタル信号 S W M 1 - S W M n の論理が " L " であるときには、ロジック回路 3 7 h 1 - 3 7 h n は論理 " H " の信号を出力し、接続するデジタル信号 S W M 1 - S W M n の論理が " H " であるときには、クロック信号 C L K と同相な信号を出力する。

ロジック回路 3 8 h 1 - 3 8 h n それぞれはデジタル信号 S W M 1 - S W M n それぞれ及びノード D M の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、P 型 MOS トランジスタ 3 4 h 1 - 3 4 h n はオン又はオフ状態となる。

なお、ロジック回路 3 8 h 1 - 3 8 h n について、図 1 7 を用いて詳細な構成を説明す

10

20

30

40

50



るが、接続するデジタル信号  $SWM1 - SWMn$  の論理が "L" であるときには、ロジック回路  $38e1 - 38en$  は論理 "H" の信号を出力し、接続するデジタル信号  $SWM1 - SWMn$  の論理が "H" であるときには、ノード DM とほぼ同電位を有する信号を出力する。

スイッチ  $32h$  は出力信号 OM が出力される出力線と高電位線 AV D を接続又は切断する。スイッチ  $31h$  はノード DM と高電位線 AV D を接続又は切断する。なお、スイッチ  $31h$ 、 $32h$  はクロック信号 CLK の逆論理信号 / CLK の電位に応じて接続又は切断を実行する。

#### 【0118】

デジタル信号  $SWM1 - SWMn$  それぞれは、 $n$  個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュドコントローラ  $20e$  はデジタル信号  $SWM1 - SWMn$  を通じて、 $n$  個の P 型 MOS トランジスタ  $34h1 - 34hn$  の内、オン又はオフする P 型 MOS トランジスタの個数を制御する。

その結果、出力信号 OM が出力される出力線とグランド線間にコンパレータ  $10h$  のオフセットに応じたキャンセル電流が流れる。なお、入力信号 VIP の電位と入力信号 VIM の電位の電位差に応じて、出力信号 OM の電位が "H" を表す論理レベル又は "L" を表す論理レベルに確定すると、ノード DM の電位は "H" を表す論理レベルとなるため、 $n$  個の P 型 MOS トランジスタ  $34h1 - 34hn$  すべてがオフする。その結果、オフセットキャンセル部  $30h$  は出力信号 OM が出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【0119】

オフセットキャンセル部  $40h$  は、スレッシュドコントローラ  $20h$  からのデジタル信号  $SWP1 - SWPn$  及びノード DP の電位に応じて、出力信号 OP が出力される出力線を介して第 2 の電流経路からグランド線へのキャンセル電流を制御する回路である。

オフセットキャンセル部  $40h$  は、 $n$  個のロジック回路  $47h1 - 47hn$  と、 $n$  個のロジック回路  $48h1 - 48hn$  と、ゲートにロジック回路  $48h1 - 48hn$  それぞれからの出力信号を受ける  $n$  個の P 型 MOS トランジスタ  $44h1 - 44hn$  と、ロジック回路  $47h1 - 47hn$  それぞれから出力される信号を受ける  $n$  個のスイッチ  $45h1 - 45hn$  と、スイッチ  $41h$ 、 $42h$  とを含む。

P 型 MOS トランジスタ  $44h1 - 44hn$  の各ドレインは出力信号 OP が出力される出力線に接続している。

$n$  個のスイッチ  $45h1 - 45hn$  は P 型 MOS トランジスタであり、各ソースにグランド線が接続され、各ドレインに P 型 MOS トランジスタ  $44h1 - 44hn$  の各ソースが接続され、各ゲートにロジック回路  $47h1 - 47hn$  から出力される各信号が接続されている。

#### 【0120】

ロジック回路  $47h1 - 47hn$  それぞれはデジタル信号  $SWP1 - SWPn$  それぞれ及びクロック信号 CLK の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、P 型 MOS トランジスタであるスイッチ  $45h1 - 45hn$  はオン又はオフ状態となる。

なお、ロジック回路  $47h1 - 47hn$  について、図 15、図 16 を用いて詳細な構成を説明するが、接続するデジタル信号  $SWP1 - SWPn$  の論理が "L" であるときには、ロジック回路  $47h1 - 47hn$  は論理 "H" の信号を出力し、接続するデジタル信号  $SWP1 - SWPn$  の論理が "H" であるときには、クロック信号 CLK と同相な信号を出力する。

ロジック回路  $48h1 - 48hn$  それぞれはデジタル信号  $SWP1 - SWPn$  それぞれ及びノード DP の電位に応じて、信号を出力する回路であり、その信号の電位に応じて、スイッチ  $44h1 - 44hn$  はオン又はオフ状態となる。

なお、ロジック回路  $48h1 - 48dn$  について、図 17 を用いて詳細な構成を説明

10

20

30

40

50

するが、接続するデジタル信号 S W P 1 - S W P n の論理が " L " であるときには、ロジック回路 4 8 h 1 - 4 8 h n は論理 " H " の信号を出力し、接続するデジタル信号 S W P 1 - S W P n の論理が " H " であるときには、ノード D P とほぼ同電位を有する信号を出力する。

スイッチ 4 2 h は出力信号 O P が出力される出力線と高電位線 A V D を接続又は切断する。スイッチ 4 1 h はノード D P と高電位線 A V D を接続又は切断する。なお、スイッチ 4 1 h、4 2 h はクロック信号 C L K の逆論理信号 / C L K の電位に応じて接続又は切断を実行する。

#### 【 0 1 2 1 】

デジタル信号 S W P 1 - S W P n それぞれは、n 個のデジットからなる 2 進数の各デジットに対応する信号であり、それぞれの信号電位により論理値を表す。スレッシュドコントローラ 2 0 h はデジタル信号 S W P 1 - S W P n を通じて、n 個の P 型 M O S トランジスタ 4 4 h 1 - 4 4 h n の内、オン又はオフするスイッチの個数を制御する。

その結果、出力信号 O P が出力される出力線とグランド線間にコンパレータ 1 0 h のオフセットに応じたキャンセル電流が流れる。なお、入力信号 V I P の電位と入力信号 V I M の電位の電位差に応じて、出力信号 O P の電位が " H " を表す論理レベル又は " L " を表す論理レベルに確定すると、ノード D P の電位は " H " を表す論理レベルとなるため、n 個の P 型 M O S トランジスタ 4 4 h 1 - 4 4 h n すべてがオフする。その結果、オフセットキャンセル部 4 0 h は、出力信号 O P が出力される出力線とグランド線間を流れるキャンセル電流の発生を遮断する。

#### 【 0 1 2 2 】

スレッシュドコントローラ 2 0 h は、実施例 2 において説明したスレッシュドコントローラ 2 0 と比較すると、スイッチ 3 3 1 - 3 3 n、スイッチ 4 3 1 - 4 3 n のオンオフを制御するコード信号 3 6 の代わりに、デジタル信号 S W M 1 - S W M n 及びデジタル信号 S W P 1 - S W P n を出力する点で異なるが、その他の点ではスレッシュドコントローラ 2 0 と同様な回路であり、同様な機能を有する。

#### 【 0 1 2 3 】

実施例 2 に示すコンパレータ 1 0 においては、スイッチ 3 3 b 1 - 3 3 b n 及びスイッチ 4 3 b 1 - 4 3 b n によりキャンセル電流量の増減を行っている。また、スイッチ 3 5 b 1 - 3 5 b n 及び 4 5 b 1 - 4 5 b n がクロック信号 C L K を受けることにより、オンオフするため、オフセットキャンセル部 3 0 b、4 0 b のキャンセル電流発生期間はクロック信号 C L K の論理が " H " である期間に限定されている。さらに、ノード D M の電位を P 型 M O S トランジスタ 3 4 b 1 - 3 4 b n が受けており、ノード D P の電位を P 型 M O S トランジスタ 3 4 b 1 - 3 4 b n が受けて動作することにより、キャンセル電流がスイッチ 3 3 1 - 3 3 n 及びスイッチ 4 3 1 - 4 3 n を流れる期間を限定している。

#### 【 0 1 2 4 】

上記に対し、実施例 9 に示すコンパレータ 1 0 h においては、スイッチ 3 5 h 1 - 3 5 h n 及び 4 5 h 1 - 4 5 h n は P 型 M O S トランジスタであり、ロジック回路 3 7 h 1 - 3 7 h n、ロジック回路 4 7 h 1 - 4 7 h n からの出力をゲートで受けている。その結果、スイッチ 3 5 h 1 - 3 5 h n 及び 4 5 h 1 - 4 5 h n によって、キャンセル電流量の増減が実行されるとともに、オフセットキャンセル部 3 0 h、4 0 h のキャンセル電流発生期間は、クロック信号 C L K の論理が " H " である期間に限定されている。

一方、ロジック回路 3 8 h 1 - 3 8 h n からの出力信号を P 型 M O S トランジスタ 3 4 h 1 - 3 4 h n がゲートで受けているため、論理 " H " の信号を出力しているロジック回路 3 8 h 1 - 3 8 h n に接続している P 型 M O S トランジスタ 3 4 h 1 - 3 4 h n においては、キャンセル電流は流れない。しかし、ノード D P と同様な電位を有する信号を出力しているロジック回路 3 8 h 1 - 3 8 h n に接続している P 型 M O S トランジスタ 3 4 h 1 - 3 4 h n においては、ノード D P の電位が閾値以上の電位であるときに、キャンセル電流が流れる期間が限定される。

ロジック回路 4 8 h 1 - 4 8 h n から出力される信号の論理に応じて、P 型 M O S トラ

10

20

30

40

50

ンジスタ44h1 - 44hnも、上記と同様に動作する。

【0125】

以上より、実施例9のコンパレータ10hにおいては、比較動作を行うときに、オフセットキャンセル回路30h、40hが、オフセットをキャンセルするように、差動出力ノードに電流を流す。しかし、比較動作中において、差動出力ノードDM、DPの電位が一定の論理を表すように安定すると、入力信号をゲートで受ける一対のP型MOSトランジスタのドレインの電位は論理" L "となるため、オフセットキャンセル回路30e、40eは差動出力ノードDM、DPへの電流供給を遮断する。その結果、コンパレータ10hにおいては、オフセットキャンセル動作において発生する消費電力が低減される。

【0126】

図15は、実施例4において示したロジック回路37c1に対する第1回路例となるロジック回路37aを説明するための図である。図15において、出力信号OPが伝搬する信号線、N型MOSトランジスタ35、N型MOSトランジスタ34、ロジック回路37aが示されている。

N型トランジスタ35において、ドレインは出力信号OPが伝搬する信号線に接続し、ドレインはN型MOSトランジスタ34のドレインに接続し、ゲートにより入力信号DP又はDMを受ける。N型MOSトランジスタ34において、ソースはグランド線に接続し、ゲートによりロジック回路37aの出力を受ける。

ロジック回路37aは、ロジック回路37c1に対する一つの第1回路例である。ロジック回路37aはP型MOSトランジスタ371、374、N型MOSトランジスタ372、373、インバータ375を含む。

インバータ375はデジタル信号SWP1 - SWPnの反転論理信号を発生するインバータである。

P型MOSトランジスタ371のソースはクロック信号CLKを受けるとともに、N型MOSトランジスタ372のドレインと接続する。P型MOSトランジスタ371のドレインはP型MOSトランジスタ373のソース、N型MOSトランジスタ374のドレイン、及び、ロジック回路37aから外部への出力線に接続し、N型MOSトランジスタ34のゲートに信号を出力する。P型MOSトランジスタ371のゲートはデジタル信号SWP1 - SWPnの内のいずれかの反転論理信号を受けるとともに、N型MOSトランジスタ374のゲートに接続している。

N型MOSトランジスタ372のゲートは信号SWP1 - SWPnの内のいずれかを受けるとともに、P型MOSトランジスタ373のゲートと接続している。

P型MOSトランジスタ373のドレインはグランド線及びN型MOSトランジスタ374のソースと接続している。

【0127】

デジタル信号SWM1 - SWMnの論理が" L "であるときには、ロジック回路37aは論理" L "の信号を出力し、接続するデジタル信号SWM1 - SWMnの論理が" H "であるときには、クロック信号CLKと同様な論理を有する信号を出力する。

そこで、ロジック回路37aが論理" L "の信号を出力するときには、ノードDP又はDMで電位がN型MOSトランジスタ35の閾値以上の電位であるときでも、N型MOSトランジスタ34がオフなため、出力信号OPを伝搬する出力線からグランド線に向けたキャンセル電流は遮断される。一方、ロジック回路37aが論理" H "の信号を出力するときには、ノードDP又はDMで電位がN型MOSトランジスタ35の閾値以上の電位であるときには、出力信号OPを伝搬する出力線からグランド線に向けたキャンセル電流が流れる。

なお、ロジック回路37aはロジック回路37c1 - 37cnの回路例であるとともに、ロジック回路37dn、37en、47dn、47en、の回路例でもある。また、ロジック回路37aは37fn、37gn、37hn、47fn、47gn、47hnの回路例でもある。

【0128】

10

20

30

40

50

図16は、実施例4において示したロジック回路37c1に対する第2回路例となるロジック回路37bを説明するための図である。図16において、出力信号OPが伝搬する信号線、N型MOSトランジスタ35、N型MOSトランジスタ34、ロジック回路37bが示されている。

N型トランジスタ35において、ドレインは出力信号OPが伝搬する信号線に接続し、ドレインはN型MOSトランジスタ34のドレインに接続し、ゲートにより入力信号DP又はDMを受ける。N型MOSトランジスタ34において、ソースはグランド線に接続し、ゲートによりロジック回路37bの出力を受ける。

ロジック回路37bは、ロジック回路37c1に対する回路例である。ロジック回路37bはNAND376及びインバータ377を含む。

NAND376は一方の入力にクロック信号CLKを、他方の入力にデジタル信号SWP1 - SWPnの内のいずれかを受け、クロック信号CLKと他方の入力信号との論理積をとり、その論理を反転させた信号を出力する。

#### 【0129】

そうすると、デジタル信号SWM1 - SWMnの論理が" L " であるときには、ロジック回路37bは論理" L " の信号を出力し、接続するデジタル信号SWM1 - SWMnの論理が" H " であるときには、クロック信号CLKと同様な論理を有する信号を出力する。

そこで、ロジック回路37bが論理" L " の信号を出力するときには、ノードDP又はDMで電位がN型MOSトランジスタ35の閾値以上の電位であるときでも、N型MOSトランジスタ34はオフするので、出力信号OPを伝搬する出力線からグランド線に向けたキャンセル電流は遮断される。一方、ロジック回路37bが論理" H " の信号を出力するときには、ノードDP又はDMで電位がN型MOSトランジスタ35の閾値以上の電位であるときには、出力信号OPを伝搬する出力線からグランド線に向けたキャンセル電流が流れる。

なお、ロジック回路37bはロジック回路37c1 - 37cnの回路例であるとともに、ロジック回路37dn、37en、ロジック回路47cn、47dn、47enでもある。また、ロジック回路37bはロジック回路37fn、37gn、37hn、47fn、47gn、47hnの回路例でもある。ただし、N型MOSトランジスタ34、35に対応するトランジスタの極性はP型となるので、ロジック回路37bにおいてインバータ377は不要となる。

#### 【0130】

図17は、実施例4において示したロジック回路38c1に対する回路例となるロジック回路38aを説明するための図である。図17において、出力信号OPが伝搬する信号線、N型MOSトランジスタ35、N型MOSトランジスタ34、ロジック回路38aが示されている。

N型トランジスタ35において、ドレインは出力信号OPが伝搬する信号線に接続し、ドレインはN型MOSトランジスタ34のドレインに接続し、ゲートによりロジック回路38aの出力を受ける。N型MOSトランジスタ34において、ソースはグランド線に接続し、ゲートによりクロック信号CLKを受ける。

ロジック回路38aは、ロジック回路38c1に対する回路例である。ロジック回路38bはP型MOSトランジスタ381、384、N型MOSトランジスタ382、383、インバータ385を含む。

インバータ385はデジタル信号SWP1 - SWPnの反転論理信号を発生するインバータである。

P型MOSトランジスタ381のソースはノードDM又はDPからの信号を受けるとともに、N型MOSトランジスタ382のドレインと接続する。P型MOSトランジスタ371のドレインはP型MOSトランジスタ383のソース、N型MOSトランジスタ384のドレイン、及び、ロジック回路38aから外部への出力線に接続し、N型MOSトランジスタ35のゲートに信号を出力する。P型MOSトランジスタ381のゲートはデジ

10

20

30

40

50

タル信号SWP1 - SWPnの内のいずれかの反転論理信号を受けるとともに、N型MOSトランジスタ384のゲートに接続している。

N型MOSトランジスタ382のゲートは信号SWP1 - SWPnの内のいずれかを受けるとともに、P型MOSトランジスタ383のゲートと接続している。

P型MOSトランジスタ383のドレインはグランド線及びN型MOSトランジスタ384のソースと接続している。

#### 【0131】

デジタル信号SWM1 - SWMnの論理が" L "であるときには、ロジック回路38aは論理" L "の信号を出力し、接続するデジタル信号SWM1 - SWMnの論理が" H "であるときには、ノードDM又はDPと同様な電位を有する信号を出力する。

そこで、ロジック回路38aが論理" L "の信号を出力するときには、クロック信号CLKがN型MOSトランジスタ34の閾値以上の電位であるときでも、N型MOSトランジスタ35がオフなため、出力信号OPを伝搬する出力線からグランド線に向けたキャンセル電流は遮断される。一方、ロジック回路38aが論理" H "の信号を出力するときには、クロック信号CLKがN型MOSトランジスタ34の閾値以上の電位であるときには、出力信号OPを伝搬する出力線からグランド線に向けたキャンセル電流が流れる。

なお、ロジック回路38aはロジック回路38c1の回路例であるとともに、ロジック回路38cnの回路例でもあり、ロジック回路38dn、38en、38fn、38gn、378nでもある。また、ロジック回路38aはロジック回路48cn、ロジック回路48dn、48en、48fn、48gn、48hnの回路例でもある。

#### 【0132】

図18はクロックバッファ60aの回路図を示す。クロックバッファ60aはインバータ60a1、インバータ60a2、NAND60a3、インバータ60a4、NAND60a5、インバータ60a6、インバータ60a7、インバータ60a8を含む。

インバータ60a1はメインクロックMCLKを受け、インバータ60a2に第1反転信号を出力する。第1反転信号を受けたインバータ60a2は、NAND60a3の一方の端子、インバータ60a4、NAND60a5の一方の端子に第2反転信号を出力する。

NAND60a3は、NAND60a3の他方の端子にて信号SWPを受け、第2反転信号と信号SMPとの論理積をとって得た第1論理積信号をインバータ60a6に出力する。第1論理積信号を受け、インバータ60a6はその反転信号であり、かつ、オフセットキャンセル部30c - 30h用のクロック信号CLKを出力する。

インバータ60a4は、第2反転信号を受け、第3反転信号をインバータ60a7に出力する。インバータ60a7は、第3反転信号を受け、その反転信号であり、かつ、スイッチ57c - 57h用のクロック信号CLKを出力する。

NAND60a5は、NAND60a5の他方の端子にて信号SWMを受け、第2反転信号と信号SWMとの論理積をとって得た第2論理積信号をインバータ60a8に出力する。第2論理積信号を受け、インバータ60a8はその反転信号であり、かつ、オフセットキャンセル部40c - 40h用のクロック信号CLKを出力する。

#### 【0133】

信号SWPと信号SWMはスレッシュホールドコントローラ20cからスレッシュホールドコントローラ20hまでのいずれからも出力され、以下のような論理レベルを有する。

デジタル信号SWP1 - SWPnの内のいずれかが論理" H "のときは、信号SWPの論理は" H "であり、デジタル信号SWP1 - SWPnの内のいずれもが論理" L "のときは、信号SWPの論理は" L "である。一方、デジタル信号SWM1 - SWMnの内のいずれかが論理" H "のときは、信号SWMの論理は" H "であり、デジタル信号SWM1 - SWMnの内のいずれもが論理" L "のときは、信号SWMの論理は" L "である。すなわち、信号SWPが論理" H "のときは、信号SWMの論理は" L "であり、信号SWMが論理" H "のときは、信号SWPの論理は" L "である。

従って、コンパレータ10cからコンパレータ10hにおいて、信号SWPが論理" H

10

20

30

40

50

”であるときには、オフセットキャンセル部 30c からオフセットキャンセル部 30h までにはクロック信号 CLK が供給される。一方、オフセットキャンセル部 40c からオフセットキャンセル部 40h までにはクロック信号 CLK は供給されない。

一方、信号 SWM が論理 “H” であるときには、オフセットキャンセル部 30c からオフセットキャンセル部 30h までにはクロック信号 CLK が供給されない。一方、オフセットキャンセル部 40c からオフセットキャンセル部 40h までにはクロック信号 CLK は供給される。

すなわち、コンパレータ 10c からコンパレータ 10h において、オフセットキャンセル部 30c からオフセットキャンセル部 30h までに供給されるクロック信号 CLK 又はオフセットキャンセル部 40c からオフセットキャンセル部 40h までに供給されるクロック信号 CLK のいずれかが遮断されるため、コンパレータ 10 及びコンパレータ 10b の消費電力に比較し、コンパレータ 10c からコンパレータ 10h の消費電力は低下する。

#### 【0134】

図 19 はクロックバッファ 60b の回路図を示す。クロックバッファ 60b はクロック駆動能力調整部 60b0、クロック分配部 60b1、コントローラ 60b2 を含む。

コントローラ 60b2 はクロックバッファ 60b に含まれるスイッチの接続及び遮断を制御する。

クロック駆動能力調整部 60b0 は基本クロック BCLK を受けるインバータ 60b00 と、n 個のスイッチと、n 個のインバータ 60b01 - 60b0n を含む。n 個のスイッチそれぞれはインバータ 60b01 - 60b0n それぞれに直列に接続し、スイッチ 1 つとインバータ 60b01 - 60b0n の内の一つとでセットを構成している。上記の n 個のセットはインバータ 60b00 の出力と、クロック駆動能力調整部 60b0 との間において並列に接続されている。なお、上記の n 個のスイッチの接続及び遮断はコントローラ 60b2 により、クロック分配部 60b1 中において動作中にインバータの個数に応じて、制御される。すなわち、クロック駆動能力調整部 60b0 の駆動能力は、クロック駆動能力調整部 60b0 の出力に接続するインバータの個数により増減するので、接続されているスイッチの個数に応じて増減する。

クロック分配部 60b1 は、m 個 × n 個のインバータ 60b11 - 60bm n、及び、それぞれのインバータに直列して接続する m 個 × n 個のスイッチを含む。m 個 × n 個のインバータ 60b11 - 60bm n それぞれは m 個 × n 個のコンパレータ（コンパレータ 10c からコンパレータ 10h を含む）にメインクロック信号 MCLK を供給する。なお、上記の m 個 × n 個のスイッチの接続及び遮断は、コントローラ 60b2 により、動作が必要と判断されたコンパレータ（コンパレータ 10c からコンパレータ 10h を含む）にメインクロック信号 MCLK を供給するために行われる。

#### 【0135】

実施例 3 において説明したようにコンパレータ（コンパレータ 10c からコンパレータ 10h を含む）はアナログデジタル回路等において、複数使用される。しかし、複数のコンパレータ（コンパレータ 10c からコンパレータ 10h を含む）を同時に動作させるとは限らない。そうすると、動作するコンパレータ（コンパレータ 10c からコンパレータ 10h を含む）のみにメインクロック信号 MCLK を接続すればよいことになる。そこで、クロックバッファ 60b によって、動作するコンパレータ（コンパレータ 10c からコンパレータ 10h を含む）のみにメインクロック信号 MCLK を接続することとすれば、アナログデジタル回路等が搭載されている半導体素子の消費電力を削減することができる。

#### 【0136】

以下、発明の特徴について付記する

（付記 1）

差動入力信号をゲート電極で受ける一対の MOS トランジスタと、

前記一対の MOS トランジスタのドレインそれぞれと、高電位電源線とに電氣的に接続

10

20

30

40

50

し、前記一対のMOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノード間の電位差を増幅し、増幅後の電位を前記差動出力ノードに保持する増幅部と、

前記差動出力ノード間の電圧を前記増幅部が増幅する際に、前記差動出力ノードの一方にキャンセル電流を流し、前記増幅部による増幅動作後に、前記一対のMOSトランジスタのドレイン電圧に応じて前記差動出力ノードへの前記キャンセル電流の流入を遮断するオフセットキャンセル回路と、

前記差動入力信号の一方の信号の電位を他方の信号の電位と等しく設定し、前記差動出力ノード間の電位差を増幅したときに、前記差動出力ノード間の電位が、前記キャンセル電流を注入する前に比較し、前記キャンセル電流の注入後において逆転するように、前記キャンセル電流を設定するスレッシュホールドコントローラと、

を備えることを特徴とする増幅回路。

(付記2)

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラによりオンオフが制御され、前記差動出力ノードの一つに一方の端子が接続するn個のスイッチと、

前記n個のスイッチの他方の端子それぞれにドレイン端子にて接続し、ゲート端子にて前記一対のMOSトランジスタのドレインの内の一つと接続し、ソース端子をグランド電位とすることが可能なn個の第1MOSトランジスタと、を備えることを特徴とする付記1に記載の増幅回路。

(付記3)

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力するn個の第1ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記一対のMOSトランジスタのドレインの内の一つと接続するn個の第1MOSトランジスタと、

ドレイン端子にて前記n個の第1MOSトランジスタのソース端子それぞれに接続し、ゲート端子にて前記n個の第1ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にてグランド線に接続するn個の第2MOSトランジスタと、を備えることを特徴とする付記1に記載の増幅回路。

(付記4)

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一対のMOSトランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第2ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第2ロジック回路からの信号を受けるn個の第1MOSトランジスタと、

ドレイン端子にて前記n個の第1MOSトランジスタのソース端子それぞれに接続し、ゲート端子にてクロック信号を受け、ソース端子にてグランド線に接続するn個の第2MOSトランジスタと、

を備えることを特徴とする付記1に記載の増幅回路。

(付記5)

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力するn個の第1ロジック回路と、

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一対のMOSトランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第2ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第2ロジック回路からの信号を受けるn個の第1MOSトランジスタと、

ドレイン端子にて前記n個の第1MOSトランジスタのソース端子それぞれに接続し、ゲート端子にて前記n個の第1ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にてグランド線に接続するn個の第2MOSトランジスタと、

を備えることを特徴とする付記1に記載の増幅回路。

10

20

30

40

50

(付記6)

前記スレッシュホールドコントローラは、  
 クロック信号を受けて、クロックパルスをカウントするパルスカウンタと、  
 前記パルスカウンタからのカウンタ値を記憶するレジスタと、  
 キャリブレーション動作の時には前記パルスカウンタからのカウンタ値に応じたコード  
 信号を出力し、増幅動作の時には、前記レジスタから出力されるカウンタ値に応じたコード  
 信号を出力するデコーダ回路と、  
 を備えることを特徴とする付記1に記載の増幅回路。

(付記7)

基準電源と、グランド電源との間に直列に接続されている複数の抵抗からなる抵抗列と

10

、  
 前記抵抗列における抵抗同士が接続される接続点の内の一つと接続し、前記入力信号の  
 電位と、接続している前記接続点の電位とを比較する、複数のコンパレータと、

前記複数のコンパレータから出力される複数の比較結果から、前記入力信号の電位に応  
 じたデジタル信号を出力するエンコーダと、を備え、

前記コンパレータは、

前記入力信号の電位及び前記接続点の電位をゲート電極で受ける一対のMOSトランジ  
 スタと、

前記一対のMOSトランジスタのドレインそれぞれと、高電位電源線とに電氣的に接続  
 し、前記一対のMOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノ  
 ード間の電位差を増幅し、増幅後の電位を前記差動出力ノードに保持する増幅部と、

20

前記差動出力ノード間の電圧を前記増幅部が増幅する際に、前記差動出力ノードの一方  
 にキャンセル電流を流し、前記増幅部による増幅動作後に、前記一対のMOSトランジ  
 スタのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断するオフセ  
 ットキャンセル回路と、

前記入力信号及び前記接続点の電位を等しく設定し、前記差動出力ノード間の電位差を  
 増幅したときに、差動出力ノードに発生する電位が、キャンセル電流を注入する前に比較  
 し、キャンセル電流の注入後において逆転するように、キャンセル電流を設定するスレ  
 ッショールドコントローラと、を備えることを特徴とするアナログデジタル回路。

(付記8)

30

差動入力信号をゲート電極で受ける一対のMOSトランジスタと、

前記一対のMOSトランジスタのドレインそれぞれと、グランド線とに電氣的に接続し  
 、前記一対のMOSトランジスタのドレインそれぞれに電氣的に接続する差動出力ノ  
 ード間の電位差を増幅し、増幅後の電位を前記差動出力ノードに保持する増幅部と、

前記差動出力ノード間の電圧を前記増幅部が増幅する際に、前記差動出力ノードの一方  
 にキャンセル電流を流し、前記増幅部による増幅動作後に、前記一対のMOSトランジ  
 スタのドレイン電圧に応じて差動出力ノードへのキャンセル電流の流入を遮断するオフセ  
 ットキャンセル回路と、

差動入力信号の一方及び他方の信号の電位を等しく設定し、前記差動出力ノード間の電  
 位差を増幅したときに、前記差動出力ノード間の電位が、前記キャンセル電流を注入する  
 前に比較し、前記キャンセル電流の注入後において逆転するように、前記キャンセル電流  
 を設定するスレッシュホールドコントローラと、

40

を備えることを特徴とする増幅回路。

(付記9)

前記オフセットキャンセル回路は、

前記スレッシュホールドコントローラによりオンオフが制御され、前記差動出力ノードの一  
 つに一方の端子が接続するn個のスイッチと、

前記n個のスイッチの他方の端子それぞれにドレイン端子にて接続し、ゲート端子にて  
 前記一対のMOSトランジスタのドレインの内の一つと接続し、ソース端子をグランド電  
 位とすることが可能なn個の第1MOSトランジスタと、

50



を備えることを特徴とする付記 8 に記載の増幅回路。

(付記 10)

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力する n 個の第 1 ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記一对の MOS トランジスタのドレインの内の一つと接続する n 個の第 1 MOS トランジスタと、

ドレイン端子にて前記 n 個の第 1 MOS トランジスタのソース端子それぞれに接続し、ゲート端子にて前記 n 個の第 1 ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にて高電位線に接続する n 個の第 2 MOS トランジスタと、

を備えることを特徴とする付記 8 に記載の増幅回路。

10

(付記 11)

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一对の MOS トランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第 2 ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第 2 ロジック回路からの信号を受ける n 個の第 1 MOS トランジスタと、

ドレイン端子にて前記 n 個の第 1 MOS トランジスタのソース端子それぞれに接続し、ゲート端子にてクロック信号を受け、ソース端子にて高電位線に接続する n 個の第 2 MOS トランジスタと、

を備えることを特徴とする付記 8 に記載の増幅回路。

20

(付記 12)

前記スレッシュホールドコントローラからの信号の論理レベルと、クロック信号の論理レベルに応じた論理レベルを有する論理信号を出力する n 個の第 1 ロジック回路と、

前記スレッシュホールドコントローラからの信号の論理レベルと、前記一对の MOS トランジスタのドレインの内の一つの電位に応じた電位を有する信号を出力する第 2 ロジック回路と、

ドレイン端子にて前記差動出力ノードの一つと接続し、ゲート端子にて前記第 2 ロジック回路からの信号を受ける n 個の第 1 MOS トランジスタと、

ドレイン端子にて前記 n 個の第 1 MOS トランジスタのソース端子それぞれに接続し、ゲート端子にて前記 n 個の第 1 ロジック回路それぞれから出力される前記論理信号を受け、ソース端子にて高電位線に接続する n 個の第 2 MOS トランジスタと、

を備えることを特徴とする付記 8 に記載の増幅回路。

30

【産業上の利用可能性】

【0137】

本発明によれば、コンパレータのオフセットキャンセル動作において発生する消費電力を、低減させることが可能なオフセットキャンセル機構を搭載したコンパレータを提供することができる。

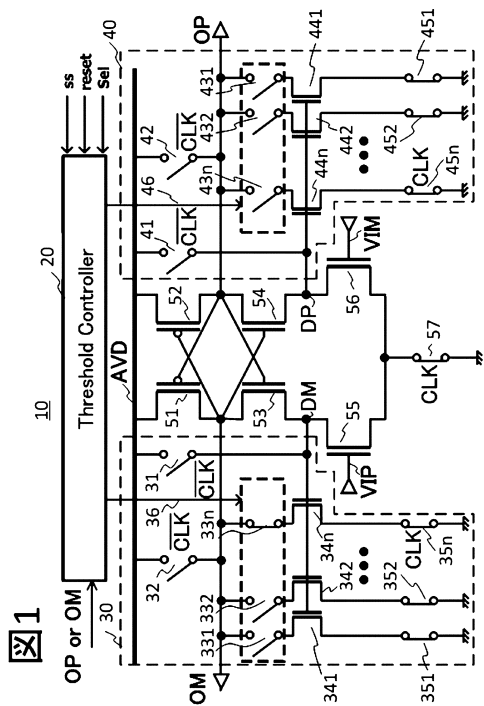
【符号の説明】

【0138】

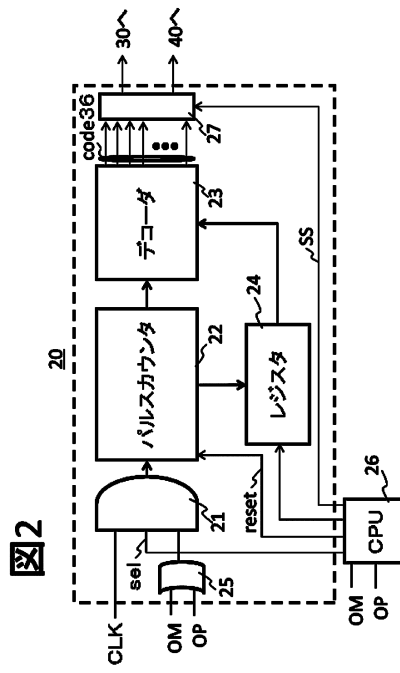
- 10 コンパレータ
- 20 スレッシュホールドコントローラ
- 30、40 オフセットキャンセル回路
- op100 - op190 オペレーション
- 70 アナログデジタル回路
- 90 エンコーダ

40

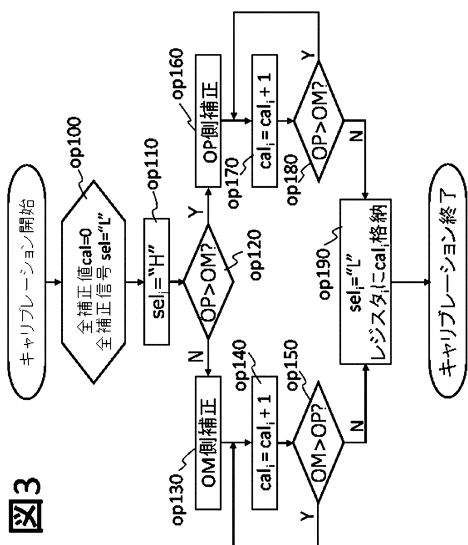
【 図 1 】



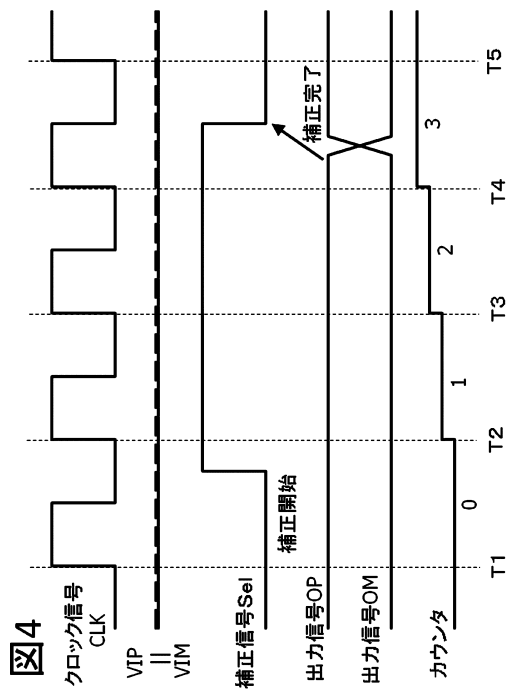
【 図 2 】



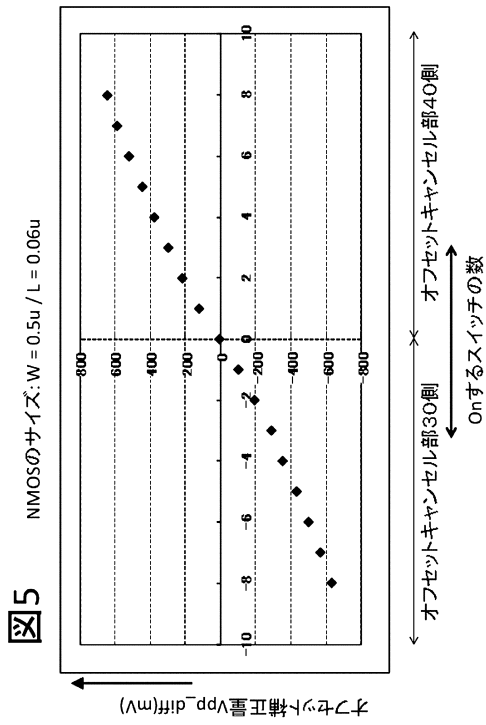
【 図 3 】



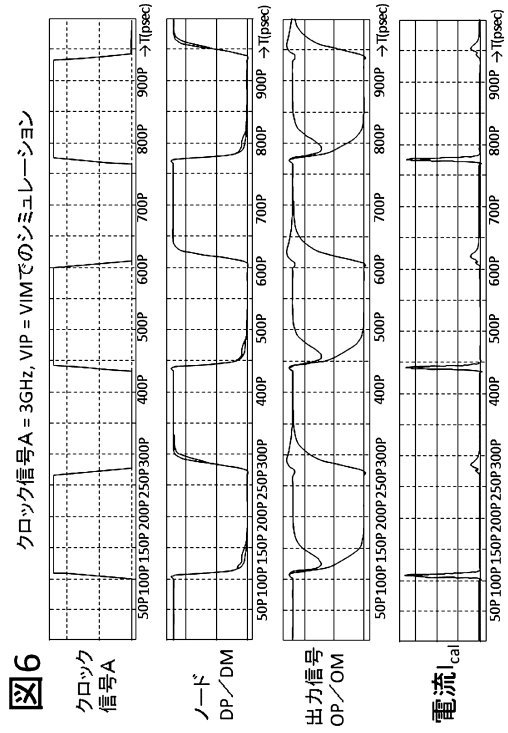
【 図 4 】



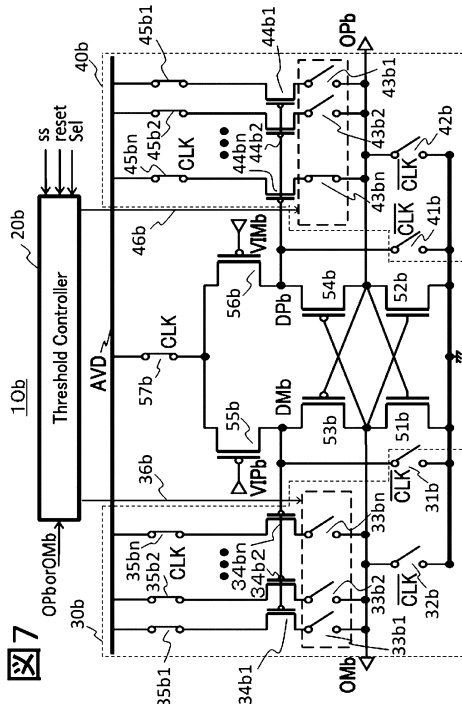
【 図 5 】



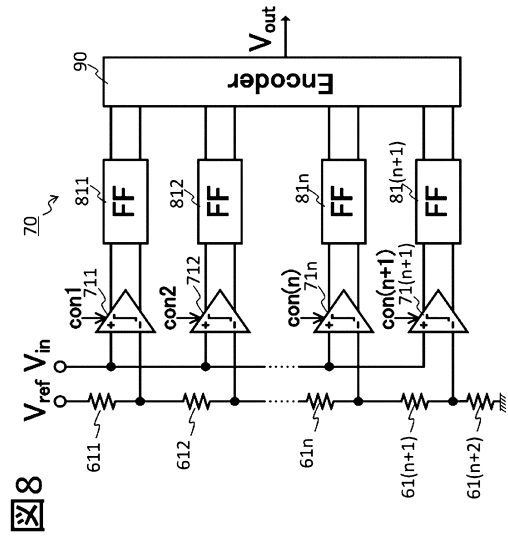
【 図 6 】



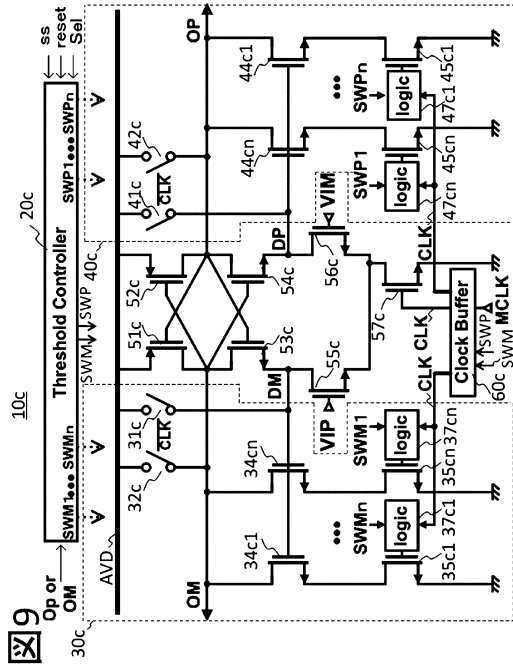
【 図 7 】



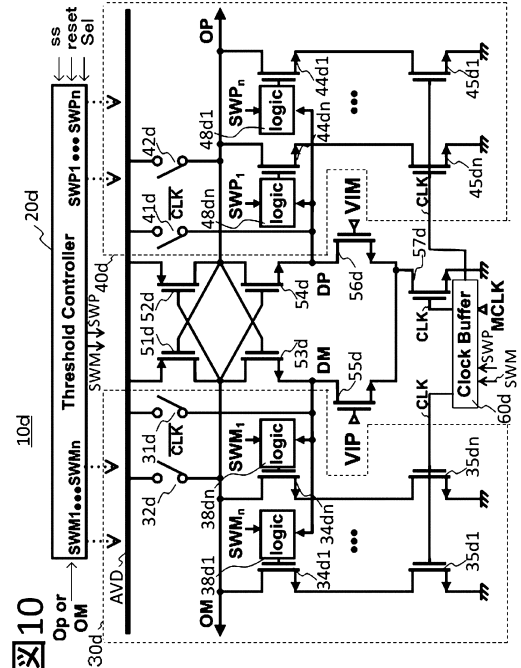
【 図 8 】



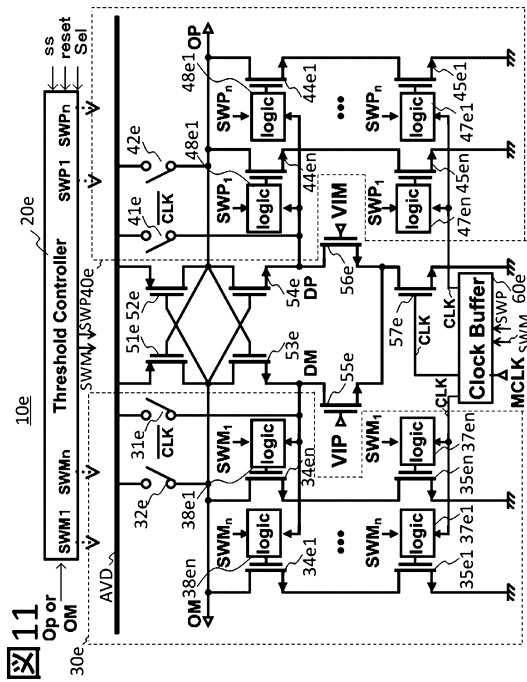
【 図 9 】



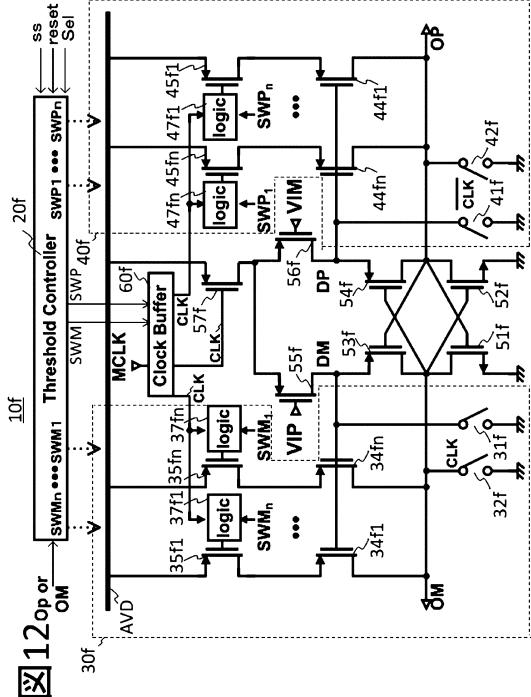
【 図 10 】



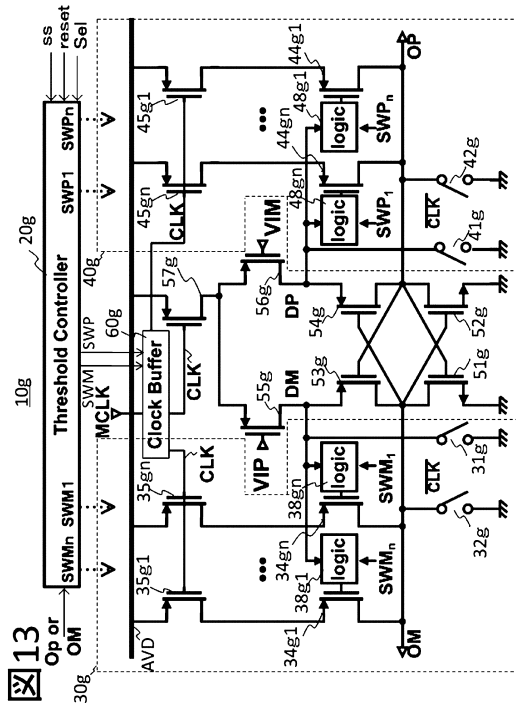
【 図 11 】



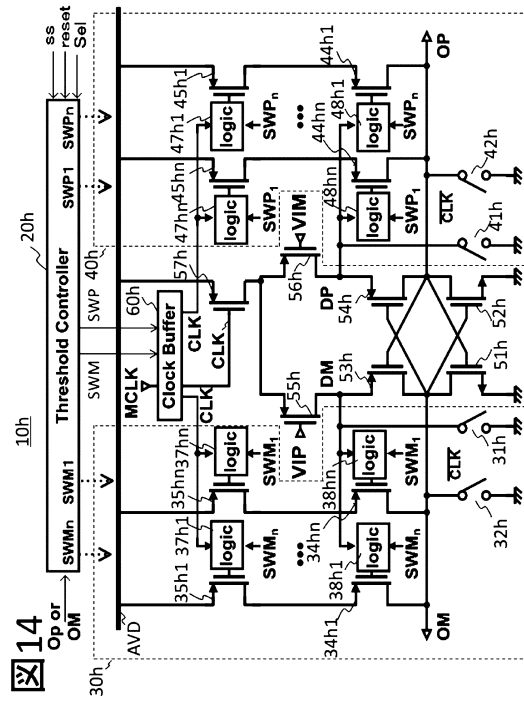
【 図 12 】



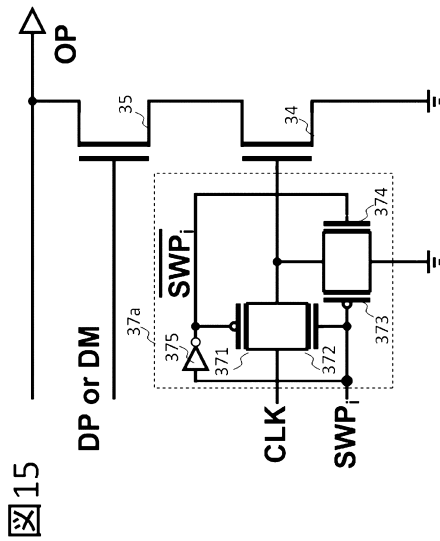
【 図 1 3 】



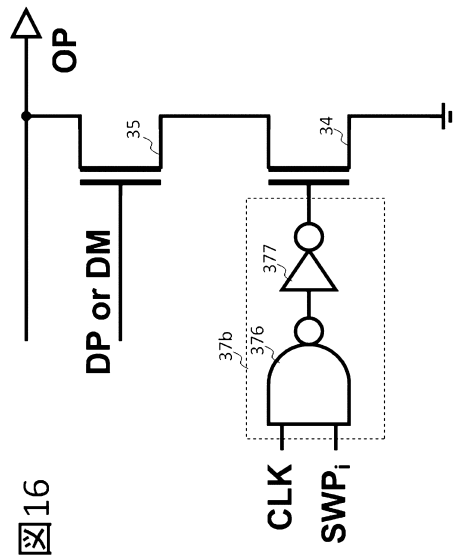
【 図 1 4 】



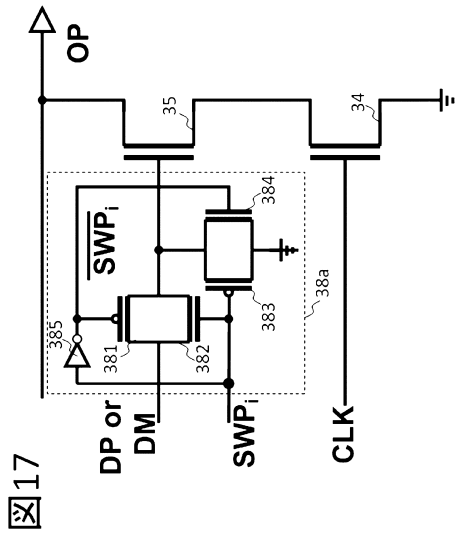
【 図 1 5 】



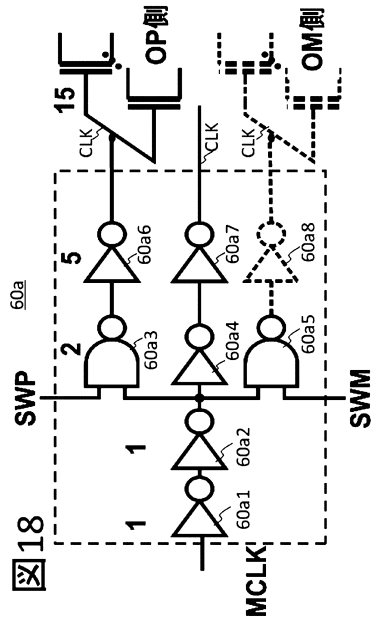
【 図 1 6 】



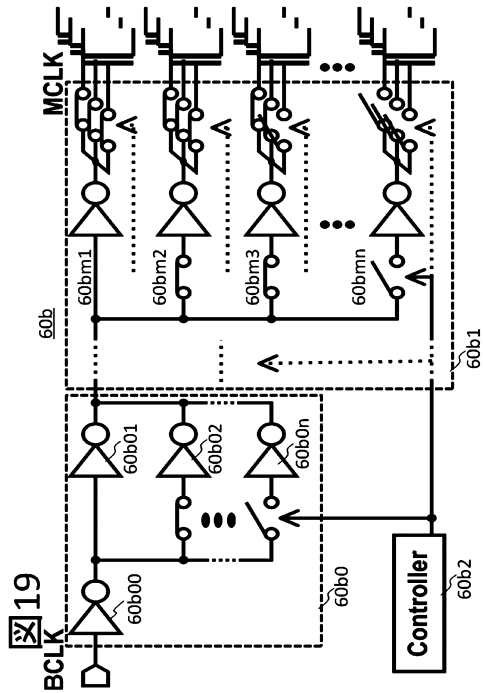
【 図 17 】



【 図 18 】



【 図 19 】



---

フロントページの続き

(56)参考文献 国際公開第2007/111035(WO, A1)

特開2001-111421(JP, A)

特開平02-027401(JP, A)

特開2000-165241(JP, A)

A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS, ISSCC 2007 / SESSION 13 / delta sigma ADCs AND CONVERTER TECHNIQUES /13.5, 2007年 2月13日, P246-247,600

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45

H03K 5/08