(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0143125
(43) 공개일자 2017년12월29일

(51) 국제특허분류(Int. Cl.)
G11C 7/12 (2006.01) *G11C 5/14* (2006.01)
G11C 7/10 (2015.01)
(52) CPC특허분류
G11C 7/12 (2013.01)
G11C 5/147 (2013.01)
(21) 출원번호 10-2016-0076693
(22) 출원일자 2016년06월20일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
차수호
서울특별시 구로구 개봉로17가길 23 3층 (개봉동)
김찬경
경기도 화성시 동탄시범한빛길 10 233동 804호 (반송동,시범한빛마을한화꿈에그린아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

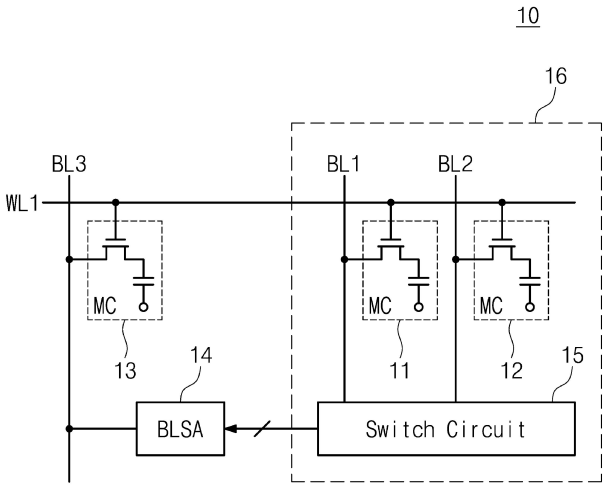
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **기준전압을 생성하기 위한 메모리 셀을 포함하는 메모리 장치**

(57) 요 약

본 발명은 기준전압을 생성하는 메모리 장치에 관한 것이다. 본 발명의 실시 예에 따른 메모리 장치는 제 1 메모리 셀, 제 2 메모리 셀, 제 3 메모리 셀, 및 비트라인 센스앰프를 포함할 수 있다. 제 1 메모리 셀은 제 1 워드라인 및 제 1 비트라인에 연결될 수 있다. 제 2 메모리 셀은 제 1 워드라인 및 제 2 비트라인에 연결될 수 있다. 제 3 메모리 셀은 제 1 워드라인 및 제 3 비트라인에 연결될 수 있다. 비트라인 센스앰프는 제 3 비트라인과 연결될 수 있다. 제 1 메모리 셀 및 제 1 비트라인 사이의 차지 쉐어링(Charge sharing)에 의해 제 1 기준전압이 생성되고, 제 2 메모리 셀 및 제 2 비트라인 사이의 차지 쉐어링에 의해 제 2 기준전압이 생성될 수 있다. 본 발명의 실시 예에 따른 메모리 장치는 기준전압을 제공할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
G11C 7/1048 (2013.01)
(72) 발명자
박성철
서울특별시 용산구 이촌로87길 14 109동 1104호 (이촌동,강촌아파트)
송호영
경기도 화성시 동탄반석로 231 146동 1704호 (석우동,예당마을롯데캐슬아파트)
최광철
서울특별시 금천구 독산로26길 21 (시흥동)

명 세 서

청구범위

청구항 1

제 1 워드라인 및 제 1 비트라인에 연결된 제 1 메모리 셀;

상기 제 1 워드라인 및 제 2 비트라인에 연결된 제 2 메모리 셀;

상기 제 1 워드라인 및 제 3 비트라인에 연결된 제 3 메모리 셀; 및

상기 제 3 비트라인과 연결된 비트라인 센스앰프를 포함하고,

상기 제 1 메모리 셀 및 상기 제 1 비트라인 사이의 차지 쉐어링(Charge sharing)에 의해 제 1 기준전압이 생성되고, 상기 제 2 메모리 셀 및 상기 제 2 비트라인 사이의 차지 쉐어링에 의해 제 2 기준전압이 생성되는 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 기준전압 및 상기 제 2 기준전압은 상기 비트라인 센스앰프로 전달되는 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 비트라인과 제 1 기준전압 라인을 연결하고, 상기 제 2 비트라인과 제 2 기준전압 라인을 연결하는 제 1 스위치 회로;

제 1 비트바라인과 상기 제 1 기준전압 라인을 연결하고, 제 2 비트바라인과 상기 제 2 기준전압 라인을 연결하는 제 2 스위치 회로; 및

상기 제 1 기준전압 라인 또는 상기 제 2 기준전압 라인 중 어느 하나를 상기 비트라인 센스앰프와 연결하는 제 3 스위치 회로를 더 포함하는 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 기준전압은 상기 제 1 메모리 셀, 상기 제 1 비트라인, 및 상기 제 1 비트바라인 사이의 차지 쉐어링에 의해 생성되고, 상기 제 2 기준전압은 상기 제 2 메모리 셀, 상기 제 2 비트라인, 및 상기 제 2 비트바라인 사이의 차지 쉐어링에 의해 생성되는 메모리 장치.

청구항 5

제 3 항에 있어서,

제 2 워드라인과 상기 제 1 비트바라인에 연결된 제 4 메모리 셀; 및

상기 제 2 워드라인과 상기 제 2 비트바라인에 연결된 제 5 메모리 셀을 더 포함하는 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 기준전압은 상기 제 1 메모리 셀, 상기 제 1 비트라인, 및 상기 제 1 비트바라인 사이의 차지 쉐어링 또는 상기 제 4 메모리 셀, 상기 제 1 비트바라인, 및 상기 제 1 비트라인 사이의 차지 쉐어링에 의해 생성되고, 상기 제 2 기준전압은 상기 제 2 메모리 셀, 상기 제 2 비트라인, 및 상기 제 2 비트바라인 사이의 차지 쉐어링 또는 상기 제 5 메모리 셀, 상기 제 2 비트바라인, 및 상기 제 2 비트라인 사이의 차지 쉐어링에

의해 생성되는 메모리 장치.

청구항 7

제 1 워드라인과 제 1 비트라인에 연결된 제 1 메모리 셀 및 상기 제 1 워드라인과 제 2 비트라인에 연결된 제 2 메모리 셀을 포함하는 기준전압 생성회로;

상기 제 1 워드라인과 제 3 비트라인에 연결된 제 3 메모리 셀; 및

상기 제 3 비트라인과 연결된 비트라인 센스앰프를 포함하되,

상기 기준전압 생성회로는 상기 제 1 메모리 셀 및 상기 제 1 비트라인 사이의 차지 쉐어링(Charge Sharing)에 의해 제 1 기준전압을 생성하고, 상기 제 2 메모리 셀 및 상기 제 2 비트라인 사이의 차지 쉐어링에 의해 제 2 기준전압을 생성하는 메모리 장치.

청구항 8

제 7 항에 있어서,

상기 기준전압 생성회로는 상기 제 1 기준전압 및 상기 제 2 기준전압을 상기 비트라인 센스앰프로 전달하는 메모리 장치.

청구항 9

제 8 항에 있어서,

상기 기준전압 생성회로는:

제 2 워드라인과 제 1 비트바라인에 연결된 제 4 메모리 셀; 및

상기 제 2 워드라인과 제 2 비트바라인에 연결된 제 5 메모리 셀을 더 포함하는 메모리 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 기준전압은 상기 제 1 메모리 셀, 상기 제 1 비트라인, 및 상기 제 1 비트바라인 사이의 차지 쉐어링 또는 상기 제 4 메모리 셀, 상기 제 1 비트바라인, 및 상기 제 1 비트라인 사이의 차지 쉐어링에 의해 생성되고, 상기 제 2 기준전압은 상기 제 2 메모리 셀, 상기 제 2 비트라인, 및 상기 제 2 비트바라인 사이의 차지 쉐어링 또는 상기 제 5 메모리 셀, 상기 제 2 비트바라인, 및 상기 제 2 비트라인 사이의 차지 쉐어링에 의해 생성되는 메모리 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 메모리 장치에 관한 것으로, 좀 더 자세하게는 기준전압을 생성하는 메모리 장치에 관한 것이다.

배 경 기 술

[0002] 메모리 장치는 크게 휘발성 메모리 장치(Volatile Memory Device)와 비휘발성 메모리 장치(Non-Volatile Memory Device)로 구분될 수 있다. 휘발성 메모리는 비휘발성 메모리 장치에 비해 빠르게 읽고 쓸 수 있다. 휘발성 메모리 장치에는 DRAM(Dynamic Random Access Memory) 또는 SRAM(Static Random Access Memory) 등이 포함될 수 있다.

[0003] 메모리 장치는 모바일 기기나 컴퓨터 등의 전자기기에 폭넓게 사용되고 있다. 메모리 장치의 용량은 제조 공정 기술의 발달로 증가되고 있다. 최근, 전자기기의 급격한 성능 향상과 용도 확장으로 인하여, 고용량의 메모리 장치가 요구되고 있다.

[0004] 고용량 메모리 장치를 구현하기 위해, 메모리 셀에는 적어도 2 비트(Bit) 이상이 저장될 수 있다. 따라서, 메모

리 셀에 저장된 복수의 비트들을 감지할 수 있는 메모리 장치가 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명은 기준전압을 생성하기 위한 메모리 셀을 포함하는 메모리 장치를 제공할 수 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 메모리 장치는 제 1 메모리 셀, 제 2 메모리 셀, 제 3 메모리 셀, 및 비트라인 센스 앰프를 포함할 수 있다. 제 1 메모리 셀은 제 1 워드라인 및 제 1 비트라인에 연결될 수 있다. 제 2 메모리 셀은 제 1 워드라인 및 제 2 비트라인에 연결될 수 있다. 제 3 메모리 셀은 제 1 워드라인 및 제 3 비트라인에 연결될 수 있다. 비트라인 센스앰프는 제 3 비트라인과 연결될 수 있다. 제 1 메모리 셀 및 제 1 비트라인 사이의 차지 쉐어링(Charge sharing)에 의해 제 1 기준전압이 생성되고, 제 2 메모리 셀 및 제 2 비트라인 사이의 차지 쉐어링에 의해 제 2 기준전압이 생성될 수 있다.

발명의 효과

[0007] 본 발명의 실시 예에 따른 메모리 장치는 차지 쉐어링(Charge Sharing)을 통해 기준전압을 제공할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다.

도 2 내지 도 4는 본 발명의 실시 예에 따른 기준전압 생성회로를 예시적으로 보여주는 블록도이다.

도 5 내지 도 6은 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다.

도 7 내지 도 10은 본 발명의 실시 예에 따른 메모리 장치의 동작을 예시적으로 보여주는 타이밍도이다.

도 11 내지 도 15는 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 아래에서는, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0010] 도 1은 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 1을 참조하면, 메모리 장치(10)는 제 1 메모리 셀(11), 제 2 메모리 셀(12), 제 3 메모리 셀(13), 비트라인 센스앰프(Bit Line Sense Amplifier, BLSA, 14), 및 스위치 회로(15)를 포함할 수 있다. 여기서, 제 1 메모리 셀(11), 제 2 메모리 셀(12), 및 스위치 회로(Switch Circuit, 15)는 기준전압 생성회로(16)로도 볼 수 있다.

[0011] 제 1 메모리 셀(11)은 제 1 워드라인(WL1)과 제 1 비트라인(BL1)에 연결될 수 있다. 제 1 메모리 셀(11)은 하나의 NMOS 트랜지스터(N-Channel Metal Oxide Semiconductor Field Effect Transistor) 및 하나의 커패시터(Capacitor)로 구성되는 DRAM(Dynamic Random Access Memory) 셀일 수 있다. 제 1 워드라인(WL1)에 고전압이 인가되면, 제 1 메모리 셀(11) 및 제 1 비트라인(BL1) 사이에 차지 쉐어링(Charge Sharing)이 발생될 수 있다.

[0012] 제 2 메모리 셀(12)은 제 1 워드라인(WL1)과 제 2 비트라인(BL2)에 연결될 수 있다. 제 3 메모리 셀(13)은 제 1 워드라인(WL1)과 제 3 비트라인(BL3)에 연결될 수 있다. 제 2 메모리 셀(12) 및 제 3 메모리 셀(13)은 제 1 메모리 셀(11)과 동일한 구조로 구현될 수 있다. 제 1 내지 제 3 메모리 셀(11~13)에는 단일 비트(Bit)뿐만 아니라, 적어도 2 비트 이상의 데이터가 저장될 수 있다.

[0013] 비트라인 센스앰프(14)는 제 3 비트라인(BL3)을 통해 제 3 메모리 셀(13)과 연결될 수 있다. 비트라인 센스앰프(14)는 기준전압 생성회로(16)로부터 복수의 기준전압들을 전달받을 수 있다. 비트라인 센스앰프(14)는 제 3 메모리 셀(13)에 저장된 데이터를 감지할 수 있다.

[0014] 기준전압 생성회로(16)는 비트라인 센스앰프(14)에 복수의 기준전압들을 공급할 수 있다. 기준전압 생성회로(16)는 제 1 메모리 셀(11) 및 제 1 비트라인(BL1) 사이의 차지 쉐어링에 의해 제 1 기준전압(VREF1, 미도시)을

생성할 수 있다. 기준전압 생성회로(16)는 제 2 메모리 셀(12) 및 제 2 비트라인(BL2) 사이의 차지 쉐어링에 의해 제 2 기준전압(VREF2, 미도시)을 생성할 수 있다. 기준전압 생성회로(16)는 제 1 기준전압(VREF1) 및 제 2 기준전압(VREF2)을 스위치 회로(15)를 통해 비트라인 센스앰프(14)로 전달할 수 있다.

[0015] 도 1에서 도시된 바와 달리, 기준전압 생성회로(16)는 두 개 이상의 메모리 셀들을 더 포함할 수도 있고, 두 개 이상의 기준전압들을 생성할 수도 있다. 기준전압 생성회로(16)는 비트라인 센스앰프(14)뿐만 아니라 메모리 장치(10) 내부로 복수의 기준전압들을 공급할 수도 있다. 본 발명의 실시 예에 따른 메모리 장치(10)는 비트라인 센스앰프에 입력되는 기준전압들을 차지 쉐어링을 통해 생성할 수 있다. 이하, 기준전압 생성회로에 대해 살펴본다.

[0016] 도 2는 본 발명의 실시 예에 따른 기준전압 생성회로를 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 기준전압 생성회로(100)는 제 1 메모리 셀(110), 제 2 메모리 셀(120), 제 1 스위치 회로(130), 제 2 스위치 회로(140), 및 제 3 스위치 회로(150)를 포함할 수 있다. 제 1 메모리 셀(110) 및 제 2 메모리 셀(120)에 대한 설명은 도 1에서 설명된 것과 중복되므로 생략하기로 한다.

[0017] 제 1 분리신호(ISO1)의 제어에 따라, 제 1 스위치 회로(130)는 제 1 비트라인(BL1)과 제 1 기준전압라인을 연결할 수 있고, 제 2 비트라인(BL2)과 제 2 기준전압라인을 연결할 수 있다. 도 2를 참조하면, 제 1 스위치 회로(130)는 두 개의 스위치를 포함할 수 있다. 예를 들면, 각 스위치는 NMOS 트랜지스터 또는 PMOS 트랜지스터(P-Channel Metal Oxide Semiconductor Field Effect Transistor) 중 어느 하나 또는 NMOS 트랜지스터 및 PMOS 트랜지스터가 모두 사용되어 구현될 수 있다. 제 1 분리신호(ISO1)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0018] 제 2 분리신호(ISO2)의 제어에 따라, 제 2 스위치 회로(140)는 제 1 비트바라인(BLB1)과 제 1 기준전압라인을 연결할 수 있고, 제 2 비트바라인(BLB2)과 제 2 기준전압라인을 연결할 수 있다. 도 2를 참조하면, 제 2 스위치 회로(140)는 두 개의 스위치를 포함할 수 있다. 제 2 분리신호(ISO2)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0019] 제 1 워드라인(WL1)에 고전압(예를 들면, VPP)이 인가되면 제 1 메모리 셀(110)의 NMOS 트랜지스터가 턴 온(Turn On)될 수 있다. 이 경우, 제 1 스위치 회로(130) 및 제 2 스위치 회로(140)에 의해 제 1 비트라인(BL1), 제 1 비트바라인(BLB1), 및 제 1 기준전압라인이 연결될 수 있고 혹은 사전에 연결되어 있을 수도 있다. 제 1 메모리 셀(110)의 NMOS 트랜지스터가 턴 온 되면, 제 1 메모리 셀(110), 제 1 비트라인(BL1), 및 제 1 비트바라인(BLB1) 사이에 차지 쉐어링이 발생될 수 있다.

[0020] 제 1 메모리 셀(110)의 커패시터에 저장된 전하들은 제 1 메모리 셀(110)의 커패시터, 제 1 비트라인(BL1)의 커패시터(미도시), 및 제 1 비트바라인(BLB1)의 커패시터(미도시)에 나뉘어 분포될 수 있다. 차지 쉐어링에 의해 생성된 전압은 제 1 기준전압(VREF1)으로 사용될 수 있다.

[0021] 제 2 메모리 셀(120)은 제 1 메모리 셀(110)과 동일한 기능이 수행될 수 있다. 따라서, 제 2 메모리 셀(120)의 NMOS 트랜지스터가 턴 온 되면, 제 2 메모리 셀(120), 제 2 비트라인(BL2), 및 제 2 비트바라인(BLB2) 사이에 차지 쉐어링이 발생될 수 있다. 차지 쉐어링에 의해 생성된 전압은 제 2 기준전압(VREF2)으로 사용될 수 있다. 여기서, 제 2 메모리 셀(120)에 저장된 전압과 제 1 메모리 셀(110)에 저장된 전압은 서로 상이할 수 있다. 따라서, 차지 쉐어링에 의해 생성된 제 2 기준전압(VREF2)과 제 1 기준전압(VREF1)도 서로 상이할 수 있다.

[0022] 도 2를 참조하면, 제 1 비트라인(BL1) 및 제 1 비트바라인(BLB1)은 비트라인 센스앰프(Bit Line Sense Amplifier, BLSA) 양쪽으로 벌어져서 배치될 수 있다. 마찬가지로, 제 2 비트라인(BL2) 및 제 2 비트바라인(BLB2)은 비트라인 센스앰프(BLSA) 양쪽으로 벌어져서 배치될 수 있다. 이러한 구조를 오픈 비트라인 구조라 할 수 있다. 오픈 비트라인 구조는 메모리 장치(미도시)의 면적 감소를 위해 적용될 수 있다.

[0023] 제 3 분리신호(ISO3)의 제어에 따라, 제 3 스위치 회로(150)는 제 1 기준전압라인 또는 제 2 기준전압라인 중 어느 하나를 비트라인 센스앰프(BLSA)와 연결할 수 있다. 도 2를 참조하면, 제 3 스위치 회로(150)는 두 개의 스위치를 포함할 수 있다.

[0024] 비트라인 센스앰프(BLSA)는 제 1 기준전압(VREF1) 또는 제 2 기준전압(VREF2)을 이용하여 제 3 메모리 셀(도 1 참조, 13)에 저장된 데이터를 감지할 수 있다. 예를 들면, 제 3 메모리 셀(도 1 참조, 13)에는 적어도 2 비트 이상의 데이터가 저장될 수 있다. 제 1 기준전압(VREF1)은 제 3 메모리 셀(도 1 참조, 13)의 MSB(Most Significant Bit)가 “1”인 경우 사용될 수 있다. 제 2 기준전압(VREF2)은 제 3 메모리 셀(도 1 참조, 13)의 MSB가 “0”인 경우 사용될 수 있다. 제 3 분리신호(ISO3)에는 MSB 정보가 포함될 수 있다. 제 3 메모리 셀(도

1 참조, 13)의 데이터가 감지되는 과정은 도 7 내지 도 10에서 후술한다.

[0025] 도 3은 본 발명의 실시 예에 따른 기준전압 생성회로를 예시적으로 보여주는 블록도이다. 도 3을 참조하면, 기준전압 생성회로(200)는 제 1 메모리 셀(210), 제 2 메모리 셀(220), 제 1 스위치 회로(230), 제 2 스위치 회로(240), 제 3 스위치 회로(250), 쓰기 드라이버(WTDRV, 260), 및 제 4 스위치 회로(270)를 포함할 수 있다. 제 1 메모리 셀(210), 제 2 메모리 셀(220), 제 1 스위치 회로(230), 제 2 스위치 회로(240), 및 제 3 스위치 회로(250)에 대한 설명은 도 2에서 설명된 것과 중복되므로 생략하기로 한다.

[0026] 쓰기 드라이버(260)는 제 1 메모리 셀(210) 및 제 2 메모리 셀(220) 각각에 데이터를 쓸 수 있다. 쓰기 드라이버(260)는 제 1 기준전압라인 및 제 1 비트라인(BL1)을 통해 데이터를 제 1 메모리 셀(210)에 전달할 수 있다. 쓰기 드라이버(260)는 제 2 기준전압라인 및 제 2 비트라인(BL2)을 통해 데이터를 제 2 메모리 셀(220)에 전달할 수 있다. 이 때, 제 1 워드라인(WL1)은 활성화될 수 있고, 제 1 스위치 회로(230)의 스위치들은 모두 턴 온 될 수 있다.

[0027] 도 3을 참조하면, 쓰기 드라이버(260)는 기준전압 생성회로(200)에 포함될 수 있다. 도시되진 않았지만, 쓰기 드라이버(260)는 기준전압 생성회로(200)에 포함되지 않고, 메모리 장치(도 1 참조, 10)에 포함될 수도 있다.

[0028] 전술한대로, 제 1 기준전압(VREF1)은 제 1 메모리 셀(210), 제 1 비트라인(BL1), 및 제 1 비트바라인(BLB1) 사이의 차지 쉐어링에 의해 생성될 수 있다. 제 2 기준전압(VREF2)은 제 2 메모리 셀(220), 제 2 비트라인(BL2), 및 제 2 비트바라인(BLB2) 사이의 차지 쉐어링에 의해 생성될 수 있다. 쓰기 드라이버(260)에 의한 제 1 메모리 셀(210)의 커패시터 전압 및 제 2 메모리 셀(220)의 커패시터 전압은 차지 쉐어링을 고려하여 결정될 수 있다.

[0029] 제 4 분리신호(ISO4)의 제어에 따라, 제 4 스위치 회로(270)는 쓰기 드라이버(260)의 제 1 출력과 제 1 기준전압라인을 연결할 수 있다. 제 4 분리신호(ISO4)의 제어에 따라, 제 4 스위치 회로(270)는 쓰기 드라이버(260)의 제 2 출력과 제 2 기준전압라인을 연결할 수 있다. 도 3을 참조하면, 제 4 스위치 회로(270)는 두 개의 스위치를 포함할 수 있다. 제 4 분리신호(ISO4)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0030] 도 4는 본 발명의 실시 예에 따른 기준전압 생성회로를 예시적으로 보여주는 블록도이다. 도 4를 참조하면, 기준전압 생성회로(300)는 제 1 메모리 셀(310), 제 2 메모리 셀(320), 제 1 스위치 회로(330), 제 2 스위치 회로(340), 제 3 스위치 회로(350), 쓰기 드라이버(360), 제 4 스위치 회로(370), 제 3 메모리 셀(380), 및 제 4 메모리 셀(390)을 포함할 수 있다. 도 4를 참조하면, 기준전압 생성회로(300)는 기준전압 생성회로(도 3 참조, 200)와 달리 제 3 메모리 셀(380) 및 제 4 메모리 셀(390)을 더 포함할 수 있다.

[0031] 제 1 메모리 셀(310), 제 2 메모리 셀(320), 제 1 스위치 회로(330), 제 2 스위치 회로(340), 제 3 스위치 회로(350), 쓰기 드라이버(360), 및 제 4 스위치 회로(370)는 도 3에서 도시된 제 1 메모리 셀(210), 제 2 메모리 셀(220), 제 1 스위치 회로(230), 제 2 스위치 회로(240), 제 3 스위치 회로(250), 쓰기 드라이버(260), 및 제 4 스위치 회로(270)와 각각 대체로 동일한 기능이 수행될 수 있다.

[0032] 제 3 메모리 셀(380)은 제 2 워드라인(WL2) 및 제 1 비트바라인(BLB1)에 연결될 수 있다. 제 3 메모리 셀(380)은 제 1 메모리 셀(310)과 동일한 기능이 수행될 수 있다. 제 3 메모리 셀(380)의 NMOS 트랜지스터가 턴 온 되면, 제 3 메모리 셀(380), 제 1 비트바라인(BLB1), 및 제 1 비트라인(BL1) 사이에 차지 쉐어링이 발생될 수 있다. 차지 쉐어링에 의해 생성된 전압은 제 1 기준전압(VREF1)으로 활용될 수 있다. 제 3 메모리 셀(380)에 의한 제 1 기준전압(VREF1)과 제 1 메모리 셀(310)에 의한 제 1 기준전압(VREF1)은 동일할 수 있다.

[0033] 제 4 메모리 셀(390)은 제 2 워드라인(WL2) 및 제 2 비트바라인(BLB2)에 연결될 수 있다. 제 4 메모리 셀(390)은 제 2 메모리 셀(320)과 동일한 기능이 수행될 수 있다. 제 4 메모리 셀(390)의 NMOS 트랜지스터가 턴 온 되면, 제 4 메모리 셀(390), 제 2 비트바라인(BLB2), 및 제 2 비트라인(BL2) 사이에 차지 쉐어링이 발생될 수 있다. 차지 쉐어링에 의해 생성된 전압은 제 2 기준전압(VREF2)으로 활용될 수 있다. 제 4 메모리 셀(390)에 의한 제 2 기준전압(VREF2)과 제 2 메모리 셀(320)에 의한 제 2 기준전압(VREF2)은 동일할 수 있다.

[0034] 제 1 메모리 셀(310) 및 제 2 메모리 셀(320)에 저장된 데이터는 제 1 워드라인(WL1)에 연결된 메모리 셀(미도시)에 저장된 데이터가 판별되는데 사용될 수 있다. 제 3 메모리 셀(380) 및 제 4 메모리 셀(390)에 저장된 데이터는 제 2 워드라인(WL2)에 연결된 메모리 셀(미도시)에 저장된 데이터가 판별되는데 사용될 수 있다.

[0035] 도 5는 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 5를 참조하면, 메모리 장치(1000)는 제 1 메모리 셀(1110), 제 2 메모리 셀(1120), 제 3 메모리 셀(1200), 비트라인 센스앰프(1300), 제 1 스위치 회로(1400), 제 2 스위치 회로(1500), 제 3 스위치 회로(1600), 제 5 스위치 회로(1700), 제 6 스

위치 회로(1800), 및 전압 생성기(1900)를 포함할 수 있다. 제 1 메모리 셀(1110), 제 2 메모리 셀(1120), 제 1 스위치 회로(1400), 및 제 2 스위치 회로(1500)의 설명은 도 2에서 설명된 것과 중복되므로 생략하기로 한다.

[0036] 제 3 메모리 셀(1200)은 제 1 워드라인(WL1) 및 제 3 비트라인(BL3)에 연결될 수 있다. 제 3 메모리 셀(1200)은 제 1 메모리 셀(1110) 또는 제 2 메모리 셀(1120) 각각과 동일한 구조로 구현될 수 있다. 제 3 메모리 셀(1200)에는 적어도 2 비트(Bit) 이상의 데이터가 저장될 수 있다.

[0037] 예를 들어, 제 3 메모리 셀(1200)에는 00, 01, 10, 11 중 어느 하나의 데이터가 저장될 수 있다. 제 3 메모리 셀(1200)에 11 데이터가 저장된 경우, 커패시터 전압은 VINTA로 가정할 수 있다. 제 3 메모리 셀(1200)에 10 데이터가 저장된 경우, 커패시터의 전압은 2/3*VINTA로 볼 수 있다. 제 3 메모리 셀(1200)에 01 데이터가 저장된 경우, 커패시터의 전압은 1/3*VINTA로 볼 수 있다. 제 3 메모리 셀(1200)에 00 데이터가 저장된 경우, 커패시터의 전압은 GND로 볼 수 있다.

[0038] 제 1 워드라인(WL1)에 고전압(예를 들면, VPP)이 인가되면, 제 3 메모리 셀(1200)의 NMOS 트랜지스터가 턴 온 될 수 있다. 이 경우, 제 5 스위치 회로(1700) 및 제 6 스위치 회로(1800)에 의해 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)이 연결될 수 있고 혹은 사전에 연결되어 있을 수도 있다. 제 3 메모리 셀(1200)의 NMOS 트랜지스터가 턴 온 되면, 제 3 메모리 셀(1200), 제 3 비트라인(BL3), 및 제 3 비트바라인(BLB3) 사이에 차지 쉐어링이 발생될 수 있다.

[0039] 전술한대로, 제 1 기준전압(VREF1)은 제 1 메모리 셀(1110), 제 1 비트라인(BL1), 및 제 1 비트바라인(BLB1) 사이의 차지 쉐어링에 의해 생성될 수 있다. 제 2 기준전압(VREF2)은 제 2 메모리 셀(1120), 제 2 비트라인(BL2), 및 제 2 비트바라인(BLB2) 사이의 차지 쉐어링에 의해 생성될 수 있다. 즉, 제 1 기준전압(VREF1) 및 제 2 기준전압(VREF2)은 제 3 메모리 셀(1200)의 차지 쉐어링과 유사한 방식을 통해 생성될 수 있다.

[0040] 비트라인 센스앰프(1300)는 제 1 입력 노드(IN) 및 제 2 입력 노드(INB) 사이의 전압 차이를 감지하고, 감지한 결과를 증폭할 수 있다. 비트라인 센스앰프(1300)는 제 3 메모리 셀(1200)에 저장된 적어도 2 비트의 데이터를 감지할 수 있다. 예를 들면, 비트라인 센스앰프(1300)는 제 3 메모리 셀(1200)에 저장된 데이터 중 MSB를 감지하고 이후 LSB(Last Significant Bit)를 감지할 수 있다. 비트라인 센스앰프(1300)의 구조 및 상세한 설명은 도 6에서 후술한다.

[0041] 제 3 분리신호(ISO3)의 제어에 따라, 제 3 스위치 회로(1600)는 제 1 기준전압라인, 제 2 기준전압라인, 또는 제 3 기준전압라인 중 어느 하나를 제 2 입력 노드(INB)와 연결할 수 있다. 제 2 입력 노드(INB)의 전압은 제 1 기준전압(VREF1), 제 2 기준전압(VREF2), 또는 제 3 기준전압(VREF3) 중 어느 하나로 설정될 수 있다.

[0042] 제 3 기준전압(VBL)은 제 3 메모리 셀(1200)의 MSB를 감지하는데 사용될 수 있다. MSB가 1인 경우, 제 1 기준전압(VREF1)은 제 3 메모리 셀(1200)의 LSB를 감지하는데 사용될 수 있다. MSB가 0인 경우, 제 2 기준전압(VREF2)은 제 3 메모리 셀(1200)의 LSB를 감지하는데 사용될 수 있다.

[0043] 도 5를 참조하면, 제 3 분리신호(ISO3)는 세 개의 스위치들과 연결될 수 있고, 각 스위치는 제 3 분리신호(ISO3)에 의해 독립적으로 제어될 수 있다. 이를 위해, 제 3 분리신호(ISO3)는 복수의 라인들을 통해 제 3 스위치 회로(1600)로 전달될 수 있다. 제 3 분리신호(ISO3)에는 MSB 정보가 포함될 수 있다. 제 3 분리신호(ISO3)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0044] 제 5 분리신호(ISO5)의 제어에 따라, 제 5 스위치 회로(1700)는 제 3 비트라인(BL3)과 제 1 입력 노드(IN)를 연결할 수 있다. 제 3 메모리 셀(1200), 제 3 비트라인(BL3), 및 제 3 비트바라인(BLB3) 사이에 차지 쉐어링 동작 시, 제 5 스위치 회로(1700)는 턴 온 될 수 있다. 비트라인 센스앰프(1300)가 MSB를 제 3 비트라인(BL3)에 저장하는 경우, 제 5 스위치 회로(1700)는 턴 온 될 수 있다. 비트라인 센스앰프(1300)가 LSB를 제 3 비트바라인(BLB3)에 저장하는 경우, 제 5 스위치 회로(1700)는 턴 오프 될 수 있다. 제 5 분리신호(ISO5)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0045] 도 5를 참조하면, 제 5 스위치 회로(1700)는 하나의 스위치만을 포함하고 있다. 그러나 메모리 장치(1000)가 복수개의 메모리 셀들(미도시)을 포함하는 경우, 제 5 스위치 회로(1700)는 그에 대응하는 스위치들(미도시)을 더 포함할 수도 있다.

[0046] 제 6 분리신호(ISO6)의 제어에 따라, 제 6 스위치 회로(1800)는 제 3 비트바라인(BLB3)과 제 1 입력 노드(IN)를 연결할 수 있다. 제 3 메모리 셀(1200), 제 3 비트라인(BL3), 및 제 3 비트바라인(BLB3) 사이에 차지 쉐어링 동작시, 제 6 스위치 회로(1800)는 턴 온 될 수 있다. 비트라인 센스앰프(1300)가 MSB를 제 3 비트라인(BL3)에 저

장하는 경우, 제 6 스위치 회로(1800)는 턴 오프 될 수 있다. 비트라인 센스앰프(1300)가 LSB를 제 1 비트바라인(BLB1)에 저장하는 경우, 제 6 스위치 회로(1800)는 턴 온 될 수 있다. 제 6 분리신호(ISO6)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0047] 도 5를 참조하면, 제 6 스위치 회로(1800)는 하나의 스위치만을 포함하고 있다. 그러나 메모리 장치(1000)가 복수개의 메모리 셀들(미도시)을 포함하는 경우, 제 6 스위치 회로(1800)는 그에 대응하는 스위치들(미도시)을 더 포함할 수도 있다.

[0048] 전압 생성기(Voltage Generator, 1900)는 제 3 기준전압(VBL)을 생성할 수 있다. 전압 생성기(1900)는 외부로부터 전원(미도시)을 입력 받아 제 3 기준전압(VBL)을 생성할 수 있다. 도시되진 않았지만, 전압 생성기(1900)는 메모리 장치(1000) 내부에 필요한 다양한 전원들을 생성할 수 있다. 여기서, 제 3 기준전압(VBL)은 VINTA/2일 수 있다. VINTA는 제 3 메모리 셀(1200)의 커패시터에 저장되는 가장 높은 전압을 의미할 수 있다.

[0049] 도 6은 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 6을 참조하면, 메모리 장치(2000)는 제 1 메모리 셀(2110), 제 2 메모리 셀(2120), 제 3 메모리 셀(2200), 비트라인 센스앰프(2300), 제 1 스위치 회로(2400), 제 2 스위치 회로(2500), 제 3 스위치 회로(2600), 제 5 스위치 회로(2700), 제 6 스위치 회로(2800), 및 전압 생성기(2900)를 포함할 수 있다. 제 1 메모리 셀(2110), 제 2 메모리 셀(2120), 제 3 메모리 셀(2200), 제 1 스위치 회로(2400), 제 2 스위치 회로(2500), 제 3 스위치 회로(2600), 제 5 스위치 회로(2700), 제 6 스위치 회로(2800), 및 전압 생성기(2900)의 설명은 도 5에서 설명된 것과 중복되므로 생략하기로 한다.

[0050] 도 6을 참조하면, 비트라인 센스앰프(2300)는 제 1 전원 스위치 회로(2310), 제 2 전원 스위치 회로(2320), 증폭 회로(2330), 감지 회로(2340), 입출력 연결 회로(2350), 및 이퀄라이져 회로(Equalizer Circuit, 2360)를 포함할 수 있다.

[0051] 제 1 전원 스위치 회로(2310)는 제 7 분리신호(ISO7)의 제어에 따라 VBL 또는 VINTA 중 어느 하나를 제 1 전원 노드(LA)와 연결할 수 있다. 전술한대로, VBL, VINTA는 전압 생성기(2900)에 의해 생성될 수 있다. 예를 들면, VINTA는 제 3 메모리 셀(2200)의 커패시터에 저장되는 최대 전압을 의미할 수 있고, VBL은 VINTA의 절반일 수 있다. 제 1 전원 노드(LA)에 VBL이 연결된 경우, 비트라인 센스앰프(2300)는 동작되지 않을 수 있다. 이 경우, 메모리 장치(2000)는 프리차지 모드에서 동작될 수 있다. 제 1 전원 노드(LA)에 VINTA가 연결된 경우, 비트라인 센스앰프(2300)는 감지 동작이 수행될 수 있다. 이 경우, 메모리 장치(2000)는 액티브 모드에서 동작될 수 있다. 제 1 전원 스위치 회로(2310)는 두 개의 스위치들을 포함할 수 있다.

[0052] 제 2 전원 스위치 회로(2320)는 제 7 분리신호(ISO7)의 제어에 따라 VBL 또는 VINTA 중 어느 하나를 제 2 전원 노드(LAB)와 연결할 수 있다. 제 2 전원 노드(LAB)에 VBL이 연결된 경우, 비트라인 센스앰프(2300)는 동작되지 않을 수 있다. 이 경우, 메모리 장치(2000)는 프리차지 모드에서 동작될 수 있다. 제 2 전원 노드(LAB)에 GND가 연결된 경우, 비트라인 센스앰프(2300)는 감지 동작이 수행될 수 있다. 이 경우, 메모리 장치(2000)는 액티브 모드에서 동작될 수 있다. 제 7 분리신호(ISO7)은 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0053] 제 2 전원 스위치 회로(2320)는 두 개의 스위치들을 포함할 수 있다. 도 6을 참조하면, 제 7 분리신호(ISO7)는 두 개의 스위치들과 연결될 수 있고, 각 스위치는 제 7 분리신호(ISO7)에 의해 독립적으로 제어될 수 있다. 이를 위해, 제 7 분리신호(ISO7)는 복수의 라인들을 통해 제 1 전원 스위치 회로(2310) 및 제 2 전원 스위치 회로(2320)로 전달될 수 있다.

[0054] 증폭 회로(2330)는 제 1 PMOS 트랜지스터(P1) 및 제 2 PMOS 트랜지스터(P2)를 포함할 수 있다. 제 1 PMOS 트랜지스터(P1)는 제 1 전원 노드(LA)와 제 2 출력 노드(OUTB) 사이에 연결될 수 있다. 제 1 PMOS 트랜지스터(P1)의 게이트는 제 1 출력 노드(OUT)와 연결될 수 있다. 제 2 PMOS 트랜지스터(P2)는 제 1 전원 노드(LA)와 제 1 출력 노드(OUT) 사이에 연결될 수 있다. 제 2 PMOS 트랜지스터(P2)의 게이트는 제 2 출력 노드(OUTB)와 연결될 수 있다.

[0055] 증폭 회로(2330)는 포지티브 피드백(Positive Feedback)을 이용하여 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB) 사이의 전압 차이를 증폭할 수 있다. 예를 들어, 제 1 출력 노드(OUT) 전압이 제 2 출력 노드(OUTB)의 전압보다 미세하게 높다고 가정한다. 제 1 PMOS 트랜지스터(P1)의 게이트 전압, 즉 제 1 출력 노드(OUT) 전압이 증가되었으므로, 제 1 PMOS 트랜지스터(P1)가 제 2 출력 노드(OUTB)에 공급하는 전류량은 감소된다. 전류량 감소로 인해, 제 2 출력 노드(OUTB)의 전압은 점점 감소된다. 제 2 PMOS 트랜지스터(P2)의 게이트 전압, 즉 제 2 출력 노드(OUTB)의 전압이 감소되었으므로, 제 2 PMOS 트랜지스터(P2)가 제 1 출력 노드(OUT)에 공급하는 전류

량은 증가된다. 전류량 증가로 인해, 제 1 출력 노드(OUT)의 전압은 점점 증가된다. 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB) 사이의 미세한 전압 차이는 상술한 포지티브 피드백에 의해 점점 증폭될 수 있다.

[0056] 감지 회로(2340)는 제 3 NMOS 트랜지스터(N3) 및 제 4 NMOS 트랜지스터(N4)를 포함할 수 있다. 제 3 NMOS 트랜지스터(N3)는 제 2 전원 노드(LAB)와 제 2 출력 노드(OUTB) 사이에 연결될 수 있다. 제 3 NMOS 트랜지스터(N3)의 게이트는 제 1 입력 노드(IN)와 연결될 수 있다. 제 4 NMOS 트랜지스터(N4)는 제 2 전원 노드(LAB)와 제 1 출력 노드(OUT) 사이에 연결될 수 있다. 제 4 NMOS 트랜지스터(N4)의 게이트는 제 2 입력 노드(INB)와 연결될 수 있다.

[0057] 감지 회로(2340)는 제 1 입력 노드(IN)와 제 2 입력 노드(INB)의 전압 차이를 감지하고, 감지된 결과를 증폭 회로(2330)로 전달할 수 있다. 예를 들어, 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 미세하게 높다고 가정한다. 제 3 NMOS 트랜지스터(N3)의 게이트 전압이 미세하게 증가되었으므로, 제 3 NMOS 트랜지스터(N3)에 의해 제 2 출력 노드(OUTB)에서 유출되는 전류량은 미세하게 증가된다. 따라서, 제 2 출력 노드(OUTB) 전압이 제 1 출력 노드(OUT)의 전압보다 미세하게 감소된다. 이후, 증폭 회로(2330)에 의해 미세한 전압차이는 증폭될 수 있다.

[0058] 입출력 연결 회로(2350)는 제 5 NMOS 트랜지스터(N5) 및 제 6 NMOS 트랜지스터(N6)를 포함할 수 있다. 제 5 NMOS 트랜지스터(N5)는 제 2 출력 노드(OUTB)와 제 2 입력 노드(INB) 사이에 연결될 수 있다. 제 6 NMOS 트랜지스터(N6)는 제 1 출력 노드(OUT)와 제 1 입력 노드(IN) 사이에 연결될 수 있다. 제 5 NMOS 트랜지스터(N5)의 게이트 및 제 6 NMOS 트랜지스터(N6)의 게이트는 제 8 분리신호(ISO8)와 연결될 수 있다. 제 8 분리신호(ISO8)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0059] 제 1 비트라인(BL1)에 MSB가 저장되는 경우, 제 8 분리신호(ISO8)에 의해 입출력 연결 회로(2350)는 턴 온 될 수 있다. 제 1 비트바라인(BLB1)에 LSB가 저장되는 경우, 제 8 분리신호(ISO8)에 의해 입출력 연결 회로(2350)는 턴 온 될 수 있다. 이외의 경우, 제 8 분리신호(ISO8)에 의해 입출력 연결 회로(2350)는 턴 오프 될 수 있다. 도 6을 참조하면, 제 8 분리신호(ISO8)는 두 개의 스위치들과 연결될 수 있고, 각 스위치는 제 8 분리신호(ISO8)에 의해 독립적으로 제어될 수 있다. 이를 위해, 제 8 분리신호(ISO8)는 복수의 라인들을 통해 입출력 연결 회로(2350)로 전달될 수 있다.

[0060] 이퀄라이져 회로(2360)는 제 9 분리신호(ISO9)에 의해 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)의 전압을 동일하게 할 수 있다. 이퀄라이져 회로(2360)는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)를 연결하는 스위치들(미도시), 연결점에 전압을 공급하는 스위치들(미도시)을 포함할 수 있다. 예를 들면, 메모리 장치(2000)가 프리차지 모드에서 동작되는 경우, 이퀄라이져 회로(2360)는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)의 전압을 동일하게 할 수 있다. 이 때, 상술한 전압은 VBL일 수 있다. 메모리 장치(2000)가 액티브 모드에서 동작되는 경우, 이퀄라이져 회로(2360)는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)를 분리할 수 있다.

[0061] 도시되진 않았지만, 제 9 분리신호(ISO9)는 복수의 스위치들과 연결될 수 있고, 각 스위치는 제 9 분리신호(ISO9)에 의해 독립적으로 제어될 수 있다. 이를 위해, 제 9 분리신호(ISO9)는 복수의 라인들을 통해 이퀄라이져 회로(2360)로 전달될 수 있다.

[0062] 도 7은 본 발명의 실시 예에 따른 메모리 장치의 동작을 예시적으로 보여주는 타이밍도이다. 도 7은 도 6을 참조하여 설명될 것이다. 도 7을 참조하면, 메모리 장치(2000)에 프리차지 명령 이후 액티브 명령이 입력된 경우, 제 3 메모리 셀(2200)에 저장된 데이터 “11”이 활성화되는 과정이 도시되어 있다. 여기서, MSB는 “1” 이고 LSB는 “1” 이 된다.

[0063] T0 시점에서, 메모리 장치(2000)에 프리차지 명령이 입력될 수 있다. 제 1 워드라인(WL1)의 전압은 VPP에서 VBB2로 변경될 수 있다. 제 3 메모리 셀(1200)의 활성화를 위해, VPP가 제 1 워드라인(WL1)으로 인가될 수 있다. 제 3 메모리 셀(1200)의 비활성화를 위해, VBB2가 제 1 워드라인(WL1)으로 인가될 수 있다. T0 시점에서, 메모리 장치(1000)에 프리차지 명령이 입력되었으므로, 제 1 워드라인(WL1)의 전압은 VPP에서 VBB2로 변경될 수 있다.

[0064] T0 시점부터 T1 시점까지, 즉 액티브 명령이 입력되기 전까지, 제 3 비트라인(BL3)의 전압, 제 3 비트바라인(BLB3)의 전압, 제 1 입력 노드(IN), 제 2 입력 노드(INB), 제 1 기준전압(VREF1), 및 제 2 기준전압(VREF2) 모두는 VBL 전압으로 설정될 수 있다. 이를 위해, 제 1 전원 스위치 회로(2310)는 VBL과 연결될 수 있다. 제 2 전원 스위치 회로(2320)는 VBL과 연결될 수 있다. 이퀄라이져 회로(2360)는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB) 전압을 동일하게 할 수 있고, 그 전압은 VBL일 수 있다.

[0065] T1 시점에서, 메모리 장치(2000)에 액티브 명령이 입력될 수 있다. 제 1 워드라인(WL1)의 전압은 VBB2에서 VPP로 변경될 수 있다. 도시되진 않았지만, 액티브 명령에 따라, 제 5 분리신호(ISO5)에 의해 제 5 스위치 회로(2700)는 턴 온 될 수 있고, 제 6 분리신호(ISO6)에 의해 제 6 스위치 회로(2800)는 턴 온 될 수 있다. 제 1 워드라인(WL1) 전압이 VPP로 상승된 후, 제 3 메모리 셀(2200), 제 3 비트라인(BL3), 및 제 3 비트바라인(BLB3) 사이에 차지 쉐어링이 발생될 수 있다. 제 3 메모리 셀(1200)에 데이터 “11”이 저장되었다고 가정하였으므로, 제 3 메모리 셀(1200) 내 커패시터에 저장된 전하들이 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)으로 이동될 수 있다. 예를 들면, 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)의 전압은 VBL+2/3*VA 이상으로 상승될 수 있다.

[0066] 도시되진 않았지만 T1 시점에서 액티브 명령에 따라, 제 1 분리신호(ISO1)에 의해 제 1 스위치 회로(2400)는 턴 온 될 수 있다. 제 1 워드라인(WL1) 전압이 VPP로 상승된 후, 제 1 메모리 셀(2110), 제 1 비트라인(BL1), 및 제 1 비트바라인(BLB1) 사이에 차지 쉐어링이 발생될 수 있다. 제 1 워드라인(WL1) 전압이 VPP로 상승된 후, 제 2 메모리 셀(2120), 제 2 비트라인(BL2), 및 제 2 비트바라인(BLB2) 사이에 차지 쉐어링이 발생될 수 있다. 차지 쉐어링에 의해, 제 1 기준전압(VREF1)은 VBL+2/3*VA로 설정될 수 있고, 제 2 기준전압(VREF2)은 VBL-2/3*VA로 설정될 수 있다. 제 1 기준전압(VREF1) 설정을 위해, 제 1 메모리 셀(2110) 내 커패시터 전압은 5/6*VINTA 일 수 있다. 제 2 기준전압(VREF2) 설정을 위해, 제 2 메모리 셀(2120) 내 커패시터 전압은 1/6*VINTA 일 수 있다. 제 1 기준전압(VREF1) 및 제 2 기준전압(VREF2) 각각은 비트라인 센스앰프(2300)의 기준전압으로 활용될 수 있다.

[0067] T2 시점에서, 비트라인 센스앰프(2300)에 의해 MSB가 감지될 수 있다. 도시되진 않았지만, 제 6 분리신호(ISO6)에 의해 제 6 스위치 회로(2800)는 턴 오프 될 수 있다. 제 3 비트바라인(BLB3)의 전압은 후술할 LSB 감지과정에서 사용될 수 있다. 도시되진 않았지만, 제 7 분리신호(ISO7)에 의해 제 1 전원 스위치 회로(2310)는 VINTA와 연결될 수 있고, 제 2 전원 스위치 회로(2320)는 GND와 연결될 수 있다. 비트라인 센스앰프(2300)에 전원들(VINTA, GND)이 인가되었으므로, 제 1 입력 노드(IN) 및 제 2 입력 노드(INB) 사이의 전압 차이는 포지티브 피드백에 의해 증폭될 수 있다. 도 7을 참조하면, 제 1 입력 노드(IN)의 전압은 VBL+2/3*VA보다 높을 수 있다. 제 2 입력 노드(INB)의 전압은 VBL이 될 수 있다. 도시되진 않았지만, 제 3 분리신호(ISO3)에 의해 제 3 스위치 회로(2600)는 제 2 입력 노드(INB)와 전압 생성기(2900)를 연결할 수 있다. T2 시점에서, 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 높으므로, 제 1 출력 노드(OUT)는 VINTA로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 GND로 증폭될 수 있다.

[0068] T3 시점에서, 비트라인 센스앰프(2300)에 의해 감지된 MSB가 제 3 비트라인(BL3)으로 전달될 수 있다. 제 8 분리신호(ISO8)에 의해 입출력 연결 회로(2350)는 제 1 출력 노드(OUT)와 제 1 입력 노드(IN)을 연결할 수 있다. 이 때, 제 5 스위치 회로(2700)은 턴 온 상태이고, 제 6 스위치 회로(2800)는 턴 오프 상태이다. 따라서, 제 1 출력 노드(OUT)의 전압은 제 3 비트라인(BL3)으로 전달될 수 있다. 도 7을 참조하면, 제 3 비트라인(BL3)의 전압은 VINTA까지 상승될 수 있다. 제 3 비트라인(BL3)에는 MSB “1”이 저장될 수 있다.

[0069] T4 시점에서, LSB 감지를 위해, 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)는 이퀄라이져 회로(2360)에 의해 연결될 수 있다. 제 9 분리신호(ISO9)에 의해 이퀄라이져 회로(2360)는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)를 연결할 수 있다. 도 7을 참조하면, 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB) 각각의 전압은 VBL로 될 수 있다. 그러나 이퀄라이져 회로(2360)에 의해 연결되는 전압은 VBL로 한정되지 않는다.

[0070] T4 시점에서, 제 2 입력 노드(INB)의 전압은 VBL에서 제 1 기준전압(VREF1), 즉 VBL+2/3*VA로 상승될 수 있다. 이를 위해, 제 3 스위치 회로(2600)는 제 2 분리신호(ISO2)에 의해 제 1 기준전압(VREF1)과 제 2 입력 노드(INB)를 연결할 수 있다. 도시되진 않았지만, 제 2 분리신호(ISO2)에는 T4 시점 이전에 완료된 MSB 정보가 포함될 수 있다. MSB를 감지하는 경우, 제 3 스위치 회로(2600)는 제 3 분리신호(ISO3)에 의해 제 2 입력 노드(INB)와 VBL을 연결할 수 있다. LSB를 감지하는 경우, 제 3 스위치 회로(2600)는 제 3 분리신호(ISO3)에 의해 제 2 입력 노드(INB)와 제 1 기준전압(VREF1) 또는 제 2 기준전압(VREF2) 중 어느 하나를 연결할 수 있다. 여기서, MSB가 “1”인 경우, 제 2 입력 노드(INB)는 제 1 기준전압(VREF1)과 연결될 수 있다. MSB가 “0”인 경우, 제 2 입력 노드(INB)는 제 2 기준전압(VREF2)과 연결될 수 있다. 도 7을 참조하면, MSB가 “1”인 경우이므로, 제 2 입력 노드(INB)의 전압은 제 1 기준전압(VREF1)으로 설정될 수 있다. 제 2 입력 노드(INB)가 제 1 기준전압(VREF1)으로 설정되는 시점은 T4부터 T5 시점 사이의 임의의 시간이 될 수 있다. 즉, 설정시점은 도 7에서 도시된 것에 한정되지 않는다.

[0071] T5 시점에서, 비트라인 센스앰프(2300)에 의해 LSB가 감지될 수 있다. 제 3 비트라인(BL3)은 MSB를 저장하고 있

으므로, 비트라인 센스앰프(2300)는 제 3 비트바라인(BLB3)의 전압을 이용할 수 있다. 제 5 분리신호(ISO5)에 의해 제 5 스위치 회로(2700)는 턴 오프 될 수 있다. 제 6 분리신호(ISO6)에 의해 제 6 스위치 회로(2800)는 턴 온 될 수 있다. 제 1 입력 노드(IN)의 전압은 제 3 비트바라인(BLB3)의 전압과 동일하게 될 수 있다. 제 1 입력 노드(IN)의 전압은 VBL+2/3*VA보다 높을 수 있다. 제 2 입력 노드(INB)의 전압은 제 3 스위치 회로(2600)에 의해 제 1 기준전압(VREF1)으로 설정될 수 있다.

[0072] T5 시점에서, 제 1 입력 노드(IN) 및 제 2 입력 노드(INB) 사이의 전압 차이는 포지티브 피드백에 의해 증폭될 수 있다. 도 7을 참조하면, 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 높으므로, 제 1 출력 노드(OUT)는 VINTA로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 GND로 증폭될 수 있다.

[0073] T6 시점에서, 비트라인 센스앰프(2300)에 의해 감지된 LSB가 제 3 비트바라인(BLB3)으로 전달될 수 있다. 제 8 분리신호(ISO8)에 의해 입출력 연결 회로(2350)는 제 1 출력 노드(OUT)와 제 1 입력 노드(IN)을 연결할 수 있다. 이 때, 제 5 스위치 회로(2700)은 턴 오프 상태이고, 제 6 스위치 회로(2800)는 턴 온 상태이다. 따라서, 제 1 출력 노드(OUT)의 전압은 제 3 비트바라인(BLB3)으로 전달될 수 있다. 도 7을 참조하면, 제 3 비트바라인(BLB3)의 전압은 VINTA까지 상승될 수 있다. 제 3 비트바라인(BLB3)에는 LSB “1”이 저장될 수 있다.

[0074] T7 시점에서, 제 3 메모리 셀(2200)에 저장된 데이터 “11”이 감지되어, 제 3 비트라인(BL3)에는 MSB “1”이 저장될 수 있고, 제 3 비트바라인(BLB3)에는 LSB “1”이 저장될 수 있다. T7 시점 이후, 메모리 장치(2000)에 대해서 읽기 동작 또는 쓰기 동작이 수행될 수 있다.

[0075] 도 8은 본 발명의 실시 예에 따른 메모리 장치의 동작을 예시적으로 보여주는 타이밍도이다. 도 8은 도 6 및 도 7을 참조하여 설명될 것이다. 도 8을 참조하면, 메모리 장치(2000)에 프리차지 명령 이후 액티브 명령이 입력된 경우, 제 3 메모리 셀(2200)에 저장된 데이터 “10”이 활성화되는 과정이 도시되어 있다.

[0076] T0 시점부터 T4 이전까지 메모리 장치(2000)의 동작은 도 7에서 전술한 동작과 대체적으로 동일하다. 다만, 제 3 메모리 셀(2200)에 데이터 “10”이 저장되었다고 가정하였으므로, 제 3 메모리 셀(2200) 내 커패시터에 저장된 전하들이 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)으로 이동될 수 있다. 그 결과, 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)의 전압은 VBL+2/3*VA 보다 낮고, VBL 보다 높을 수 있다. 도 8을 참조하면, T4 시점에서 제 3 비트라인(BL3)의 전압은 VINTA까지 상승될 수 있다. 제 3 비트라인(BL3)에는 MSB “1”이 저장될 수 있다.

[0077] T4 시점부터 T7 시점까지 메모리 장치(2000)의 동작은 도 7에서 전술한 동작과 대체적으로 동일하다. 다만 도 8을 참조하면 T5 시점에서, 제 1 입력 노드(IN)의 전압은 VBL+2/3*VA 보다 낮고 VBL 보다 높을 수 있다. 제 2 입력 노드(INB)의 전압은 제 3 스위치 회로(2600)에 의해 제 1 기준전압(VREF1)으로 설정될 수 있다. 제 1 입력 노드(IN) 및 제 2 입력 노드(INB) 사이의 전압 차이는 포지티브 피드백에 의해 증폭될 수 있다. 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 낮으므로, 제 1 출력 노드(OUT)는 GND로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 VINTA로 증폭될 수 있다. T7 시점에서, 제 3 메모리 셀(2200)에 저장된 데이터 “10”이 감지되어, 제 3 비트라인(BL3)에는 MSB “1”이 저장될 수 있고, 제 3 비트바라인(BLB3)에는 LSB “0”이 저장될 수 있다.

[0078] 도 9는 본 발명의 실시 예에 따른 메모리 장치의 동작을 예시적으로 보여주는 타이밍도이다. 도 9는 도 6 및 도 7을 참조하여 설명될 것이다. 도 9를 참조하면, 메모리 장치(2000)에 프리차지 명령 이후 액티브 명령이 입력된 경우, 제 3 메모리 셀(2200)에 저장된 데이터 “01”이 활성화되는 과정이 도시되어 있다. T0 시점부터 T4 이전까지 메모리 장치(1000)의 동작은 도 7에서 전술한 동작과 대체적으로 동일하다. 다만, 제 3 메모리 셀(2200)에 데이터 “01”이 저장되었다고 가정하였으므로, 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)에 저장된 전하들이 제 3 메모리 셀(2200) 내 커패시터로 이동될 수 있다. 그 결과, 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)의 전압은 VBL-2/3*VA 보다 높고, VBL 보다 낮을 수 있다. 도 9를 참조하면, 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 낮으므로, 제 1 출력 노드(OUT)는 GND로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 VINTA로 증폭될 수 있다. T4 시점에서 제 3 비트라인(BL3)의 전압은 GND까지 하락될 수 있다. 제 3 비트라인(BL3)에는 MSB “0”이 저장될 수 있다.

[0079] T4 시점부터 T7 시점까지 메모리 장치(2000)의 동작은 도 7에서 전술한 동작과 대체적으로 동일하다. 다만 도 9를 참조하면 T5 시점에서, 제 1 입력 노드(IN)의 전압은 VBL-2/3*VA 보다 높고 VBL 보다 낮을 수 있다. MSB가 “0”인 경우이므로, 제 2 입력 노드(INB)의 전압은 제 2 기준전압(VREF2)으로 설정될 수 있다. 제 1 입력 노드(IN) 및 제 2 입력 노드(INB) 사이의 전압 차이는 포지티브 피드백에 의해 증폭될 수 있다. 제 1 입력 노드(I

N)의 전압이 제 2 입력 노드(INB)의 전압보다 높으므로, 제 1 출력 노드(OUT)는 VINTA로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 GND로 증폭될 수 있다. 제 3 비트바라인(BLB3)에는 LSB "1"이 저장될 수 있다. T7 시점에서, 제 3 메모리 셀(2200)에 저장된 데이터 "01"이 감지되어, 제 3 비트라인(BL3)에는 MSB "0"이 저장될 수 있고, 제 3 비트바라인(BLB3)에는 LSB "1"이 저장될 수 있다.

[0080] 도 10은 본 발명의 실시 예에 따른 메모리 장치의 동작을 예시적으로 보여주는 타이밍도이다. 도 10은 도 6 및 도 7을 참조하여 설명될 것이다. 도 9를 참조하면, 메모리 장치(2000)에 프리차지 명령 이후 액티브 명령이 입력된 경우, 제 3 메모리 셀(2200)에 저장된 데이터 "00"이 활성화되는 과정이 도시되어 있다.

[0081] T0 시점부터 T4 이전까지 메모리 장치(2000)의 동작은 도 7에서 전술한 동작과 대체적으로 동일하다. 다만, 제 3 메모리 셀(2200)에 데이터 "00"이 저장되었다고 가정하였으므로, 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)에 저장된 전하들이 제 3 메모리 셀(2200) 내 커패시터로 이동될 수 있다. 그 결과, 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)의 전압은 VBL-2/3*VA 보다 낮을 수 있다. 도 9를 참조하면, 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 낮으므로, 제 1 출력 노드(OUT)는 GND로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 VINTA로 증폭될 수 있다. T4 시점에서 제 3 비트라인(BL3)의 전압은 GND까지 하락될 수 있다. 제 3 비트라인(BL3)에는 MSB "0"이 저장될 수 있다.

[0082] T4 시점부터 T7 시점까지 메모리 장치(2000)의 동작은 도 7에서 전술한 동작과 대체적으로 동일하다. 다만 도 10을 참조하면 T5 시점에서, 제 1 입력 노드(IN)의 전압은 VBL-2/3*VA 보다 낮을 수 있다. MSB가 "0"인 경우이므로, 제 2 입력 노드(INB)의 전압은 제 2 기준전압(VREF2)으로 설정될 수 있다. 제 1 입력 노드(IN) 및 제 2 입력 노드(INB) 사이의 전압 차이는 포지티브 피드백에 의해 증폭될 수 있다. 제 1 입력 노드(IN)의 전압이 제 2 입력 노드(INB)의 전압보다 낮으므로, 제 1 출력 노드(OUT)는 GND로 증폭될 수 있고, 제 2 출력 노드(OUTB)는 VINTA로 증폭될 수 있다. 제 3 비트바라인(BLB3)에는 LSB "0"이 저장될 수 있다. T7 시점에서, 제 3 메모리 셀(2200)에 저장된 데이터 "00"이 감지되어, 제 3 비트라인(BL3)에는 MSB "0"이 저장될 수 있고, 제 3 비트바라인(BLB3)에는 LSB "0"이 저장될 수 있다.

[0083] 도 11은 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 11을 참조하면, 메모리 장치(3000)는 제 1 메모리 셀(3110), 제 2 메모리 셀(3120), 제 3 메모리 셀(3200), 비트라인 센스앰프(3300), 제 1 스위치 회로(3400), 제 2 스위치 회로(3500), 제 3 스위치 회로(3600), 제 5 스위치 회로(3700), 제 6 스위치 회로(3800), 및 전압 생성기(3900)를 포함할 수 있다. 제 1 메모리 셀(3110), 제 2 메모리 셀(3120), 제 3 메모리 셀(3200), 비트라인 센스앰프(3300), 제 1 스위치 회로(3400), 제 2 스위치 회로(3500), 제 3 스위치 회로(3600), 제 5 스위치 회로(3700), 제 6 스위치 회로(3800), 및 전압 생성기(3900)의 설명은 도 6에서 설명된 것과 중복되므로 생략하기로 한다.

[0084] 도 11을 참조하면, 비트라인 센스앰프(3300)는 제 1 전원 스위치 회로(3310), 제 2 전원 스위치 회로(3320), 증폭 회로(3330), 감지 회로(3340), 입출력 연결 회로(3350), 이퀄라이져 회로(3360), 버퍼 회로(3370), 및 미러링 회로(3380)를 포함할 수 있다. 제 1 전원 스위치 회로(3310), 제 2 전원 스위치 회로(3320), 증폭 회로(3330), 감지 회로(3340), 입출력 연결 회로(3350), 및 이퀄라이져 회로(3360)의 설명은 도 6에서 설명된 것과 중복되므로 생략하기로 한다. 도 11은 도 6 및 도 7을 참조하여 설명될 것이다.

[0085] 버퍼 회로(3370)는 제 7 NMOS 트랜지스터(N7) 및 제 8 NMOS 트랜지스터(N8)를 포함할 수 있다. 제 7 NMOS 트랜지스터(N7)는 제 2 출력 노드(OUTB)와 제 1 입력 노드(IN) 사이에 연결될 수 있다. 제 8 NMOS 트랜지스터(N8)는 제 1 출력 노드(OUT)와 제 2 입력 노드(INB) 사이에 연결될 수 있다. 제 7 NMOS 트랜지스터(N7)의 게이트 및 제 8 NMOS 트랜지스터(N8)의 게이트는 제 10 분리신호(ISO10)와 연결될 수 있다.

[0086] 도 11을 참조하면, 제 10 분리신호(ISO10)는 두 개의 스위치들과 연결될 수 있고, 각 스위치는 제 10 분리신호(ISO10)에 의해 독립적으로 제어될 수 있다. 이를 위해, 제 10 분리신호(ISO10)는 복수의 라인들을 통해 버퍼 회로(3370)로 전달될 수 있다. 제 10 분리신호(ISO10)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0087] 버퍼 회로(3370)는 제 3 메모리 셀(3200), 제 3 비트라인(BL3), 및 제 3 비트바라인(BLB3) 사이의 차지 쉐어링이 발생되기 전에 제 10 분리신호(ISO10)에 의해 동작할 수 있다. 버퍼 회로(3370)가 동작하면, 제 2 출력 노드(OUTB)와 제 1 입력 노드(IN)는 연결될 수 있다. 이 때, 비트라인 센스앰프(2300)는 유닛 게인 버퍼(Unit Gain Buffer)와 같이 동작될 수 있다.

[0088] 비트라인 센스앰프(3300)가 유닛 게인 버퍼로 동작되는 경우, 제 1 입력 노드(IN)에 포함된 오프셋(Offset)은 보상될 수 있다. 비트라인 센스앰프(3300)에 의해 제 1 입력 노드(IN) 및 제 2 출력 노드(OUTB)의 전압이 동일

하게 되므로, 제 1 입력 노드(IN)의 오프셋은 보상될 수 있다. 오프셋 보상 정보는 제 3 비트라인(BL3) 및 제 3 비트바라인(BLB3)에 저장될 수 있다. 여기서, 오프셋은 제 3 NMOS 트랜지스터(N3) 및 제 4 NMOS 트랜지스터(N4) 사이의 미스매치(Mismatch)에 의해 발생될 수 있다. 예를 들면, 미스매치는 제조과정에서 제 3 NMOS 트랜지스터(N3) 및 제 4 NMOS 트랜지스터(N4)의 크기, 문턱전압, 또는 패턴 등의 차이로 인하여 발생될 수 있다.

[0089] 미러링 회로(3380)는 제 9 PMOS 트랜지스터(P9), 제 10 PMOS 트랜지스터(P10), 및 제 11 PMOS 트랜지스터(P11)를 포함할 수 있다. 제 9 PMOS 트랜지스터(P9)는 제 1 PMOS 트랜지스터(P1)의 게이트 및 제 2 PMOS 트랜지스터(P2)의 게이트 사이에 연결될 수 있다. 제 10 PMOS 트랜지스터(P10)는 제 2 출력 노드(OUTB) 및 제 2 PMOS 트랜지스터(P2)의 게이트 사이에 연결될 수 있다. 제 11 PMOS 트랜지스터(P11)는 제 1 출력 노드(OUT) 및 제 1 PMOS 트랜지스터(P1)의 게이트 사이에 연결될 수 있다. 제 9 PMOS 트랜지스터(P9), 제 10 PMOS 트랜지스터(P10), 및 제 11 PMOS 트랜지스터(P11) 각각의 게이트는 제 11 분리신호(ISO11)와 연결될 수 있다. 제 11 분리신호(ISO11)에 의해 제 9 PMOS 트랜지스터(P9), 제 10 PMOS 트랜지스터(P10), 및 제 11 PMOS 트랜지스터(P11) 각각은 독립적으로 제어될 수 있다.

[0090] 도 11을 참조하면, 제 11 분리신호(ISO11)는 세 개의 스위치들과 연결될 수 있고, 각 스위치는 제 11 분리신호(ISO11)에 의해 독립적으로 제어될 수 있다. 이를 위해, 제 11 분리신호(ISO10)는 복수의 라인들을 통해 미러링 회로(3380)로 전달될 수 있다. 제 11 분리신호(ISO10)는 도 15에서 후술할 행 디코더에 의해 생성될 수 있다.

[0091] 비트라인 센스앰프(3300)에 의해 오프셋 보상 동작이 수행될 수 있다. 이를 위해, 제 10 분리신호(ISO10)에 의해 제 7 NMOS 트랜지스터(N7)는 턴 온 될 수 있고, 제 11 분리신호(ISO11)에 의해 제 9 PMOS 트랜지스터(P9) 및 제 11 PMOS 트랜지스터(P11)은 턴 온 될 수 있고, 제 10 PMOS 트랜지스터(P10)은 턴 오프 될 수 있다. 오프셋 보상 동작은 T1 시점(도 7 참조) 이후에 바로 수행될 수 있다. 액티브 명령이 메모리 장치(3000)에 입력된 후, 제 1 워드 라인(WL1)이 VPP로 상승되기 전 구간(미도시)동안에 오프셋 동작이 수행될 수 있다. 오프셋 보상 동작을 통해, 비트라인 센스앰프(3300)의 감지 성능이 향상될 수 있다.

[0092] 도 12는 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 12를 참조하면, 메모리 장치(4000)는 제 1 메모리 셀(4110), 제 2 메모리 셀(4120), 제 3 메모리 셀(4200), 비트라인 센스앰프(4300), 제 1 스위치 회로(4400), 제 2 스위치 회로(4500), 제 3 스위치 회로(4600), 제 5 스위치 회로(4700), 제 6 스위치 회로(4800), 및 전압 생성기(4900)를 포함할 수 있다. 비트라인 센스앰프(4300)는 제 1 전원 스위치 회로(4310), 제 2 전원 스위치 회로(4320), 증폭 회로(4330), 감지 회로(4340), 입출력 연결 회로(4350), 및 이퀄라이져 회로(4360)를 포함할 수 있다. 메모리 장치(4000) 내 제 1 전원 스위치 회로(4310) 및 제 2 전원 스위치 회로(4320)를 제외한 나머지 구성요소들은 메모리 장치(도 6 참조, 2000) 내 대응되는 구성요소들과 각각 동일한 기능이 수행될 수 있다.

[0093] 제 1 전원 스위치 회로(4310)는 제 1 전원 스위치 회로(도 6 참조, 2310)와 달리 리스토어(Restore)를 위해 VBL, 1/3*VINTA, VINTA 중 어느 하나를 제 1 전원 노드(LA)와 연결할 수 있다. 제 2 전원 스위치 회로(4320)는 제 2 전원 스위치 회로(도 6 참조, 2320)와 달리 리스토어를 위해, VBL, 2/3*VINTA, GND 중 어느 하나를 제 2 전원 노드(LAB)와 연결할 수 있다. 여기서, 리스토어란 제 3 메모리 셀(4200)에 다시 데이터가 저장되는 동작을 의미한다. 리스토어 동작은 메모리 장치(4000)에 대해 읽기 동작 또는 쓰기 동작이 완료된 후에 수행될 수 있다.

[0094] 리스토어 동작을 위해, 제 5 스위치 회로(4700)는 제 3 비트라인(BL3)과 제 1 입력 노드(IN)를 연결할 수 있다. 제 6 스위치 회로(4800)는 제 3 비트바라인(BLB3)과 제 1 입력 노드(IN)를 연결하지 않을 수 있다. 입출력 연결 회로(4350)는 제 1 출력 노드(OUT)와 제 1 입력 노드(IN)를 연결할 수 있다. 따라서, 제 1 출력 노드(OUT)의 전압은 제 3 메모리 셀(4200)의 커패시터로 전달될 수 있다.

[0095] 예를 들어, 제 3 메모리 셀(4200)에 “11” 데이터가 저장되는 경우, 제 1 전원 스위치 회로(4310)는 VINTA를 제 1 전원 노드(LA)에 연결할 수 있다. 제 2 전원 스위치 회로(4320)는 2/3*VINTA를 제 2 전원 노드(LAB)에 연결할 수 있다. 이를 위해, 제 7 분리신호(ISO7)에는 MSB 정보가 포함될 수 있다. 제 1 출력 노드(OUT)의 전압은 VINTA이고 제 2 출력 노드(OUTB)의 전압은 GND이므로, LSB 정보는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)에 이미 저장되어 있다(도 7 참조). 제 1 전원 스위치 회로(4310) 및 제 2 전원 스위치 회로(4320)에 의해 제 1 출력 노드(OUT)의 전압은 VINTA로 제 2 출력 노드(OUTB)의 전압은 2/3*VINTA로 설정될 수 있다. 제 1 출력 노드(OUT)의 전압이 제 3 메모리 셀(4200)의 커패시터로 전달되므로, 커패시터 전압은 VINTA로 설정될 수 있다. VINTA 전압은 “11” 데이터에 대응될 수 있다.

[0096] 예를 들어, 제 3 메모리 셀(4200)에 “10” 데이터가 저장되는 경우, “11” 데이터와 MSB가 동일하므로, 제 1 전원 노드(LA)는 VINTA로 제 2 전원 노드(LAB)는 2/3*VINTA로 될 수 있다. 제 1 출력 노드(OUT)의 전압은 GND이고 제 2 출력 노드(OUTB)의 전압은 VINTA이므로, LSB 정보는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)에 이미 저장되어 있다(도 8 참조). 제 1 전원 스위치 회로(4310) 및 제 2 전원 스위치 회로(4320)에 의해 제 1 출력 노드(OUT)의 전압은 2/3*VINTA로 제 2 출력 노드(OUTB)의 전압은 VINTA로 설정될 수 있다. 제 1 출력 노드(OUT)의 전압이 제 3 메모리 셀(4200)의 커패시터로 전달되므로, 커패시터 전압은 2/3*VINTA로 설정될 수 있다. 2/3*VINTA 전압은 “10” 데이터에 대응될 수 있다.

[0097] 예를 들어, 제 3 메모리 셀(4200)에 “01” 데이터가 저장되는 경우, 제 1 전원 스위치 회로(4310)는 1/3*VINTA를 제 1 전원 노드(LA)에 연결할 수 있다. 제 2 전원 스위치 회로(4320)는 GND를 제 2 전원 노드(LAB)에 연결할 수 있다. 제 1 전원 노드(LA)는 1/3*VINTA로 제 2 전원 노드(LAB)는 GND로 될 수 있다. 제 1 출력 노드(OUT)의 전압은 VINTA이고 제 2 출력 노드(OUTB)의 전압은 GND이므로, LSB 정보는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)에 이미 저장되어 있다(도 9 참조). 제 1 전원 스위치 회로(4310) 및 제 2 전원 스위치 회로(4320)에 의해 제 1 출력 노드(OUT)의 전압은 1/3*VINTA로 제 2 출력 노드(OUTB)의 전압은 GND로 설정될 수 있다. 제 1 출력 노드(OUT)의 전압이 제 3 메모리 셀(4200)의 커패시터로 전달되므로, 커패시터 전압은 1/3*VINTA로 설정될 수 있다. 1/3*VINTA 전압은 “01” 데이터에 대응될 수 있다.

[0098] 예를 들어, 제 3 메모리 셀(4200)에 “00” 데이터가 저장되는 경우, “01” 데이터와 MSB가 동일하므로, 제 1 전원 노드(LA)는 1/3*VINTA로 제 2 전원 노드(LAB)는 GND로 될 수 있다. 제 1 출력 노드(OUT)의 전압은 GND이고 제 2 출력 노드(OUTB)의 전압은 VINTA이므로, LSB 정보는 제 1 출력 노드(OUT) 및 제 2 출력 노드(OUTB)에 이미 저장되어 있다(도 10 참조). 제 1 전원 스위치 회로(4310) 및 제 2 전원 스위치 회로(4320)에 의해 제 1 출력 노드(OUT)의 전압은 GND로 제 2 출력 노드(OUTB)의 전압은 1/3*VINTA로 설정될 수 있다. 제 1 출력 노드(OUT)의 전압이 제 3 메모리 셀(4200)의 커패시터로 전달되므로, 커패시터 전압은 GND로 설정될 수 있다. GND 전압은 “00” 데이터에 대응될 수 있다.

[0099] 본 발명의 실시 예에 따른 메모리 장치(4000)는 제 3 메모리 셀(4200)에 저장된 MSB 및 LSB에 따라 비트라인 센스앰프(4300)의 전원을 변경할 수 있다. 메모리 장치(4000)는 비트라인 센스앰프(4300)의 전원을 통해 제 3 메모리 셀(4200)에 리스토어 동작을 수행할 수 있다. 도시되진 않았지만, 비트라인 센스앰프(4300)는 버퍼 회로(도 11 참조, 3370) 및 미러링 회로(도 11 참조, 3380)를 더 포함할 수도 있다.

[0100] 도 13은 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 13을 참조하면, 메모리 장치(5000)는 제 1 메모리 셀(5110), 제 2 메모리 셀(5120), 제 3 메모리 셀(5200), 비트라인 센스앰프(5300), 제 1 스위치 회로(5400), 제 2 스위치 회로(5500), 제 3 스위치 회로(5600), 제 4 스위치 회로(5920), 제 5 스위치 회로(5700), 제 6 스위치 회로(5800), 전압 생성기(5900), 및 쓰기 드라이버(5910)를 포함할 수 있다. 메모리 장치(5000) 내 제 4 스위치 회로(5920) 및 쓰기 드라이버(5910)를 제외한 나머지 구성요소들은 메모리 장치(도 12 참조, 4000) 내 대응되는 구성요소들과 각각 동일한 기능이 수행될 수 있다. 제 4 스위치 회로(5920) 및 쓰기 드라이버(5910)는 도 3에서 도시된 제 4 스위치 회로(270) 및 쓰기 드라이버(260)와 각각 동일한 기능이 수행될 수 있다.

[0101] 도 14는 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 14를 참조하면, 메모리 장치(6000)는 제 1 메모리 셀(6110), 제 2 메모리 셀(6120), 제 3 메모리 셀(6130), 제 4 메모리 셀(6140), 제 5 메모리 셀(6150), 제 6 메모리 셀(6160), 비트라인 센스앰프(6200), 제 1 스위치 회로(6310), 제 2 스위치 회로(6320), 제 3 스위치 회로(6330), 제 4 스위치 회로(6340), 제 5 스위치 회로(6350), 제 6 스위치 회로(6360), 전압 생성기(6400), 및 쓰기 드라이버(6500)를 포함할 수 있다. 메모리 장치(6000)내 제 4 메모리 셀(6140), 제 5 메모리 셀(6150), 및 제 6 메모리 셀(6160)을 제외한 나머지 구성요소들은 메모리 장치(도 13 참조, 5000) 내 대응되는 구성요소들과 각각 동일한 기능이 수행될 수 있다. 제 4 메모리 셀(6140) 및 제 5 메모리 셀(6150)에 대한 설명은 도 4에서 설명된 것과 중복되므로 생략하기로 한다.

[0102] 제 6 메모리 셀(6160)은 제 3 메모리 셀(6130)과 동일한 구조로 구현될 수 있다. 제 6 메모리 셀(6160)에 저장된 데이터를 감지하기 위해, 메모리 장치(6000)는 제 4 메모리 셀(6140) 및 제 5 메모리 셀(6150)을 포함할 수 있다.

[0103] 도 15는 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 블록도이다. 도 15를 참조하면, 메모리 장치(7000)는 복수의 제 1 메모리 셀들(7100_1~7100_x), 복수의 제 2 메모리 셀들(7200_1~7200_y), 복수의 비트라인 센스앰프들(7300_1~7300_z), 스위치 회로들(7400_1~7400_4), 및 행 디코더(7500)를 포함할 수 있다. 도

5 내지 도 6, 도 11 내지 도 14에서 도시된 메모리 장치들은 하나 또는 두 개의 메모리 셀들을 포함하고 있지만, 본 발명은 두 개 이상의 메모리 셀들을 포함하는 경우에도 적용될 수 있다.

[0104] 도 15를 참조하면, 메모리 장치(7000)는 복수의 워드라인들(WL_1~WL_m, WL_m+1~WL_m+m), 복수의 비트라인들(BL_1~BL_n)을 포함할 수 있다. 도시된 바에 한정되지 않고, 메모리 장치(7000)는 복수의 워드라인들 및 복수의 비트라인들을 더 포함할 수 있고, 그에 대응되는 복수의 센스앰프들도 더 포함할 수 있다. 각 워드라인과 각 비트라인이 교차되는 영역에 메모리 셀들이 배치될 수 있다.

[0105] 도 15를 참조하면, 복수의 제 2 메모리 셀들(7200_1~7200_y)은 복수의 제 1 메모리 셀들(7100_1~7100_x)의 오른쪽에 배치될 수 있다. 메모리 장치(7000)는 복수의 제 1 메모리 셀들(7100_1~7100_x)에 더해 복수의 제 2 메모리 셀들(7200_1~7200_y)을 포함할 수 있다. 복수의 제 1 메모리 셀들(7100_1~7100_x)의 생산성을 높이기 위해, 복수의 제 1 메모리 셀들(7100_1~7100_x)과 인접한 더미 메모리 셀들이 필요할 수 있다. 복수의 제 2 메모리 셀들(7200_1~7200_y)은 상술한 더미 메모리 셀들이거나, 별도로 구현될 수도 있다. 메모리 장치(7000)는 복수의 제 2 메모리 셀들(7200_1~7200_y)을 제 1 기준전압(VREF1) 및 제 2 기준전압(VREF2) 생성을 위해 사용할 수 있다. 도시되진 않았지만, 복수의 제 2 메모리 셀들(7200_1~7200_y)는 복수의 제 1 메모리 셀들(7100_1~7100_x)의 중앙 부분 또는 왼쪽 부분에 배치될 수도 있다.

[0106] 복수의 제 1 메모리 셀들(7100_1~7100_x)은 PVT 변화(Process, voltage and temperature variation) 또는 노이즈(Noise)에 의해 영향 받을 수 있다. PVT 변화 또는 노이즈에 의해 복수의 제 1 메모리 셀들(7100_1~7100_x)의 센싱 마진(Sensing Margin)과 같은 성능이 영향 받을 수 있다. 복수의 제 2 메모리 셀들(7200_1~7200_y)은 복수의 제 1 메모리 셀들(7100_1~7100_x)과 인접하게 배치되어, 유사한 PVT 변화 또는 노이즈에 의해 영향 받을 수 있다. 따라서, 제 1 기준전압(VREF1) 및 제 2 기준전압(VREF2)도 복수의 제 1 메모리 셀들(7100_1~7100_x)과 유사한 PVT 변화 또는 노이즈에 의해 영향을 받을 수 있다.

[0107] 메모리 셀(7100_1)이 활성화 되는 경우, 제 1 워드라인(WL_1)에 의해 제 2 메모리 셀들(7200_1, 7200_2)도 동시에 활성화 될 수 있다. 제 2 메모리 셀들(7200_1, 7200_2)에 의해 발생된 제 1 기준전압(VREF1) 및 제 2 기준전압(VREF2)는 비트라인 센스앰프(7300_1)로 전달될 수 있다. 비트라인 센스앰프(7300_1)는 제 1 메모리 셀(7100_1)에 저장된 데이터를 감지할 수 있다. 다른 제 1 메모리 셀들(7100_2~7100_x)도 동일한 방식으로 데이터가 감지될 수 있다.

[0108] 스위치 회로들(7400_1~7400_4)은 제 1 스위치 회로(도 14 참조, 6310), 제 2 스위치 회로(도 14 참조, 6320), 제 5 스위치 회로(도 14 참조, 6350), 또는 제 6 스위치 회로(도 14 참조, 6360)를 포함할 수 있다.

[0109] 행 디코더(7500)는 복수의 워드라인들(WL_1~WL_m, WL_m+1~WL_m+m) 중 적어도 하나의 워드 라인을 선택할 수 있다. 행 디코더(7500)는 비트라인 센스앰프들(7300_1~7300_z) 및 스위치 회로들(7400_1~7400_4)을 제어하는 신호들(BLSA_CTRL, ISO_CTRL)을 생성할 수 있다. 행 디코더(7500)는 선택된 워드라인과 인접하게 배치된 비트라인 센스앰프들 및 스위치 회로들을 제어할 수 있다.

[0110] 위에서 설명한 내용은 본 발명을 실시하기 위한 구체적인 예들이다. 본 발명에는 위에서 설명한 실시 예들뿐만 아니라, 단순하게 설계 변경하거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명에는 상술한 실시 예들을 이용하여 앞으로 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다.

부호의 설명

[0111] 100, 200, 300: 기준전압 생성회로

110, 210, 310: 제 1 메모리 셀

120, 220, 320: 제 2 메모리 셀

130, 230, 330: 제 1 스위치 회로

140, 240, 340: 제 2 스위치 회로

150, 250, 350: 제 3 스위치 회로

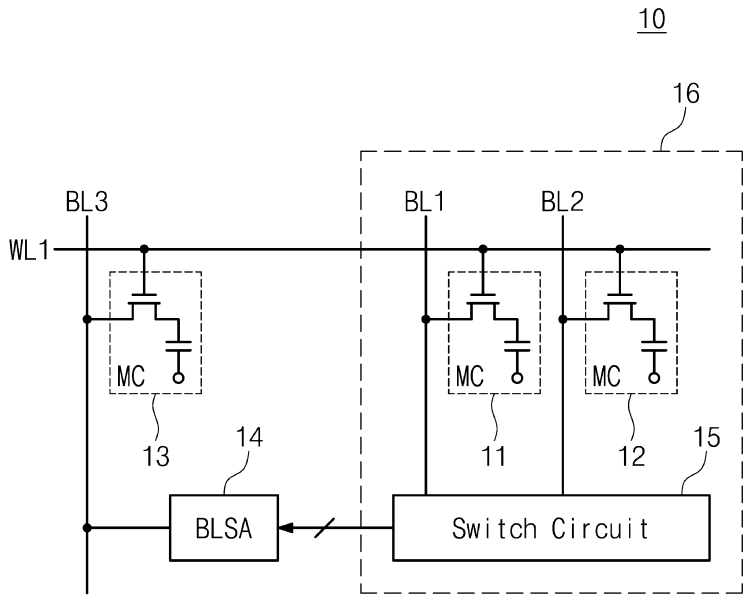
260, 360: 쓰기 드라이버

270, 370: 제 4 스위치 회로

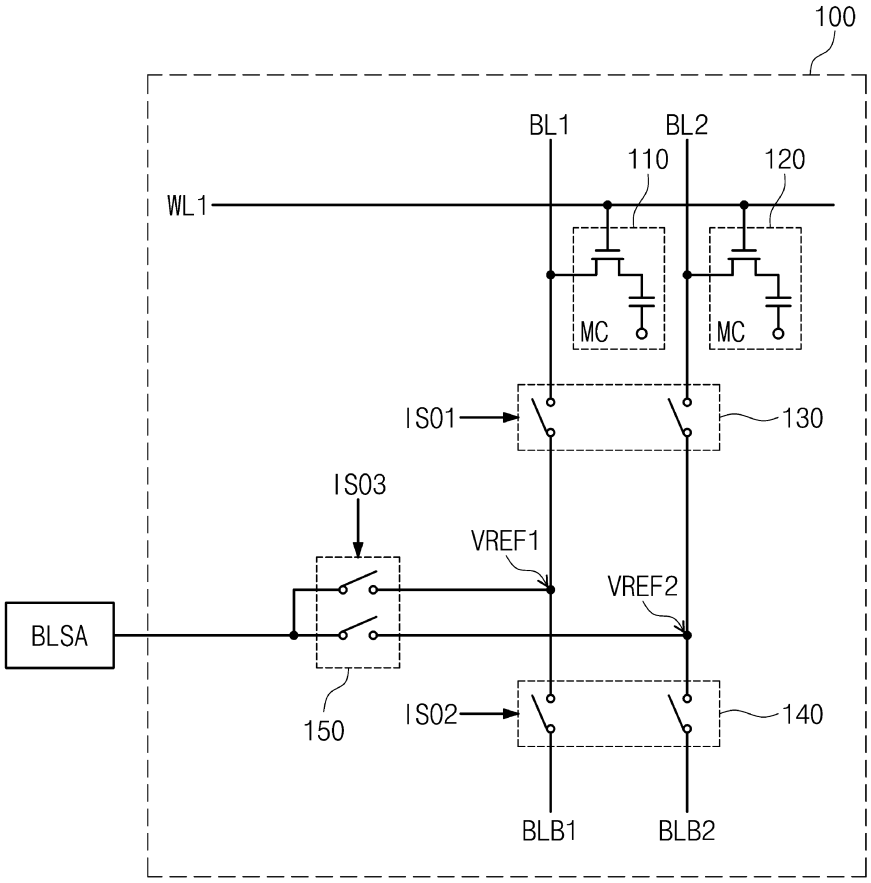
10, 1000, 2000, 3000, 4000, 5000, 6000, 7000: 메모리 장치

도면

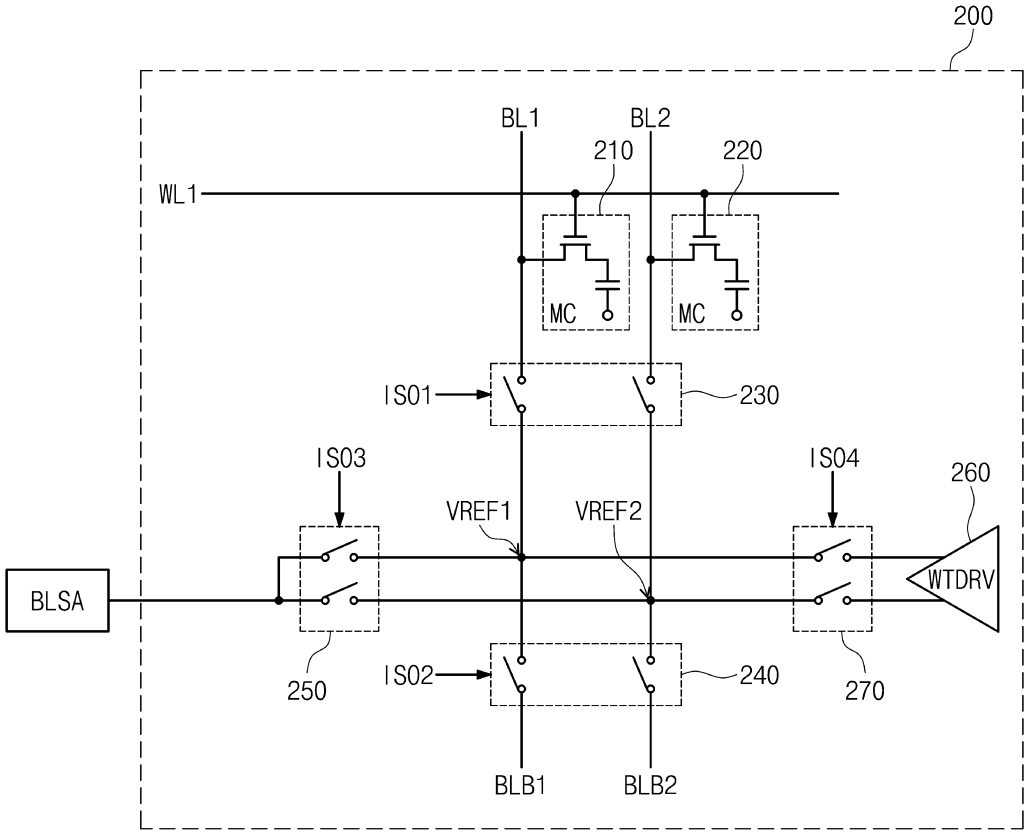
도면1



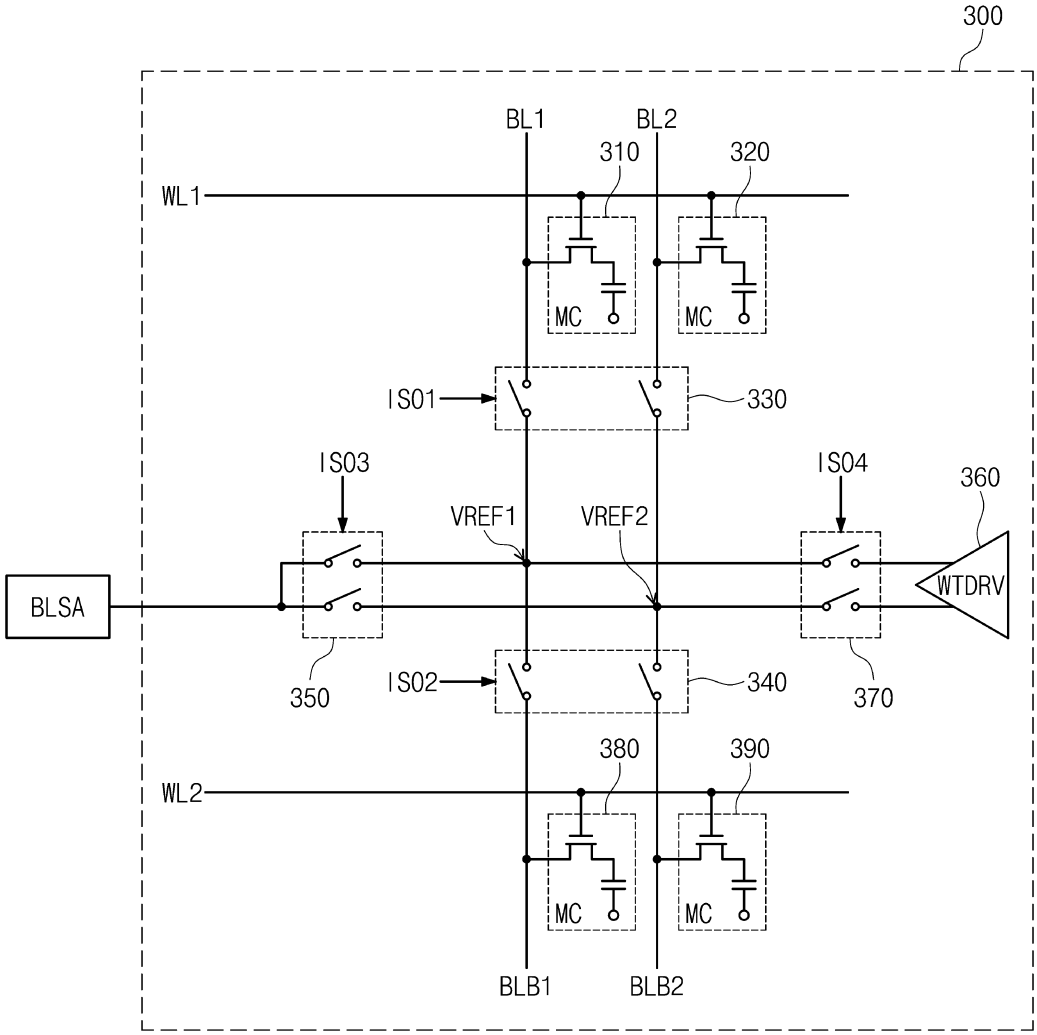
도면2


100
BL1
BL2
110
120
WL1
MC
MC
ISO1
130
ISO3
VREF1
VREF2
BLSA
150
ISO2
140
BLB1
BLB2

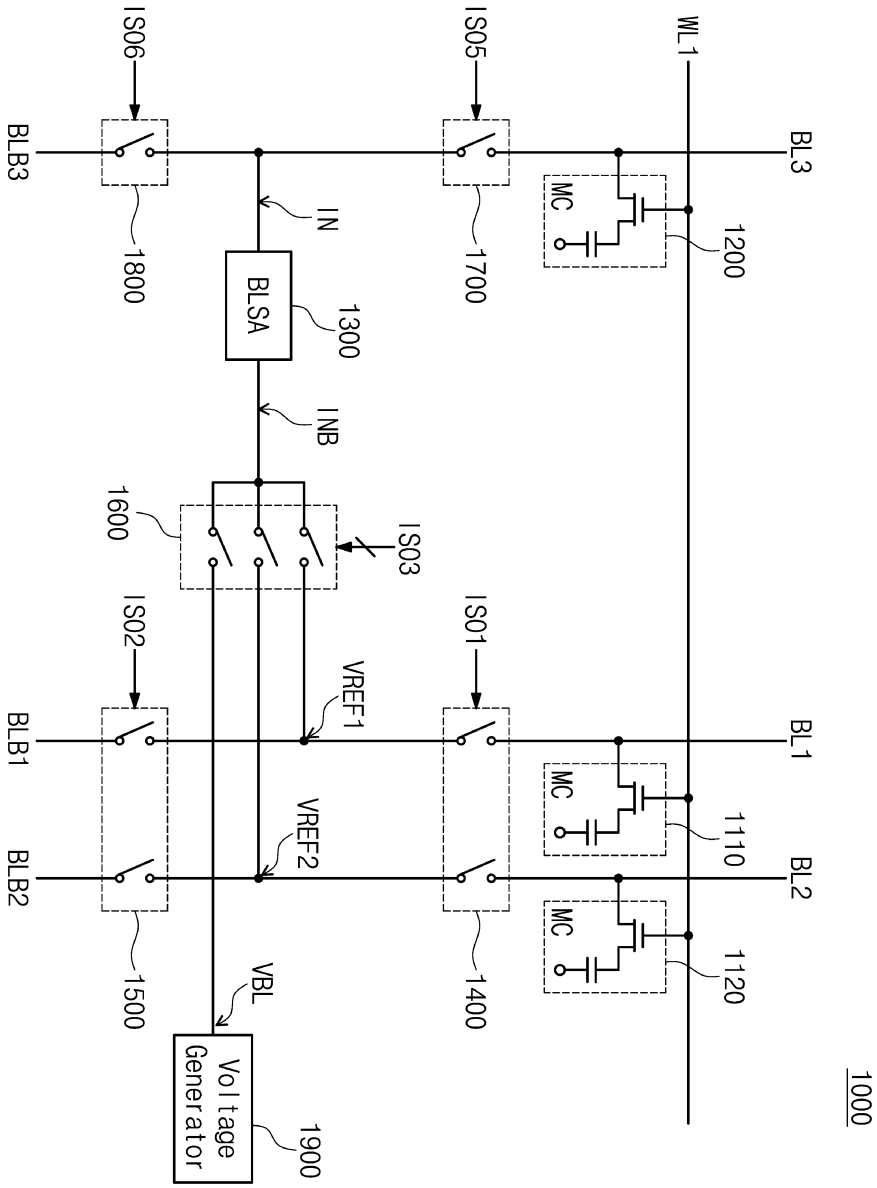
도면3


200
BL1
BL2
210
220
WL1
MC
MC
ISO1
230
ISO3
ISO4
260
VREF1
VREF2
BLSA
WTDRV
250
ISO2
240
270
BLB1
BLB2

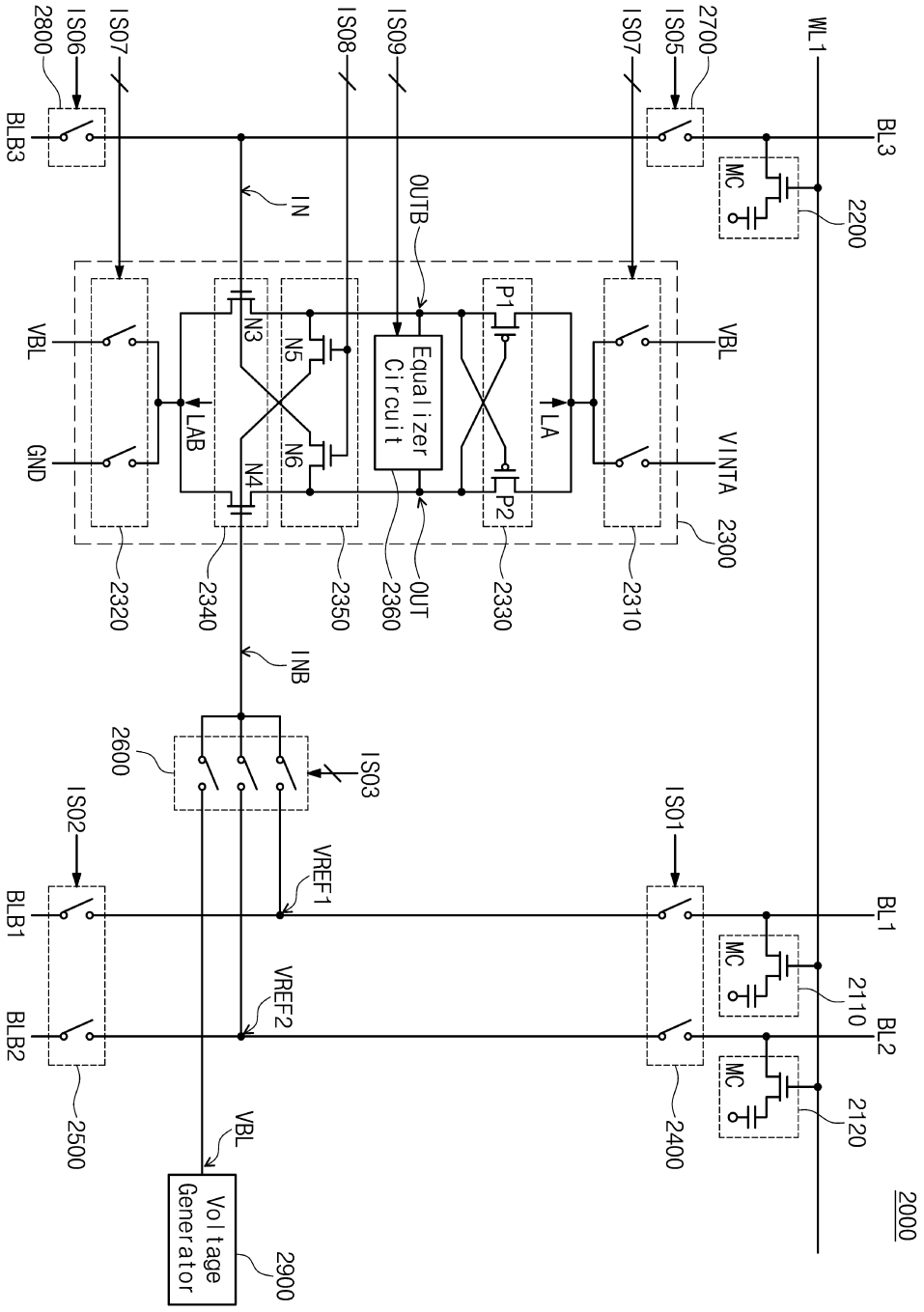
도면4


300
BL1
BL2
310
320
WL1
MC
MC
ISO1
330
ISO3
ISO4
360
VREF1
VREF2
BLSA
WTDRV
350
ISO2
340
370
380
390
WL2
MC
MC
BLB1
BLB2

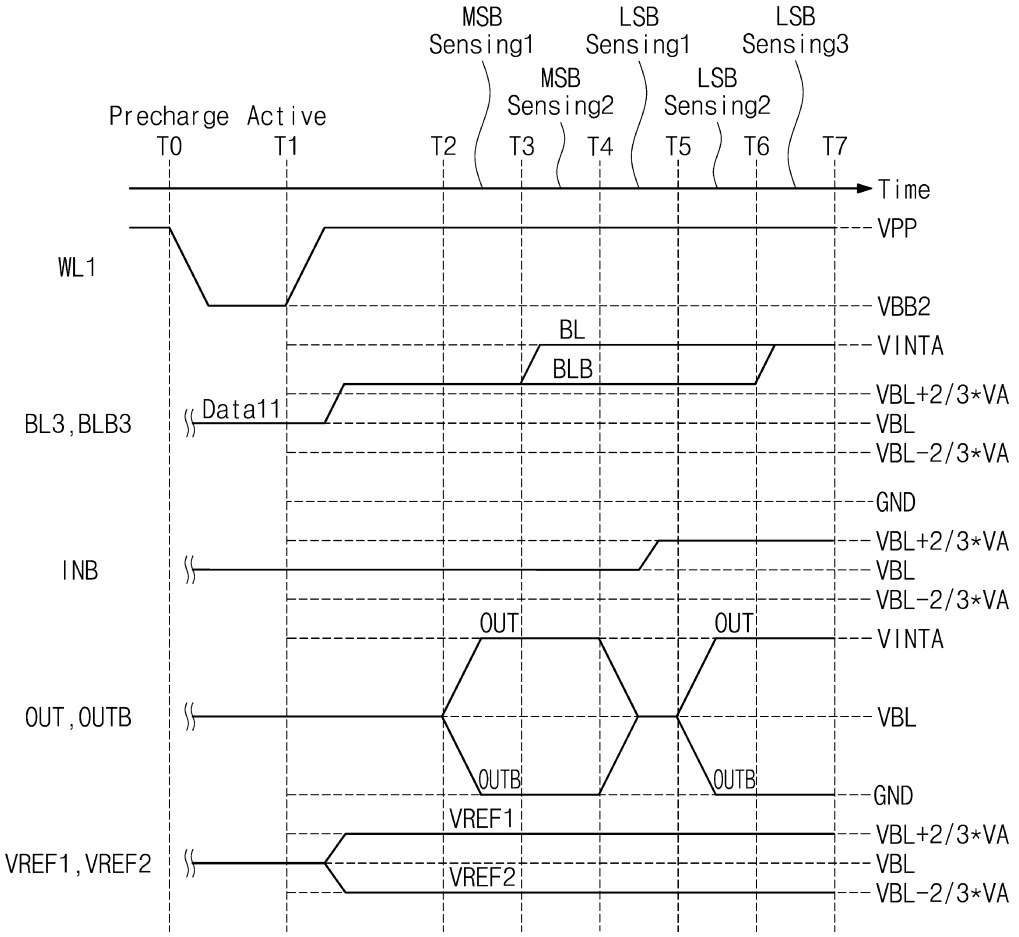
도면5


ISO6
ISO5
WL1
BLB3
BL3
MC
1800
1700
1200
IN
BLSA
1300
INB
1600
ISO3
ISO2
ISO1
VREF1
BLB1
BL1
MC
1110
VREF2
BLB2
BL2
MC
1500
1400
1120
VBL
Voltage Generator
1900
1000

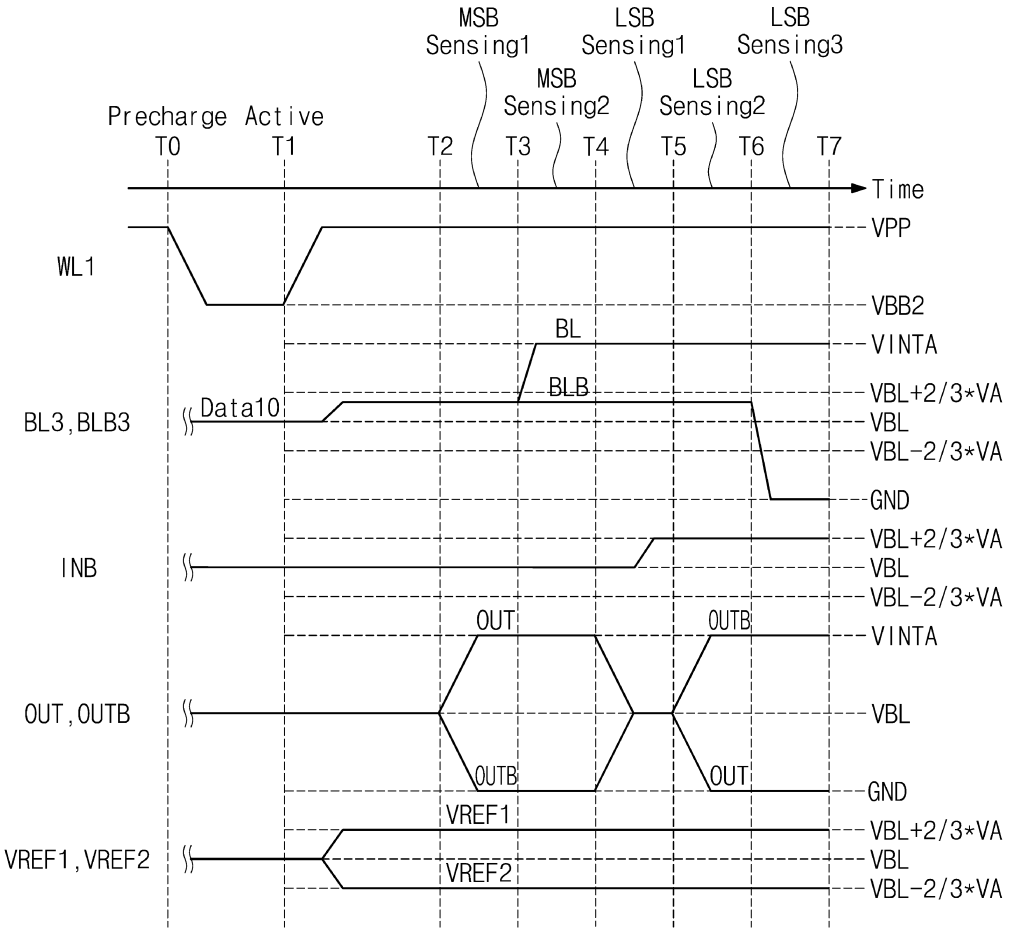
도면6


2800
IS06
IS07
IS08
IS09
IS07
IS05
2700
WL1
BLB3
BL3
MC
2200
IN
OUTB
VBL
GND
LAB
N3
N4
N5
N6
Equalizer Circuit
P1
P2
LA
VBL
VINTA
2300
2320
2340
2350
2360
OUT
2330
2310
INB
2600
IS03
IS02
IS01
VREF1
VREF2
BLB1
BLB2
BL1
BL2
MC
2110
MC
2120
2500
2400
VBL
Voltage Generator
2900
2000

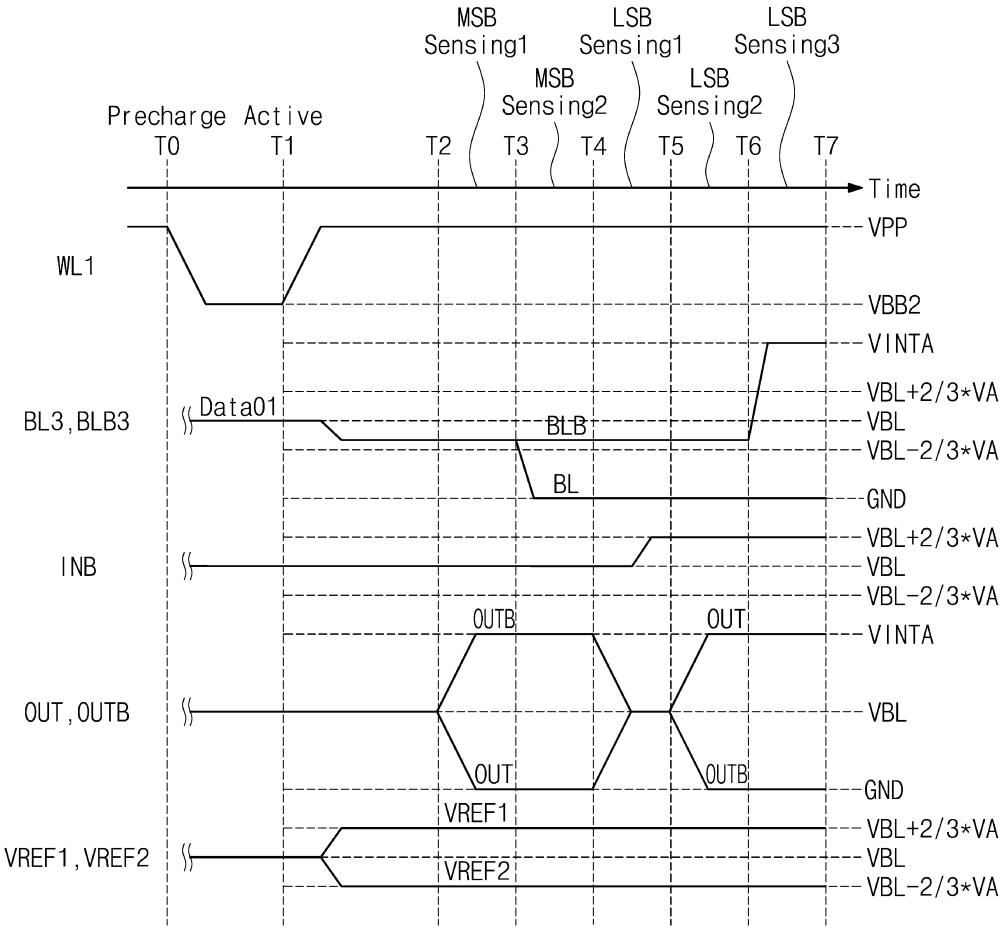
도면7


MSB Sensing1
LSB Sensing1
LSB Sensing3
MSB Sensing2
LSB Sensing2
Precharge
Active
T0
T1
T2
T3
T4
T5
T6
T7
Time
WL1
VPP
VBB2
BL
BLB
VINTA
BL3,BLB3
Data11
VBL+2/3*VA
VBL
VBL-2/3*VA
GND
INB
OUT
OUTB
OUT,OUTB
VREF1
VREF2
VREF1,VREF2

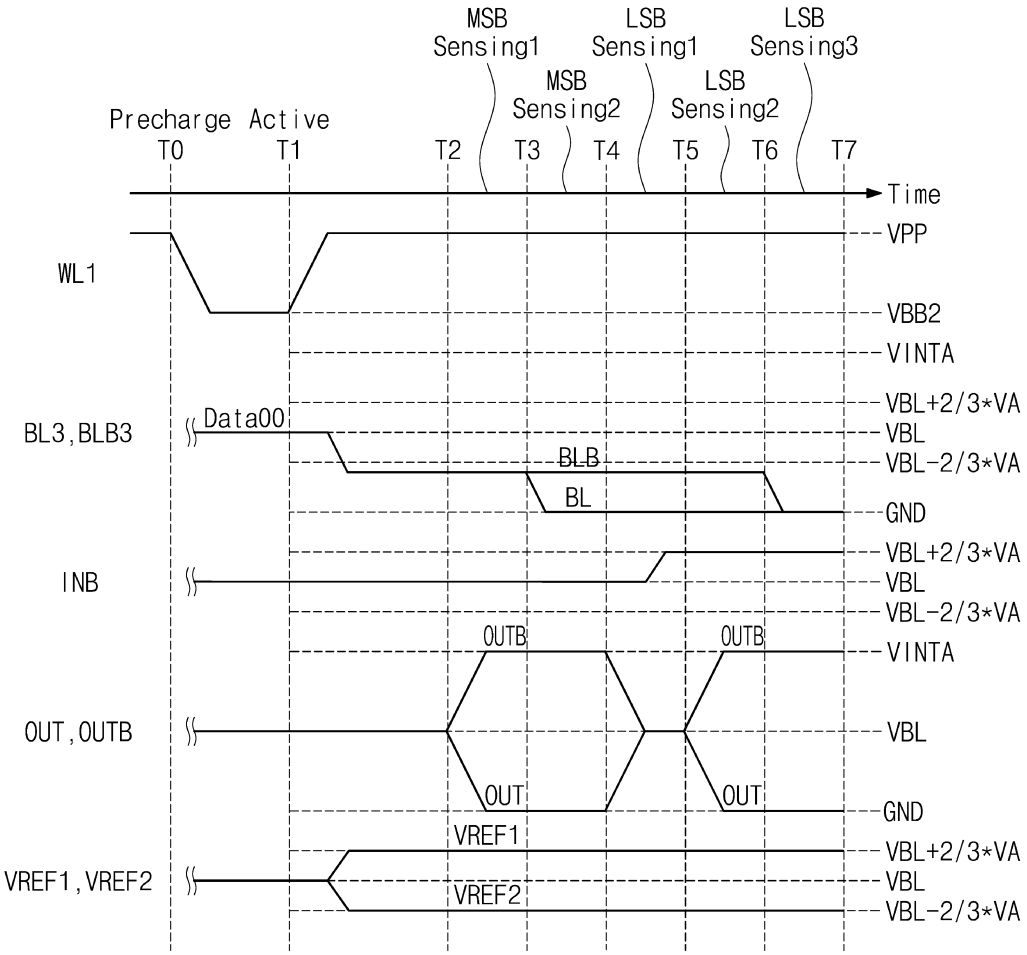
도면8


MSB Sensing1
LSB Sensing1
LSB Sensing3
MSB Sensing2
LSB Sensing2
Precharge
Active
T0
T1
T2
T3
T4
T5
T6
T7
Time
WL1
VPP
VBB2
BL
VINTA
BLB
VBL+2/3*VA
BL3,BLB3
Data10
VBL
VBL-2/3*VA
GND
INB
OUT
OUTB
OUT,OUTB
VREF1
VREF2

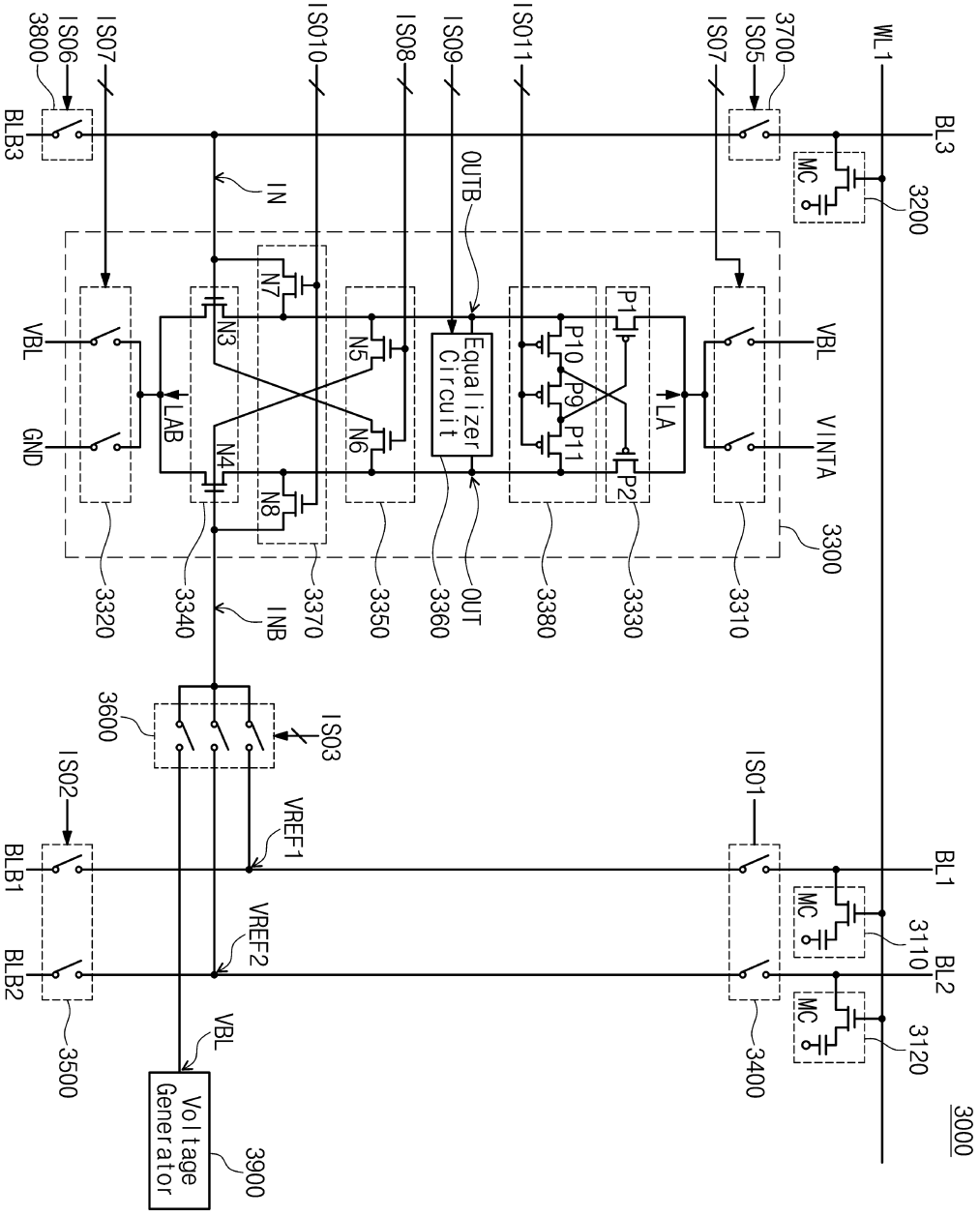
도면9


MSB Sensing1
LSB Sensing1
LSB Sensing3
MSB Sensing2
LSB Sensing2
Precharge
Active
T0
T1
T2
T3
T4
T5
T6
T7
Time
WL1
VPP
VBB2
VINTA
BL3,BLB3
Data01
BLB
BL
VBL+2/3*VA
VBL
VBL-2/3*VA
GND
INB
OUTB
OUT
OUT,OUTB
VREF1,VREF2
VREF1
VREF2

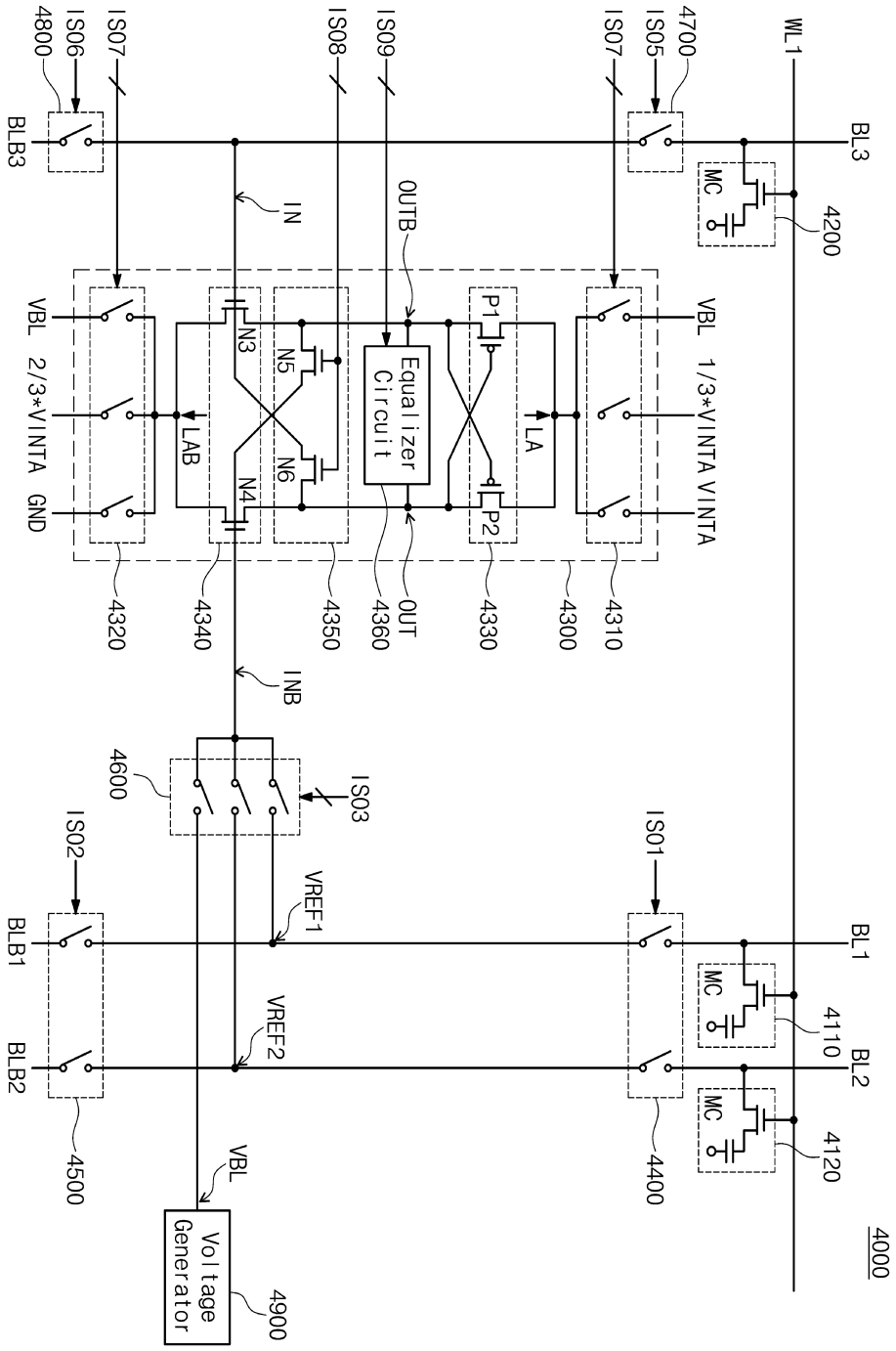
도면10


MSB Sensing1
LSB Sensing1
LSB Sensing3
MSB Sensing2
LSB Sensing2
Precharge
Active
T0
T1
T2
T3
T4
T5
T6
T7
Time
WL1
VPP
VBB2
VINTA
BL3,BLB3
Data00
VBL+2/3*VA
VBL
VBL-2/3*VA
BLB
BL
GND
INB
VBL+2/3*VA
VBL
VBL-2/3*VA
OUTB
OUTB
VINTA
OUT,OUTB
VBL
OUT
OUT
GND
VREF1
VREF1,VREF2
VBL+2/3*VA
VBL
VREF2
VBL-2/3*VA

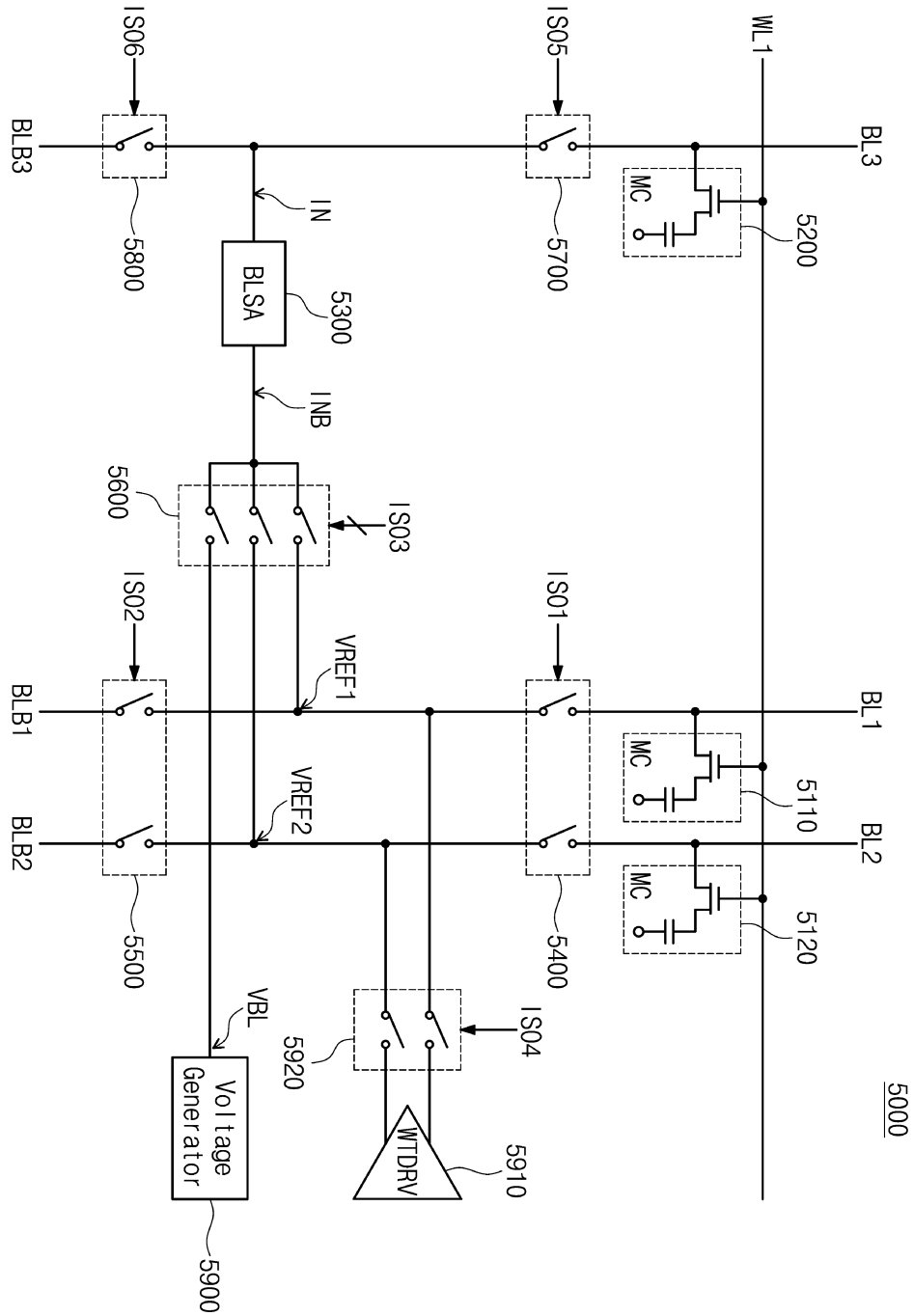
도면11


WL1
BL3
BL1
BL2
BLB3
BLB1
BLB2
IS01
IS02
IS03
IS05
IS06
IS07
IS08
IS09
IS010
IS011
3700
3800
3200
3300
3310
3320
3330
3340
3350
3360
3370
3380
3400
3500
3600
3110
3120
3900
3000
IN
INB
OUTB
OUT
VBL
GND
VINTA
LAB
LA
N3
N4
N5
N6
N7
N8
P1
P2
P9
P10
P11
Equalizer Circuit
VREF1
VREF2
MC
Voltage Generator

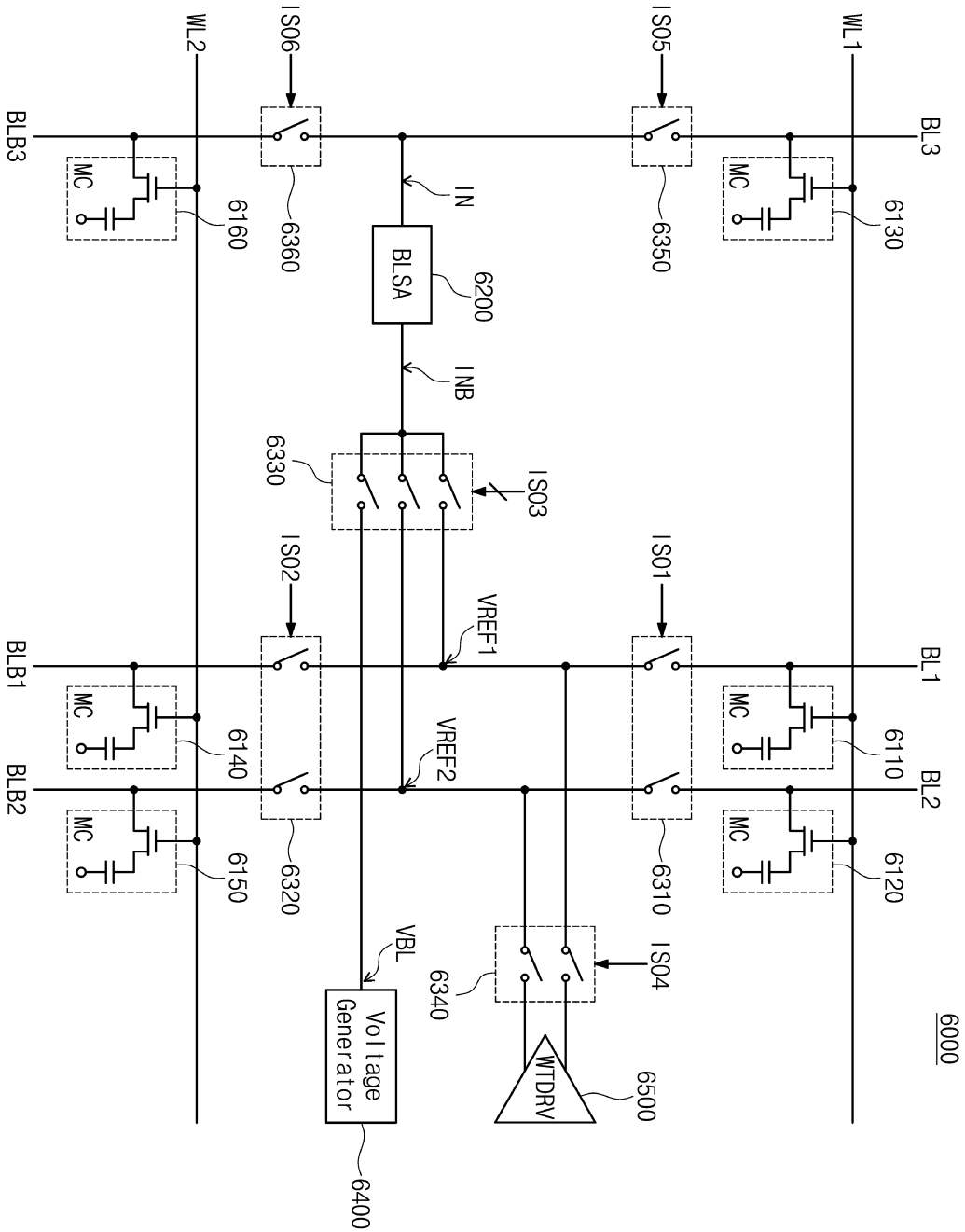
도면12


WL1
BL3
BLB3
IS07
IS06
4800
IS08
IS09
IS07
IS05
4700
MC
4200
IN
OUTB
VBL 2/3*VINTA GND
VBL 1/3*VINTA VINTA
N3
N5
N6
N4
LAB
Equalizer Circuit
P1
P2
LA
4320
4340
4350
4360
OUT
4330
4300
4310
INB
4600
IS03
IS02
IS01
VREF1
VREF2
BLB1
BLB2
BL1
BL2
4110
4120
4500
4400
VBL
Voltage Generator
4900
4000

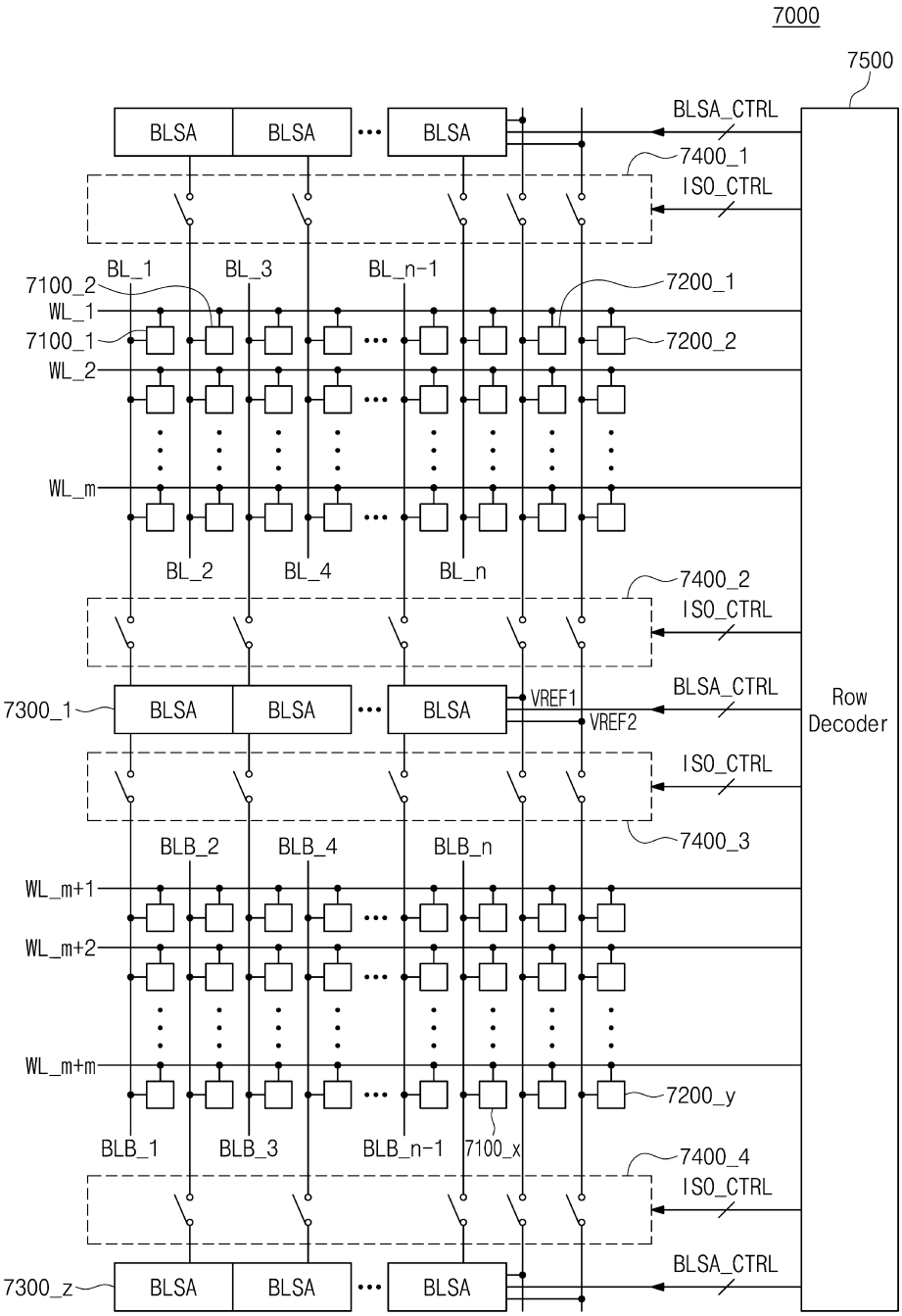
도면13


ISO6
ISO5
WL1
BLB3
BL3
MC
5800
5700
5200
IN
BLSA
5300
INB
5600
ISO3
ISO2
ISO1
VREF1
BLB1
BL1
VREF2
BLB2
BL2
5110
5120
5500
5400
VBL
5920
ISO4
Voltage Generator
WTDRV
5910
5900
5000

도면14


WL2
WL1
IS06
IS05
BLB3
BL3
MC
6160
6360
6350
6130
IN
BLSA
6200
INB
6330
IS03
IS02
IS01
VREF1
BLB1
BL1
6140
6110
VREF2
BLB2
BL2
6320
6310
6150
6120
VBL
IS04
6340
Voltage Generator
WTDRV
6500
6400
6000

도면15


7000
7500
BLSA_CTRL
7400_1
ISO_CTRL
BLSA
BL_1
BL_3
BL_n-1
7100_2
7200_1
WL_1
7100_1
7200_2
WL_2
WL_m
BL_2
BL_4
BL_n
7400_2
ISO_CTRL
7300_1
VREF1
VREF2
BLSA_CTRL
Row Decoder
ISO_CTRL
7400_3
BLB_2
BLB_4
BLB_n
WL_m+1
WL_m+2
WL_m+m
7200_y
BLB_1
BLB_3
BLB_n-1
7100_x
7400_4
ISO_CTRL
7300_z
BLSA_CTRL