



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월14일
 (11) 등록번호 10-1329284
 (24) 등록일자 2013년11월07일

(51) 국제특허분류(Int. Cl.)
 G02F 1/136 (2006.01)
 (21) 출원번호 10-2007-0013332
 (22) 출원일자 2007년02월08일
 심사청구일자 2012년01월25일
 (65) 공개번호 10-2008-0074356
 (43) 공개일자 2008년08월13일
 (56) 선행기술조사문헌
 KR1020050003258 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
 유춘기
 경기도 화성시 병점동로 23, 105동 1205호 (병점동, 구봉마을 우남퍼스트빌)
 조세일
 경기도 수원시 영통구 영통로290번길 26, 벽적골 8단지아파트 842동 601호 (영통동)
 (74) 대리인
 박영우

전체 청구항 수 : 총 27 항

심사관 : 엄인권

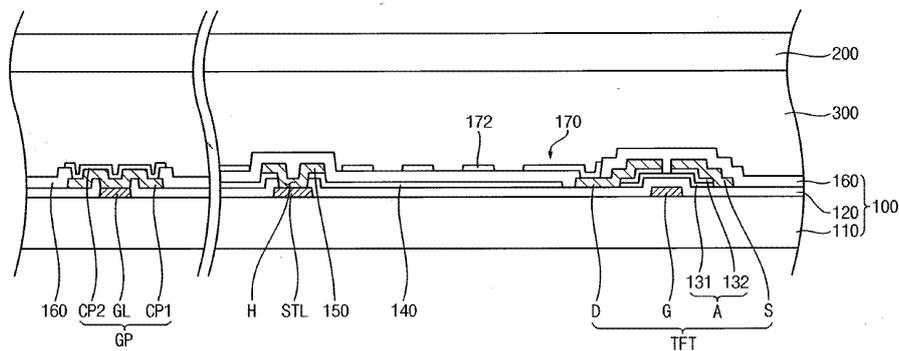
(54) 발명의 명칭 표시 기관 및 이의 제조 방법

(57) 요약

제조 원가를 절감하기 위한 표시 기관 및 이의 제조 방법이 개시된다. 표시 기관은 제1 금속패턴, 제1 절연층, 제1 전극 및 제2 금속패턴을 포함한다. 제1 금속패턴은 게이트 배선 및 신호 배선을 포함한다. 제1 절연층은 제1 금속패턴이 형성된 기관 상에 형성되며 신호 배선의 일부를 노출시키는 제1 개구부가 형성된다. 제1 전극은 단위 화소에 대응하여 제1 절연층 상에 형성된다. 제2 금속패턴은 제1 개구부를 통하여 제1 전극과 신호 배선에 접촉하는 연결 전극 및 데이터 배선을 포함한다. 제1 전극과 제1 개구부는 1매의 마스크를 이용한 사진 식각 공정으로 패터닝되며, 신호 배선과 제1 전극은 제2 금속패턴으로 형성한 연결 전극을 통해 전기적으로 연결시킬 수 있다. 이에 따라, 표시 기관의 제조 공정 중에 사용되는 마스크를 절감할 수 있다.

대표도

400



특허청구의 범위

청구항 1

게이트 배선 및 공통 전압이 인가되는 신호 배선을 포함하는 제1 금속패턴;

상기 제1 금속패턴이 형성된 기판 상에 형성되며 상기 신호 배선의 일부를 노출시키는 제1 개구부가 형성된 제1 절연층;

단위 화소에 대응하여 상기 제1 절연층 상에 형성된 제1 전극;

상기 제1 개구부를 통하여 상기 제1 전극과 상기 신호 배선에 접촉하는 연결 전극 및 데이터 배선을 포함하는 제2 금속패턴;

상기 단위 화소 내에 형성된 박막트랜지스터; 및

상기 박막 트랜지스터와 연결되며, 상기 제1 전극과 중첩하는 제2 전극을 포함하는 것을 특징으로 하는 표시 기판.

청구항 2

제1항에 있어서, 상기 제1 전극은 투명한 도전성 물질로 이루어진 것을 특징으로 하는 표시 기판.

청구항 3

제1항에 있어서, 상기 제2 금속패턴이 형성된 상기 기판 상에 형성된 제2 절연층을 더 포함하고, 상기 제2 전극은 상기 제2 절연층 상에 형성된 것을 특징으로 하는 표시 기판.

청구항 4

제3항에 있어서, 상기 제2 전극은 상기 제1 전극과 함께 횡전계를 유발하는 전극인 것을 특징으로 하는 표시 기판.

청구항 5

제3항에 있어서, 상기 제2 전극은 투명한 도전성 물질로 이루어진 것을 특징으로 하는 표시 기판.

청구항 6

제3항에 있어서, 상기 박막 트랜지스터는

상기 게이트 배선으로부터 돌출된 게이트 전극;

상기 게이트 전극에 일부 중첩되도록 상기 데이터 배선으로부터 돌출된 소스 전극;

상기 제2 금속패턴으로 형성되며 상기 소스 전극으로부터 소정 간격 이격된 드레인 전극; 및

상기 제2 금속패턴과 상기 제1 절연층 사이에 형성되며 상기 게이트 전극에 중첩되는 액티브층을 포함하는 것을 특징으로 하는 표시 기판.

청구항 7

제6항에 있어서, 상기 제2 절연층에는 상기 드레인 전극의 일단부를 노출시키는 콘택홀이 형성된 것을 특징으로 하는 표시 기판.

청구항 8

제7항에 있어서, 상기 제2 전극은 상기 콘택홀을 통해 상기 드레인 전극과 접촉하는 것을 특징으로 하는 표시 기판.

청구항 9

게이트 배선 및 공통 전압이 인가되는 신호 배선을 포함하는 제1 금속패턴;

상기 제1 금속패턴이 형성된 기판 상에 형성되며 상기 신호 배선의 일부를 노출시키는 제1 개구부가 형성된 제1 절연층;

단위 화소에 대응하여 상기 제1 절연층 상에 형성되며, 상기 제1 개구부에 대응하는 제2 개구부가 형성된 제1 전극;

상기 제2 개구부에 대응하여 상기 제1 전극 상에 형성되며 상기 신호 배선과 상기 제1 전극에 접촉하는 연결 전극 및 데이터 배선을 포함하는 제2 금속패턴;

상기 단위 화소 내에 형성된 박막트랜지스터; 및

상기 박막트랜지스터와 연결되며, 상기 제1 전극과 중첩하는 제2 전극을 포함하는 것을 특징으로 하는 표시 기판.

청구항 10

제9항에 있어서, 상기 제1 전극은 투명한 도전성 물질로 이루어진 것을 특징으로 하는 표시 기판.

청구항 11

제9항에 있어서, 상기 제2 금속패턴이 형성된 상기 기판 상에 형성된 제2 절연층을 더 포함하고, 상기 제2 전극은 상기 제2 절연층 상에 형성된 것을 특징으로 하는 표시 기판.

청구항 12

제11항에 있어서, 상기 제2 전극은 상기 제1 전극과 함께 횡전계를 유발하는 전극인 것을 특징으로 하는 표시 기판.

청구항 13

제11항에 있어서, 상기 제2 전극은 투명한 도전성 물질로 이루어진 것을 특징으로 하는 표시 기판.

청구항 14

제11항에 있어서, 상기 박막 트랜지스터는

상기 게이트 배선으로부터 돌출된 게이트 전극;

상기 게이트 전극에 일부 중첩되도록 상기 데이터 배선으로부터 돌출된 소스 전극;

상기 제2 금속패턴으로 형성되며 상기 소스 전극으로부터 소정 간격 이격된 드레인 전극; 및

상기 제2 금속패턴과 상기 제1 절연층 사이에 형성되며 상기 게이트 전극에 중첩되는 액티브층을 포함하는 것을 특징으로 하는 표시 기판.

청구항 15

제14항에 있어서, 상기 제2 절연층에는 상기 드레인 전극의 일단부를 노출시키는 콘택홀이 형성된 것을 특징으로 하는 표시 기판.

청구항 16

제15항에 있어서, 상기 제2 전극은 상기 콘택홀을 통해 상기 드레인 전극과 접촉하는 것을 특징으로 하는 표시 기판.

청구항 17

기판 상에 게이트 배선 및 신호 배선을 포함하는 제1 금속패턴을 형성하는 단계;

상기 제1 금속패턴이 형성된 기판 상에 제1 절연층, 도전성 물질층을 순차적으로 형성하는 단계;

상기 도전성 물질층 및 상기 제1 절연층을 식각하여 단위 화소 내에서 상기 신호 배선을 일부 노출시키는 개구

부를 형성하는 단계;

상기 개구부가 형성된 상기 도전성 물질층을 식각하여 상기 단위 화소에 대응하는 제1 전극을 패터닝하는 단계;

상기 개구부에 대응하여 형성되며, 상기 신호 배선과 상기 제1 전극에 접촉하는 연결 전극 및 데이터 배선을 포함하는 제2 금속패턴을 형성하는 단계;

상기 제2 금속패턴이 형성된 상기 기판 상에 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 상에 상기 단위 화소에 대응하는 제2 전극을 형성하는 단계를 포함하며,

상기 제2 전극은 투명한 도전성 물질로 형성하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 18

제17항에 있어서, 상기 개구부를 형성하는 단계는

상기 도전성 물질층 상에 포토레지스트층을 형성하는 단계;

상기 포토레지스트층을 패터닝하여 제1 패턴부, 상기 제1 패턴부 보다 얇은 두께의 제2 패턴부 및 개구 패턴을 포함하는 포토레지스트패턴을 형성하는 단계; 및

상기 포토레지스트패턴을 이용하여, 상기 개구 패턴에 대응하는 상기 도전성 물질층 및 상기 제1 절연층을 순차적으로 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 19

제18항에 있어서, 상기 제1 전극을 패터닝하는 단계는

상기 포토레지스트패턴을 일정두께 식각하여 상기 제2 패턴부를 제거하는 단계; 및

상기 제2 패턴부가 제거되어 노출된 상기 개구부가 형성된 도전성 물질층을 식각하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 20

제19항에 있어서, 상기 개구부가 형성된 도전성 물질층을 식각하는 단계는 상기 제1 금속패턴에 식각 선택비가 있는 식각액을 이용한 습식식각 공정으로 진행되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 21

제17항에 있어서, 상기 단위 화소 내에 박막 트랜지스터를 형성하는 단계를 더 포함하며, 상기 박막 트랜지스터를 형성하는 단계는

상기 제1 금속패턴으로 상기 게이트 배선으로부터 돌출되는 게이트 전극을 형성하는 단계;

상기 제1 절연층 상에 상기 게이트 전극과 중첩되는 액티브층을 형성하는 단계; 및

상기 제2 금속패턴으로 상기 액티브층과 일부 중첩되는 소스 전극 및 상기 소스 전극으로부터 소폭 이격되어 상기 액티브층과 일부 중첩되는 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 22

제21항에 있어서, 상기 소스 전극과 상기 드레인 전극의 이격부에서 노출된 상기 액티브층을 소정 두께 식각하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 23

제22항에 있어서, 상기 제2 절연층을 패터닝하여 상기 드레인 전극의 일단부를 노출시키는 콘택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 24

제17항에 있어서, 상기 제2 전극을 형성하는 단계는

상기 제2 절연층 상에 도전성 물질층을 형성하는 단계; 및

상기 도전성 물질층을 패터닝하여, 상기 콘택홀을 통해 상기 드레인 전극과 접촉하며, 상기 데이터 배선과 동일 방향으로 연장된 제1 라인들 및 상기 제1 라인들에 연결되며 상기 게이트 배선과 동일방향으로 연장된 복수의 제2 라인들을 포함하는 상기 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 25

제17항에 있어서, 상기 개구부를 형성하는 단계는

상기 게이트 배선의 일단부를 노출시키는 게이트 패드홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 26

제25항에 있어서, 상기 제2 금속패턴을 형성하는 단계는

상기 게이트 패드홀을 커버하는 커버 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 27

제17항에 있어서, 상기 도전성 물질층은 투명한 도전성 물질로 이루어진 것 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 28

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0014] 본 발명은 표시 기관 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 제조 원가를 절감하기 위한 표시 기관 및 이의 제조 방법에 관한 것이다.

[0015] 액정표시패널의 광시야각 구현을 위해 최근에는 IPS(In-Plane Switching) 모드를 포함한 여러 가지 액정 모드 기술이 개발된 바 있다. 광 시야각 양산 기술로 개발된 FFS(Fringe Field Switching) 모드의 경우, 기존의 광시야각 모드인 IPS 모드와 기본 개념은 유사하나, 기관에 평행한 전계에 의한 액정의 트위스트 차이를 이용하는 IPS 모드와는 달리 기관에 사선인 전계에 의해 액정의 트위스트(twist) 및 틸트(tilt) 차이에 의해 발생하는 복굴절 현상을 이용한다는 점에서 IPS 모드와 차이점이 있다.

[0016] 구체적으로, FFS 모드의 액정표시패널은 표시 기관, 대향 기관 및 상기 표시 기관과 대향 기관 사이에 개재된 액정층으로 구성되며, 표시 기관에는 서로 교차하는 게이트 배선들 및 데이터 배선들에 의해 복수의 단위 화소가 정의된다. 상기 단위 화소 내에는 절연층을 사이에 두고 제1 전극과 제2 전극이 형성되며, 제1 전극에는 공통 전압이 인가되고, 상기 제2 전극에는 화소 전압이 인가된다. 이때, 제2 전극은 제1 전극과의 사이에 횡전계를 형성하기 위하여 데이터 배선에 평행한 제1 라인 및 제1 라인에 연결되며 게이트 배선에 평행한 복수의 제2 라인들을 포함하도록 패터닝되는 것이 일반적이며, 최근에는 제조 원가 절감을 위해서 FFS 모드 표시 기관의 제조 공정에 사용되는 마스크 수를 줄이는 방법이 개발중이다.

발명이 이루고자 하는 기술적 과제

[0017] 이에 본 발명의 기술적 과제는 이러한 종래의 점에 착안한 것으로, 본 발명의 목적은 제조 원가를 절감하기 위한 표시 기관을 제공하는 것이다.

[0018] 본 발명의 다른 목적은 상기 표시 기관의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

[0019] 상기한 본 발명의 목적을 실현하기 위하여 실시예에 따른 표시 기관은 제1 금속패턴, 제1 절연층, 제1 전극 및 제2 금속패턴을 포함한다. 제1 금속패턴은 게이트 배선 및 신호 배선을 포함한다. 제1 절연층은 제1 금속패턴이 형성된 기관 상에 형성되며 신호 배선의 일부를 노출시키는 제1 개구부가 형성된다. 제1 전극은 단위 화소에 대응하여 제1 절연층 상에 형성된다. 제2 금속패턴은 제1 개구부를 통하여 제1 전극과 신호 배선에 접촉하는 연결 전극 및 데이터 배선을 포함한다.

[0020] 상기한 본 발명의 다른 목적을 실현하기 위하여 실시예에 따른 표시 기관의 제조 방법은 기관 상에 게이트 배선 및 신호 배선을 포함하는 제1 금속패턴을 형성하는 단계와, 상기 제1 금속패턴이 형성된 기관 상에 제1 절연층, 도전성 물질층을 순차적으로 형성하는 단계와, 상기 도전성 물질층 및 상기 제1 절연층을 식각하여 단위 화소 내에서 상기 신호 배선을 일부 노출시키는 개구부를 형성하는 단계와, 상기 개구부가 형성된 상기 도전성 물질층을 식각하여 상기 단위 화소에 대응하는 제1 전극을 패터닝하는 단계와, 상기 개구부에 대응하여 형성되며, 상기 신호 배선과 상기 제1 전극에 동시에 접촉하는 연결 전극 및 데이터 배선을 포함하는 제2 금속패턴을 형성하는 단계와, 상기 제2 금속패턴이 형성된 상기 기관 상에 제2 절연층을 형성하는 단계 및 상기 제2 절연층 상에 상기 단위 화소에 대응하는 제2 전극을 형성하는 단계를 포함한다.

[0021] 이러한 표시 기관 및 이의 제조 방법에 의하면, 제조 공정에 사용되는 마스크 수를 절감함으로써 제조 원가를 절감할 수 있다.

[0022] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0023] 도 1은 본 발명의 실시예에 따른 액정표시패널의 부분 평면도이다.

[0024] 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.

[0025] 도 1 내지 도 2를 참조하면, 액정표시패널(400)은 표시 기관(100), 대향 기관(200) 및 상기 표시 기관(100)과 상기 대향 기관(200) 사이에 개재된 액정층(300)을 포함한다.

[0026] 상기 표시 기관(100)은 베이스 기관(110)을 포함한다. 상기 베이스 기관(110)은 광이 투과할 수 있는 투명한 재질로 이루어진다. 일례로, 상기 베이스 기관(110)은 유리 기관이다. 상기 베이스 기관(110) 상에는 제1 방향(X)으로 연장된 게이트 배선(GL)들 및 상기 제1 방향(X)에 교차하는 제2 방향으로(Y) 연장된 데이터 배선(DL)들에 의해 복수의 단위 화소(P)가 정의된다.

[0027] 상기 단위 화소(P) 내에는 상기 게이트 배선(GL) 및 데이터 배선(DL)에 연결된 박막 트랜지스터(TFT), 상기 게이트 배선(GL)들과 동일한 방향으로 연장된 신호 배선(STL), 제1 전극(140) 및 제2 전극(170)이 형성된다.

[0028] 구체적으로, 상기 게이트 배선(GL)들 및 신호 배선(STL)은 동일 금속층을 패터닝하여 형성된 제1 금속패턴이다. 상기 신호 배선(STL)에는 외부의 구동 전압 인가부로부터 공통 전압이 인가된다. 또한, 상기 제1 금속패턴은 상기 게이트 배선(GL)으로부터 돌출된 게이트 전극(G)을 더 포함한다.

[0029] 상기 게이트 배선(GL)들, 게이트 전극(G) 및 신호 배선(STL)을 포함하는 제1 금속패턴이 형성된 상기 베이스 기관(110) 상에는 게이트 절연층(120)이 형성된다. 상기 게이트 절연층(120)은 일례로 질화 실리콘(SiNx)으로 형성된다.

[0030] 상기 게이트 절연층(120) 내에는 상기 게이트 배선(GL)의 일단부를 노출시키는 게이트 패드홀(GH) 및 상기 신호 배선(STL)의 일단부를 노출시키는 신호 패드홀(SH)이 형성된다.

[0031] 상기 게이트 절연층(120) 상에는 상기 게이트 전극(G)과 중첩되는 액티브층(A)이 형성된다. 상기 액티브층(A)은 일례로 비정질 실리콘으로 이루어진 반도체층(131) 및 n+ 이온 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(132)이 순차적으로 적층된 구조로 형성된다.

[0032] 상기 액티브층(A)이 형성된 게이트 절연층(120) 상에는 상기 액티브층(A)에 미중첩되며, 상기 단위 화소(P)에 대응하는 제1 전극(140)이 형성된다.

[0033] 상기 제1 전극(140)은 일례로 투명한 도전성 물질로 이루어진다. 상기 투명한 도전성 물질로는 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide), 비정질 인듐 틴 옥사이드(Amorphous Indium

Tin Oxide) 등이 이용될 수 있다.

- [0034] 이때, 상기 제1 전극(140) 및 상기 게이트 절연층(120) 내에는 상기 단위 화소(P) 내에 형성된 신호 배선(STL)을 일부 노출시키는 개구부가 형성된다. 본 발명의 실시예에서는 상기 개구부를 일레로서 홀(Hole)의 형상으로 도시하고, 홀(H)이라 명명하도록 한다.
- [0035] 상기 제1 전극(140)이 형성된 베이스 기판(110) 상에는 데이터 배선(DL)들, 소스 전극(S), 드레인 전극(D) 및 연결 전극(CP1)을 포함하는 제2 금속패턴이 형성된다.
- [0036] 상기 소스 전극(S)은 상기 데이터 배선(DL)으로부터 돌출되며 상기 액티브층(A)과 일부 중첩된다. 상기 드레인 전극(D)은 상기 소스 전극(S)으로부터 소정 간격 이격되어 형성되며 상기 액티브층(A)과 일부 중첩된다.
- [0037] 이때, 상기 소스 전극(S)과 상기 드레인 전극(D)의 이격부에서는 상기 오믹 콘택층(132)이 제거되어 상기 반도체층(131)이 노출된다. 상기 반도체층(131)이 노출된 영역은 박막 트랜지스터(TFT)의 전기적 채널이 형성되는 영역이다.
- [0038] 상기 게이트 전극(G), 액티브층(A), 소스 전극(S) 및 드레인 전극(D)은 단위 화소(P) 내에 상기 박막 트랜지스터(TFT)를 구성한다.
- [0039] 상기 제1 연결 전극(150)은 상기 홀(H)에 대응하여 형성되며, 상기 홀(H)보다 넓은 면적으로 형성되는 것이 바람직하다. 상기 연결 전극(150)은 상기 홀(H)에서 노출된 신호 배선(STL) 및 상기 홀 주변(H)의 제1 전극(140)과 동시에 접촉한다. 이에 따라, 상기 연결 전극(150)에 의해 상기 신호 배선(STL)과 상기 제1 전극(140)이 전기적으로 연결되므로 상기 제1 전극(140)에 공통 전압이 인가된다.
- [0040] 한편, 상기 제2 금속패턴은 상기 게이트 패드홀(GH) 내지는 신호 패드홀(SH)을 커버하는 제1 커버 패턴(CP1)을 더 포함할 수도 있다.
- [0041] 상기 제2 금속패턴이 형성된 상기 베이스 기판(110) 상에는 패시베이션층(160)이 형성된다. 상기 패시베이션층(160)은 일레로, 질화 실리콘, 산화 실리콘 등으로 형성할 수 있다. 상기 패시베이션층(160) 내에는 상기 드레인 전극(D)의 일단부를 노출시키는 콘택홀(CH)이 형성된다. 또한, 상기 패시베이션층(160) 내에는 상기 제1 커버 패턴(CP1) 및 상기 데이터 배선(DL)의 일단부를 노출시키는 패드홀(PH)들이 형성된다. 상기 패드홀(PH)에 의해 상기 게이트 배선(GL)의 일단부, 신호 배선(STL)의 일단부, 데이터 배선(DL)의 일단부에는 각각 게이트 패드(GP), 신호 패드(STP), 데이터 패드(DP)가 형성된다.
- [0042] 상기 패시베이션층(160) 상에는 상기 단위 화소(P)에 대응하여 상기 제2 전극(170)이 형성된다. 상기 제2 전극(170)은 일레로, 투명한 도전성 물질로 이루어진다. 상기 투명한 도전성 물질로는 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide), 비정질 인듐 틴 옥사이드(Amorphous Indium Tin Oxide) 등이 이용될 수 있다.
- [0043] 상기 제2 전극(170)은 상기 콘택홀(CH)을 통해 상기 드레인 전극(D)과 전기적으로 연결되며, 상기 데이터 배선(DL)으로부터 제공된 화소 전압을 인가 받는다.
- [0044] 이때, 상기 제2 전극(170)은 상기 제1 전극(140)과 함께 횡전계를 형성하기 위하여, 등간격으로 이격된 복수의 슬릿 패턴(173)을 포함하는 구조로 형성되는 것이 바람직하다. 일레로, 상기 제2 전극(170)은 상기 단위 화소(P) 내에서 제3 방향으로 연장된 적어도 하나의 제1 라인(171)과 상기 제1 라인(171)으로부터 돌출되며 상기 슬릿 패턴(173)에 의해 등간격으로 이격된 복수의 제2 라인(172)들을 포함한다. 상기 제3 방향은 게이트 배선(GL)이 연장된 제1 방향(X)과 동일한 방향일 수도 있고, 상기 데이터 배선(DL)이 연장된 제2 방향(Y)과 동일한 방향일 수도 있다.
- [0045] 또한, 상기 제1 라인(171)으로부터 돌출된 제2 라인(172)들은 상기 제1 라인(171)에 수직한 각도로 연장될 수도 있고, 상기 제1 라인(171)으로부터 예각 내지 둔각의 각도로 벌어지도록 형성될 수도 있다.
- [0046] 상기 제1 전극(140)과 상기 제2 전극(170)에는 서로 다른 전압이 인가되므로, 상기 제1 전극(140)과 상기 제2 전극(170) 사이에는 횡전계(Fringe Field)의 전기장이 형성되며, 상기 전기장에 의해 상기 액정층(300)의 액정 분자들이 재배열된다.
- [0047] 이에 따라, 액정표시패널(400)의 배면으로부터 제공된 광이 투과되어 상기 대향 기판(200) 상에 영상이 표시된다.

- [0048] 한편, 상기 패시베이션층(160) 상에는 상기 제2 전극(170)과 동일층으로 형성되며 상기 패드홀(PH)들을 커버하는 제2 커버 패턴(CP2)이 더 형성될 수 있다.
- [0049] 이하, 본 발명의 실시예에 따른 표시 기관의 제조 방법을 설명하도록 한다.
- [0050] 도 3 내지 도 9는 도 2에 도시된 표시 기관의 제조 방법을 도시한 공정도들이다.
- [0051] 도 1 및 도 3을 참조하면, 베이스 기관(110) 상에 제1 금속층(미도시)을 형성한다. 상기 제1 금속층은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금 등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 제1 금속층은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다. 상기 제1 금속층 상에는 포토레지스트막을 도포한다. 상기 포토레지스트막은 일례로, 노광된 영역이 현상액에 의해 용해되는 포지티브형 포토레지스트로 이루어질 수 있다.
- [0052] 이어서, 제1 마스크(MASK1)를 이용한 사진 공정으로 상기 포토레지스트막을 패터닝하여 제1 포토레지스트 패턴(PR1)을 형성하고, 상기 제1 포토레지스트 패턴(PR1)을 이용한 식각 공정으로 상기 제1 금속층을 패터닝하여 게이트 배선들(GL), 게이트 전극(G) 및 신호 배선(STL)을 포함하는 제1 금속패턴을 형성한다.
- [0053] 상기 게이트 배선(GL)들은 베이스 기관(110) 상에서 제1 방향(X)으로 연장된다. 상기 게이트 전극(G)은 상기 게이트 배선(GL)로부터 돌출되어 형성된다. 상기 신호 배선(STL)은 상기 게이트 배선(GL)들 사이에서 상기 제1 방향(X)으로 연장된다.
- [0054] 상기 제1 금속패턴을 형성하는 식각 공정은 일례로, 습식 식각으로 진행된다. 또한, 상기 제1 금속패턴을 형성하는 식각 공정이 종료하면 상기 제1 포토레지스트 패턴(PR1)을 제거하는 스트립 공정을 진행한다.
- [0055] 도 4를 참조하면, 상기 제1 금속패턴이 형성된 베이스 기관(110) 상에 화학 기상 증착 방법(CHEMICAL VAPOR DEPOSITION)을 이용하여 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)은 일례로, 질화 실리콘(SiNx), 또는 산화 실리콘(SiOx)으로 형성할 수 있다. 또한, 상기 게이트 절연층(120)은 재질 및 형성 공정이 서로 다른 이중층 구조로 형성할 수도 있다.
- [0056] 이어서, 상기 화학 기상 증착 방법을 이용하여 상기 게이트 절연층(120) 상에 반도체층(131) 및 오믹 콘택층(132)을 순차적으로 형성한다.
- [0057] 상기 반도체층(131)은 일례로, 비정질 실리콘으로 이루어지며, 상기 오믹 콘택층(132)은 일례로 n형 이온이 고농도로 도핑된 비정질 실리콘으로 이루어진다.
- [0058] 다음으로, 제2 마스크(MASK2)를 이용한 사진 공정으로 상기 오믹 콘택층(132) 위에 제2 포토레지스트 패턴(PR2)을 형성하고, 상기 제2 포토레지스트 패턴(PR2)을 이용한 식각 공정으로 상기 오믹 콘택층(132) 및 상기 반도체층(131)을 동시에 패터닝하여 상기 게이트 전극(G)과 중첩되는 액티브층(A)을 형성한다. 상기 액티브층(A)을 형성하는 식각 공정이 종료하면 상기 제2 포토레지스트 패턴(PR2)은 스트립 공정으로 제거한다.
- [0059] 도 1 및 도 5를 참조하면, 상기 액티브층(A)이 형성된 베이스 기관(110) 상에 도전성 물질층(CL)을 형성한다. 상기 도전성 물질층(CL)은 예를 들어 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide), 비정질 인듐 틴 옥사이드(Amorphous Indium Tin Oxide) 등과 같은 투명한 도전성 물질로 형성되는 것이 바람직하다. 상기 도전성 물질층(CL)은 스퍼터링 방법을 이용하여 증착할 수 있다.
- [0060] 이어서, 상기 도전성 물질층(CL) 상에 포토레지스트막을 도포한다. 상기 포토레지스트막은 일례로 노광된 영역이 현상액에 의해 용해되는 포지티브형 포토레지스트로 이루어진다. 다음으로, 차광부(2), 노광부(4) 및 회절부(6)를 포함하는 제3 마스크(MASK3)로 상기 포토레지스트막을 노광하고, 현상하여 제3 포토레지스트 패턴(PR3)을 형성한다.
- [0061] 상기 제3 포토레지스트 패턴(PR3)은 제1 두께(t1)의 제1 패턴부(P1)와 상기 제1 두께(t1)의 절반 가량의 두께인 제2 두께(t2)의 제2 패턴부(P2) 및 상기 도전성 물질층(CL)을 노출시키는 개구 패턴(OA)을 포함한다. 상기 제1 패턴부(P1)는 상기 차광부(2)에 의해 패터닝된 영역이고, 상기 개구 패턴(OA)은 상기 노광부(4)에 의해 패터닝된 영역이고, 상기 제2 패턴부(P2)는 상기 노광부(4)보다 투과되는 광량이 적은 상기 회절부(6)를 통해 패터닝된 영역이다. 상기 제3 마스크(MASK3)로는 상기 회절부(6)에 대응하여 슬릿 패턴이 형성된 슬릿 마스크(SLIT MASK)를 이용할 수도 있고, 상기 회절부(6)에 대응하여 하프톤층이 배치된 하프톤 마스크(HALFTONE MASK)를 이용할 수도 있다.
- [0062] 이어서, 상기 제3 포토레지스트 패턴(PR3)을 이용한 식각 공정으로 상기 개구 패턴(OA)에 대응하는 상기 도전성

물질층(CL) 및 게이트 절연층(120)을 순차적으로 식각하여, 상기 단위 화소(P)내에서 상기 신호 배선(STL)을 일부 노출시키는 홀(H)을 형성한다. 또한, 상기 게이트 배선(GL)의 일단부를 노출시키는 게이트 패드홀(GH) 및 상기 신호 배선(STL)의 일단부를 노출시키는 신호 패드홀(SH)도 형성한다.

- [0063] 도 1, 도 5 및 도 6을 참조하면, 상기 제3 포토레지스트 패턴(PR3)의 일정 두께를 식각하는 애싱(ASHING)공정을 수행한다. 바람직하게는 상기 제3 포토레지스트 패턴(PR3)을 상기 제2 두께(t2) 이상 식각하여 상기 제2 패턴부(P2)를 제거한다. 이에 따라, 상기 베이스 기판(110) 상에는 상기 제1 패턴부(P1)만 소정의 두께로 잔류한다.
- [0064] 다음으로, 잔류하는 제1 패턴부(P1)를 마스크로 이용하여 상기 도전성 물질층(CL)을 식각한다.
- [0065] 이에 따라 도 1 및 도 7을 참조하면, 각 단위 화소(P)에 대응하여 형성되며 상기 신호 배선(STL)을 노출시키는 홀(H)을 갖는 제1 전극(140)이 형성된다.
- [0066] 상기 제1 전극(140)을 형성하는 식각 공정이 종료하면 상기 제1 전극(140) 상에 잔류하는 상기 제1 패턴부(P1)는 스트립 공정으로 제거한다.
- [0067] 다음으로, 상기 제1 전극(140)이 형성된 베이스 기판(110) 상에 제2 금속층을(미도시) 형성한다. 상기 제2 금속층은 예를 들어, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금 등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 제2 금속층은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수도 있다.
- [0068] 이어서, 제2 금속층 상에 포토레지스트막(미도시)을 도포하고 제4 마스크(MASK4)를 이용한 사진 공정으로 상기 포토레지스트막을 패터닝하여 제4 포토레지스트 패턴(PR4)을 형성한다. 다음으로, 상기 제4 포토레지스트 패턴(PR4)을 이용한 식각 공정으로 상기 제2 금속층(미도시)을 패터닝하여 데이터 배선들(DL), 소스 전극(S), 드레인 전극(D) 및 연결 전극(150)을 포함하는 제2 금속패턴을 형성한다.
- [0069] 상기 소스 전극(S)은 상기 데이터 배선(DL)으로부터 돌출되며 상기 액티브층(A)과 일부 중첩된다. 상기 드레인 전극(D)은 상기 소스 전극(S)으로부터 소정간격 이격되어 형성되며, 상기 액티브층(A)과 일부 중첩된다. 상기 연결 전극(150)은 상기 홀(H)에 대응하여 형성되며, 상기 홀(H)보다 넓은 면적으로 형성되어 상기 신호 배선(STL) 및 상기 제1 전극(140)과 동시에 접촉한다. 이에 따라, 상기 신호 배선(STL)과 상기 제1 전극(140)이 전기적으로 연결되므로, 상기 제1 전극(140)에도 공통 전압이 인가된다.
- [0070] 즉, 본 발명에 따르면 도 5 내지 도 6에서 상술한 바와 같이 슬릿 마스크 또는 하프톤 마스크와 같이 영역별로 노광량을 조절할 수 있는 마스크를 이용하여 제3 포토레지스트 패턴(PR3)을 형성함으로써, 상기 홀(H)과, 상기 제1 전극(140)을 1매의 마스크를 이용한 사진-식각 공정으로 패터닝할 수 있다. 이어서, 도 7에서 상술한 바와 같이 제2 금속패턴을 패터닝하는 공정 중에 별도의 추가 공정 없이 상기 연결 전극(150)을 형성함으로써 상기 신호 배선(STL)과 상기 제1 전극(140)을 전기적으로 연결시킬 수 있다.
- [0071] 이에 따라, 게이트 절연층(120) 내에 홀(H)을 형성하는 공정과, 제1 전극(140)을 형성하는 공정에서 별개의 마스크를 사용하던 종래의 방법에 비해 본 발명은 제조 원가를 절감할 수 있으며 제조 공정 및 제조 시간을 감소시킬 수 있다.
- [0072] 한편, 상기 제2 금속패턴은 상기 게이트 패드홀(GH) 및 신호 패드홀(SH)을 커버하는 제1 커버 패턴(CP1)을 더 포함할 수도 있다.
- [0073] 이어서, 상기 제2 금속패턴 및 상기 제4 포토레지스트 패턴(PR4)을 마스크로 이용하여 상기 소스 전극(S) 및 상기 드레인 전극(D)의 이격부에서 노출된 상기 오믹 콘택층(132)을 식각한다. 이에 따라, 각 단위 화소(P) 내에는 게이트 전극(G), 액티브층(A), 소스 전극(S) 및 드레인 전극(D)을 포함하는 박막 트랜지스터(TFT)가 형성된다.
- [0074] 도 1 및 도 8을 참조하면, 상기 박막 트랜지스터(TFT)가 형성된 베이스 기판 (110)상에 패시베이션층(160)을 형성한다. 상기 패시베이션층(160)은 예를들어 질화 실리콘(SiNx) 내지는 산화 실리콘(SiOx) 등으로 형성할 수 있으며 화학 기상 증착 방법으로 형성할 수 있다. 또한, 패시베이션층(160)은 유기 물질로 형성할 수도 있다.
- [0075] 이어서, 상기 패시베이션층(160) 상에 포토레지스트막을 도포하고 제5 마스크(MASK5)를 이용한 사진 공정으로 상기 포토레지스트막을 패터닝하여 제5 포토레지스트 패턴(PR5)을 형성한다. 다음으로, 상기 제5 포토레지스트 패턴(PR5)을 이용한 식각 공정으로 상기 패시베이션층(160)을 패터닝하여 상기 드레인 전극(D)의 일단부를 노출시키는 콘택홀(CH) 및 상기 게이트 라인(GL), 데이터 라인(DL) 및 신호 배선(STL) 각각의 일단부에 대응하는 패

[0012] GP : 게이트 패드

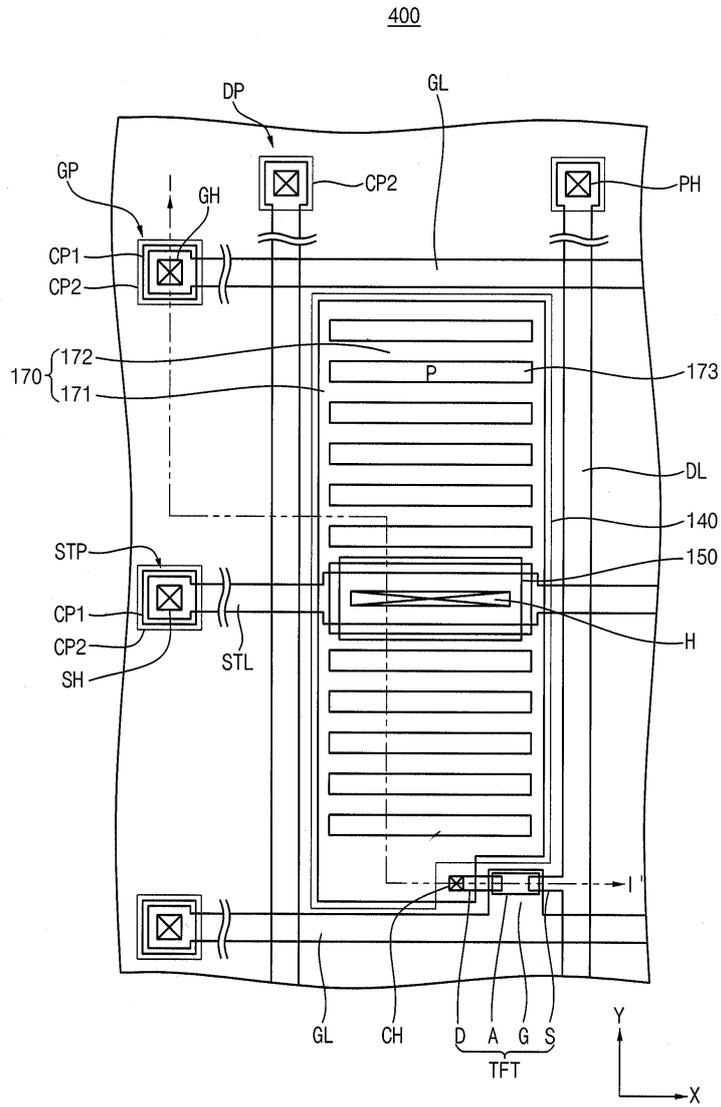
DP : 데이터 패드

[0013] CP1 : 제1 커버 패턴

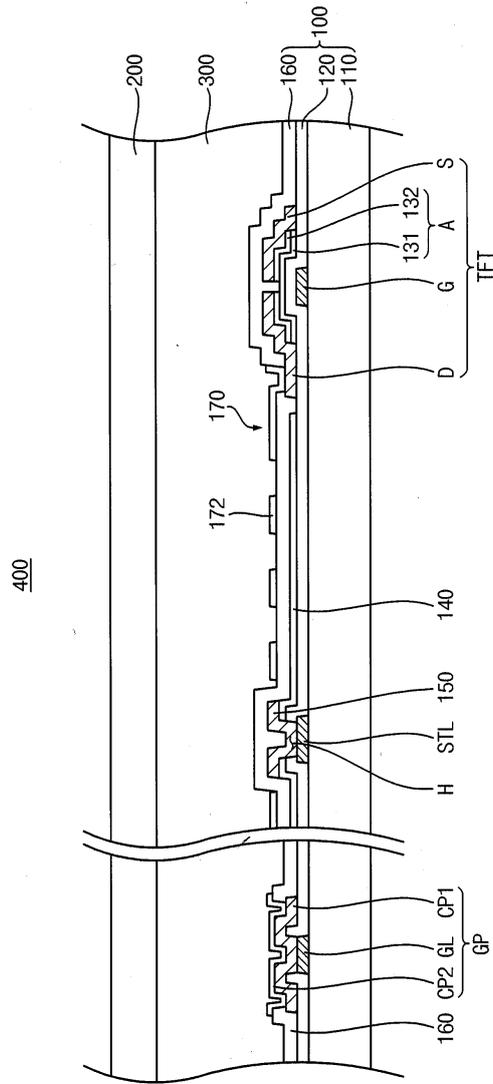
CP2 : 제2 커버 패턴

도면

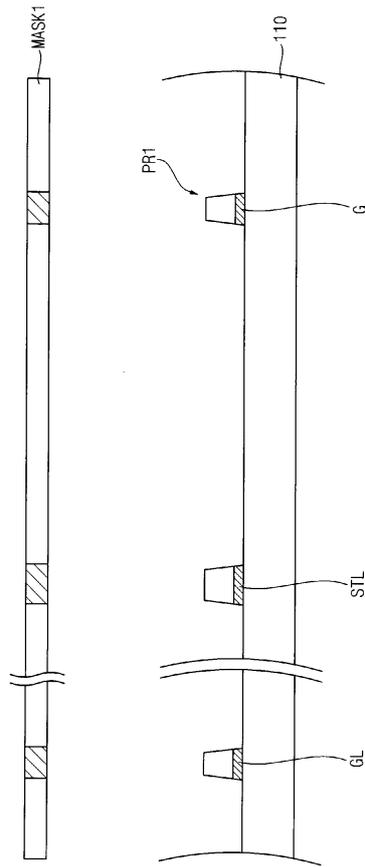
도면1



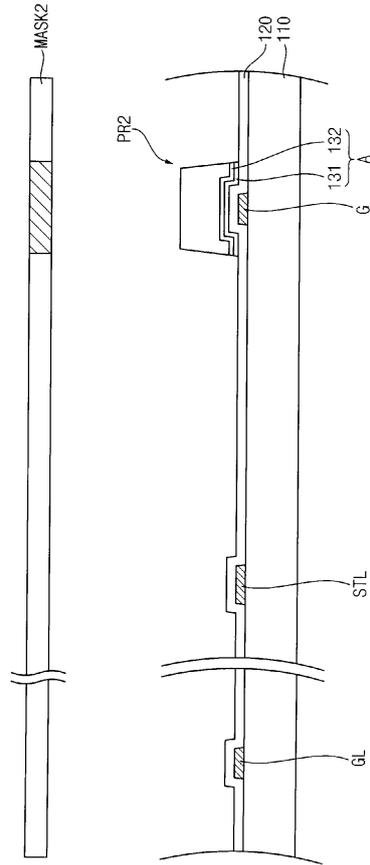
도면2



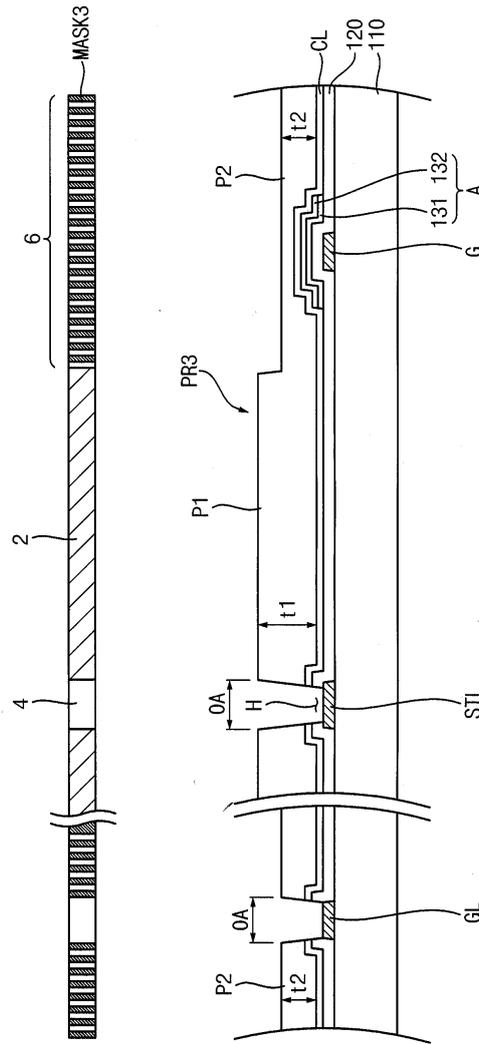
도면3



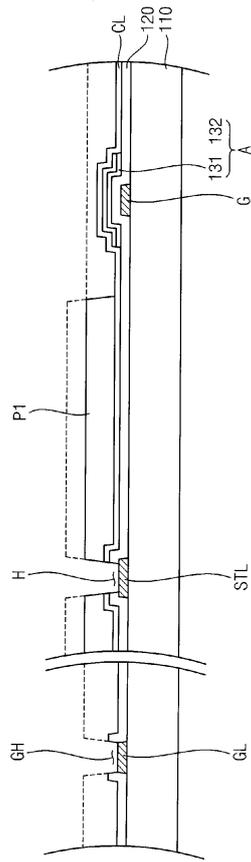
도면4



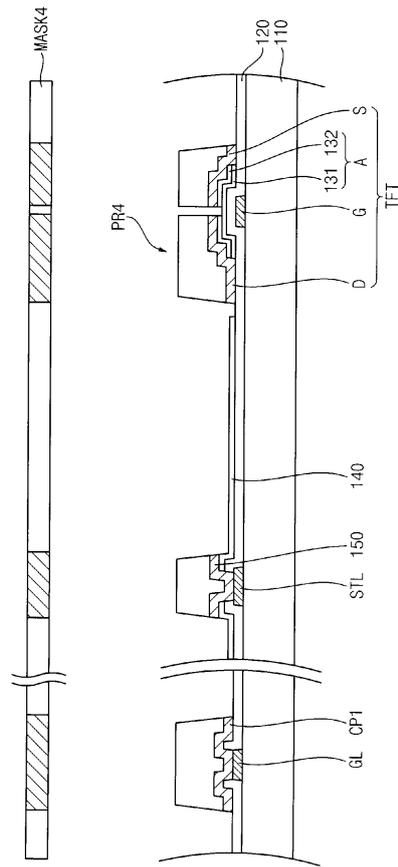
도면5



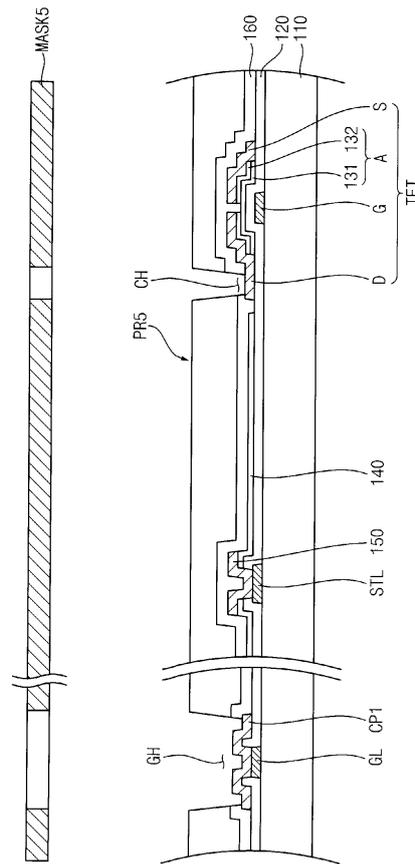
도면6



도면7



도면8



도면9

