



(12) 发明专利

(10) 授权公告号 CN 112312644 B

(45) 授权公告日 2021. 10. 22

(21) 申请号 202010756642.X

(51) Int. Cl.

(22) 申请日 2020.07.31

H05K 1/02 (2006.01)

H01L 25/18 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 112312644 A

审查员 李勇

(43) 申请公布日 2021.02.02

(30) 优先权数据

16/528,244 2019.07.31 US

16/800,701 2020.02.25 US

(73) 专利权人 谷歌有限责任公司

地址 美国加利福尼亚州

(72) 发明人 安德鲁·杰拉德·努南

莎拉·泽边

(74) 专利代理机构 上海华诚知识产权代理有限

公司 31300

代理人 肖华

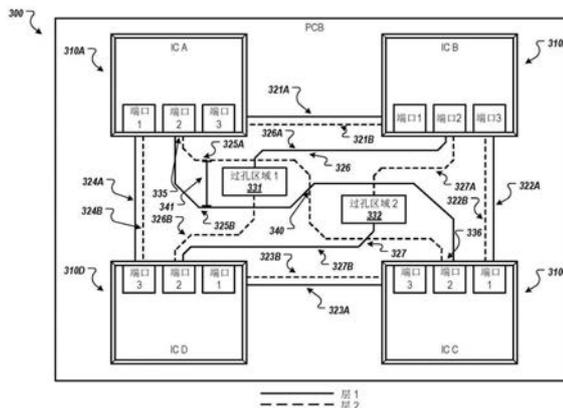
权利要求书4页 说明书9页 附图5页

(54) 发明名称

使用两个布线层的集成电路的印刷电路板连接

(57) 摘要

公开了包括具有走线布线拓扑的印刷电路板 (PCB) 的方法, 系统和装置。在一个方面, 一种 PCB 包括: 外层, 其包括多个集成电路 (IC) 安装区域, 每个集成电路安装区域被配置为接收集成电路; 第一走线布线层, 其具有沿着第一路径从第一集成电路安装区域布线到第二集成电路安装区域的第一导电走线; 第二走线布线层, 其具有沿着第二路径从第一集成电路安装区域布线到第二集成电路安装区域的第二导电走线, 第一过孔区域, 具有从第一走线布线层延伸到第二走线布线层的一个或多个第一过孔, 以及第二过孔区域, 具有从第一走线布线层延伸到第二走线布线层的一个或多个第二过孔。



1. 一种印刷电路板,其特征在于,包括:

外层,所述外层包括多个集成电路(IC)安装区域,所述多个集成电路(IC)安装区域中的每一个被配置为接收集成电路;

第一走线布线层,所述第一走线布线层包括沿着第一路径从第一集成电路安装区域布线到第二集成电路安装区域的第一导电走线;

第二走线布线层,所述第二走线布线层包括沿着第二路径从所述第一集成电路安装区域布线到所述第二集成电路安装区域的第二导电走线,其中在所述第一集成电路安装区域和所述第二集成电路安装区域之间的点处,所述第一导电走线在所述第二导电走线上方或下方交叉;

第一过孔区域,所述第一过孔区域包括从所述第一走线布线层延伸至所述第二走线布线层的一个或多个第一过孔,所述第一过孔区域在第一周界内,所述第一周界包括(i)所述第一导电走线的第一部分,所述第一导电走线的第一部分从所述第一集成电路安装区域处的第一起始点延伸至所述第一导电走线在所述第二导电走线上方或下方交叉的所述点,和(ii)所述第二导电走线的第一部分,所述第二导电走线的第一部分从所述第一导电走线在所述第二导电走线上方或下方交叉的所述点延伸至所述第一集成电路安装区域处的第一终止点;和

第二过孔区域,所述第二过孔区域包括从所述第一走线布线层延伸至所述第二走线布线层的一个或多个第二过孔,所述第二过孔区域在第二周界内,所述第二周界包括(i)所述第一导电走线的第二部分,所述第一导电走线的第二部分从所述第二集成电路安装区域处的第二起始点延伸至所述第一导电走线在所述第二导电走线上方或下方交叉的所述点,和(ii)所述第二导电走线的第二部分,所述第二导电走线的第二部分从所述第一导电走线在所述第二导电走线上方或下方交叉的所述点延伸至在第二集成电路安装区域处的第二终止点。

2. 根据权利要求1所述的印刷电路板,其特征在于,每个第一过孔将所述第一走线布线层上的相应第三导电走线电耦合到所述第二走线布线层上的相应第四导电走线,其中所述相应第三导电走线、所述相应第四导电走线和所述第一过孔在第三集成电路安装区域和第四集成电路安装区域之间提供第一导电路径。

3. 根据权利要求1所述的印刷电路板,其特征在于,每个第二过孔将所述第一走线布线层上的相应第五导电走线电耦合到所述第二走线布线层上的相应第六导电走线,其中所述相应第五导电走线、所述相应第六导电走线和所述第二过孔在第三集成电路安装区域和第四集成电路安装区域之间提供第二导电路径。

4. 根据权利要求1所述的印刷电路板,其特征在于,所述第一周界进一步包括所述第一集成电路安装区域的周界的一部分,所述第一集成电路安装区域的周界的一部分从所述第一集成电路安装区域处的所述第一起始点延伸到所述第一集成电路安装区域处的所述第一终止点。

5. 根据权利要求4所述的印刷电路板,其特征在于,所述第一集成电路安装区域的所述周界包括具有四个侧面的矩形形状,并且其中所述第一集成电路安装区域的所述周界的所述一部分包括所述第一集成电路安装区域在所述第一起始点和所述第一终止点之间的一个侧面的一部分。

6. 根据权利要求1所述的印刷电路板,其特征在于,所述第二周界还包括所述第二集成电路安装区域的周界的一部分,所述第二集成电路安装区域的周界的一部分从所述第二集成电路安装区域处的所述第二起始点延伸到所述第二集成电路安装区域处的所述第二终止点。

7. 根据权利要求6所述的印刷电路板,其特征在于,所述第二集成电路安装区域的所述周界包括具有四个侧面的矩形形状,并且其中所述第二集成电路安装区域的所述周界的所述一部分包括所述第二集成电路安装区域在所述第二起始点和所述第二终止点之间的一个侧面的一部分。

8. 一种印刷电路板,其特征在于,包括:

外层,所述外层包括安装在其上的多个集成电路;

第一走线布线层,所述第一走线布线层包括沿着第一路径从第一集成电路布线到第二集成电路的第一导电走线;

第二走线布线层,所述第二走线布线层包括沿着第二路径从所述第一集成电路布线到所述第二集成电路的第二导电走线,其中在所述第一集成电路和所述第二集成电路之间的点处,所述第一导电走线在所述第二导电走线上方或下方交叉;

第一过孔区域,所述第一过孔区域包括从所述第一走线布线层延伸至所述第二走线布线层的一个或多个第一过孔,所述第一过孔区域在第一周界内,所述第一周界包括(i)所述第一导电走线的第一部分,所述第一导电走线的第一部分从所述第一集成电路处的第一起始点延伸至所述第一导电走线在所述第二导电走线上方或下方交叉的所述点,和(ii)所述第二导电走线的第一部分,所述第二导电走线的第一部分从所述第一导电走线在所述第二导电走线上方或下方交叉的所述点延伸至所述第一集成电路处的第一终止点;和

第二过孔区域,所述第二过孔区域包括从所述第一走线布线层延伸至所述第二走线布线层的一个或多个第二过孔,所述第二过孔区域在第二周界内,所述第二周界包括(i)所述第一导电走线的第二部分,所述第一导电走线的第二部分从所述第二集成电路处的第二起始点延伸至所述第一导电走线在所述第二导电走线上方或下方交叉的所述点,和(ii)所述第二导电走线的第二部分,所述第二导电走线的第二部分从所述第一导电走线在所述第二导电走线上方或下方交叉的所述点延伸至在第二集成电路处的第二终止点。

9. 根据权利要求8所述的印刷电路板,其特征在于,每个第一过孔将所述第一走线布线层上的相应第三导电走线电耦合到所述第二走线布线层上的相应第四导电走线,其中所述相应第三导电走线、所述相应第四导电走线和所述第一过孔在第三集成电路和第四集成电路之间提供第一导电路径。

10. 根据权利要求8所述的印刷电路板,其特征在于,每个第二过孔将所述第一走线布线层上的相应第五导电走线电耦合到所述第二走线布线层上的相应第六导电走线,其中所述相应第五导电走线、所述相应第六导电走线和所述第二过孔在第三集成电路和第四集成电路之间提供第二导电路径。

11. 根据权利要求8所述的印刷电路板,其特征在于,所述第一周界进一步包括所述第一集成电路的周界的一部分,所述第一集成电路的周界的一部分从所述第一集成电路处的所述第一起始点延伸到所述第一集成电路处的所述第一终止点。

12. 根据权利要求11所述的印刷电路板,其特征在于,所述第一集成电路的所述周界包

括具有四个侧面的矩形形状,并且其中所述第一集成电路的所述周界的所述一部分包括所述第一集成电路在所述第一起始点和所述第一终止点之间的一个侧面的一部分。

13. 根据权利要求8所述的印刷电路板,其特征在于,所述第二周界还包括所述第二集成电路的周界的一部分,所述第二集成电路的周界的一部分从所述第二集成电路处的所述第二起始点延伸到所述第二集成电路处的所述第二终止点。

14. 根据权利要求13所述的印刷电路板,其特征在于,所述第二集成电路的所述周界包括具有四个侧面的矩形形状,并且其中所述第二集成电路的所述周界的所述一部分包括所述第二集成电路在所述第二起始点和所述第二终止点之间的一个侧面的一部分。

15. 一种印刷电路板,其特征在于,包括:

第一层,所述第一层包括多个集成电路(IC)安装区域,所述多个集成电路(IC)安装区域中的每一个被配置为接收集成电路;

第二层,所述第二层包括沿着从第一集成电路安装区域到第二集成电路安装区域的第一路径布线的第二导电走线;

第三层,所述第三层包括沿着从所述第一集成电路安装区域到所述第二集成电路安装区域的第二路径布线的第二导电走线,其中在所述第一集成电路安装区域和所述第二集成电路安装区域之间的点处,所述第一导电走线在所述第二导电走线上方或下方交叉;

第一过孔区域,所述第一过孔区域包括从所述第二层延伸至所述第三层的一个或多个第一过孔,所述第一过孔区域在第一周界内,所述第一周界包括(i)所述第一导电走线的第一部分,所述第一导电走线的第一部分从所述第一集成电路安装区域处的第一起始点延伸至所述第一导电走线在所述第二导电走线上方或下方交叉的所述点,和(ii)所述第二导电走线的第一部分,所述第二导电走线的第一部分从所述第一导电走线在所述第二导电走线上方或下方交叉的所述点延伸至所述第一集成电路安装区域处的第一终止点;和

第二过孔区域,所述第二过孔区域包括从所述第二层延伸至所述第三层的一个或多个第二过孔,所述第二过孔区域在第二周界内,所述第二周界包括(i)所述第一导电走线的第二部分,所述第一导电走线的第二部分从所述第二集成电路安装区域处的第二起始点延伸至所述第一导电走线在所述第二导电走线上方或下方交叉的所述点,和(ii)所述第二导电走线的第二部分,所述第二导电走线的第二部分从所述第一导电走线在所述第二导电走线上方或下方交叉的所述点延伸至在第二集成电路安装区域处的第二终止点。

16. 根据权利要求15所述的印刷电路板,其特征在于,每个第一过孔将所述第二层上的相应第三导电走线电耦合到所述第三层上的相应第四导电走线,其中所述相应第三导电走线、所述相应第四导电走线和所述第一过孔在第三集成电路安装区域和第四集成电路安装区域之间提供第一导电路径。

17. 根据权利要求15所述的印刷电路板,其特征在于,每个第二过孔将所述第二层上的相应第五导电走线电耦合到所述第三层上的相应第六导电走线,其中所述相应第五导电走线、所述相应第六导电走线和所述第二过孔在第三集成电路安装区域和第四集成电路安装区域之间提供第二导电路径。

18. 根据权利要求15所述的印刷电路板,其特征在于,所述第一周界进一步包括所述第一集成电路安装区域的周界的一部分,所述第一集成电路安装区域的周界的一部分从所述第一集成电路安装区域处的所述第一起始点延伸到所述第一集成电路安装区域处的所述

第一终止点。

19. 根据权利要求18所述的印刷电路板,其特征在于,所述第一集成电路安装区域的所述周界包括具有四个侧面的矩形形状,并且其中所述第一集成电路安装区域的所述周界的所述一部分包括所述第一集成电路安装区域在所述第一起始点和所述第一终止点之间的一个侧面的一部分。

20. 根据权利要求15所述的印刷电路板,其特征在于,所述第二周界还包括所述第二集成电路安装区域的周界的一部分,所述第二集成电路安装区域的周界的一部分从所述第二集成电路安装区域处的所述第二起始点延伸到所述第二集成电路安装区域处的所述第二终止点。

使用两个布线层的集成电路的印刷电路板连接

技术领域

[0001] 本发明涉及印刷电路板。

背景技术

[0002] 印刷电路板 (PCB) 用于各种电子元件。PCB 可以包括多个布线层, 布线层上的导电走线用于连接安装在 PCB 上的元件。例如, 可以使用多个布线层来对安装在 PCB 上的集成电路 (IC) 之间的信号进行传递。

[0003] IC 的全网状拓扑是其中每个 IC 例如为了冗余而彼此连接的一种。IC 的部分网状拓扑是其中一些 IC 连接到多个其它 IC, 但一些 IC 不连接的拓扑。为了在网状拓扑中连接四个或更多个 IC, 导电走线将需要在不同的层上彼此交叉。

发明内容

[0004] 本说明书描述了与 PCB 的走线布线拓扑相关的技术。通常, 本说明书中描述的主题的一个创新方面可以体现在印刷电路板中, 该包括印刷电路板外层, 该外层包括多个集成电路 (IC) 安装区域, 每个集成电路 (IC) 安装区域被配置为接收 IC; 第一走线布线层, 包括沿着第一路径从第一 IC 安装区域布线到第二 IC 安装区域的第一导电走线; 第二走线布线层, 包括沿着第二路径从第一 IC 安装区域布线到第二 IC 安装区域的第二导电走线, 其中第一路径在第一 IC 安装区域和第二 IC 安装区域之间的点处与第二路径交叉; 第一过孔区域, 其包括从所述第一走线布线层延伸到所述第二走线布线层的一个或多个第一过孔, 所述第一过孔区域位于由第一路径的第一部分, 第二路径的第一部分, 第一路径与第二路径交叉的点, 以及第一 IC 安装区域的周界的一部分限定的第一周边内; 以及第二过孔区域, 其包括从第一走线布线层延伸到第二走线布线层的一个或多个第二过孔, 第二过孔区域位于由第一路径的第二部分, 第二路径的第二部分, 第一路径与第二路径交叉的点, 以及第二 IC 安装区域的周界的一部分限定的第二周边内。

[0005] 这些和其它实施方式可以各自可选地包括一个或多个以下特征。在一些方面, 每个第一过孔将第一走线布线层上的相应第三导电走线电耦合到第二走线布线层上的相应第四导电走线。相应的第三导电走线, 相应的第四导电走线和第一过孔在第三 IC 安装区域和第四 IC 安装区域之间提供第一导电路径。在一些方面, 每个第二过孔将第一走线布线层上的相应第五导电走线电耦合到第二走线布线层上的相应第六导电走线, 其中, 相应第五导电走线, 相应第六导电走线和第二过孔在第三 IC 安装区域和第四 IC 安装区域之间提供第二导电路径。

[0006] 在一些方面, 第一 IC 安装区域位于矩形区域的第一角落中。第二 IC 安装区域可以位于矩形区域的与第一角落相对的第二角落中。第三 IC 安装区域可以位于矩形区域的不同于第一角落和第二角落的第三角落中。第四 IC 安装区域位于矩形区域的与第三角落相对的第四角落中。

[0007] 一些方面包括安装在第一 IC 安装区域的第一 IC, 安装在第二 IC 安装区域的第二

IC,安装在第三IC安装区域的第三IC,以及安装在第四IC安装区域的第四IC。第一导电走线将第一IC的输入端口电耦合到第二IC的输出端口。第二导电走线将第一IC的输出端口电耦合到第二IC的输入端口。第一导电路径将第三IC的输入端口电耦合到第四IC的输出端口。第二导电路径将第三IC的输出端口电耦合到第四IC的输入端口。第一IC,第二IC,第三IC和第四IC可以仅使用印刷电路板的两个走线布线层以全网状拓扑连接。外层可以包括至少四个IC。

[0008] 通常,本说明书中描述的主题的另一方面可以体现在印刷电路板中,该印刷电路板包括外层,所述外层包括安装在其上的多个IC;第一走线布线层,包括沿着第一路径从第一IC布线到第二IC的第一导电走线;第二走线布线层,包括沿着第二路径从第一IC布线到第二IC的第二导电走线,其中第一路径在第一IC和第二IC之间的点与第二路径交叉;第一过孔区域,包括在第一走线布线层和第二走线布线层之间的一个或多个第一过孔,第一过孔区域在由第一路径的第一部分,第二路径的第一部分,第一路径与所述第二路径交叉的所述点,以及第一IC的周界的一部分限定的第一周界内;以及第二过孔区域,包括在第一走线布线层和第二走线布线层之间的一个或多个第二过孔,第二过孔区域包括由第一路径的第二部分,第二路径的第二部分,第一路径与所述第二路径交叉的所述点以及第二IC的周界的一部分限定的第二周界内。

[0009] 这些和其它实施方式可以各自可选地包括一个或多个以下特征。在一些方面,每个第一过孔将第一走线布线层上的相应第三导电走线电耦合到第二走线布线层上的相应第四导电走线。相应的第三导电走线,相应的第四导电走线和第一过孔在第三IC和第四IC之间提供第一导电路径。

[0010] 在一些方面,每个第二过孔将第一走线布线层上的相应第五导电走线电耦合到第二走线布线层上的相应第六导电走线。相应的第五导电走线,相应的第六导电走线和第二过孔在第三IC和第四IC之间提供第二导电路径。

[0011] 在一些方面,第一IC位于矩形区域的第一角落;第二IC,位于所述矩形区域的与所述第一角落相对的第二角落;第三IC,位于所述矩形区域的不同于所述第一和第二角落的第三角落;第四IC位于矩形区域的与第三角相对的第四角落。

[0012] 在一些方面,第一导电走线将第一IC的输入端口电耦合到第二IC的输出端口;第二导电走线将第一IC的输出端口电耦合到第二IC的输入端口;第一导电路径将第三IC的输入端口电耦合至第四IC的输出端口;第二导电路径将第三集成电路的输出端口电性耦接至第四集成电路的输入端口。第一IC,第二IC,第三IC和第四IC仅使用印刷电路板的两个走线布线层以全网状拓扑连接。外层可以包括至少四个IC。

[0013] 通常,本说明书中描述的主题的另一方面可以体现在印刷电路板中,该印刷电路板包括外层,该外层包括多个集成电路(IC)安装区域,每个集成电路(IC)安装区域被配置为接收IC;第一走线布线层,包括沿着从第一IC安装区域到第二IC安装区域的第一路径布线的导电走线;第二走线布线层,包括沿着从第一IC安装区域到第二IC安装区域的第二路径布线的第二导电走线,其中第一路径在第一IC安装区域和第二IC安装区域之间的点处与第二路径交叉;第一过孔区域,包括从第一走线布线层延伸到第二走线布线层的一个或多个第一过孔,第一过孔区域在由第一路径的第一部分,第二路径的第一部分,第一路径与第二路径交叉的点,以及第一导电走线和第二导电走线会聚到彼此的阈值距离内的第一

点限定的第一周界内;以及第二过孔区域,其包括从所述第一走线布线层延伸到所述第二走线布线层的一个或多个第二过孔,所述第二过孔区域位于由所述第一路径的第二部分,所述第二路径的第二部分,第一路径与第二路径交叉的点,以及所述第一导电走线和所述第二导电走线会聚在彼此的阈值距离内的第二点限定的第二周界内。

[0014] 这些和其它实施方式可以各自可选地包括一个或多个以下特征。在一些方面,每个第一过孔将第一走线布线层上的相应第三导电走线电耦合到第二走线布线层上的相应第四导电走线。相应的第三导电走线,相应的第四导电走线和第一过孔在第三IC安装区域和第四IC安装区域之间提供第一导电路径。

[0015] 在一些方面,每个第二过孔将第一走线布线层上的相应第五导电走线电耦合到第二走线布线层上的相应第六导电走线。相应的第五导电走线,相应的第六导电走线和第二过孔在第三IC安装区域和第四IC安装区域之间提供第二导电路径。

[0016] 在一些方面,第一IC安装区域位于矩形区域的第一角落中;第二IC安装区域位于矩形区域的与第一角落相对的第二角落;第三IC安装区域位于矩形区域的不同于第一和第二角落的第三角落;第四IC安装区位于矩形区域的与第三角相对的第四角落。

[0017] 一些方面包括安装在第一IC安装区域的第一IC,安装在第二IC安装区域的第二IC,安装在第三IC安装区域的第三IC,以及安装在第四IC安装区域的第四IC。第一导电走线将第一IC的输入端口电耦合到第二IC的输出端口;第二导电走线将第一IC的输出端口电耦合到第二IC的输入端口;第一导电路径将第三IC的输入端口电耦合至第四IC的输出端口;第二导电路径将第三集成电路的输出端口电性耦接至第四集成电路的输入端口。

[0018] 在一些方面,第一IC,第二IC,第三IC和第四IC仅使用印刷电路板的两个走线布线层以全网状拓扑连接。在一些方面,外层包括至少四个IC。

[0019] 本说明书中描述的主题可以在特定实施例中实现,以便实现以下优点中的一个或多个。使用这里描述的走线布线拓扑,可以减少PCB的布线层的数量。减少布线层的数量允许更简单的PCB设计和降低制造PCB的成本。减少用于对网状拓扑中的IC之间走线进行布线的布线层的数量还减少了将IC的引脚连接到IC的布线层的最深的盲孔所需的深度,从而允许诸如激光盲孔的深度受限的过孔。

[0020] 下面将参照附图描述前述主题的各种特征和优点。根据本文所述的主题和权利要求书,其它特征和优点是显而易见的。

附图说明

[0021] 图1是具有四个IC和无效走线布线拓扑的PCB的图。

[0022] 图2是具有四个IC和使用四个布线层的走线布线拓扑的PCB的图。

[0023] 图3是具有四个IC和使用两个布线层的走线布线拓扑的PCB的图。

[0024] 图4是没有IC的图3的PCB的图。

[0025] 图5是示出用于制造PCB的示例性过程的流程图。

[0026] 在各个附图中相同的附图标记和标号表示相同的元件。

具体实施方式

[0027] 一般而言,本文所述的系统和技术涉及减少电耦合安装在PCB上的元件(例如IC)

所需的布线层的数量的走线布线拓扑。当多个IC(或其它适当的电子元件)以全网状拓扑或部分网状拓扑连接时,一些导电走线通常必须彼此交叉以进行所有连接。对于四个或更多个IC通常是这种情况。由于导电走线不能彼此接触,所以走线必须在PCB的不同布线层上交叉。可以是铜走线的导电走线在此为了简洁也被称为走线。

[0028] 下面描述的示例性走线布线拓扑使得四个IC能够仅使用两个布线层以全网状拓扑(或部分网状拓扑)连接。在两个IC(IC A和IC C)之间布线的两个走线可以限定两个过孔区域,其中在另外两个IC(IC B和IC D)之间的走线在两个布线层之间过渡。例如,可以在第一走线布线层上布线IC A和IC C之间的第一走线。可以在不同于第一走线布线层的第二走线布线层上布线IC A和IC C之间的第二导电走线。当走线位于不同的走线布线层上时,第一和第二走线可以在例如位于IC A和IC C之间的点处彼此交叉。交叉限定了两个过孔区域。也就是说,每个过孔区域在由第一和第二走线的相应部分,交叉点以及两个IC中的一个IC的一部分(或如下所述第一和第二走线会聚的点)限定的周界内。如图3所示和下面所述,过孔区域中的过孔使得IC B和IC D之间的走线能够与不同走线布线层上的IC A和IC C之间的走线交叉,从而仅需要两个走线布线层来连接四个IC。

[0029] 尽管关于连接IC来描述示例性走线布线拓扑,但是该拓扑也可以用于连接其它设备,例如网络交换机,PCIe交换机,互连总线,或底板/电缆连接器和IC。

[0030] 图1是具有四个IC 110A-110D和无效走线布线拓扑的PCB 100的图。IC 110A-110D安装在(例如焊接到)PCB 100的外表面上。PCB 100还包括可用于对导电走线(例如,铜走线)进行布线的多个内层。在第一走线布线层(层1)上布线的走线用实线示出。在第二走线布线层(层2)上布线的走线用虚线示出。走线将安装在PCB 100上的元件彼此电连接。

[0031] 当每个IC 110A-110D使用走线彼此连接到其他IC 110A-110D时,IC 110A-110D以全网状拓扑连接。每个IC 110A-110D包括用于每个其他IC 110C-110D的数据通信端口。IC 110A-110D还可包括其它数据通信端口,从而例如与其它IC或其它元件通信,例如到连接到未安装在PCB 100上的元件的连接器的。

[0032] IC 110A的端口1使用走线124A和124B连接到IC 110D的端口3。例如,走线124A可以将IC 110A的端口1的输入连接到IC 110D的端口3的输出。类似地,走线124B可以将IC 110A的端口1的输出连接到IC 110D的端口3的输入。这提供了IC 110A和110D之间的双向通信。每个走线124A和124B可以表示多个走线。例如,每个端口可以包括多个输入和多个输出。可使用相应的走线将IC 110A的端口1的每个输入连接到IC 110D的端口3的对应输出。类似地,可使用相应的走线将IC 110A的端口1的每个输出连接到IC 110D的端口3的对应输入。

[0033] 通常,将IC 110A的端口1的输入连接到IC 110D的端口3的输出的走线应该被布线在与将IC 110A的输出连接到IC 110D的输入的走线不同的层上,以减少不同方向走线之间的串扰。在此示例中,走线124A被布线在层1上且走线124B被布线在层2上。在类似的布置中,使用分别布线在层1和2上的走线121A和121B将IC 110A的端口3连接到IC 110B的端口1;使用分别布线在层1和2上的走线122A和122B将IC 110B的端口3连接到IC 110C的端口1;使用分别布线在层1和2上的走线123A和123B将IC 110C的端口3连接到IC 110D的端口1。

[0034] 走线125A和125B将IC 110A的端口2连接到IC 110C的端口2。类似地,走线126A和126B将IC 110B的端口2连接到IC 110D的端口2。然而,如圆圈130所示,如果走线125A,

125B, 126A和126B仅使用两个布线层沿它们所示的路径布线, 则走线125A和125B将在相同的布线层(层1)上交叉, 这是无效的。类似地, 走线126A和126B也将在相同的布线层(层2)上交叉, 这是无效的。

[0035] 允许走线125A和126A交叉和允许走线125B和126B交叉的一种方式是使用附加的布线层。图2是具有四个IC 210A-210D和使用四个布线层(层1-4)的走线布线拓扑的PCB 200的图。

[0036] 类似于图1的走线布线拓扑, 使用分别在层1和2上布线的走线224A和224B将IC 210A的端口1连接到IC 210D的端口3; 使用分别在层1和2上布线的走线221A和221B将IC 210A的端口3连接到IC 210B的端口1; 使用分别在层1和2上布线的走线222A和222B将IC 210B的端口3连接到IC 210C的端口1; 使用分别在层1和2上布线的走线223A和223B将IC 210C的端口3连接到IC 210D的端口1。

[0037] 此外, 走线225A和225B将IC 210A的端口2连接到IC 210C的端口2。类似地, 走线226A和226B将IC 210B的端口2连接到IC 210D的端口2。然而, 在此示例中, 走线225A和225B分别在层1和2上布线, 而走线226A和226B分别在层3和4上布线。如圆圈230所示, 走线225A和225B可以与走线226A和226B交叉, 因为它们都在不同的走线布线层上。然而, 此走线布线拓扑使用四个走线布线层而不是两个走线布线层。

[0038] 图3是具有四个IC 310A-310D和使用两个布线层的走线布线拓扑的PCB 300的图。IC 310A-310D安装在(例如通过焊接机电地附接到)PCB 300的外表面上。如图4所示和下文所述, 每个IC 310A-310D可以在对应的IC安装区域处连接到PCB 300。

[0039] PCB 300还包括可用于对导电走线(例如, 铜走线)进行布线的多个内层。在第一走线布线层(层1)上布线的走线用实线示出。在第二走线布线层(层2)上布线的走线用虚线示出。层1可以设置在PCB 300的外表面和层2之间。在另一个示例中, 层2可以设置在外表面和层1之间。这些层可以通过介电材料分开。PCB 300可以包括附加的走线布线层, 例如总共四个走线布线层, 十个走线布线层, 或另一适当数量的走线布线层。

[0040] 走线使用过孔连接到IC的引脚。过孔是多层PCB中的孔, 用于将信号从一层传递到另一层。盲孔将PCB的外层连接到PCB的内层, 并暴露在PCB的一侧。

[0041] 当每个IC 310A-310D使用走线彼此电连接时, IC 310A-310D以全网状拓扑连接。每个IC 310A-310D包括用于每个其它IC 310C-310D的数据通信端口。IC 310A-310D还可以包括其它数据通信端口, 从而例如与其它IC或其它元件通信, 例如连接到未安装在PCB 300上的元件的连接器。在一些实施方式中, IC 310-310D是微处理器。

[0042] 每个端口可以包括一个或多个输入和一个或多个输出。IC 310A-310D的一个或多个输入端口可使用走线连接到另一IC 310-310D的一个或多个输出端口。每个端口的每个输入和每个输出可以连接到相应的过孔。该过孔将输入或输出连接到一个走线布线层上的走线。该走线将过孔连接到另一过孔, 该另一过孔连接到不同IC的对应端口的输入或输出。

[0043] 如上所述, 将第一IC的输入端口的输入连接到第二IC的输出端口的走线应该被布线在与将第一IC的输出连接到第二IC的输入的走线不同的层上, 以减少不同方向走线之间的串扰。图3的走线布线拓扑使得能够仅使用两个走线布线层来实现多个IC(例如, 四个或更多个IC)之间的这种类型的连接, 并且在IC的外部周围没有不适当的长走线。

[0044] 使用走线324A和324B将IC 310A的端口1连接到IC 310D的端口3。例如, 走线324A

可以将IC 310A的端口1的输入连接到IC 310D的端口3的输出。类似地,走线324B可以将IC 310A的端口1的输出连接到IC 310D的端口3的输入。这提供了IC 310A的端口1和IC 310D的端口3之间的双向通信。每个走线324A和324B可以表示多个走线,因为每个端口可以包括多个输入和多个输出。多个走线可以与每对走线之间的一些空间平行地布线,以减少或防止走线之间的串扰。可使用相应的走线将IC 310A的端口1的每个输入连接到IC 310D的端口3的对应输出。类似地,可以使用相应的走线将IC 310A的端口1的每个输出连接到IC 310D的端口3的对应输入。

[0045] 在该示例中,走线324A被布线在层1上,而走线324B被布线在层2上。在类似的布置中,使用分别在层1和2上布线的走线321A和321B将IC 310A的端口3连接到IC 310B的端口1。使用分别在层1和2上布线的走线322A和322B将IC 310B的端口3连接到IC 310C的端口1;并且使用分别在层1和2上布线的走线323A和323B将IC 310C的端口3连接到IC 310D的端口1。与IC 310A和IC 310D之间的走线324A和324B类似,这些走线对中的每一对走线都可以在它们相应的IC之间提供双向通信。此外,例如,如上所述,如果端口具有多个输入和输出,则这些走线中的每一个都可以表示多个走线,。

[0046] 走线325A和325B将IC 310A的端口2连接到IC 310C的端口2。走线325B沿层1上的第一路径布线,而走线325A沿层2上的第二路径布线。每个走线325A和325B可以表示沿着相同路径布线的多个走线,例如,平行和间隔开,以减少或防止走线对之间的串扰。走线325A和325B沿着在一些区域中间隔开并且在交叉点340处交叉的相应路径被布线。也就是说,走线325A或325B中的一个走线在点340处在另一走线325A或325B上方通过,这取决于在上层和下层这两层之间,哪条走线在上层而哪条走线在下层。

[0047] 走线325A和325B的这种交叉限定了两个过孔区域331和332,其中走线325A和325B彼此间隔开。尽管使用矩形框示出了过孔区域331和332,但是过孔区域331和332可以在走线325A和325B之间形成的空间中的任何位置。例如,过孔区域331可以具有由走线325A和325B之间的IC 310A的部分335(或者走线325A和325B在IC 310A附近会聚并且在彼此的阈值距离内的点)、走线325A在交叉点340和IC 310A之间的一部分、走线325B在交叉点340和IC 310A之间的一部分、以及交叉点340本身所限定的周界或者位于该周界内。在另一个示例中,过孔区域331是在该周界内的限定区域,例如在具有圆形、矩形或其它适当几何形状的限定区域内。

[0048] 类似地,过孔区域332可以具有由走线325A和325B之间的IC 310C的部分336(或者走线325A和325B在IC 310C附近会聚并且在彼此的阈值距离内的点)、走线325A在交叉点340和IC 310C之间的一部分、走线325B在交叉点340和IC 310C之间的一部分、以及交叉点340本身限定的周界内或者位于该周界内。在另一个示例中,过孔区域332是在该周界内的限定区域,例如在具有圆形、矩形或其它适当几何形状的限定区域内。

[0049] 走线325A和325B可以在交叉点340的任一侧上间隔开,以形成过孔区域331和332。例如,走线325A和325B可以在它们各自路径的至少一个阈值长度上间隔开至少一个阈值距离(例如,沿着与走线布线层平行的平面的阈值横向距离),以形成过孔区域331和332。例如,走线325A和325B之间的距离341对于过孔区域331上方和下方的走线325A和325B的至少阈值水平长度上可以至少是阈值距离。可以根据每个过孔区域331和332中的过孔的数量来选择区域的尺寸,以及阈值距离。

[0050] 尽管走线325A和325B被示为具有大约45度角的转弯,但是走线325A和325B可以具有其它形状和路径,同时仍然形成过孔区域331和332。例如,走线325A和325B可以遵循包括大约90度转弯而不是大约45度转弯的路径。在该示例中,走线325A和325B可以在IC 310A-310D之间的区域的中心处或附近形成x形状。在另一个示例中,走线325A和325B的转弯可以是圆形的。在这个示例中,每个走线325A和325B可以是s形的。

[0051] 包括第一部分326A和第二部分326B的走线326将IC 310B的端口2连接到IC 310D的端口2。过孔区域331使PCB 300的层1和层2之间的走线326过渡,使得走线326可以与走线325A和325B不同的层上的走线325A和325B交叉。特别地,第一部分326A沿着PCB 300的层1在IC 310B的端口2(例如,在连接到IC 310B的端口2的过孔)和过孔区域331中的过孔之间布线。该第一部分326A与在PCB 300的层2上布线的走线325A交叉。过孔将第一部分326A连接到第二部分326B。第二部分326B沿着PCB 300的层2在过孔和IC 310D的端口2(例如,连接到IC 310D的端口2的过孔)之间布线。第二部分326B与在PCB 300的层1上布线的走线325B交叉。因此,以这种方式在PCB 300的两个层上对走线326进行布线允许仅使用两个布线层使走线326与走线325A和325B交叉。

[0052] 走线326可以表示沿着IC 310B和IC 310D之间的(例如,平行分开的)路径布线的多个走线。过孔区域331可以包括用于由走线326表示的每个单独走线的相应过孔。

[0053] 类似于走线326,包括第一部分327A和第二部分327B的走线327将IC 310B的端口2连接到IC 310D的端口2。例如,走线326可以将IC 310B的端口2的输入连接到IC 310D的端口2的输出,并且走线327可以将IC 310D的端口2的输入连接到IC 310B的端口2的输出。

[0054] 过孔区域332使走线327在PCB 300的层1和层2之间过渡,使得走线327可以在与走线325A和325B不同的层上与走线325A和325B交叉。特别地,第一部分327A沿着PCB 300的层2在IC 310B的端口2(例如,连接到IC 310B的端口2的过孔)和过孔区域332中的过孔之间布线。该第一部分327A与走线325B交叉,走线325B在PCB 300的层1上布线。过孔将第一部分327A连接到第二部分327B。第二部分327B沿着PCB 300的层1在过孔和IC 310D的端口2(例如,连接到IC 310D的端口2的过孔)之间布线。第二部分327B与走线325A交叉,走线325A在PCB 300的层2上布线。因此,以这种方式在PCB 300的这两个层上对走线327进行布线允许仅使用两个布线层使走线327与走线325A和325B交叉。

[0055] 走线327可以表示沿着IC 310B和IC 310D之间的(例如,平行分开的)该路径布线的多个走线。过孔区域332可以包括用于由走线327表示的每个单独走线的相应过孔。

[0056] 在该示例中,IC 310A-310D布置在正方形形状内,其中每个IC 310A-310D在正方形的角落中。这种正方形结构包括两行且每行两个IC。交叉点340位于IC 310A-310D之间的区域的中心附近,其中过孔区域331和332位于交叉点340的任一侧上。

[0057] 使用相同或类似的走线布线拓扑也可以是其它形状和布置。例如,IC 310A-310D不必在行和列中。也就是说,IC 310C可以在IC 310B的右侧,或者IC 310D可以在IC 310C的下方。

[0058] 在另一个示例中,过孔区域331和332可以是并排的,而不是图3的偏移布置。例如,走线325A和325B可以形成类似于过孔区域331和332周围的数字8的形状。

[0059] IC 310A-310D也可以以部分网状拓扑而不是全网状拓扑连接。例如,可以不将IC A连接到IC B。在该示例中,不包括走线321A和321B。

[0060] PCB 300可以包括多于四个的IC。例如,IC 310B和310C可以连接到位于IC 310B和310C右侧的IC。可以使用部分网状拓扑将IC 310-310D连接到PCB 300的其它IC,其中IC 310-310D中的一些连接到其它IC中的一些。

[0061] 图4是没有IC 310A-310D的图3的PCB 300的图。对于每个IC 310A-310D,PCB 300分别包括IC安装区域410A-410D。例如,PCB 300可以被制造有内部布线层、层1和层2、以及包括IC安装区域410A-410D的外部层。IC 310A-310D可以稍后安装在其IC安装区域410A-410D中。

[0062] 在该示例中,每个IC安装区域410A-410D包括导电焊盘的布置。每个导电焊盘420可以包括导电材料,IC的导电焊盘可以结合到该导电材料。例如,IC 310A-310D可包括具有导电焊盘的球栅阵列(BGA),该导电焊盘被焊接到对应IC安装区域410A-410D的导电焊盘420。在另一个示例中,每个IC安装区域可包括用于接收并焊接至IC 310A-310D的引脚的具有导电周界的孔。

[0063] PCB 300的走线可以在IC安装区域410A-410D的导电焊盘之间布线。例如,走线321A可以连接到IC安装区域410A下方的过孔。该过孔可以是PCB 300的外层延伸到PCB 300的层1的盲孔,走线321A被布线到层1。该过孔可以将走线321A连接到PCB 300的外表面上的导电焊盘,该导电焊盘将接收IC 310A的端口3的导电焊盘。在另一示例中,走线323B可连接到IC安装区域410D下方的过孔。该过孔可以是PCB 300的外层延伸到PCB 300的层2的盲孔,走线323B被布线到层2。该过孔可以将走线323B连接到PCB 300的外表面上的导电焊盘,该导电焊盘将接收IC 310D的端口1的导电焊盘。连接到IC 310A-310D的每一其它走线可类似地使用过孔连接到IC 310A-310D的导电焊盘。

[0064] 图5是示出用于制造PCB的示例性过程500的流程图。过程500可以由包括一个或多个数据处理装置和制造设备的系统来进行。

[0065] 该系统为PCB的每层设计走线布局(510)。系统可以基于指定PCB的IC(和/或其它元件)之间的连接的电路图来布局走线。在另一个示例中,诸如PCB设计者的人可以对PCB的走线进行布局。

[0066] 如果PCB将包括全网状拓扑结构中的四个或更多个IC,或者需要两个或更多个走线与两个或更多个其它走线交叉,则系统可以生成允许走线在两个走线布线层上布线的布线拓扑。例如,系统可以对连接第一对IC的两个走线进行布线,使得这两个走线在不同的布线层上并在第一对IC之间的某个点交叉。该系统还可以在由两个走线限定的过孔区域中定位过孔,如以上参考图3所描述的。

[0067] 该系统可以在第二对IC之间布线走线,使得走线不接触在第一对IC之间布线的走线。例如,系统可以布线这些走线,使得每个走线在过孔区域之一中在两个层之间过渡,并且使得当走线与第一对IC之间的走线交叉时,这些走线在不同的布线层上。

[0068] 系统基于设计从每个芯(core)的每个层蚀刻导电材料(520)。每个布线层可以在包括介电材料层的芯的表面上,该介电材料层具有附着到两侧的铜箔。该系统可以基于该层上的走线的布局,从将用作走线布线层的芯的一侧蚀刻掉铜。例如,系统可以基于设计中走线的布局,蚀刻掉铜以形成导电走线。

[0069] 系统将芯相互附接(530)。该系统可以使用预浸料材料将芯彼此附接。预浸料材料可以是保持芯在一起的粘合剂介电材料。

[0070] 该系统基于设计在PCB中创建过孔(540)。例如,制造设备可基于设计通过钻出过孔并将导电材料(例如铜)置于过孔中而在每个过孔区域中创建过孔。该系统可以在IC安装区域下创建类似的过孔,以将用于IC的导电焊盘连接到走线布线层的走线。

[0071] IC被安装在PCB上(550)。例如,每个IC可以放置在对应的IC安装区域上。IC的每个导电焊盘或引脚可以焊接到IC安装区域的对应焊盘或孔。

[0072] 术语“数据处理装置”包括用于处理数据的所有类型的装置,设备和机器,包括例如可编程处理器,计算机,片上系统,或前述中的多个或组合。该装置可以包括专用逻辑电路,例如FPGA(现场可编程门阵列)或ASIC(专用集成电路)。

[0073] 本说明书中描述的过程和逻辑流程可以由执行一个或多个计算机程序的一个或多个可编程处理器来执行,以通过对输入数据进行操作并生成输出来执行动作。过程和逻辑流程也可以由专用逻辑电路来执行,并且装置也可以实现为专用逻辑电路,专用逻辑电路例如是FPGA(现场可编程门阵列)或ASIC(专用集成电路)

[0074] 例如,适于执行计算机程序的处理器包括通用和专用微处理器,以及任何类型的数字计算机的任何一个或多个处理器。通常,处理器将从只读存储器或随机存取存储器或两者接收指令和数据。计算机的基本元件是用于根据指令执行动作的处理器以及用于存储指令和数据的一个或多个存储器设备。通常,计算机还将包括大容量存储设备或被可操作地耦合以从一个或多个大容量存储设备接收数据或向一个或多个大容量存储设备传送数据,所述大容量存储设备用于存储数据,例如是磁盘,磁光盘或光盘。

[0075] 虽然本说明书包含许多具体的实现细节,但这些不应被解释为对任何发明的范围或所要求保护的范围的限制,而应被解释为对特定发明的特定实施例的特定特征的描述。本说明书中在单独实施例的上下文中描述的某些特征也可以在单个实施例中组合实现。相反,在单个实施例的上下文中描述的各种特征也可以在多个实施例中单独地或以任何合适的子组合来实现。此外,尽管上面可以将特征描述为在某些组合中起作用,并且甚至最初如此要求保护,但是在一些情况下,可以从组合中去除要求保护的组合中的一个或多个特征,并且要求保护的组合可以针对子组合或子组合的变型。

[0076] 类似地,虽然在附图中以特定顺序描述了操作,但这不应被理解为要求以所示的特定顺序或以顺序的顺序执行这些操作,或者要求执行所有示出的操作以获得期望的结果。在某些情况下,多任务和并行处理可能是有利的。此外,上述实施例中的各种系统元件的分离不应被理解为需要所有实施例中的这种分离,并且应当理解,所描述的程序元件和系统通常可以被集成在单个软件产品中或者被封装到多个软件产品中。

[0077] 因此,已经描述了本主题的特定实施例。其它实施例在所附权利要求的范围内。在一些情况下,权利要求中所述的动作可以以不同的顺序执行,并且仍然实现期望的结果。此外,附图中所示的过程不一定需要所示的特定顺序或顺序,以获得所需的结果。在某些实现中,多任务和并行处理可能是有利的。

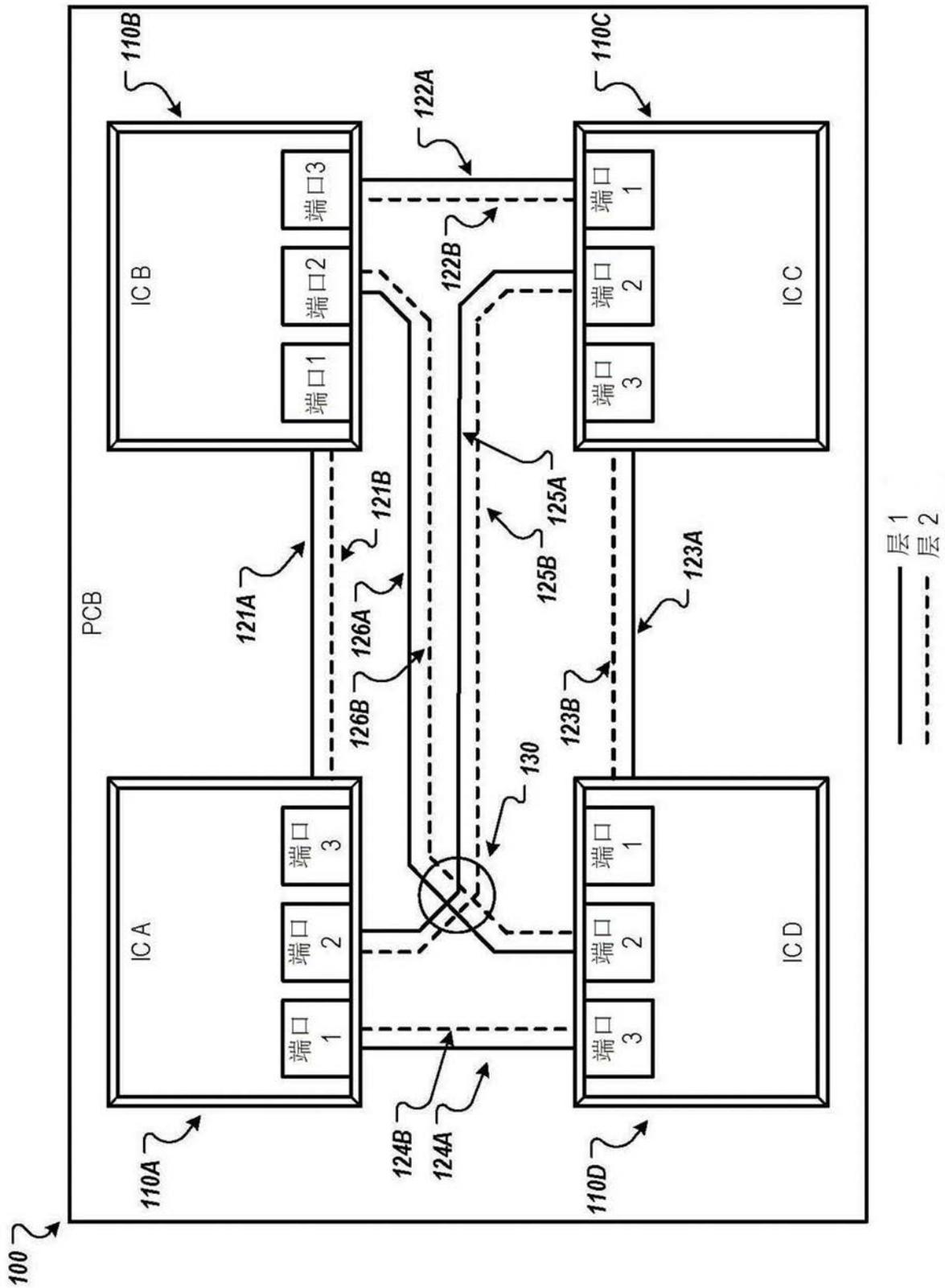


图1

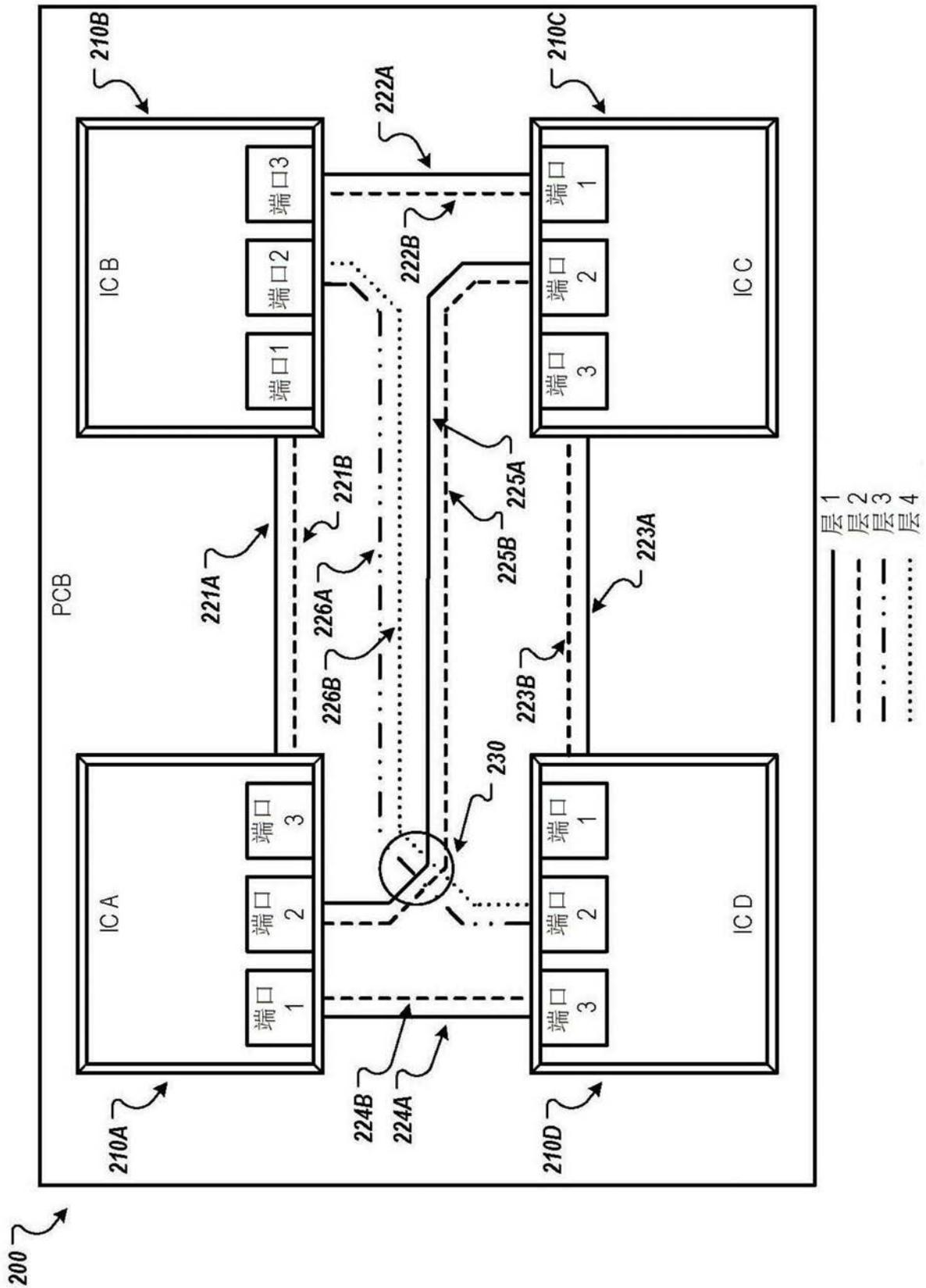


图2

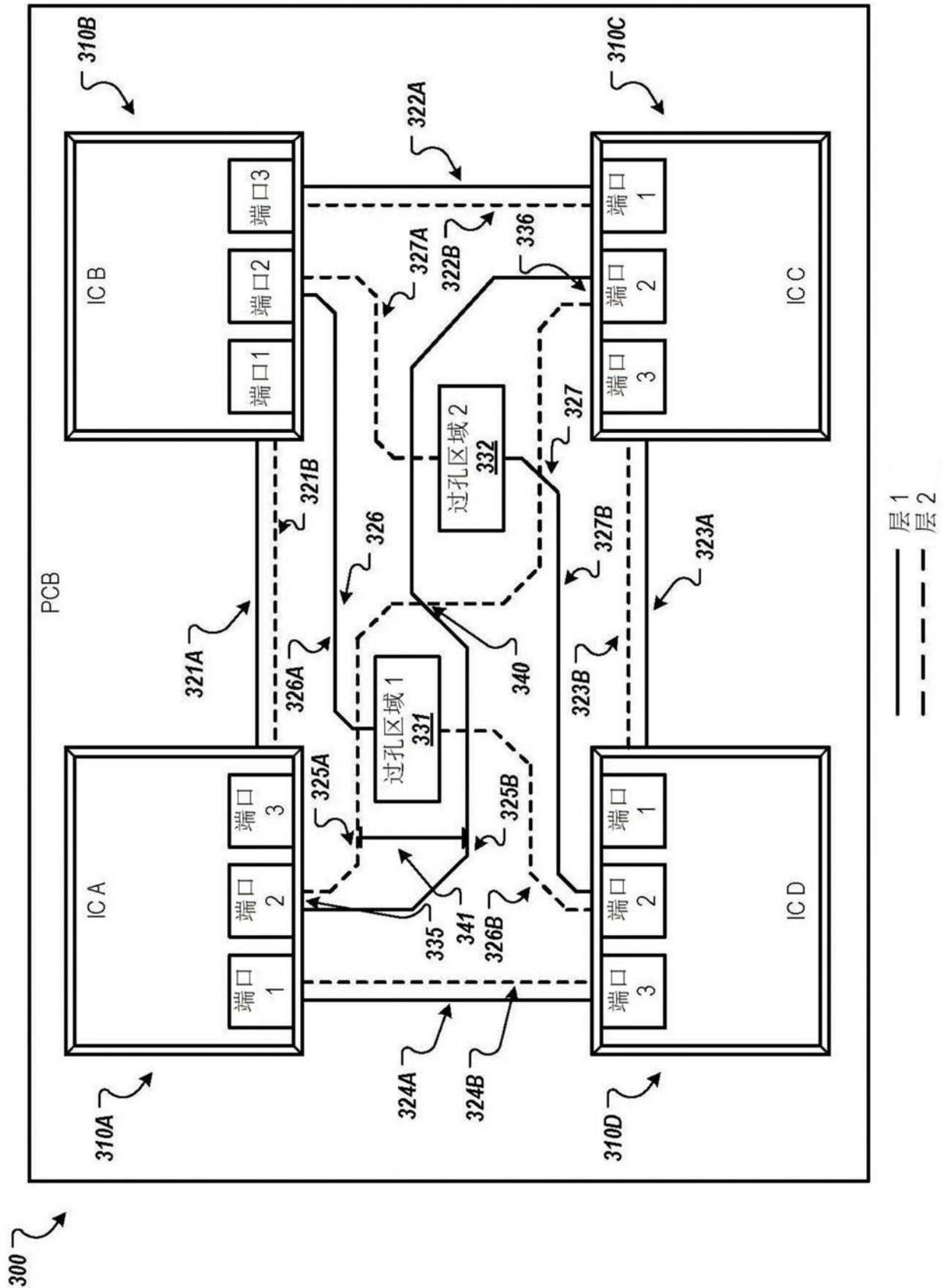


图3

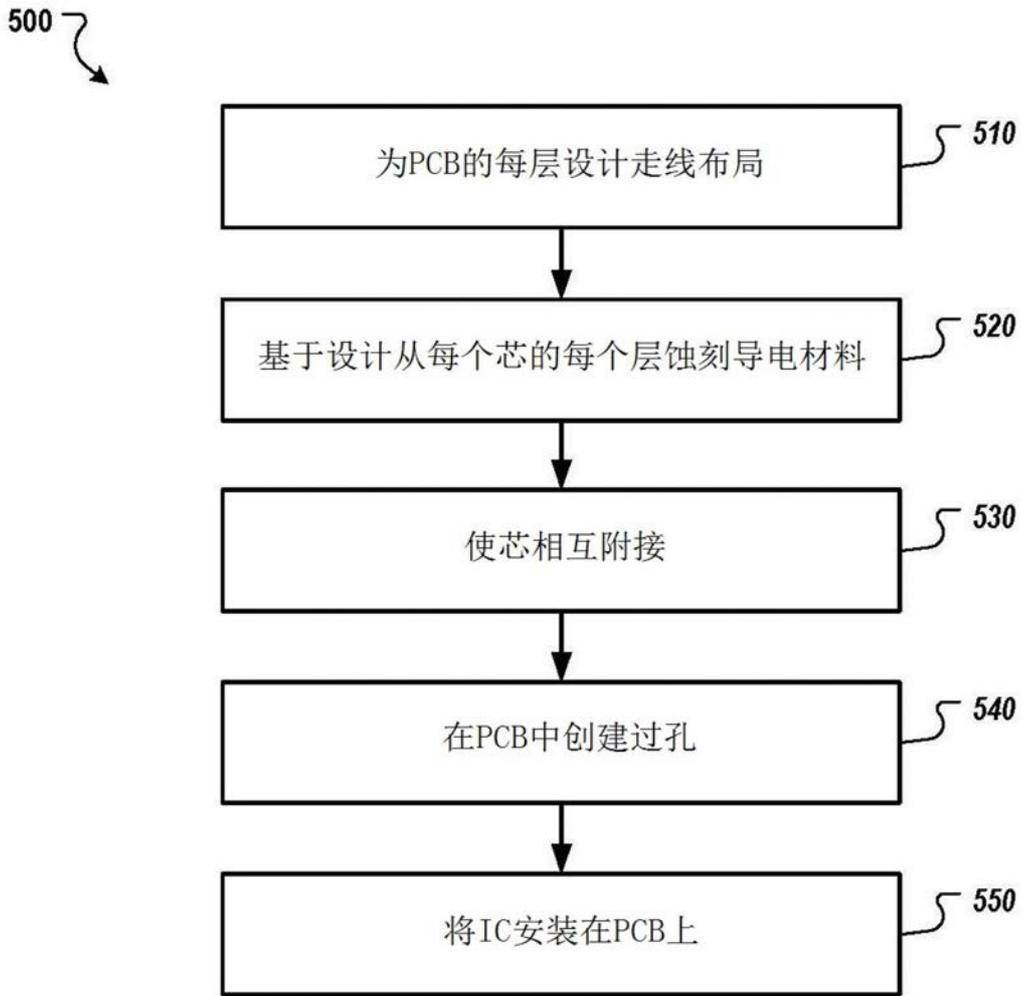


图5