

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7477835号
(P7477835)

(45)発行日 令和6年5月2日(2024.5.2)

(24)登録日 令和6年4月23日(2024.4.23)

(51)国際特許分類

F I

H 0 1 L 21/301 (2006.01)

H 0 1 L 21/78

Q

H 0 1 L 21/304 (2006.01)

H 0 1 L 21/78

V

B 2 3 K 26/57 (2014.01)

H 0 1 L 21/78

B

B 2 3 K 26/53 (2014.01)

H 0 1 L 21/78

F

H 0 1 L 21/78

Y

請求項の数 4 (全14頁) 最終頁に続く

(21)出願番号 特願2020-73157(P2020-73157)
(22)出願日 令和2年4月15日(2020.4.15)
(65)公開番号 特開2021-170594(P2021-170594
A)
(43)公開日 令和3年10月28日(2021.10.28)
審査請求日 令和5年1月12日(2023.1.12)

(73)特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(73)特許権者 000236436
浜松ホトニクス株式会社
静岡県浜松市中央区市野町1126番地
の1
(73)特許権者 504139662
国立大学法人東海国立大学機構
愛知県名古屋市中種区不老町1番
(74)代理人 110001128
弁理士法人ゆうあい特許事務所
(72)発明者 長屋 正武
愛知県刈谷市昭和町1丁目1番地 株式
会社デンソー内

最終頁に続く

(54)【発明の名称】 半導体チップの製造方法

(57)【特許請求の範囲】

【請求項1】

半導体素子が形成された半導体チップの製造方法であって、
窒化ガリウムで構成され、一面(1a)および他面(1b)を有する窒化ガリウムウェ
ハ(1)を用意することと、

前記窒化ガリウムウェハの一面上にエピタキシャル膜(3)を形成することにより、前
記エピタキシャル膜側の面を一面(10a)とすると共に前記窒化ガリウムウェハ側の面
を他面(10b)とし、前記一面側に複数のチップ形成領域(RA)を有する加工ウェハ
(10)を構成することと、

前記複数のチップ形成領域に対し、前記半導体素子の一面側素子構成部分(11)を形
成することと、

前記加工ウェハの一面側に保持部材(20)を配置することと、
前記チップ形成領域を分割する、または分割するための分割構造(14、16)を形成
することと、

前記分割構造を形成した後、前記加工ウェハの他面側から当該加工ウェハの内部にレー
ザ光(L)を照射することにより、前記加工ウェハの面方向に沿って、窒素がガリウムか
ら分離されつつ前記分割構造から放出されたウェハ用変質層(15)を形成することと、

前記ウェハ用変質層を境界として前記加工ウェハを分割することにより、前記加工ウェ
ハを、前記加工ウェハの一面側のチップ構成ウェハ(30)と、前記加工ウェハの他面側
のリサイクルウェハ(40)とに分割することと、

10

20

前記チップ構成ウェハにおける前記リサイクルウェハと分割された側の他面（30b）に、前記半導体素子の他面側素子構成部分（60）を形成することと、

前記チップ構成ウェハから半導体チップ（100）を取り出すことと、

前記リサイクルウェハを再び前記窒化ガリウムウェハとして利用することと、を行い、前記分割構造を形成することでは、前記加工ウェハの他面側からレーザー光を照射することにより、前記チップ形成領域の外縁に、窒素をガリウムから分離させたチップ用変質層（14）を形成し、

前記半導体チップを取り出すことの前に、前記保持部材をエキスパンドすることにより、前記チップ用変質層を境界として前記チップ形成領域を分割することを行う半導体チップの製造方法。

10

【請求項2】

前記分割構造を形成すること、および前記ウェハ用変質層を形成することでは、前記分割構造と前記ウェハ用変質層とが交差するように、前記分割構造および前記ウェハ用変質層を形成する請求項1に記載の半導体チップの製造方法。

【請求項3】

前記一面側素子構成部分を形成することの後、それぞれの前記チップ形成領域に対して特性検査を行うことをを行い、

前記半導体チップを取り出すことでは、前記特性検査で良品と判定されたもののみを取り出す請求項1または2に記載の半導体チップの製造方法。

【請求項4】

前記他面側素子構成部分を形成することでは、前記特性検査で良品と判定された前記チップ形成領域に対してのみ行う請求項3に記載の半導体チップの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窒化ガリウム（以下では、単にGaNともいう）を含むチップ構成基板に半導体素子が形成された半導体チップの製造方法に関するものである。

【背景技術】

【0002】

従来より、半導体ウェハにエピタキシャル膜を形成して加工ウェハを形成し、当該加工ウェハに半導体素子を形成した後にチップ単位に分割することで半導体チップを製造する製造方法が提案されている（例えば、特許文献1参照）。具体的には、この製造方法では、加工ウェハのうちのエピタキシャル膜側の面を一面とし、加工ウェハのうちの半導体ウェハ側の面を他面とすると、まず、加工ウェハの一面側に拡散層や表面電極等の半導体素子の一面側の部分を構成する一面側素子構成部分を形成する。次に、加工ウェハの他面側を研削して所定の厚さまで薄くし、加工ウェハの他面側に、裏面電極等の半導体素子の他面側の部分を構成する他面側素子構成部分を形成する。その後、加工ウェハをチップ単位に分割する。

30

【先行技術文献】

【特許文献】

40

【0003】

【文献】特開2016-207908号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、本発明者らは、バンドギャップが広く、電子の飽和速度が大きい等の利点を有するGaNを含むチップ構成基板を用いた半導体チップについて検討している。そして、このような半導体チップを上記製造方法を利用して製造する場合、以下ようになる。

【0005】

すなわち、半導体ウェハとしてGaNウェハを用意し、GaNウェハ上にGaNで構成

50

されるエピタキシャル膜を成長させて加工ウェハを構成する。そして、加工ウェハに一面側素子構成部分を形成した後、加工ウェハの他面から研削する。その後、他面側素子部分を形成し、加工ウェハをチップ単位に分割する。

【0006】

しかしながら、この製造方法では、加工ウェハを他面から研削する。つまり、GaNウェハを研削する。このため、半導体チップを製造する毎にGaNウェハを用意する必要があり、生産性が低くなる可能性がある。

【0007】

本発明は上記点に鑑み、生産性の向上を図ることができる半導体チップの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するための請求項1では、半導体素子が形成された半導体チップの製造方法であって、GaNで構成され、一面(1a)および他面(1b)を有するGaNウェハ(1)を用意することと、GaNウェハの一面上にエピタキシャル膜(3)を形成することにより、エピタキシャル膜側の面を一面(10a)とすると共にGaNウェハ側の面を他面(10b)とし、一面側に複数のチップ形成領域(RA)を有する加工ウェハ(10)を構成することと、複数のチップ形成領域に対し、半導体素子の一面側素子構成部分(11)を形成することと、加工ウェハの一面側に保持部材(20)を配置することと、チップ形成領域を分割する、または分割するための分割構造(14、16)を形成することと、分割構造を形成した後、加工ウェハの他面側から当該加工ウェハの内部にレーザー光(L)を照射することにより、加工ウェハの面方向に沿って、窒素がガリウムから分離されつつ分割構造から放出されたウェハ用変質層(15)を形成することと、ウェハ用変質層を境界として加工ウェハを分割することにより、加工ウェハを、加工ウェハの一面側のチップ構成ウェハ(30)と、加工ウェハの他面側のリサイクルウェハ(40)とに分割することと、チップ構成ウェハにおけるリサイクルウェハと分割された側の他面(30b)に、半導体素子の他面側素子構成部分(60)を形成することと、チップ構成ウェハから半導体チップ(100)を取り出すことと、リサイクルウェハを再びGaNウェハとして利用することと、を行い、前記分割構造を形成することでは、前記加工ウェハの他面側からレーザー光を照射することにより、前記チップ形成領域の外縁に、窒素をガリウムから分離させたチップ用変質層(14)を形成し、前記半導体チップを取り出すことの前に、前記保持部材をエキスパンドすることにより、前記チップ用変質層を境界として前記チップ形成領域を分割することを行う。

【0009】

これによれば、加工ウェハをチップ構成ウェハとリサイクルウェハとに分割し、リサイクルウェハを再びGaNウェハとして利用する。このため、半導体チップを製造する度にGaNウェハを新たに用意する必要がなく、GaNウェハを有効利用できる。したがって、半導体チップの生産性の向上を図ることができる。

【0010】

また、ウェハ用変質層を形成する際には、分割構造から窒素が放出されるようにしている。このため、ウェハ用変質層を形成する際に各チップ形成領域に発生する歪みを小さくでき、半導体チップに不具合が発生することを抑制できる。

【0013】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0014】

【図1A】第1実施形態における半導体チップの製造工程を示す断面図である。

【図1B】図1Aに続く半導体チップの製造工程を示す断面図である。

【図1C】図1Bに続く半導体チップの製造工程を示す断面図である。

10

20

30

40

50

【図 1 D】図 1 C に続く半導体チップの製造工程を示す断面図である。

【図 1 E】図 1 D に続く半導体チップの製造工程を示す断面図である。

【図 1 F】図 1 E に続く半導体チップの製造工程を示す断面図である。

【図 1 G】図 1 F に続く半導体チップの製造工程を示す断面図である。

【図 1 H】図 1 G に続く半導体チップの製造工程を示す断面図である。

【図 1 I】図 1 H に続く半導体チップの製造工程を示す断面図である。

【図 1 J】図 1 G に続く半導体チップの製造工程を示す断面図である。

【図 2】加工ウェハの模式図である。

【図 3 A】チップ用変質層を形成せずにウェハ用変質層を形成した場合の模式図である。

【図 3 B】チップ用変質層を形成した後にウェハ用変質層を形成した場合の模式図である。

10

【図 4】第 2 実施形態における不良品となるチップ形成領域を示す加工ウェハの模式図である。

【図 5】第 3 実施形態における半導体チップの製造工程を示す断面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0016】

(第 1 実施形態)

第 1 実施形態について、図面を参照しつつ説明する。以下では、GaNを含むチップ構成基板 110 に半導体素子が形成された半導体チップ 100 の製造方法について説明する。

20

【0017】

まず、図 1 A に示されるように、一面 1 a および他面 1 b を有し、バルクウェハ状とされている GaN ウェハ 1 を用意する。例えば、GaN ウェハ 1 は、シリコン、酸素、ゲルマニウム等がドーパントされ、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ とされたものが用いられる。GaN ウェハ 1 の厚みについては任意であるが、例えば $400 \mu\text{m}$ 程度のものを用意している。なお、本実施形態の GaN ウェハ 1 は、一面 1 a が Ga 面とされ、他面 1 b が N 面とされている。また、この GaN ウェハ 1 は、下記半導体チップ 100 の製造工程を行った後では、後述する図 1 J のリサイクルウェハ 40 を再利用することで用意される。そして、必要に応じ、GaN ウェハ 1 の他面 1 b 等に、酸化膜等で構成される保護膜を形成してもよい。

30

【0018】

次に、図 1 B に示されるように、GaN ウェハ 1 の一面 1 a 上に、 $10 \sim 60 \mu\text{m}$ 程度の GaN で構成されるエピタキシャル膜 3 を形成することにより、複数のチップ形成領域 RA を有する加工ウェハ 10 を用意する。本実施形態では、エピタキシャル膜 3 は、 n^+ 型エピタキシャル層 3 a と、 n^- 型エピタキシャル層 3 b とが GaN ウェハ 1 側から順に成膜されて構成される。例えば、 n^+ 型エピタキシャル層 3 a は、シリコン、酸素、ゲルマニウム等がドーパントされ、不純物濃度が $5 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とされる。 n^- 型エピタキシャル層 3 b は、シリコン等がドーパントされ、不純物濃度が $1 \times 10^{17} \sim 4 \times 10^{17} \text{ cm}^{-3}$ 程度とされる。

40

【0019】

なお、 n^- 型エピタキシャル層 3 b は、後述する拡散層 12 等の一面側素子構成部分 11 が形成される部分であり、例えば、厚さが $8 \sim 10 \mu\text{m}$ 程度とされる。 n^+ 型エピタキシャル層 3 a は、後述する半導体チップ 100 の厚さを確保するための部分であり、例えば、厚さが $40 \sim 50 \mu\text{m}$ 程度とされる。なお、 n^+ 型エピタキシャル層 3 a と n^- 型エピタキシャル層 3 b との厚みの大小については任意であるが、ここでは半導体チップ 100 の厚みを確保できるように n^+ 型エピタキシャル層 3 a を n^- 型エピタキシャル層 3 b よりも厚くしてある。以下では、加工ウェハ 10 のうちのエピタキシャル膜 3 側の面を加工ウェハ 10 の一面 10 a とし、加工ウェハ 10 のうちの GaN ウェハ 1 側の面を加工ウェハ 10 の他面 10 b とする。そして、各チップ形成領域 RA は、加工ウェハ 10 の一面

50

10 a 側に構成される。

【0020】

次に、図1Cに示されるように、一般的な半導体製造プロセスを行い、各チップ形成領域RAに、拡散層12やゲート電極13、図示しない表面電極、配線パターン、パッシベーション膜等の半導体素子における一面側素子構成部分11を形成する工程を行う。なお、ここでの半導体素子は、種々の構成のものが採用され、例えば、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistorの略）等のパワーデバイスや、発光ダイオード等の光半導体素子が採用される。その後、必要に応じ、加工ウェハ10の一面10a側に、レジスト等で構成される表面保護膜を形成する。

【0021】

続いて、図1Dに示されるように、加工ウェハ10の一面10a側に保持部材20を配置する。保持部材20は、例えば、基材21と粘着剤22とを有するダイシングテープ等が用いられる。基材21は、製造工程中に反り難い材料で構成され、例えば、ガラス、シリコン基板、セラミックス等で構成される。粘着剤22は、粘着力を変化させることができる材料で構成され、例えば、温度や光によって粘着力が変化するものが用いられる。この場合、粘着剤22は、例えば、紫外線硬化樹脂、ワックス、両面テープ等で構成される。但し、粘着剤22は、後述する図1Hの他面側素子構成部分60を形成する際にも粘着力を維持する材料で構成される。

【0022】

次に、図1Eに示されるように、加工ウェハ10の他面10bからレーザー光Lを照射し、各チップ形成領域RAの境界を含む外縁にチップ用変質層14を形成する。なお、本実施形態では、図2に示されるように、各チップ形成領域RAは、矩形状とされている。また、本実施形態では、チップ用変質層14が分解構造に相当する。

【0023】

具体的には、レーザー光Lを発振するレーザー光源、レーザー光の光軸（すなわち、光路）の向きを変えるように配置されたダイクロイックミラー、およびレーザー光を集光するための集光用レンズ（すなわち、集光光学系）、変位可能なステージ等を有するレーザー装置を用意する。そして、チップ用変質層14を形成する際には、加工ウェハ10をステージに載置し、レーザー光Lの集光点が各チップ形成領域RAの外縁に沿って相対的に走査されるように、ステージ等の位置を調整する。

【0024】

これにより、各チップ形成領域RAの外縁には、熱エネルギーによってガリウムと窒素とが分解されたチップ用変質層14が形成される。より詳しくは、レーザー光Lを照射することにより、窒素がガスとして蒸発すると共にガリウムが析出されたチップ用変質層14が形成される。なお、チップ用変質層14は、窒素が分離されることにより、微小な空孔が構成された状態となっている。また、チップ用変質層14は、各チップ形成領域RAの境界においては、隣合うチップ形成領域RAで共用とされる。つまり、チップ形成領域RAが隣接している部分では、チップ用変質層14は、チップ形成領域RAの境界に沿って形成される。

【0025】

また、本実施形態では、チップ用変質層14を形成する際には、ステージ等を適宜移動させ、各チップ形成領域RAの外縁において、加工ウェハ10の厚さ方向の異なる二箇所以上の複数箇所に集光点が移動するようにレーザー光Lを照射する。この場合、加工ウェハ10の厚さ方向の異なる箇所にチップ用変質層14が形成されるが、各チップ用変質層14は、互いに離れていてもよいし、繋がっていてもよい。また、加工ウェハ10の厚さ方向の異なる二箇所以上の複数個所に集光点を移動させる場合には、加工ウェハ10の一面10a側から他面10b側に向かって集光点が移動される。

【0026】

なお、チップ用変質層14は、後述する図1Fのウェハ用変質層15を形成する際、ウェハ用変質層15を形成することによって発生する窒素がチップ用変質層14の空孔を介

10

20

30

40

50

して外部に放出できるように形成される。また、特に限定されるものではないが、本実施形態では、チップ用変質層 14 を形成する際には、レーザ光 L として、固体レーザ光であって、波長が 532 nm のグリーンレーザが用いられる。そして、レーザ光 L は、加工点出力が $2 \mu\text{J}$ 、パルス幅が 500 ps、加工速度が 500 mm/s とされて照射される。但し、これらの条件は 1 例であり、本発明者らは、レーザ光 L の加工点出力がさらに低い場合やパルス幅がさらに短い場合等においても、適切にチップ用変質層 14 が形成されることを確認している。また、本発明者らは、レーザ光 L の加工点出力がさらに高い場合やパルス幅がさらに長い場合等においても、適切にチップ用変質層 14 が形成されることを確認している。

【0027】

続いて、図 1 F に示されるように、加工ウェハ 10 の他面 10 b からレーザ光 L を照射し、加工ウェハ 10 の一面 10 a から所定深さ L となる位置に、加工ウェハ 10 の面方向に沿ったウェハ用変質層 15 を形成する。本実施形態では、上記のチップ用変質層 14 を形成する際のレーザ装置を用いてウェハ用変質層 15 を形成する。

【0028】

そして、ウェハ用変質層 15 を形成する場合には、レーザ光 L の集光点が加工ウェハ 10 の面方向に沿って相対的に走査されるように、ステージ等の位置を調整する。これにより、加工ウェハ 10 には、面方向に沿ったウェハ用変質層 15 が形成される。なお、ウェハ用変質層 15 は、上記チップ用変質層 14 と同様に、窒素がガスとして蒸発すると共にガリウムが析出された構成とされる。

【0029】

この場合、本実施形態では、チップ用変質層 14 と交差する、またはチップ用変質層 14 の直下を通るようにウェハ用変質層 15 を形成する。これにより、本実施形態では、ウェハ用変質層 15 を形成する際に各チップ形成領域 RA に大きな歪が印加されることを抑制できる。

【0030】

すなわち、チップ用変質層 14 を形成しない場合には、図 3 A に示されるように、ウェハ用変質層 15 を形成する際に発生した窒素が外部に放出され難いため、ウェハ用変質層 15 を形成したことによる加工ウェハ 10 の歪みが大きくなり易い。一方、本実施形態では、チップ用変質層 14 が形成されており、ウェハ用変質層 15 は、チップ用変質層 14 と交差する、またはチップ用変質層 14 の直下を通るように形成されている。このため、図 3 B に示されるように、ウェハ用変質層 15 を形成する際に発生する窒素は、チップ用変質層 14 の空孔を介して外部に放出され易くなる。したがって、ウェハ用変質層 15 を形成したことによる加工ウェハ 10 の歪が大きくなることを抑制でき、各チップ形成領域 RA に印加される歪を小さくできる。

【0031】

なお、特に限定されるものではないが、本実施形態では、ウェハ用変質層 15 を形成する際には、レーザ光 L として、固体レーザ光であって、波長が 532 nm のグリーンレーザが用いられる。そして、レーザ光 L は、加工点出力が $0.1 \sim 0.3 \mu\text{J}$ 、パルス幅が 500 ps、加工速度が $50 \sim 500 \text{ mm/s}$ とされて照射される。但し、これらの条件は 1 例であり、本発明者らは、レーザ光の加工点出力がさらに低い場合やパルス幅等がさらに短い場合等においても、適切にウェハ用変質層 15 が形成されることを確認している。また、本発明者らは、レーザ光 L の加工点出力がさらに高い場合やパルス幅がさらに長い場合等においても、適切にウェハ用変質層 15 が形成されることを確認している。

【0032】

また、ウェハ用変質層 15 を形成する際の所定深さ L は、半導体チップ 100 のハンドリングのし易さや耐圧等に応じて設定され、 $10 \sim 200 \mu\text{m}$ 程度とされる。この場合、ウェハ用変質層 15 は、エピタキシャル膜 3 の厚さに応じて形成される場所が変更され、エピタキシャル膜 3 の内部、エピタキシャル膜 3 と GaN ウェハ 1 との境界、または GaN ウェハ 1 の内部のいずれかに形成される。なお、図 1 F では、エピタキシャル膜 3 と G

10

20

30

40

50

a N ウェハ 1 との境界にウェハ用変質層 1 5 を形成する例を示している。

【 0 0 3 3 】

但し、後述するように、加工ウェハ 1 0 における G a N ウェハ 1 の少なくとも一部は、リサイクルウェハ 4 0 として再利用される。このため、ウェハ用変質層 1 5 は、エピタキシャル膜 3 の内部、またはエピタキシャル膜 3 と G a N ウェハ 1 との境界に形成されることが好ましい。また、ウェハ用変質層 1 5 が G a N ウェハ 1 の内部に形成される場合には、ウェハ用変質層 1 5 は、G a N ウェハ 1 の一面 1 a 側に形成されることが好ましい。

【 0 0 3 4 】

なお、ウェハ用変質層 1 5 がエピタキシャル膜 3 の内部に形成される場合、ウェハ用変質層 1 5 は、半導体素子を構成する n⁻型エピタキシャル層 3 b ではなく、n⁺型エピタキシャル層 3 a の内部に形成される。以下では、加工ウェハ 1 0 のうちのウェハ用変質層 1 5 より一面 1 0 a 側の部分をチップ構成ウェハ 3 0 とし、加工ウェハ 1 0 のうちのウェハ用変質層 1 5 より他面 1 0 b 側の部分をリサイクルウェハ 4 0 として説明する。

【 0 0 3 5 】

次に、図 1 G に示されるように、加工ウェハ 1 0 の他面 1 0 b 側に補助部材 5 0 を配置する。なお、補助部材 5 0 は、図 1 G では簡略化して示しているが、例えば、保持部材 2 0 と同様に、基材と、粘着力を変化させることのできる粘着剤とで構成される。この場合、補助部材 5 0 における基材は、例えば、ガラス、シリコン基板、セラミックス等で構成され、補助部材 5 0 における粘着剤は、例えば、紫外線硬化樹脂、ワックス、両面テープ等で構成される。そして、保持部材 2 0 および補助部材 5 0 を把持して加工ウェハ 1 0 の厚さ方向に引張力等を印加し、ウェハ用変質層 1 5 を境界（すなわち、分岐の起点）としてチップ構成ウェハ 3 0 とリサイクルウェハ 4 0 とに分割する。なお、以下では、チップ構成ウェハ 3 0 のうちの一面側素子構成部分 1 1 が形成されている側の面を一面 3 0 a とし、チップ構成ウェハ 3 0 のうちの分割された面側を他面 3 0 b とし、リサイクルウェハ 4 0 のうちの分割された面側を一面 4 0 a として説明する。また、図 1 G 以降の各図では、チップ構成ウェハ 3 0 の他面 3 0 b およびリサイクルウェハ 4 0 の一面 4 0 a に残存するウェハ用変質層 1 5 等を適宜省略して示している。

【 0 0 3 6 】

その後、図 1 H に示されるように、一般的な半導体製造プロセスを行い、チップ構成ウェハ 3 0 の他面 3 0 b に、裏面電極を構成する金属膜 6 1 等の半導体素子における他面側素子構成部分 6 0 を形成する工程を行う。

【 0 0 3 7 】

なお、この他面側素子構成部分 6 0 を形成する工程の前に、必要に応じて、CMP（chemical mechanical polishing の略）法等でチップ構成ウェハ 3 0 の他面 3 0 b を平坦化する工程を行うようにしてもよい。図 1 H は、チップ構成ウェハ 3 0 の他面 3 0 b を平坦化した場合の図を示している。また、他面側素子構成部分 6 0 を形成する工程を行った後、必要に応じて、金属膜 6 1 とチップ構成ウェハ 3 0 の他面 3 0 b とをオーミック接触とするため、レーザアニール等の加熱処理等を行うようにしてもよい。

【 0 0 3 8 】

続いて、図 1 I に示されるように、保持部材 2 0 をエキスパンドし、チップ用変質層 1 4 を境界（すなわち、分岐の起点）として各チップ形成領域 R A を分割する。その後、加熱処理や光を照射する等して粘着剤 2 2 の粘着力を弱まらせ、半導体チップ 1 0 0 をピックアップする。これにより、半導体チップ 1 0 0 が製造される。なお、各チップ形成領域 R A を分割する前には、必要に応じ、金属膜 6 1 のうちの各チップ形成領域 R A の境界にスリット等を形成しておくことにより、チップ形成領域 R A 毎に金属膜 6 1 を容易に分割できる。この場合、図 1 H の工程において、分割される部分を覆うメタルマスクを用意し、分割される部分に金属膜 6 1 が形成されないようにしてもよい。

【 0 0 3 9 】

また、上記のように製造される半導体チップ 1 0 0 は、一面 1 1 0 a、一面と反対側の他面 1 1 0 b、一面 1 1 0 a と他面 1 1 0 b とを繋ぐ側面 1 1 0 c を有するチップ構成基

10

20

30

40

50

板 1 1 0 を備えた構成となる。また、チップ構成基板 1 1 0 は、G a N で構成されるエピタキシャル膜 3 を有し、一面 1 1 0 a 側に一面側素子構成部分 1 1 が形成され、他面 1 1 0 b 側に他面側素子構成部分 6 0 が形成された構成となる。そして、半導体チップ 1 0 0 は、チップ用変質層 1 4 を境界として分割されることで構成されるため、側面 1 1 0 c にチップ用変質層 1 4 が残存した状態となっている。この場合、チップ用変質層 1 4 は、ガリウムと窒素とが分離されてガリウムが析出した層であり、微小な凹凸が形成された状態となっている。このため、本実施形態の製造方法では、ハンドリング等がし易い半導体チップ 1 0 0 が製造される。

【 0 0 4 0 】

また、図 1 J に示されるように、図 1 G で構成されたリサイクルウェハ 4 0 には、一面 4 0 a に対して研磨装置 7 0 等を用いた C M P 法を行うことにより、当該一面 4 0 a を平坦化する。そして、平坦化したリサイクルウェハ 4 0 を G a N ウェハ 1 とし、再び上記図 1 A 以降の工程を行う。これにより、G a N ウェハ 1 は、半導体チップ 1 0 0 を構成するのに複数回利用されることができる。

10

【 0 0 4 1 】

以上説明した本実施形態によれば、加工ウェハ 1 0 をチップ構成ウェハ 3 0 とリサイクルウェハ 4 0 とに分割し、リサイクルウェハ 4 0 を再び G a N ウェハ 1 として利用する。このため、半導体チップ 1 0 0 を製造する度に G a N ウェハ 1 を新たに用意する必要がなく、G a N ウェハ 1 を有効利用できる。したがって、半導体チップ 1 0 0 の生産性の向上を図ることができる。

20

【 0 0 4 2 】

また、ウェハ用変質層 1 5 を形成する際には、チップ用変質層 1 4 を介してウェハ用変質層 1 5 を形成する際に発生する窒素が放出されるようにしている。このため、各チップ形成領域 R A に発生する歪みを小さくでき、半導体チップ 1 0 0 に不具合が発生することを抑制できる。

【 0 0 4 3 】

さらに、各チップ形成領域 R A の間にチップ用変質層 1 4 を形成している。そして、各チップ形成領域 R A を分割する際には、保持部材 2 0 をエキスパンドすることにより、チップ用変質層 1 4 を境界として分割している。このため、例えば、各チップ形成領域 R A をダイシングブレード等で分割する場合と比較して、各チップ形成領域 R A の間の領域を狭くできる。したがって、加工ウェハ 1 0 から製造される半導体チップ 1 0 0 の個数の増加を図ることができる。

30

【 0 0 4 4 】

また、加工ウェハ 1 0 をチップ構成ウェハ 3 0 とリサイクルウェハ 4 0 とに分割する際には、レーザ光 L を照射してウェハ用変質層 1 5 を形成し、ウェハ用変質層 1 5 を境界としてチップ構成ウェハ 3 0 とリサイクルウェハ 4 0 とに分割する。このため、C M P 法等によって加工ウェハ 1 0 の他面 1 0 b から研削等して厚さを薄くする場合と比較して、製造時間の短縮化を図ることができる。

【 0 0 4 5 】

そして、チップ用変質層 1 4 を境界として各チップ形成領域 R A を分割しているため、半導体チップ 1 0 0 の側面 1 1 0 c は、チップ用変質層 1 4 を有する構成となり、微小な凹凸が形成された状態となっている。このため、半導体チップ 1 0 0 のハンドリングをし易くできる。

40

【 0 0 4 6 】

(第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対し、特性検査を行うようにしたものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

【 0 0 4 7 】

本実施形態では、図 1 C の一面側素子構成部分 1 1 を形成する工程の後、各チップ形成

50

領域 R A に対して W A T (wafer acceptance test の略) 検査等の特性検査を行う。そして、各チップ形成領域 R A に形成されている半導体素子の一面側素子構成部分 1 1 が良品であるか不良品であるかを判定する。この場合、例えば、図 4 に示されるように、各チップ形成領域 R A に対して良品と不良品とが判定される。なお、図 4 では、不良品と判定されたチップ形成領域 R A にハッチングを施してある。

【 0 0 4 8 】

その後、図 1 I の工程において、半導体チップ 1 0 0 を保持部材 2 0 からピックアップする際には、良品のみをピックアップするようにする。

【 0 0 4 9 】

これによれば、不良品をピックアップしないため、管理を行い易くなる等のその後の工程等を簡略化できる。

10

【 0 0 5 0 】

(第 2 実施形態の変形例)

上記第 2 実施形態の変形例について説明する。上記第 2 実施形態において、特性検査にて不良品と判断されたチップ形成領域 R A には、図 1 H の工程において、裏面電極を構成する金属膜 6 1 等の他面側素子構成部分 6 0 を形成しないようにしてもよい。例えば、金属膜 6 1 を形成する際には、不良品と判断されたチップ形成領域 R A を覆うように構成されたメタルマスクを用意し、当該メタルマスクを用いて金属膜 6 1 を形成するようにすればよい。

【 0 0 5 1 】

20

(第 3 実施形態)

第 3 実施形態について説明する。本実施形態は、第 1 実施形態に対し、チップ形成領域 R A をダイシングブレードで分割するようにしたものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

【 0 0 5 2 】

本実施形態では、図 1 E の工程にてチップ用変質層 1 4 を形成する代わりに、図 5 に示されるように、チップ形成領域 R A をダイシングブレードで分割し、チップ形成領域 R A の境界を含む外縁にスリット 1 6 を形成する。なお、本実施形態では、スリット 1 6 が分割構造に相当している。また、本実施形態では、図 1 D の保持部材 2 0 を配置する工程は、図 5 の工程を行った後に行われる。

30

【 0 0 5 3 】

そして、図 1 F の工程では、ウェハ用変質層 1 5 を形成する際の窒素がスリット 1 6 を介して外部に放出されるように、スリット 1 6 と交差する、またはスリット 1 6 の直下を通るウェハ用変質層 1 5 を形成する。

【 0 0 5 4 】

その後、図 1 H の工程では、スリット 1 6 内に金属膜 6 1 が形成されないように構成されたメタルマスクを用意し、金属膜 6 1 を形成する。つまり、スリット 1 6 を被覆するメタルマスクを用意して金属膜 6 1 を形成する。そして、図 1 I の工程では、必要に応じ、保持部材 2 0 をエキスパンドして各半導体チップ 1 0 0 の間隔を確保した後、半導体チップ 1 0 0 をピックアップする。

40

【 0 0 5 5 】

以上説明したように、ウェハ用変質層 1 5 を形成する前にスリット 1 6 を形成しても、上記第 1 実施形態と同様の効果を得ることができる。

【 0 0 5 6 】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【 0 0 5 7 】

例えば、上記各実施形態において、エピタキシャル膜 3 は、 n^- 型エピタキシャル層 3 b のみで構成されていてもよい。

50

【 0 0 5 8 】

また、上記各実施形態において、図 1 H の工程では、チップ構成ウェハ 3 0 の他面 3 0 b を研磨せずに金属膜 6 1 を形成するようにしてもよい。例えば、半導体素子として光半導体素子等を形成する場合には、半導体チップ 1 0 0 の他面 1 1 0 b 側に凹凸構造を形成することにより、他面 1 1 0 b 側から効果的に光を取り出すことが可能となる。そして、加工ウェハ 1 0 をチップ構成ウェハ 3 0 とリサイクルウェハ 4 0 とに分割した直後においては、チップ構成ウェハ 3 0 の他面 3 0 b は、ウェハ用変質層 1 5 が残存した状態となっており、微小な凹凸が形成された状態となっている。このため、光半導体素子を形成する場合には、チップ構成ウェハ 3 0 の他面 3 0 b を研磨せず、ウェハ用変質層 1 5 の凹凸を利用するようにしてもよい。

10

【 0 0 5 9 】

さらに、上記各実施形態において、図 1 B のエピタキシャル膜 3 を形成する工程では、G a N ウェハ 1 の他面 1 b 側にもエピタキシャル膜が形成されるようにしてもよい。これによれば、例えば、ウェハ用変質層 1 5 を G a N ウェハ 1 内に形成する場合においても、リサイクルウェハ 4 0 として所定以上の厚さを残し易くなり、再利用できる回数の増加を図ることができる。

【 0 0 6 0 】

また、上記第 1、第 2 実施形態において、図 1 D の保持部材 2 0 を配置する工程の前に、図 1 E のチップ用変質層 1 4 を形成する工程を行うようにしてもよい。この場合、レーザー光 L は、加工ウェハ 1 0 の一面 1 0 a 側から照射するようにしてもよい。但し、加工ウェハ 1 0 の一面 1 0 a からレーザー光 L を照射する場合、一面 1 0 a 側に形成される表面電極や配線パターン等によってレーザー光 L の集光点の位置がばらつく可能性がある。このため、好ましくは、加工ウェハ 1 0 の他面 1 0 b からレーザー光を照射するのがよい。

20

【 0 0 6 1 】

そして、上記各実施形態を適宜組み合わせてもよい。例えば、上記第 2 実施形態を上記第 3 実施形態に組み合わせ、スリット 1 6 を形成しつつ、特性検査等を行うようにしてもよい。

【 符号の説明 】

【 0 0 6 2 】

- 1 G a N ウェハ
- 1 a 一面
- 1 b 他面
- 3 エピタキシャル膜
- 1 0 加工ウェハ
- 1 0 a 一面
- 1 0 b 他面
- 1 3 チップ用変質層
- 1 4 ウェハ用変質層
- 4 0 チップ構成ウェハ
- 4 0 b 他面
- 5 0 リサイクルウェハ
- 6 0 半導体チップ

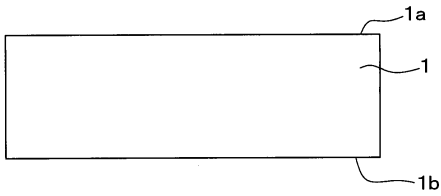
30

40

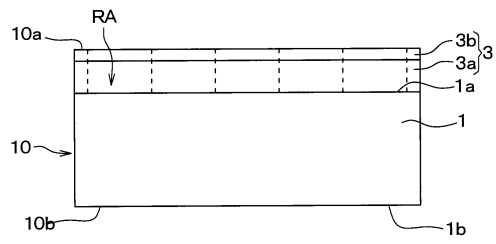
50

【図面】

【図 1 A】

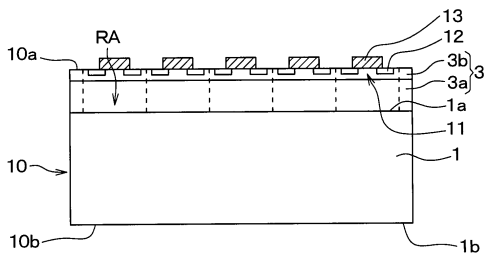


【図 1 B】

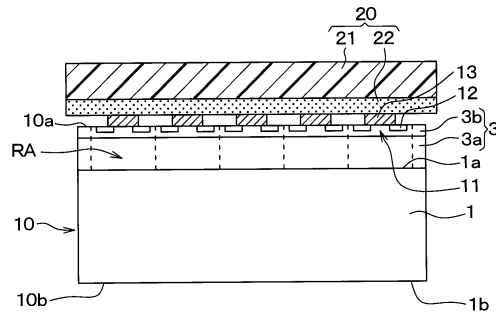


10

【図 1 C】

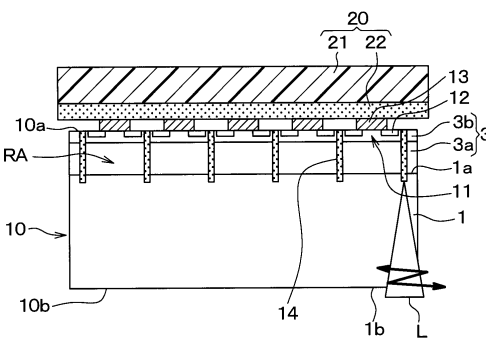


【図 1 D】

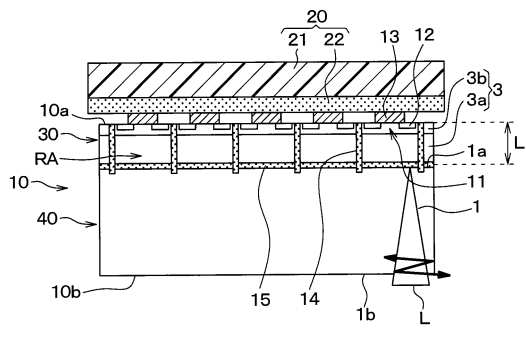


20

【図 1 E】



【図 1 F】

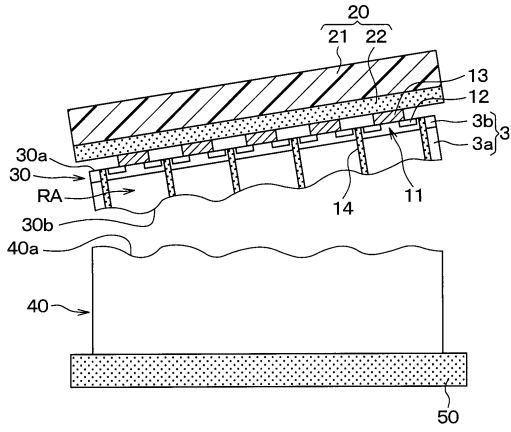


30

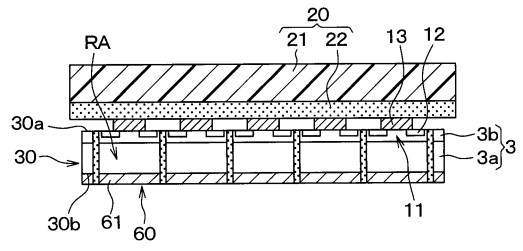
40

50

【図 1 G】

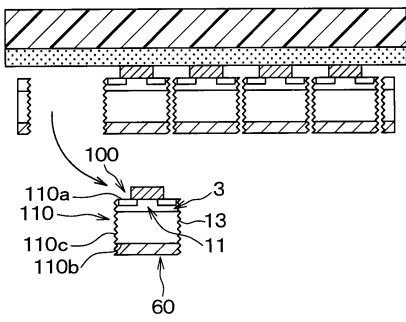


【図 1 H】

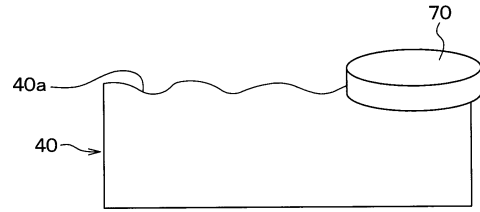


10

【図 1 I】

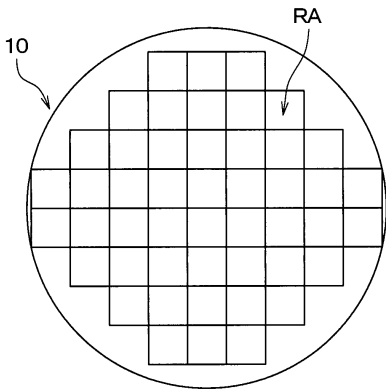


【図 1 J】

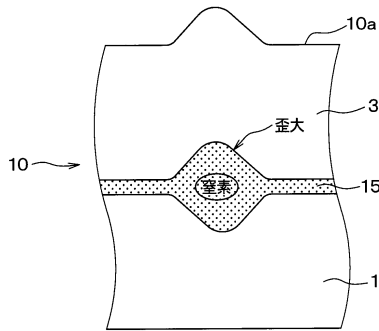


20

【図 2】



【図 3 A】

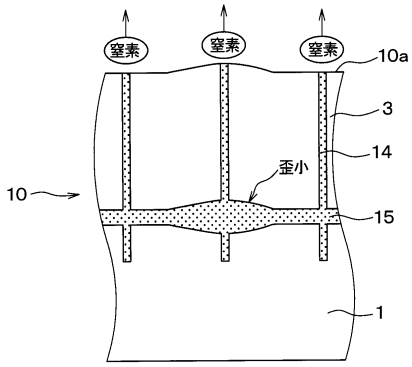


30

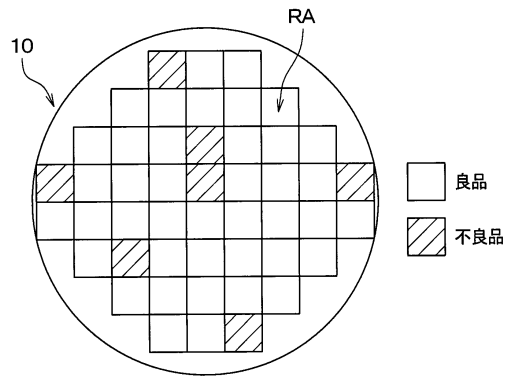
40

50

【 図 3 B 】

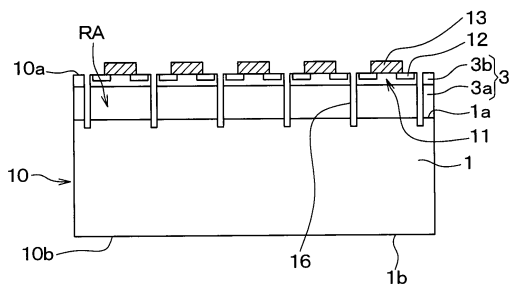


【 図 4 】



10

【 図 5 】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	21/78		X
H 0 1 L	21/304	6 1 1 Z	
B 2 3 K	26/57		
B 2 3 K	26/53		

(72)発明者 原 一都

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 河口 大祐

静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

(72)発明者 油井 俊樹

静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

(72)発明者 笹岡 千秋

愛知県名古屋市千種区不老町1番 国立大学法人東海国立大学機構内

(72)発明者 小島 淳

愛知県名古屋市千種区不老町1番 国立大学法人東海国立大学機構内

(72)発明者 恩田 正一

愛知県名古屋市千種区不老町1番 国立大学法人東海国立大学機構内

審査官 李 哲次

(56)参考文献

特開2006-332681(JP,A)

特開2007-173465(JP,A)

特開2010-87093(JP,A)

特開2011-198992(JP,A)

特開平9-148331(JP,A)

特開2008-294379(JP,A)

特開2008-252069(JP,A)

特開2015-153826(JP,A)

特開2014-103397(JP,A)

特開2020-35829(JP,A)

特開2011-96928(JP,A)

特表2012-504875(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 3 0 1

H 0 1 L 2 1 / 3 0 4

B 2 3 K 2 6 / 5 7

B 2 3 K 2 6 / 5 3