



(12) 发明专利申请

(10) 申请公布号 CN 111988038 A

(43) 申请公布日 2020.11.24

(21) 申请号 202010439313.2

(22) 申请日 2020.05.22

(30) 优先权数据

16/422,579 2019.05.24 US

(71) 申请人 亚德诺半导体国际有限责任公司

地址 爱尔兰利默里克

(72) 发明人 柴田肇 G·E·泰勒 杨文华

(74) 专利代理机构 中国贸促会专利商标事务所

有限公司 11038

代理人 刘倜

(51) Int. Cl.

H03M 1/12 (2006.01)

H03M 1/18 (2006.01)

H03M 1/64 (2006.01)

H03L 7/099 (2006.01)

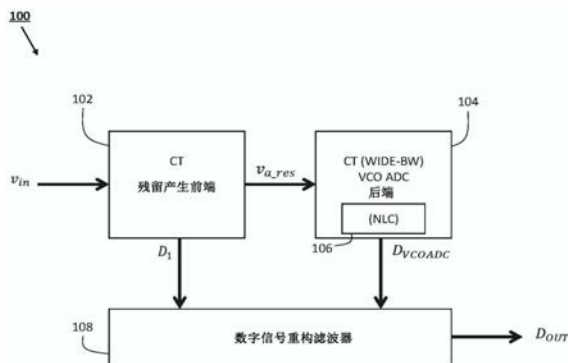
权利要求书2页 说明书20页 附图17页

(54) 发明名称

基于VCO的连续时间流水线ADC

(57) 摘要

本公开涉及基于VCO的连续时间流水线ADC。与其他ADC架构相比,VCO ADC消耗的功率相对较少,并且占用的面积也较小。但是,当单独实现VCO ADC时,VCO ADC的带宽和性能可受到限制。为了解决这些问题,在基于VCO的连续时间(CT)流水线ADC中将VCO ADC实施为后端级,其中基于VCO的CT流水线ADC具有CT残留产生前端。可选地,VCO ADC后端可以进行相位插值以改善其带宽。流水线架构极大地改善VCO ADC后端的性能,并且整体基于VCO的CT流水线ADC比传统的连续时间流水线ADC更简单。



1. 流水线模数转换器 (ADC), 包括:
连续时间残留产生前端, 用于量化模拟输入信号并产生第一数字信号和放大的残留信号;
压控振荡器 (VCO) ADC 后端, 用于量化所述放大的残留信号并产生第二数字信号; 和
数字信号重构滤波器, 用于对所述第一数字信号和所述第二数字信号进行滤波并产生最终的数字信号。
2. 权利要求1所述的流水线ADC, 其中所述连续时间残留产生前端包括:
量化器, 用于产生所述第一数字信号;
数模转换器, 用于接收所述第一数字信号并产生第一重构模拟信号; 和
延迟电路, 用于将第一模拟输入信号延迟到所述量化器并产生第一延迟的模拟输入信号, 其中, 所述延迟电路的响应与具有所述量化器和所述数模转换器的信号路径的响应相匹配。
3. 权利要求2所述的流水线ADC, 其中所述延迟电路匹配所述信号路径的幅度和相位。
4. 权利要求2所述的流水线ADC, 其中所述延迟电路包括电阻-电容器晶格。
5. 权利要求2所述的流水线ADC, 其中所述延迟电路包括一个或多个电感-电容器晶格。
6. 权利要求2所述的流水线ADC, 其中所述连续时间残留产生前端还包括:
节点, 用于输出表示所述第一延迟的模拟输入信号和所述第一重构模拟信号之差的所述第一残留信号。
7. 权利要求1所述的流水线ADC, 其中所述连续时间残留产生前端包括:
残留放大器, 用于放大残留信号并产生放大的残留信号。
8. 权利要求7所述的流水线ADC, 其中所述残留放大器包括具有二阶或更高阶的频率响应。
9. 权利要求1所述的流水线ADC, 其中所述数字信号重构滤波器包括:
第一滤波器, 用于对所述第一数字信号进行滤波;
第二滤波器, 用于对所述第二数字信号进行滤波; 和
节点, 用于组合所述第一滤波器和所述第二滤波器的输出以产生所述最终的数字信号。
10. 权利要求9所述的流水线ADC, 其中:
所述第一滤波器和所述第二滤波器的比率对应于: (1) 产生所述放大的残留信号的残留放大器的信号传递函数; 和 (2) VCO ADC 后端的信号传递函数。
11. 权利要求9所述的流水线ADC, 其中:
所述第一滤波器和所述第二滤波器的比率对应于: (1) 产生所述放大的残留信号的残留放大器的信号传递函数; (2) VCO ADC 后端的信号传递函数; 和 (3) CT 残留产生前端的噪声传递函数。
12. 权利要求1所述的流水线ADC, 其中:
所述连续时间残留产生前端包括:
残留放大器, 用于放大残留信号并产生放大的残留信号; 和
用于在所述残留放大器的输入端注入抖动的电路; 和
所述流水线ADC还包括:

相关器,用于使所述抖动和所述第二数字信号互相关联以提取:(1)产生所述放大的残留信号的残留放大器的信号传递函数;和(2)VCO ADC后端的信号传递函数。

13.一种用于流水线模数转换的方法,包括:

通过连续时间前端,产生表示模拟输入信号的第一数字信号、和表示所述模拟输入信号的延迟版本与从所述第一数字信号产生的重构模拟信号之差的残留信号;

放大所述残留信号以产生放大的残留信号;

通过压控振荡器(VCO)模数转换器(ADC)后端采样所述放大的残留信号的相位;

通过VCO ADC后端产生基于所述放大的残留信号的相位的第二数字信号;

对所述第一数字信号和所述第二数字信号进行滤波;和

组合所述第一数字信号和所述第二数字信号的滤波版本以产生最终的数字输出。

14.权利要求13所述的方法,还包括:

通过延迟电路来延迟所述模拟输入信号,其中所述延迟电路的响应匹配具有量化器和数模转换器的信号路径的响应。

15.权利要求13所述的方法,还包括:

在放大所述残留信号的残留放大器的输入端注入抖动;和

基于所述抖动和所述第二数字信号,提取所述残留放大器的信号传递函数和VCO ADC后端的信号传递函数。

16.权利要求13所述的方法,还包括:

基于放大所述残留信号的残留放大器的信号传递函数和VCO ADC后端的信号传递函数,编程用于对所述第一数字信号进行滤波的第一滤波器和/或用于对所述第二数字信号进行滤波的第二滤波器。

17.权利要求13所述的方法,还包括:

调整在连续时间前端中使用的残留产生级的数量,以产生所述放大的残留信号。

18.模块化流水线ADC,包括:

连续时间残留产生前端,用于产生放大的残留信号,其中所述连续时间残留产生前端包括级联的多个残留产生级;

压控振荡器(VCO)ADC后端,用于量化所述放大的残留信号并产生第二数字信号;和

数字信号滤波器,用于滤波来自所述残留产生级的数字信号和所述第二数字信号,并产生最终的数字信号。

19.权利要求18所述的模块化流水线ADC,其中所述连续时间残留产生前端用于量化模拟输入信号并产生多个数字信号和放大的残留信号。

20.权利要求18所述的模块化流水线ADC,还包括:

控制器,用于重新配置用于残留产生级的连接,以更改用于产生放大的残留信号的残留产生级的数量。

基于VCO的连续时间流水线ADC

技术领域

[0001] 本公开总体上涉及模数转换器 (ADC), 并且更具体地涉及压控振荡器 (VCO) 基连续时间 (CT) 流水线ADC。

背景技术

[0002] 在许多电子应用中, 模拟输入信号被转换成数字输出信号 (例如, 用于进一步的数字信号处理)。例如, 在精密测量系统中, 电子设备设置有一个或多个传感器以进行测量, 并且这些传感器可以生成模拟信号。然后将模拟信号作为输入提供给ADC, 以生成数字输出信号以进行进一步处理。在另一实例中, 天线基于在空中携带信息/信号的电磁波产生模拟信号。然后, 将天线产生的模拟信号作为输入提供给ADC, 以产生数字输出信号以进行进一步处理。

[0003] ADC在很多地方都可以找到, 例如宽带通信系统、音频系统、接收器系统等。ADC可以转换代表真实现象的模拟电信号, 例如光、声音、温度或压力, 以进行数据处理。ADC具有广泛的应用, 包括通信、能源、医疗保健、仪器和测量、电机和功率控制、工业自动化以及航空航天/国防。设计ADC是一项艰巨的任务, 因为每种应用在速度、性能、功耗、成本和尺寸方面可能有不同的需求。随着需要ADC的应用的增长, 对准确可靠的转换性能的需求也越来越大。

[0004] ADC是将模拟信号承载的连续物理量转换为代表该量幅值的数字 (或转换为承载该数字量的数字信号) 的电子器件。该转换涉及模拟输入信号的量化, 因此会引入少量误差。通常, 量化是通过对模拟输入信号进行周期性采样来进行的。结果是一系列数字值 (即数字信号), 其已将CT和连续幅度模拟输入信号转换为离散时间和离散幅度数字信号。可以通过以下应用要求定义ADC: 它的带宽 (可以正确转换为数字信号的模拟信号的频率范围) 及其分辨率 (最大模拟信号可以划分为数字信号并以数字信号表示的离散电平的数量)。ADC还具有用于量化ADC动态性能的各种规格, 包括信噪比 (SINAD)、有效位数 (ENOB)、信噪比 (SNR)、信噪比 (SQNR)、噪声频谱密度 (NSD)、总谐波失真 (THD)、总谐波失真加噪声 (THD+N) 和无杂散动态范围 (SFDR)。ADC具有许多不同的设计, 可以根据应用要求和性能规格进行选择。

附图说明

[0005] 为了提供对本公开及其特征和优点的更完整的理解, 结合附图参考以下描述, 其中, 相同的附图标记表示相同的部分, 其中:

[0006] 图1是根据本公开的一些实施例的具有CT残留产生前端和CT VCOADC后端的基于VCO的CT流水线ADC的说明性系统图;

[0007] 图2示出了根据本公开的一些实施例的具有CT残留产生前端和CTVCO ADC后端的基于VCO的CT流水线ADC的示例性实施方式;

[0008] 图3示出了根据本公开的一些实施例的示例性数字信号重构滤波器和用于对数字

信号重构滤波器进行编程的方案；

[0009] 图4示出了根据本公开的一些实施例的具有CT残留产生前端和CTVCO ADC后端的基于VCO的CT流水线ADC的示例性实施方式；

[0010] 图5-10示出了根据本公开的一些实施例的CT延迟线的各种实施方式；

[0011] 图11示出了根据本公开的一些实施例的具有数模转换器脉冲整形的CT残留产生前端的示例性实施方式；

[0012] 图12示出了根据本公开的一些实施例的非线性校准滤波器和对非线性校准滤波器进行编程的方案；

[0013] 图13示出了根据本公开的一些实施例的具有两个伪差分信号路径和副本信号路径的CT VCO ADC后端的示例性实施方式；

[0014] 图14示出了根据本公开的一些实施例的具有两对伪差分信号路径的CT VCO ADC后端的示例性实施方式；

[0015] 图15示出了根据本公开的一些实施例的示例性相位内插环形振荡器；

[0016] 图16示出了根据本公开的一些实施例的具有CT残留产生前端和过采样CT VCO ADC后端的基于VCO的CT流水线ADC的示例性实施方式；

[0017] 图17示出了根据本公开的一些实施例的高阶CT VCO ADC后端的示例性实施方式；

[0018] 图18示出了根据本公开的一些实施例的，具有可重新配置的CT残留产生前端和CT VCO ADC后端的基于VCO的CT流水线ADC的示例性实施方式；

[0019] 图19是示出根据本公开的一些实施例的用于流水线模数转换的方法的流程图；

[0020] 图20示出了根据本公开的一些实施例的CT延迟线的各种实施方式；和

[0021] 图21示出了根据本公开的一些实施例的CT延迟线的一种示例性实施方式。

具体实施方式

[0022] 综述

[0023] 与其他ADC架构相比，VCO ADC消耗的功率相对较少，并且占用的面积也较小。但是，当单独实现VCO ADC时，VCO ADC的带宽和性能可受到限制。为了解决这些问题，在基于VCO的连续时间(CT)流水线ADC中将VCO ADC实施为后端级，其中基于VCO的CT流水线ADC具有CT残留产生前端。可选地，VCO ADC后端可以进行相位插值以改善其带宽。流水线架构极大地改善VCO ADC后端的性能，并且整体基于VCO的CT流水线ADC比传统的连续时间流水线ADC更简单。此外，实现连续时间流水线ADC并非易事。例如，实施并编程了一个独特的数字信号重构滤波器，以组合连续时间残留产生前端和VCO ADC后端的数字信号，并生成最终的数字输出。

[0024] VCO ADC本身的局限性

[0025] VCO ADC是(大多数是数字的)CT ADC。一个VCO ADC串联包括：一个环形振荡器，一个相位数字转换器和一个微分器。模拟输入信号驱动环形振荡器，微分器输出数字信号，该数字信号是模拟输入信号的量化版本。

[0026] 环形振荡器可以包括压控环形振荡器。例如，环形振荡器可以用奇数个以环形连接的反相器来实现。每个反相器的转换延迟取决于环形振荡器的输入电压。环形振荡器可以生成模拟输入信号到VCO ADC的相位信息。在某些情况下，压控环形振荡器是通过使用电

压-电流转换器,然后是电流控制环形振荡器来实现的。电压-电流转换器将模拟输入电压信号转换为电流信号。然后,电流信号驱动电流控制的环形振荡器。电流控制的环形振荡器可以在一个环中包括奇数个电流不足的反相器。

[0027] 可以观察到具有模拟输入信号到VCO ADC的相位信息的逆变器的输出,以得出模拟输入信号的电压。具体地,可以基于相位如何从一个周期改变到另一周期来提取模拟输入信号的电压。相到数字转换器可以采样和量化VCO的相位(例如,到VCO ADC的模拟输入信号的相位)。例如,相-数字转换器可以包括:环形采样器,用于采样逆变器的输出(例如,观察逆变器的转换);以及相位解码器,用于将环形采样器的输出解码或映射为相位编号。相位解码器生成代表VCO相位的数字相位信号。将数字相位信号提供给(数字)微分器,该微分器可以具有传递函数 $1-z^{-1}$ 。微分器对数字相位信号进行微分,并将模拟输入信号的量化版本的数字信号输出到VCO ADC。

[0028] 由于其简单的电路设计,VCO ADC具有低功耗和面积紧凑的特点。环形振荡器是VCO ADC的模拟电路,而跟随环形振荡器的其他组件是数字模块。VCO ADC的最终电路非常紧凑,因为VCO ADC中不存在其他ADC中常见的许多模拟电路,例如闪存ADC、数模转换器(DAC)和放大器。取而代之的是,VCO ADC仅需要一个环形振荡器,可以用简单的小型互补金属氧化物半导体(CMOS)反相器来实现。CMOS工艺中实现的数字模块可以非常紧凑,尤其是在较小的工艺节点中实现VCO ADC时。

[0029] VCO ADC可以视为CT ADC的一种,因为VCO ADC的模拟输入信号驱动仅具有CT电路的环形振荡器。换句话说,到VCO ADC的模拟输入信号不会被采样器采样,即,环形振荡器不具有将输入信号采样到一个或多个电容器上的开关电容器电路。

[0030] 由于使用差分将VCO ADC的模拟输入信号的电压导出,因此VCO ADC具有一阶噪声整形。这意味着可以在DC或DC附近实现高分辨率VCO ADC(DC代表直流,信号频率为零)。但是,由于难以在采样频率下观察到信号,因此分辨率仅限于VCO ADC的采样频率。

[0031] 而且,即使环形振荡器中的电路是理想的,环形振荡器也具有固有的系统非线性。具体而言,将模拟输入信号转换为频率以获得相位信息是非常非线性的过程,并且会损害整个VCO ADC的线性度。因此,实现数字非线性校正以解决非线性问题。但是,即使进行了数字非线性校正,对于VCO ADC仍然可以实现NSD、SNR和SQNR的限制。

[0032] 因此,VCO ADC通常适用于以下应用:(1) 高达有限的频率(例如1MHz带宽),(2) NSD >-150 dBFS/Hz和/或(3) HD2(二阶谐波)或HD3(三阶谐波) >-80 dBFS。许多高速、宽带应用无法使用VCO ADC。

[0033] CT流水线ADC的局限性

[0034] CT流水线ADC具有N个级联级。对于级1到级N-1,每个级都有一个粗略的ADC来生成数字输出信号,并具有一个电路来生成以供下一级处理的放大的残留信号(该残留信号是该级的模拟输入信号与该级的重构模拟输入信号之间的放大差)。N级具有ADC,例如包括一组比较器的闪速ADC,以生成最后的数字输出信号。所有级的数字输出信号由数字信号重构滤波器组合以生成最终的数字输出信号。该级具有CT电路,并且不包括采样器(例如,开关电容器电路)。

[0035] 当实现大量级联级时,例如 $N > 2$,CT流水线ADC可以实现低噪声(例如NSD <-160 dBFS/Hz)和低失真。通常要实施3个或更多阶段才能达到目标性能。但是,当连续时间流

流水线ADC具有大量级联级时,电路会占用大量硅面积,并消耗大量功率。此外,如果要实现完美的信号重构,大量级联级可能会导致复杂的数字信号重构滤波器。对于CT流水线ADC中的N级,通常在数字信号重构滤波器中实现N-1个有限冲激响应(FIR)滤波器。因此,CT流水线ADC的级数越多,数字信号重构滤波器中需要的FIR滤波器就越多。

[0036] 基于VCO的CT流水线ADC

[0037] 当使用CT残留产生前端和CT VCO ADC后端(此处称为基于VCO的CT流水线ADC)实现CT流水线ADC时,可以缓解VCO ADC和具有许多级联级的CT流水线ADC的局限性。基于VCO的CT流水线ADC与CT流水线ADC的不同之处在于,基于VCO的CT流水线ADC的后端未使用闪存ADC或逐次逼近寄存器ADC来实现。基于VCO的CT流水线ADC实现了CT残留产生前端和CT VCO ADC后端的意外好处,这是VCO ADC或CT流水线ADC中没有的优势。此外,当将CT残留产生前端与CT VCO ADC后端结合使用时,就会遇到独特的挑战。

[0038] 图1是根据本公开的一些实施例的,具有CT残留产生前端和CT VCO ADC后端的基于VCO的CT流水线ADC 100的说明性系统图。基于VCO的CT流水线ADC 100包括:CT残留产生前端102、CT VCO ADC后端104和数字信号重构滤波器108。CT残留产生前端102量化或数字化模拟输入信号 v_{in} 并生成第一数字信号 D_1 和放大的残留信号 v_{a_res} 。CT VCO ADC后端104将放大的残留信号量化或数字化并生成第二数字信号 D_{VCOADC} 。数字信号重构滤波器108对第一数字信号 D_1 和第二数字信号 D_{VCOADC} 进行滤波以产生最终的数字信号 D_{OUT} 。

[0039] 可选地,CT VCO ADC后端104包括数字非线性校正块106,以校正CT VCO ADC后端104(或更具体地,VCO ADC 210)的非线性。数字非线性校正块106将校正后的输出作为第二数字信号 D_{VCOADC} 提供给数字信号重构滤波器108。

[0040] 首先,通过在CT残留产生前端102中实现的增益或放大来减轻诸如CT VCO ADC后端104的非线性和噪声之类的限制。具体而言,通过抑制CT残留产生前端102的增益,来抑制CT VCO ADC后端104的NSD。注意,CT残留产生前端102通过生成残留信号并将放大的残留信号 v_{a_res} 提供给CT VCO ADC后端104来消除大信号的基本成分。结果,由CT VCO ADC后端104处理放大的残留信号 v_{a_res} 而引入的失真被限制或减小。因此,可以设计基于VCO的CT流水线ADC 100,使得CT残留产生前端102的NSD支配整个NSD。这意味着基于VCO的CT流水线ADC 100可以实现与CT流水线ADC相同的NSD,并且VCO ADC的不良NSD本身不会成为基于VCO的CT流水线ADC 100的设计中的限制因素。

[0041] 其次,使用CT VCO ADC后端104,与CT流水线ADC的N级相比,其分辨率较高,这意味着可以减少基于VCO的CT流水线ADC 100的级数和设计复杂度,同时仍然能够达到与CT流水线ADC相同的分辨率。结果,通过实现基于VCO的CT流水线ADC 100(该流水线具有较少的流水线级以实现相同的目标分辨率,并且具有由于CT VCO ADC后端104的电路设计更小更简单而更简单的电路),从而减轻了与具有许多级的CT流水线ADC相关的局限性,例如面积开销、数字信号重构滤波器的复杂性和更高的功耗。简单地说,与具有相同目标分辨率的CT流水线ADC相比,基于VCO的CT流水线ADC 100可以具有较低的功率、较小的硅片面积以及较简单的数字信号处理(即,在数字信号重构滤波器中处理)。

[0042] 第三,CT VCO ADC后端104提供正弦响应,而CT流水线ADC末端的Flash ADC不具有正弦响应。CT VCO ADC后端104的正弦响应可以提供额外的抗混叠优势。

[0043] 与其他ADC架构相比,基于VCO的流水线ADC 100和本文的其他实施例具有额外的

益处,这将在本文中更详细地说明。

[0044] 图2示出了根据本公开的一些实施例的,具有CT残留产生前端102和CT VCO ADC后端104的基于VCO的CT流水线ADC 200的示例性实施方式。CT残留产生前端102可以包括量化器202、DAC 204、延迟电路206、节点280和残留放大器208。CT VCO ADC后端104可以包括VCO ADC 210。VCO ADC 210可选地包括数字非线性校正块106。数字信号重构滤波器108可以包括第一滤波器212、第二滤波器214和节点218。

[0045] 量化器202接收模拟输入信号 v_{in} ,并通过执行模数转换来生成第一数字信号 D_1 。量化器202可以是ADC,例如包括一组比较器的闪速ADC,以将模拟输入信号 v_{in} 与多个参考电压进行比较。第一数字信号 D_1 被提供给数字信号重构滤波器108。

[0046] DAC 204接收第一数字信号 D_1 ,并通过执行数模转换在DAC 204的输出处生成第一重构模拟信号。DAC 204通过基于第一数字信号 D_1 生成第一重构模拟信号来重构模拟输入信号 v_{in} 。DAC 204可以是产生电流信号的电流模式DAC,或者是产生电压信号的电压模式DAC。

[0047] 延迟电路206将第一模拟输入信号(例如,模拟输入信号 v_{in})延迟到量化器202,并生成第一延迟的模拟输入信号。延迟电路206的响应优选地与具有量化器202和DAC 204的信号路径的响应相匹配。在图4-10和20-21中提供了延迟电路206的细节和说明性示例,以及描述图4-10和20-21的段落。

[0048] 节点280可执行减法/差分以输出表示来自延迟电路206的第一延迟的模拟输入信号与来自DAC 204的第一重构模拟信号之间的差的残留信号。理想地,第一残留信号表示量化器202的量化误差。节点280可执行电压模式减法或电流模式减法。

[0049] 残留放大器208放大来自节点280的残留信号并产生放大的残留信号 v_{a_res} 。残留放大器208可以将大于1的增益应用于节点280生成的第一残留信号。在一些情况下,残留放大器208是具有滤波响应的滤波器,例如,残留放大器208可以具有动态特性。这意味着放大的残留信号 v_{a_res} 可以是滤波后的残留信号。在某些情况下,所施加的增益可能在频率上不完全相同或不一致。因此,残留放大器208执行滤波功能(除了施加增益以增加由节点280产生的第一残留信号)。在一些实施例中,残留放大器208具有低通响应。在一些实施例中,残留放大器208具有高通响应。在一些实施例中,残留放大器208具有带通响应。在一些实施例中,残留放大器208具有一阶响应。在一些实施例中,残留放大器208具有二阶或更高阶的响应。

[0050] VCO ADC 210接收并处理放大的残留信号 v_{a_res} 。VCO ADC 210可以量化放大的残留信号 v_{a_res} 。(可选的)数字非线性校正块106可以校正VCO ADC 210的非线性。数字非线性校正块106将校正后的输出作为第二数字信号 D_{VCOADC} 提供给数字信号重构滤波器108。

[0051] 数字信号重构滤波器108的第一滤波器212(示出为 G_1)可以对第一数字信号 D_1 进行滤波。数字信号重构滤波器108的第二滤波器214(示出为 G_2)可以对第二数字信号 D_{VCOADC} 进行滤波。节点218可以组合第一滤波器212和第二滤波器214的输出以产生数字信号 D_{OUT} 。在图3中以及在描述图3的段落中提供了数字信号重构滤波器108的细节和说明性示例。

[0052] 数字信号重构滤波器

[0053] 数字信号重构滤波器108对于基于VCO的CT流水线ADC是唯一的。而且,数字信号重构滤波器108并非无关紧要的,因为在基于VCO的CT流水线ADC中CT电路的实现和行为会使

数字信号重建复杂化。CT电路的行为或响应被隐藏。

[0054] 数字信号重构滤波器108的一项技术任务是消除由CT残留产生前端102引入的量化噪声,特别是由量化器202引入的量化噪声。当数字信号重构滤波器108被适当地编程时,引入CT残留产生前端102的量化噪声可以在最终数字信号D_{OUT}中消除。假设:

[0055] CT残留产生前端102中产生残留信号(在残留放大器208放大之前)的电路具有信号传递函数STF_{CTRES}、噪声传递函数NTF_{CTRES}和量化噪声q_{CTRES},

[0056] 残留放大器208,其对残留信号进行放大以产生放大的残留信号,具有信号传递函数STF_{RA},

[0057] CT VCO ADC后端104具有信号传递函数STF_{VCOADC}、噪声传递函数NTF_{VCOADC}和量化噪声q_{VCOADC},

[0058] 第一滤波器212的传递函数为G₁,

[0059] 第二滤波器214的传递函数为G₂。

[0060] 图2中的数字信号重构滤波器108中的信号处理的特征如下:

[0061] $D_{OUT} = D_1 \cdot G_1 - D_{VCOADC} \cdot G_2$ (等式1)

[0062] 另外,D₁和D_{VCOADC}的特征在于上述传递函数,如下所示:

[0063] $D_1 = v_{in} \cdot STF_{CTRES} + q_{CTRES} \cdot NTF_{CTRES}$ (等式2)

[0064] $D_{VCOADC} = q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC} + q_{VCOADC} \cdot NTF_{VCOADC}$ (等式3)

[0065] 将公式2和3插入公式1可得出:

[0066] $D_{OUT} = \{v_{in} \cdot STF_{CTRES} + q_{CTRES} \cdot NTF_{CTRES}\} \cdot G_1 - \{q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC} + q_{VCOADC} \cdot NTF_{VCOADC}\} \cdot G_2$

[0067] $= v_{in} \cdot STF_{CTRES} \cdot G_1 + q_{CTRES} \cdot NTF_{CTRES} \cdot G_1 - q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC} \cdot G_2 + q_{VCOADC} \cdot NTF_{VCOADC} \cdot G_2$ (等式4)

[0068] 注意,在以下情况下,具有抵消噪声q_{CTRES}的项(由CT残留产生前端102引入)可以被抵消(或变为零):

[0069] $q_{CTRES} \cdot NTF_{CTRES} \cdot G_1 = q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC} \cdot G_2$ (等式5)

[0070] 重写等式5得出:

[0071] $\frac{G_1}{G_2} = \frac{q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC}}{q_{CTRES} \cdot NTF_{CTRES}} = \frac{STF_{RA} \cdot STF_{VCOADC}}{NTF_{CTRES}}$ (等式6)

[0072] 这意味着,如果第一滤波器212(即传递函数G₁)和第二滤波器214(即传递函数G₂)的比值对应于(1)产生放大的残留信号的残留放大器的信号传递函数STF_{RA}, (2) VCO ADC后端的信号传递函数STF_{VCOADC},和(3) CT残留产生前端102的噪声传递函数NTF_{CTRES},具有量化噪声q_{CTRES}的项将在最终数字输出D_{OUT}中被抵消。具体地,如果该比率 $\frac{G_1}{G_2}$ 满足方程式6,则具有量化噪声q_{CTRES}的项将被抵消并且不出现在最终数字输出D_{OUT}中。

[0073] 在本公开中,“比率对应于{多功能}”是指X具有与{多功能}中的一个或多个的对应、匹配或相关联。对应关系可能不准确。该对应关系可以是近似值。在某些情况下,比率可以以某种形式或以适当的组合由以下各项中的一项或多项组成:{多重函数}。

[0074] 因此,根据等式6,数字信号重构滤波器108的设计对比率设置了约束:G₁/G₂,但是,该设计没有规定第一滤波器和第二滤波器(即G₁和G₂)的特定响应。G₁和G₂存在几种可能的

解决方案,这些解决方案将满足方程式6。

[0075] 在某些情况下, $G_1 = STF_{RA} \cdot STF_{VCOADC}$, $G_2 = NTF_{CTRES}$ 。

[0076] 在某些情况下, $G_1 = NTF_{CTRES}$, $G_2 = NTF_{CTRES} / STF_{RA} \cdot STF_{VCOADC}$ 。

[0077] 注意,由于CT残留产生前端102的结构,因此在CT残留产生前端102中没有噪声整形。因此, $NTF_{CTRES} = 1$,或者CT残留产生前端102的噪声传递函数 NTF_{CTRES} 可以近似于1(例如,CT残留产生前端102的噪声传递函数 NTF_{CTRES} 具有平坦的频率响应)。因此,等式6变为:

$$[0078] \quad \frac{G_1}{G_2} = \frac{NTF_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC}}{NTF_{CTRES}} = STF_{RA} \cdot STF_{VCOADC} \quad (\text{等式 7})$$

[0079] 在某些情况下, $G_1 = STF_{RA} \cdot STF_{VCOADC}$, $G_2 = 1$ 。

[0080] 在某些情况下, $G_1 = 1$, $G_2 = 1 / STF_{RA} \cdot STF_{VCOADC}$ 。

[0081] 这意味着,如果第一滤波器212(即传递函数 G_1)与第二滤波器214(即传递函数 G_2)之比对应于(1)产生放大的残留信号的残留放大器的信号传递函数 STF_{RA} , (2) VCO ADC后端的信号传递函数 STF_{VCOADC} 。

[0082] 另一个技术任务是数字信号重构滤波器108可以确保第一数字信号 D_1 不对最终数字输出 D_{OUT} 有所贡献。这意味着数字信号重构滤波器108可以重构模拟输入信号 v_{in} 并基于数字信号(第一数字信号 D_1 和第二数字信号 D_{VCOADC})形成最终转换器的最终数字信号 D_{OUT} ,以最终的数字信号 D_{OUT} 准确表示模拟输入信号 v_{in} 的方式。

[0083] 在一些实施方案中,数字信号重构滤波器108可以使第一数字信号 D_1 朝着最终数字输出 D_{OUT} 具有相等且相反的信号路径。当将来自相等和相反信号路径的结果相加时,数字信号重构滤波器108可以确保在最终数字输出 D_{OUT} 中抵消了来自第一数字信号 D_1 的贡献。具有传递函数 G_1 的第一滤波器212为第一数字信号 D_1 向最终数字输出 D_{OUT} 提供第一信号路径。具有传递函数 G_2 的第二滤波器214是第一数字信号 D_1 朝向最终数字输出 D_{OUT} 的第二相反信号路径的一部分。具体地说,第二和相反的信号路径包括DAC204、残留放大器208、CT VCO ADC后端104和第二滤波器214。假设与第一数字信号 D_1 和第二数字信号 D_{VCOADC} 相关的传递函数的特征为 G_1/G_2 ,那么第二和相反信号路径对第一数字信号 D_1 到最终数字输出 D_{OUT} 的传递函数是 G_1/G_2 和 $-G_1$ 的组合(负号源自节点218中的减法),即 $\{G_1/G_2\} \cdot -G_2 = -G_1$ 。这意味着第一信号路径的传递函数与第二和相反信号路径的传递函数相等且相反,即 G_1 等于并与 $-G_1$ 相反。因此,在第一滤波器212和第二滤波器214的输出在节点218处组合之后,来自第一数字信号 D_1 的贡献被抵消并从最终数字输出 D_{OUT} 中去除。换句话说,第一数字信号 D_1 对重构的最终数字输出 D_{OUT} 无贡献。可以理解的是,与第一数字信号 D_1 和第二数字信号 D_{VCOADC} 有关的传递函数的特征在于 G_1/G_2 ,例如当 $G_1 = STF_{VCOADC} \cdot STF_{RA}$ 和 $G_2 = 1$ 。第一数字信号 D_1 和第二数字信号 D_{VCOADC} 通过具有DAC 204、残留放大器208和CT VCO ADC后端104的信号路径连接。因此,与第一数字信号 D_1 和第二数字信号 D_{VCOADC} 相关的传递函数可以用残留放大器208的信号传递函数 STF_{RA} 和CT VCO ADC后端104的信号传递函数 STF_{VCOADC} 的组合来表示。

[0084] 实际上,第一滤波器212(具有传递函数 G_1)和第二滤波器21(具有传递函数 G_2)是使用实际传递函数的数字近似本进行编程的数字滤波器。对于基于VCO的CT流水线ADC,确定传递函数的数字版本并不是一件容易的事,因为CT电路的传递函数是隐藏的,可能无法很好地表征。此外,如果实际传递函数的数字版本与传递函数的实际版本不完全匹配,则会发生量化噪声泄漏:

$$\begin{aligned}
D_{OUT} &= \{v_{in} \cdot STF_{CTRES} + q_{CTRES} \cdot NTF_{CTRES}\} \cdot G_1 \\
&\quad - \{q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC} + q_{VCOADC} \cdot NTF_{VCOADC}\} \cdot G_2 \\
&= v_{in} \cdot STF_{CTRES} \cdot DSTF_{VCOADC} \cdot DSTF_{RA} \\
&\quad + q_{CTRES} \cdot NTF_{CTRES} \cdot DSTF_{VCOADC} \cdot DSTF_{RA} \\
&\quad - q_{CTRES} \cdot STF_{RA} \cdot STF_{VCOADC} \cdot DNTF_{CTRES} \\
&\quad + q_{VCOADC} \cdot NTF_{VCOADC} \cdot DNTF_{CTRES} \quad (\text{等式 8})
\end{aligned}$$

[0085]

[0086] 注意,如果 $DSTF_{VCOADC} \neq STF_{VCOADC}$ 、 $DSTF_{RA} \neq STF_{RA}$ 和 $DNTF_{CTRES} \neq NTF_{CTRES}$,则CT残留产生前端102的具有量化噪声 q_{CTRES} 的项不会被抵消。

[0087] 图3示出了根据本公开的一些实施例的示例性数字信号重构滤波器108和用于对数字信号重构滤波器108进行编程的方案。对第一滤波器212(和/或第二滤波器214)进行编程的技术任务是确定数字滤波器,其可以在数字域中有效地处理第一数字信号 D_1 和第二数字信号 D_{VCOADC} 。在所示的示例中,第一滤波器212(即,传递函数 G_1)可以对应于残留放大器208($DSTF_{RA}$)的信号传递函数的数字版本的数字版本和CT VCO ADC后端104($DSTF_{VCOADC}$)的信号传递函数的数字版本:

$$[0088] \quad G_1 = DSTF_{RA} \cdot DSTF_{VCOADC} \quad (\text{等式9})$$

[0089] 第二滤波器214(即传递函数 G_2)可以对应于CT残留产生前端102($DNTF_{CTRES}$)的噪声传递函数的数字版本:

$$[0090] \quad G_2 = DNTF_{CTRES} \approx 1 \quad (\text{等式10})$$

[0091] 如等式9中所见,基于VCO的CT流水线ADC 300的信号传递函数并不总是被很好地定义,并且可以在操作期间随时间变化或者可以从一个集成电路到另一个集成电路变化。为了确定残留放大器的信号传递函数的数字版本和CT VCO ADC后端104的信号传递函数的数字版本,即 $DSTF_{RA}$ 和 $DSTF_{VCOADC}$,并且可以在残留放大器208的输入处注入已知的信号或抖动。已知信号或抖动可以在数字域中从第二数字信号 D_{VCOADC} 中去除。可以通过观察已知信号如何受到信号路径的影响来提取有关信号传递函数的信息。

[0092] 例如,已知信号或抖动可以是最大长度的线性反馈移位寄存器(LFSR)序列,其互相关接近脉冲响应。可以在后台执行注入的最大长度LFSR序列与第二数字信号 D_{VCOADC} 之间的直接互相关,以估计残留放大器208的信号传递函数和CT VCO ADC后端104的信号传递函数,并获得 $DSTF_{RA}$ 和 $DSTF_{VCOADC}$ 。

[0093] 本文使用的互相关是指一对信号之间相似度的度量:

$$[0094] \quad r_{xy}[l] = \sum_{n=-\infty}^{\infty} x[n]y[n-l]$$

[0095] L 表示滞后, n 是时间索引。因此,互相关是信号乘积在时间上的累加,等效于 $x[n]$ 与 $y[-n]$ 的卷积,或乘积 $r_{xy}[l]=F^{-1}\{X[k]\cdot Y^*[k]\}$,其中 k 是频率。互相关是两个数字信号的滑点积或滑动内积。

[0096] 可以将通过最大长度LFSR序列生成的一位抖动注入到残留放大器208的输入端。参考图3,可以将抖动LFSR注入DAC 204中(例如,通过将抖动添加到DAC 204的输出,或者通过基于抖动修改DAC 204的输入位以使抖动添加到DAC 204的输出)。抖动LFSR可以在数字域中从例如第二数字信号 D_{VCOADC} 中删除。

[0097] CT流水线ADC 300还包括相关器302,以对抖动和第二数字信号 D_{VCOADC} 进行互相关,以提取(1)产生放大的残留信号的残留放大器208的信号传递函数,以及(2)CT VCO ADC后端104的信号传递函数。具体而言,相关器302的互相关的结果可以产生对残留放大器208和CT VCOADC后端104的信号传递函数的估计或近似,即 $DSTF_{RA}\cdot DSTF_{VCOADC}$ 。估计/近似对应于 $DSTF_{VCOADC}\cdot DSTF_{RA}$,可以用于对第一滤波器212和/或第二滤波器214进行编程。估计/近似包括用于对数字信号重构滤波器108中的FIR滤波器的抽头的系数进行编程的信息。

[0098] 注意,图3中的数字信号重构滤波器108可以仅通过单个FIR滤波器来实现(例如当第一滤波器212和第二滤波器214中的一个具有1的响应时)。这意味着可以有效地实现数字信号重构滤波器108。例如,第一滤波器212和第二滤波器214中的一个可以是7抽头的FIR滤波器。

[0099] 通过考虑数字信号重构滤波器108中的CT VCO ADC后端104的信号传递函数(例如正弦响应),可以在最终的数字输出 D_{out} 中消除大量失真。

[0100] 可以将其他类型的信号用作已知信号或抖动,并且可以实现其他机制(取决于所使用的信号类型)来提取信号传递函数。例如,伪随机信号,例如伪随机1位序列,可以用作已知信号或抖动。已知信号或抖动可以是一定频率范围内的白噪声,例如转换器的一个或多个奈奎斯特区域。已知信号可以包括在一系列频率上扫描的音调,例如转换器的一个或多个奈奎斯特区。优选地,已知信号或抖动具有在一定频率范围内的能量或信息含量(例如宽带信号)。使用具有宽带能量或信息内容的已知信号可以确保可以提取感兴趣的频率范围内的信号传递函数。在某些情况下,信号路径的行为在较低频率下可能更为关键,因此,已知信号或抖动可能在感兴趣的频率范围的较低频率下具有更多的能量或信息含量,因此提取的信号传递函数具有更多有关低频信号路径行为的信息。

[0101] 互相关表示一种示例性信号传递函数提取方案。适用于被注入的特定种类的已知信号的其他提取方案可以用于提取感兴趣的信号传递函数。例如,如果已知信号包括在一定频率范围内扫过的音调,则可以使用从各种频率的音调产生的数字输出中提取的对应于各种频率的幅度和相位信息来形成感兴趣的信号传递函数。

[0102] 延迟电路匹配具有量化器和DAC的信号路径

[0103] 残留放大器208的输入处的残留信号表示模拟输入信号 v_{in} 与来自DAC 204的重构的模拟输入信号之间的差。为了确保节点280生成的残留信号准确地表示模拟输入信号 v_{in} 与DAC 204输出处重构的模拟输出信号之间的差,模拟输入信号 v_{in} 至少延迟与模拟输入信号 v_{in} 传播并由量化器202和DAC 204进行处理所花费的时间相同的时间。因此,图2和3的延迟电路206延迟模拟输入信号 v_{in} (量化器202的输入),并产生延迟的模拟输入信号。该延迟将匹配具有量化器202和DAC 204的信号路径的传播延迟。

[0104] 除了匹配延迟之外,延迟电路206优选还匹配具有量化器202和DAC204的输入的信号路径的响应(例如频率响应)从模拟输入信号 v_{in} 形成信号路径。例如,延迟电路206可以匹配信号路径的幅度和/或相位。为了实现幅度、相位和/或任何其他期望的响应特性的匹配,可以使用各种模拟/CT电路来实现延迟电路206。图4示出了根据本公开的一些实施例的基于VCO的CT流水线ADC 400的示例性实施方式,其具有CT残留产生前端102和CT VCO ADC后端104。CT残留产生前端102中的延迟电路206包括电阻-电容器晶格电路。

[0105] 图5-10示出了延迟电路206的各种示例性实施方式。图5示出了基于电阻器和传输线(例如导体)实现的延迟电路。图6所示为包括电阻-电容器晶格的延迟电路,如图4所示。图7和8图示了电阻-电容器晶格电路的变化形式。图9示出了包括电感-电容器晶格的延迟电路。图10示出了包括级联的电感-电容器晶格的延迟电路。延迟电路的不同电路实现方式可以实现不同的(滤波)响应(即,幅度和相位可能因电路和电路组件的值而异)。延迟电路206的具体实施方式可以取决于具有量化器202和DAC 204的信号路径的实施方式,以及延迟电路206和信号路径之间的期望的匹配水平。在一些情况下,通过实现具有低通滤波响应的延迟电路206来提供延迟电路206与具有量化器202和DAC 204的信号路径之间的幅度匹配。

[0106] 图20示出了根据本公开的一些实施例的CT延迟线的各种实施方式。延迟电路206的构造和设计可以是模块化的,并且可以选择延迟电路206的部分以优化延迟电路206与具有量化器202和DAC 204的信号路径的匹配。具体地,可以针对诸如滤波器响应、最佳相位匹配和最佳幅度匹配之类的因素选择延迟电路206的部分。延迟电路206可以包括X个子电路或X个串联的子电路2002₁、2002₂,...2002_x的级联。通过为子电路选择或选择合适的模拟滤波器,延迟电路206可以实现特定的滤波响应。每个子电路可以以不同的方式实现,如图中所示。在第一示例中,给定子电路的模拟滤波器可以在每个差分信号路径中包括一个电阻,如模拟滤波器2004所示。在第二示例中,给定子电路的模拟滤波器可以在每个差分信号路径中包含一个电感器,如模拟滤波器2006所示。在第三示例中,用于给定子电路的模拟滤波器可以包括电阻-电容器晶格,如在模拟滤波器2008中所见。在第四示例中,如给定子电路的模拟滤波器2010所示,它可以包括一个电感-电容器晶格。在第五示例中,如在模拟滤波器2012中所见,模拟滤波器可以在每个差分信号路径上包括接地电容器。在第六示例中,如在模拟滤波器2014中所见,模拟滤波器可以包括跨差分信号路径耦合的电容器。

[0107] 图21示出了根据本公开的一些实施例的CT延迟线2100的一种示例性实施方式。图21所示的实现方式包括级联的子电路或串联的子电路2102、2104、2106、2108、2110和2012。具体来说,子电路2102、子电路2106和子电路2110可以使用图20所示的模拟滤波器2004来实现。子电路2102可以使用图20所示的模拟滤波器2008来实现。子电路2108可以使用图20所示的模拟滤波器2014来实现。针对CT延迟线2100的图21所示的模拟滤波器的选择可以提供更好的相位匹配和幅度匹配。

[0108] 延迟电路206与具有量化器202和DAC 204的信号路径的匹配可以意味着基于VCO的CT流水线ADC可以用于宽带应用,特别是当延迟电路206可以在很宽的频率范围内达到期望的响应(例如群延迟)时。

[0109] 产生CT残留产生前端的好处

[0110] CT残留产生前端102,具体地,延迟电路206和量化器202,具有连续时间电路,并且

没有采样器。在没有采样器的情况下,CT残留产生前端102不会遭受通常与具有采样器的ADC前端相关联的混叠问题。具有基于VCO的CT流水线ADC 100的信号链可以具有简单得多的抗混叠滤波器,或者可以完全消除抗混叠滤波器。结果,信号链的组件可以更容易地在信号链中集成在一起,并促进信号链中更高水平的集成。

[0111] 另外,CT残留产生前端102,具体地,延迟电路206和量化器202,具有电阻输入结构。电阻输入结构可以提供电阻输入阻抗。有利地,电阻输入结构可以减小峰值驱动电流,并且还可以减小驱动基于VCO的CT流水线ADC的电路的功耗。

[0112] 残留放大器设计

[0113] 参照图4,示例中的残留放大器208具有二阶频率响应,其由两个级联放大器和反馈信号路径提供。更一般地,可以将残留放大器208实现为具有期望的频率响应以提供诸如抗混叠的特征。在一些实施方案中,残留放大器208可以具有低通滤波器响应。在一些实施方案中,残留放大器208可以具有带通滤波器响应。在一些实施方案中,残留放大器208可以具有一阶频率响应。在一些实施方案中,残留放大器208可以具有二阶或更高阶的频率响应。在一些实施方案中,残留放大器208可以在采样频率 f_s 附近具有陷波,这可以提供附加的抗混叠。

[0114] DAC脉冲整形

[0115] CT残留产生前端102中的一个挑战是DAC 204在输出频谱中可能具有很强的图像。强图像可能会导致残留信号具有较高的幅度。为了解决这个问题,可以通过(1)在涉及延迟电路206的信号路径中选择并实现特定的传递函数,以及(2)对第一数字信号 D_1 进行上采样并通过离散时间传递函数处理上采样的信号,来使残留信号最小化。

[0116] 图11示出了根据本公开的一些实施例的具有数模转换器脉冲整形的CT残留产生前端102的示例性实施方式。CT残留产生前端102具有带有延迟电路206的信号路径。该信号路径的连续时间传递函数可以是 $C(s)$ 。量化器202以 f_{ck} 的速率产生第一数字信号 D_1 。第一数字信号 D_1 被升采样块1102升采样 L 次。 L 是升采样块1102的升采样因子。因此,升采样块1102的输出具有速率 $L \cdot f_{ck}$ 。升采样块1102可以通过在每两个采样之间插入 $(L-1)$ 个零来内插第一数字信号 D_1 。升采样块1102的输出被具有离散时间传递函数 $F(z)$ 的数字滤波器1104滤波。数字滤波器1104的输出以 $L \cdot f_{ck}$ 的速率(量化器202的速率乘以升采样块1102的升采样因子)驱动DAC 204,并且将其转换为模拟形式。DAC 204基于数字滤波器1104的输出来生成重构的模拟信号。节点280可以将来自延迟电路206的延迟的模拟输入信号与来自DAC 204的重构的模拟输入信号相减,以产生残留信号。通过适当地选择和实施 $C(s)$ 和 $F(z)$,可以将节点280处生成的残留信号最小化,以将其大部分或全部量化器202的带内量化误差最小化。对于给定的 $C(s)$, $F(z)$ (即数字滤波器1104)可以进行相应的编程以最小化残留信号。例如, $F(z)$ 可以被编程为具有离散时间传递函数,该离散时间传递函数可以减少或抑制DAC 204的输出频谱中的图像。对于给定的 $F(z)$, $C(s)$ 可以(例如通过实现适当的延迟电路206)被实施以最小化残留信号。

[0117] CT VCO ADC后端中的数字非线性校准

[0118] 可以通过数字非线性校正块106来校正VCO ADC 210的非线性。为了校正非线性,CT VCO ADC后端104提取非线性,确定可以校正非线性的系数,并对数字非线性校正块106编程以校正VCO ADC 210的非线性。校准过程可以在后台进行,并且可以定期或不定期更新

系数以提供自适应校准。

[0119] 图12示出了根据本公开的一些实施例的数字非线性校准块106和对数字非线性校准块106进行编程的方案。CT VCO ADC后端104包括副本VCO ADC 1202以处理已知信号。复本VCO ADC 1202包括与VCO ADC 210相同的信号路径(和电路)。然而,复本VCO ADC 1202不具有数字非线性校准块。副本VCO ADC 1202接收由信号发生器1204产生的已知信号,并将已知信号(例如已知模拟信号)转换成数字输出。此外,CT VCO ADC后端104包括校准单元1206,以基于副本VCO ADC 1202的数字输出和已知信号来导出数字非线性校正块106的系数。

[0120] 复本VCO ADC 1202可以接收零的差分输入电压(例如恒定的中档输入信号),信号发生器1204可以是DAC(接收已知信号序列),以将已知信号注入复本VCO ADC 1202中。已知信号可以包括校准序列,该校准序列可以用于提取VCO ADC 210的非线性。

[0121] 在一些实施方案中,校准序列可以包括独立的、零均值、伪随机序列之和。VCO ADC 210的数字输出可以与伪随机序列相关,以提取系统的非线性。在一些实施方案中,校准序列包括三个伪随机序列的总和: $k_1[n]+k_2[n]+k_3[n]$,并且VCO ADC 210的数字输出与 $k_1[n]$ 、 $k_1[n] \cdot k_2[n]$ 、和 $k_1[n] \cdot k_2[n] \cdot k_3[n]$ 相关(单独)。相关结果产生可用于校正二阶、三阶和其他高阶非线性的系数。校准单元1206可以使用系数来将校正的数字输出值计算到数字非线性校准块106的查找表中,其中该查找表将VCO ADC 210的数字输出的可能值映射到各个校正后的数字输出值。

[0122] 在一些实施方案中,校准单元1206可以确定测量VCO中心频率,从而可以相应地调整VCO ADC 210的VCO中心频率。

[0123] VCO ADC中的伪差分信号路径

[0124] 可以限制使用复本VCO ADC 1202进行的校准,因为校准取决于复制品VCO ADC 1202与VCO ADC 210的匹配程度。如果使用复本VCO ADC 1202进行的校准不足以解决偶数阶非线性(例如二阶非线性),则可以以伪差分方式实现VCO ADC 210以抑制偶数阶非线性(以更大的面积和功耗为代价)。

[0125] 图13示出了根据本公开的一些实施例的具有两个伪差分信号路径和副本信号路径的CT VCO ADC后端104的示例性实施方式。具体地,VCO ADC 210具有两个伪差分信号路径,并且副本VCO ADC 1202具有副本信号路径。

[0126] 两条伪差分信号路径共享一个(相同的)第一电压-电流转换器1302,其中第一电压-电流转换器1302从CT残留产生前端102接收放大的残留信号 v_{a_res} 。放大的残留信号 v_{a_res} 是具有正信号和负信号的差分信号。第一伪差分信号路径具有第一环形振荡器1304,以处理来自第一电压-电流转换器1302的正信号。第一伪差分信号路径的第一环形振荡器1304之后是环形采样器和相位解码器,显示为DFF 1306。DFF 1306之后是微分器1308。微分器1308之后是数字非线性校准块1310。第二伪差分信号路径具有第二环形振荡器1312,用于处理来自第一电压-电流转换器1302的负信号。第二伪差分信号路径的第二环形振荡器1312之后是环形采样器和相位解码器,显示为DFF 1314。DFF 1314之后是微分器1316。微分器1316之后是数字非线性校准块1318。第一伪差分信号路径和第二伪差分信号路径的输出(例如,数字非线性校准块1310和数字非线性校准块1318的输出)在第一节点1320处组合。具体地,第二伪差分信号路径的输出减去第一伪差分信号路径的输出,以形成VCO ADC 210

的最终输出。减法或微分可以抑制偶数阶非线性,因为两个伪差分信号路径所共有的分量将被抵消。

[0127] 具有复制信号路径的复本VCO ADC 1202具有与伪差分信号路径相同/相同的电路(复制信号路径不具有数字非线性校准模块)。复本VCO ADC 1202具有接收差分零输入的电压-电流转换器1322。信号发生器1204可以向电压-电流转换器1322的输出注入(电流)信号。副本信号路径包括环形振荡器1324、DFF 1326和微分器1328。微分器1328的输出被提供给校准单元1206以执行关于图12所描述的校准操作。

[0128] 量化噪声会大大降低CT VCO ADC后端104的性能。对于与低幅度信号相比,性能下降(与输入信号相关的杂散音)尤为严重。用白色序列均匀地分布在与输入信号不相关的频率范围内的输入信号抖动可以将音调扩展到本底噪声中,并改善与输入信号有关的失真。但是,将抖动注入VCO ADC会降低信号频带的SNR,因为抖动不会受到VCO ADC的噪声传递函数的影响。为了解决信号频带SNR的下降,使用了自消除抖动方案。将抖动添加到一对伪差分信号路径的输入中,并从另一对伪差分信号路径的输入中减去相同的抖动。伪差分信号路径对的输出相加。由抖动引入的不良成分具有相同的幅度和相反的极性。当将成对的伪差分信号路径的输出相加时,消除了由抖动引入的不希望有的分量,信号分量增加了幅度,而噪声分量增加了功率。因此,通过自抖动方案显著改善了SNR。

[0129] 图14示出了根据本公开的一些实施例的具有两对伪差分信号路径的CT VCO ADC后端104的示例性实施方式。第一对伪差分信号路径跟随第一电压-电流转换器1302。第一伪差分信号路径和第二伪差分信号路径分别处理来自电压-电流转换器1302的正信号和来自电压-电流转换器1302的负信号。第一伪差分信号路径和第二伪差分信号路径的输出在节点1320处相差。第二对伪差分信号路径跟随第二电压-电流转换器1402。第二电压-电流转换器1402接收来自CT残留产生前端102的放大的残留信号 v_{a_res} 。第三伪差分信号路径具有第三环形振荡器1404,以处理来自第二电压-电流转换器1402的正信号。第三伪差分信号路径的第三环形振荡器1404之后是环形采样器和相位解码器,显示为DFF 1406。DFF 1406之后是微分器1408。微分器1408之后是数字非线性校准块1410。第四伪差分信号路径具有第四环形振荡器1412,用于处理来自第二电压-电流转换器1402的负信号。第四伪差分信号路径的第四环形振荡器1412之后是环形采样器和相位解码器,显示为DFF 1414。DFF 1414之后是微分器1416。微分器1416之后是数字非线性校准块1418。第三伪差分信号路径和第四伪差分信号路径的输出(例如,数字非线性校准块1410和数字非线性校准块1418的输出)在第二节点1420处组合。具体地,第三伪差分信号路径的输出被第四伪差分信号路径的输出减去。减法或微分可以抑制偶数阶非线性,因为两个伪差分信号路径所共有的分量将被抵消。

[0130] 第一节点1320的输出和第二节点1420的输出由第三节点1422组合。具体地,在第三节点1422处将第一对伪差分信号路径和第二对伪差分信号路径的输出相加。为了注入自消除抖动,VCO ADC 210还包括第一电路1440,以将具有第一极性的抖动注入到第一伪差分信号路径和第二伪差分信号路径,以及第二电路1450,将具有与第一极性相反的第二极性的抖动注入第三伪差分信号路径和第四伪差分信号路径。第一电路系统1440可以是信号发生器(例如接收抖动序列并输出具有第一极性的抖动的DAC),以将抖动添加到第一对伪差分信号路径的输入。第二电路1450可以是信号发生器(例如接收相同抖动序列但输出具有

第二极性的抖动的DAC),以在第二对伪差分信号路径的输入处去除相同抖动。

[0131] VCO ADC中的相位插值可增加带宽

[0132] VCO ADC的信号带宽上的SQNR随着量化级别和过采样率的增加而增加。VCO ADC的量化级别数由通过每个延迟元件的最小延迟确定。为了减少最小延迟并改善SQNR,可以将环形振荡器修改为包括两个内插环形振荡器,例如,两个注入锁定在一起的环形振荡器或两个相移环形振荡器。图15示出了根据本公开的一些实施例的示例性相位内插环形振荡器。VCO ADC信号路径中的环形振荡器可以包括第一注入锁定的环形振荡器1502和第二注入锁定的环形振荡器1504。在所示的示例中,第一注入锁定的环形振荡器1502具有7个延迟元件,第二注入锁定的环形振荡器1504具有7个延迟元件。第一注入锁定的环形振荡器1502和第二注入锁定的环形振荡器1504通过电阻器网络1506正交耦合在一起以将第一注入锁定的环形振荡器1502和第二注入锁定的环形振荡器1504彼此异相锁定 90° 。结果是具有14个延迟元件的相位内插环形振荡器,其最小延迟为一半。因此,SQNR和带宽得到了显著改善。具有高带宽、相位内插的CT VCO ADC后端104可以使基于VCO的流水线ADC的整体宽带响应受益。

[0133] 将VCO ADC锁定到比CT残留产生前端的采样率更高的不同采样率

[0134] 基于VCO的CT流水线ADC的架构允许CT残留产生前端102和VCO ADC后端104具有不同的采样率。VCO ADC的过采样率和采样率会影响VCO ADC的SQNR。为了进一步改善SQNR,CT VCO ADC后端104可以以两倍或更高(例如 $2x$ 、 $4x$ 、 $6x$ 、 $8x$ 等)的时钟频率计时,或者相对于驱动CT残留产生前端102的时钟频率调谐/锁定到两倍或更高(例如 $2x$ 、 $4x$ 、 $6x$ 、 $8x$ 等)的时钟频率。图16示出了根据本公开的一些实施例的基于VCO的CT流水线ADC 1600的示例性实施方式,其具有CT残留产生前端102和过采样VCO ADC后端104。CT残留产生前端102由具有第一时钟频率 f_{ck} 的第一时钟信号驱动。例如,量化器202由 f_{ck} 来驱动。如果实现了DAC脉冲整形(如图11所示),DAC 204可以由 f_{ck} 或 f_{ck} 的适当倍数驱动。CT VCO ADC后端104由第二时钟信号驱动,该第二时钟信号的第二时钟频率 $K \cdot f_{ck}$ 为第一时钟频率的 K 倍,其中 K 至少为2或2的整数倍。当CT VCO ADC后端104由较高的第二时钟频率驱动时,CT VCO ADC后端104包括抽取滤波器1602,以降低采样率以匹配CT残留产生前端102的采样率;以及抗混叠滤波器(例如低通滤波器),以去除输出光谱中不需要的图像。调谐/锁定到两倍或更高(例如 $2x$ 、 $4x$ 、 $6x$ 、 $8x$ 等)的时钟频率可以改善CT VCO ADC后端104的线性度。此外,时钟频率的整数倍可最大化CT VCO ADC后端104的相位检测范围。

[0135] 更高阶CT VCO ADC后端

[0136] 在一些实施方案中,可以修改CT VCO ADC后端104以实现更高阶的结构,以扩展CT VCO ADC后端104的噪声整形优势。图17显示了根据本公开的一些实施例的更高阶CT VCO ADC后端104的示例性实现。具体而言,CT VCO ADC实现了三阶噪声整形。CT VCO ADC后端104包括多个振荡器(在该示例中为三个振荡器)和一个或多个反馈路径以实现多阶噪声整形。在所示的示例中,CT VCO ADC后端104包括第一VCO 1702、上下计数器1704、数字控制振荡器(DCO) 1706、上下计数器1708、DCO 1710和采样寄存器1714。由采样寄存器1714生成的第二数字输出 D_{VCOADC} 被提供给上下计数器1704、上下计数器1708和上下计数器1712作为反馈。另外,由采样寄存器1714产生的第二数字输出 D_{VCOADC} 被提供给节点1716作为增益为 g 的反馈。如图所示,第二数字输出 D_{VCOADC} 到所选位置的总体反馈实现了高阶噪声整形。

[0137] 基于VCO的CT流水线ADC的模块化和可重新配置性

[0138] 基于VCO的CT流水线ADC无需反馈即可实现。这与具有反馈路径的delta-sigma ADC或逐次逼近寄存器ADC形成对比。换句话说,CT残留产生前端102和CT VCO ADC后端104仅具有前馈路径。从CT VCO ADC后端104的输出返回到CT残留产生前端102的输入,没有任何总体反馈。此体系结构具有多个好处。没有反馈意味着包括具有信号等待时间的信号处理更加实用和容易。信号处理包括CT残留产生前端102和CT VCO ADC后端104的数字信号的数字信号处理。通常与VCO ADC一起使用的信号处理可以包括数字非线性校正和超范围校正。此外,反馈路径可以极大地改变ADC的稳定性和传递函数。在某些情况下,反馈路径会限制ADC的带宽。同样,没有反馈路径可以保证基于VCO的CT流水线ADC的稳定性。

[0139] 没有反馈也意味着基于VCO的CT流水线ADC是模块化的。如果不对ADC进行重大重新设计,则无法轻松修改具有反馈路径的ADC体系结构。模块化还允许对基于VCO的CT流水线ADC进行重新配置。图18示出了根据本公开的一些实施例的具有可重新配置的CT残留产生前端102和CT VCO ADC后端104的基于VCO的CT流水线ADC 1800的示例性实现。CT残留产生前端102级联,然后是CT VCO ADC后端104。CT残留产生前端102生成放大的残留信号 v_{a_res} 。CT残留产生前端102可以包括N个级联的CT残留产生级 $1801_1, \dots, 1802_N$ 。CT残留产生前端102对模拟输入信号 v_{in} 进行量化,并生成数字信号 D_1, \dots, D_N 和放大的残留信号 v_{a_res} 。每个CT残留产生级可以包括量化器、DAC、延迟电路、节点和残留放大器。CT残留产生级中的各个量化器生成各自的数字信号 D_1, \dots, D_N 。CT残留产生级中的各个残留放大器会生成各个放大的残留信号。CT VCO ADC后端104量化放大的残留信号 v_{a_res} 并生成数字信号 D_{VCOADC} 。数字信号重构滤波器108对来自残留产生级的数字信号 D_1, \dots, D_N 和第二数字信号 D_{VCOADC} 进行滤波,并生成最终的数字信号 D_{OUT} 。可以以先前参考图3描述的方式(具有一些差异)对数字信号重构滤波器108进行编程。

[0140] 由于在级联的CT残留产生级 $1801_1, \dots, 1802_N$ 内或之间没有反馈路径,并且从CT VCO ADC后端104到CT残留产生前端102也没有总体反馈,因此级联的CT残留产生级的数量以及每个级联的CT残留产生级的参数都可以轻松修改。例如,电路设计人员可以根据目标性能指标(例如功耗、噪声、失真、硅面积和数字信号处理复杂度)来更改级联的CT残留产生级的数量和每个级联的CT残留产生级的参数。换一种说法,可以轻松添加或删除各个阶段,以实现某些目标绩效指标。通过阻抗缩放,增加级联的CT残留产生级的数量可以提供更好的抗混叠、更好的SNR和更好的NSD。

[0141] 另外,模块化允许片上重新配置。这意味着集成电路可以在CT残留产生前端102中包括N个残留产生级,并且可以向N个残留产生级的输入和/或输出提供开关或开关网络(晶体管),以在CT残留产生前端102中配置或重新配置信号链,并级联更改残留产生级 $1801_1, \dots, 1802_N$ 的数量,以级联量化模拟输入信号 v_{in} 并生成放大的残留信号 v_{a_res} 。在硅管芯或集成电路封装内部和/或外部的可配置/可控制/可编程路由,其中基于VCO的CT流水线ADC 1800可用于配置或重新配置残留产生级 $1801_1, \dots, 1802_N$ 的数量,残留产生级 $1801_1, \dots, 1802_N$ 用于量化模拟输入信号 v_{in} 并生成放大的残留信号 v_{a_res} 。控制器1804可以控制这样的电路,该电路可以控制所使用的残留产生级的数量,并且因此重新配置基于VCO的CT流水线ADC 1800的体系结构。在一些实施例中,控制器1804可以重新配置残留产生级的连接,以改变多个用于产生放大的残留信号 v_{a_res} 的级联的CT残留产生级 $1801_1, \dots, 1802_N$ 。

[0142] 流水线模数转换的方法

[0143] 图19是示出根据本公开的一些实施例的用于流水线模数转换的方法的流程图。在1902,CT前端(例如CT残留产生前端102)生成表示模拟输入信号(例如 v_{in})的第一数字信号(例如 D_1),以及表示模拟输入信号的延迟版本与从第一数字信号生成的重构模拟信号之间的差的残留信号。在1904,残留放大器放大残留信号以生成放大的残留信号(例如 v_{a_res})。在1906,VCO ADC后端(例如CT VCO ADC后端104)对放大后的残留信号的相位进行采样,并基于放大的残留信号的相位生成第二数字信号(例如 D_{VCOADC})。在1908,数字信号重构滤波器(例如数字信号重构滤波器108)对第一数字信号和第二数字信号进行滤波。在1910,数字信号重构滤波器组合了第一数字信号和第二数字信号的滤波版本,以生成最终的数字输出。

[0144] 在一些实施例中,该方法还包括通过延迟电路(例如延迟电路206)来延迟模拟输入信号。延迟电路的响应与具有量化器和数模转换器的信号路径的响应相匹配。这样的实施例的例子在图2、4-10和20-21中示出。

[0145] 在一些实施方案中,该方法还包括在残留放大器的输入处注入抖动(例如图3的LFSR),以放大残留信号。该方法还可包括基于所述抖动和所述第二数字信号,提取所述残留放大器的信号传递函数和VCO ADC后端的信号传递函数。该方法还可包括基于放大所述残留信号的残留放大器的信号传递函数和VCO ADC后端的信号传递函数,编程用于对所述第一数字信号进行滤波的第一滤波器和/或用于对所述第二数字信号进行滤波的第二滤波器。在图3中示出了这样的实施例的示例。

[0146] 在一些实施方案中,该方法还包括:利用具有第一时钟频率的第一时钟信号来驱动CT前端;以及利用具有至少为第一时钟频率的两倍的第二时钟频率的第二时钟信号来驱动VCO ADC后端。该方法可以进一步包括:抽取VCO ADC后端的数字输出;以及通过抗混叠滤波器对VCO ADC后端的数字输出的抽取的版本进行滤波以生成第二数字信号。这样的实施例的例子在图16中示出。

[0147] 在一些实施方案中,该方法还可包括调整在连续时间前端中使用的残留产生级的数量,以产生所述放大的残留信号。这样的实施例的例子在图18中示出。

[0148] 例子

[0149] 例子1是流水线模数转换器(ADC),包括:连续时间残留产生前端,用于量化模拟输入信号并产生第一数字信号和放大的残留信号;压控振荡器(VCO)ADC后端,用于量化所述放大的残留信号并产生第二数字信号;和数字信号重构滤波器,用于对所述第一数字信号和所述第二数字信号进行滤波并产生最终的数字信号。

[0150] 在例子2,例子1的流水线ADC可任选地包括连续时间残留产生前端,包括:量化器,用于产生所述第一数字信号;数模转换器,用于接收所述第一数字信号并产生第一重构模拟信号;和延迟电路,用于将第一模拟输入信号延迟到所述量化器并产生第一延迟的模拟输入信号,其中所述延迟电路的响应与具有所述量化器和所述数模转换器的信号路径的响应相匹配。

[0151] 在例子3,例子2的流水线ADC可任选地包括:所述延迟电路匹配所述信号路径的幅度和相位。

[0152] 在例子4,例子1-3中任一个的流水线ADC可任选地包括:延迟电路包括电阻-电容器晶格。

[0153] 在例子5,例子1-4中任一个的流水线ADC可任选地包括:延迟电路包括一个或多个电感-电容器晶格。

[0154] 在例子6,例子2-5中任一个的流水线ADC可任选地包括:连续时间残留产生前端还包括:节点,用于输出表示所述第一延迟的模拟输入信号和所述第一重构模拟信号之差的所述第一残留信号。

[0155] 在例子7,例子1-6中任一个的流水线ADC可任选地包括:连续时间残留产生前端包括:残留放大器,用于放大残留信号并产生放大的残留信号。

[0156] 在例子8,例子7的流水线ADC可任选地包括:残留放大器包括具有二阶或更高阶的频率响应。

[0157] 在例子9,例子1-8中任一个的流水线ADC可任选地包括:数字信号重构滤波器包括:第一滤波器,用于对所述第一数字信号进行滤波;第二滤波器,用于对所述第二数字信号进行滤波;和节点,用于组合所述第一滤波器和所述第二滤波器的输出以产生所述最终的数字信号。

[0158] 在例子10,例子9的流水线ADC可任选地包括:所述第一滤波器和所述第二滤波器的比率对应于:(1)产生所述放大的残留信号的残留放大器的信号传递函数;和(2)VCO ADC后端的信号传递函数。

[0159] 在例子11,例子9或10的流水线ADC可任选地包括:所述第一滤波器和所述第二滤波器的比率对应于:(1)产生所述放大的残留信号的残留放大器的信号传递函数;(2)VCO ADC后端的信号传递函数;和(3)CT残留产生前端的噪声传递函数。

[0160] 在例子12,例子1-11中任一个的流水线ADC可任选地包括:连续时间残留产生前端包括:残留放大器,用于放大残留信号并产生放大的残留信号;和用于在所述残留放大器的输入端注入抖动的电路;和流水线ADC还包括:用于使所述抖动和所述第二数字信号互相关联以提取:(1)产生所述放大的残留信号的残留放大器的信号传递函数;和(2)VCO ADC后端的信号传递函数。

[0161] 在例子13,例子1-12中任一个的流水线ADC可任选地包括:连续时间残留产生前端包括:量化器,用于产生所述第一数字信号;升采样块,用于升采样第一数字信号;滤波器,用于对升采样块的输出进行滤波;和数模转换器,用于接收滤波器的输出并产生第一重构模拟信号。

[0162] 在例子14,例子13的流水线ADC可任选地包括:量化器以第一速率运行;数模转换器以第二速率运行;和第二速率是第一速率乘以升采样块的升采样因子。

[0163] 在例子15,例子1-14中任一个的流水线ADC可任选地包括:VCO ADC后端包括:数字非线性校正模块,用于校正VCO ADC后端的非线性。

[0164] 在例子16,例子15的流水线ADC可任选地包括:VCO ADC后端包括:复制VCO ADC,用于处理已知信号;和校准单元,用于基于复制VCO ADC的数字输出和已知信号来导出数字非线性校正滤波器的系数。

[0165] 在例子17,例子1-16中任一个的流水线ADC可任选地包括:VCO ADC后端包括:(1)第一电压-电流转换器,用于接收放大的残留信号;(2)第一信号路径,具有第一环形振荡器以处理来自第一电压-电流转换器的正信号;(3)第二信号路径,具有第二环形振荡器以处理来自第一电压-电流转换器的负信号;和(4)第一节点,用于组合第一信号路径和第二信

号路径的输出。

[0166] 在例子18,例子17的流水线ADC可任选地包括:VCO ADC后端还包括:(5)第二电压-电流转换器,用于接收放大的残留信号;(6)第三信号路径具有第三环形振荡器以处理来自第二电压-电流转换器的正信号;(7)第四信号路径具有第四环形振荡器以处理来自第二电压-电流转换器的负信号;和(8)第二节点,用于组合第三信号路径和第四信号路径的输出;和(9)第三节点,用于组合第一节点和第二节点的输出。

[0167] 在例子19,例子18的流水线ADC可任选地包括:VCO ADC后端还包括:(10)第一电路,用于将具有第一极性的抖动注入到第一信号路径和第二信号路径,和(11)第二电路,用于将具有与第一极性相反的第二极性的抖动注入到第三信号路径和第四信号路径。

[0168] 在例子20,例子1-19中任一个的流水线ADC可任选地包括:VCO ADC后端包括两个注入锁定的环形振荡器。

[0169] 在例子21,例子1-20中任一个的流水线ADC可任选地包括:连续时间残留产生前端由具有第一时钟频率的第一时钟信号驱动;和VCO ADC后端由具有至少为所述第一时钟频率的两倍的第二时钟频率的第二时钟信号驱动。

[0170] 在例子22,例子1-21中任一个的流水线ADC可任选地包括:VCO ADC包括抽取滤波器和抗混叠滤波器。

[0171] 在例子23,例子1-22中任一个的流水线ADC可任选地包括:VCOADC后端包括多个振荡器和一个或多个反馈路径以实现多阶噪声整形。

[0172] 在例子24,例子1-23中任一个的流水线ADC可任选地包括:连续时间残留产生前端包括级联的连续时间残留产生级。

[0173] 在例子25,例子1-24中任一个的流水线ADC可任选地包括:用于量化模拟输入信号并产生放大的残留信号的残留产生级的数量可由控制器配置。

[0174] 在例子26,例子1-25中任一个的流水线ADC可任选地包括:VCO ADC后端包括一系列串联:环形振荡器、相位数字转换器和微分器。

[0175] 例子27,一种用于流水线模数转换的方法,包括:通过连续时间前端,产生表示模拟输入信号的第一数字信号、和表示所述模拟输入信号的延迟版本与从所述第一数字信号产生的重构模拟信号之差的残留信号;放大所述残留信号以产生放大的残留信号;通过压控振荡器(VCO)模数转换器(ADC)后端采样所述放大的残留信号的相位;通过VCO ADC后端产生基于所述放大的残留信号的相位的第二数字信号;对所述第一数字信号和所述第二数字信号进行滤波;和组合所述第一数字信号和所述第二数字信号的滤波版本以产生最终的数字输出。

[0176] 在例子28,例子27的方法可任选地包括:通过延迟电路来延迟所述模拟输入信号,其中所述延迟电路的响应匹配具有量化器和数模转换器的信号路径的响应。

[0177] 在例子29,例子27或28的方法可任选地包括:在放大所述残留信号的残留放大器的输入端注入抖动。

[0178] 在例子30,例子29的方法可任选地包括:基于所述抖动和所述第二数字信号,提取所述残留放大器的信号传递函数和VCO ADC后端的信号传递函数。

[0179] 在例子31,例子27-30中任一个的方法可任选地包括:基于放大所述残留信号的残留放大器的信号传递函数和VCO ADC后端的信号传递函数,编程用于对所述第一数字信号

进行滤波的第一滤波器和/或用于对所述第二数字信号进行滤波的第二滤波器。

[0180] 在例子32,例子27-31中任一个的方法可任选地包括:使用具有第一时钟频率的第一时钟信号驱动连续时间前端;并使用具有至少为第一时钟频率的两倍的第二时钟频率的第二时钟信号来驱动VCO ADC后端。

[0181] 在例子33,例子32的方法可任选地包括:抽取VCO ADC后端的数字输出;和通过抗混叠滤波器对VCO ADC后端的数字输出的抽取版本进行滤波,以产生第二数字信号。

[0182] 在例子34,例子27-33中任一个的方法可任选地包括:调整在连续时间前端中使用的残留产生级的数量,以产生所述放大的残留信号。

[0183] 例子35是模块化流水线ADC,包括:连续时间残留产生前端,用于产生放大的残留信号,其中连续时间残留产生前端包括级联的多个残留产生级;压控振荡器(VCO)ADC后端,用于量化所述放大的残留信号并产生第二数字信号;和数字信号滤波器,用于滤波来自所述残留产生级的数字信号和所述第二数字信号,并产生最终的数字信号。

[0184] 在例子36,例子35的模块化流水线ADC可任选地包括:所述连续时间残留产生前端用于量化模拟输入信号并产生多个数字信号和放大的残留信号。

[0185] 在例子37,例子35或36的模块化流水线ADC可任选地包括:控制器,用于重新配置用于残留产生级的连接,以更改用于产生放大的残留信号的残留产生级的数量。

[0186] 例子A是一种装置,包括用于实施和/或执行例子27-34中的任何一个的方法和/或本文所述的任何功能的装置。

[0187] 其他实施说明、变体和应用

[0188] 基于VCO的CT流水线ADC的当前架构特别适合于高速、高精度应用。可以从该体系结构中大大受益的应用包括:仪器、测试、频谱分析仪、军事用途、雷达、有线或无线通信、移动电话(特别是因为标准继续推动更高速度的通信)和基站。

[0189] 在一些实施方案中,基于VCO的CT流水线ADC可以通过片上微处理器(即ADC片上,执行提供给片上微处理器的指令/固件)和/或专用片上数字硬件来实施,以执行数字信号处理功能。在各种其他实施例中,数字滤波器或数字功能可以在专用集成电路(ASIC)、现场可编程门阵列(FPGA)和其他半导体架构中的一个或多个硅核中实现。

[0190] 本文概述的所有规格、尺寸和关系(例如,处理器的数量、逻辑运算等)仅出于示例和教导的目的而提供。在不脱离本公开的精神或所附权利要求的范围的情况下,可以对这些信息进行相当大的改变。这些规范仅适用于一个非限制性示例,因此,它们应照此解释。在前面的描述中,已经参考特定处理器和/或组件布置描述了示例实施例。在不脱离本公开、所附权利要求的范围的情况下,可以对这些实施例进行各种修改和改变。因此,说明书和附图应被认为是说明性的而不是限制性的。

[0191] 注意,利用本文提供的众多示例,可以根据两个、三个、四个或更多个电子组件来描述交互。但是,这样做只是出于清楚和示例的目的。应当理解,可以以任何合适的方式来合并系统。沿着类似的设计替代方案,附图中任何示出的组件、模块和元件可以以各种可能的配置进行组合,所有这些配置显然都在本说明书的广泛范围内。在某些情况下,仅参考有限数量的电气元件来描述一组给定流程的一个或多个功能可能会更容易。应当理解,附图的电路及其教导易于扩展,并且可以容纳大量的组件,以及更复杂/复杂的布置和配置。因此,所提供的示例不应限制范围或抑制可能潜在地应用于无数其他架构的电子电路的广泛

教导。

[0192] 注意,在本说明书中,对“一个实施例”、“示例实施例”、“实施例”、“另一实施例”、“一些实施例”、“各种实施例”、“其他实施例”、“替代实施例”等中包括的各种特征(例如,元素、结构、模块、组件、步骤、操作、特征等)的引用旨在表示任何这样的特征都包括在本公开的一个或多个实施例中,但是可以或可以不必在相同的实施例中组合。

[0193] 与流水线模数转换有关的功能,例如图19所示的过程,仅示出了可以由附图中所示的电路或与附图中所示的系统耦合的电路(例如,数字电路或片上微处理器)执行的内部或内部执行的一些可能功能。这些操作中的一些可以在适当的地方被删除或移除,或者可以在不脱离本公开的范围的情况下对这些操作进行相当大的修改或改变。另外,这些操作的时间安排可能会大大改变。出于示例和讨论的目的,提供了上述操作流程。本文描述的实施例提供了很大的灵活性,因为可以提供任何合适的布置、时序、配置和定时机制,而不背离本公开的教导。

[0194] 本领域技术人员可以确定许多其他改变、替换、变化、变更和修改,并且意图是本公开涵盖落入本公开附加的权利要求范围内的所有此类改变、替换、变化、变更和修改。注意,上述装置的所有可选特征也可以相对于本文描述的方法或过程来实现,并且示例中的细节可以在一个或多个实施例中的任何地方使用。

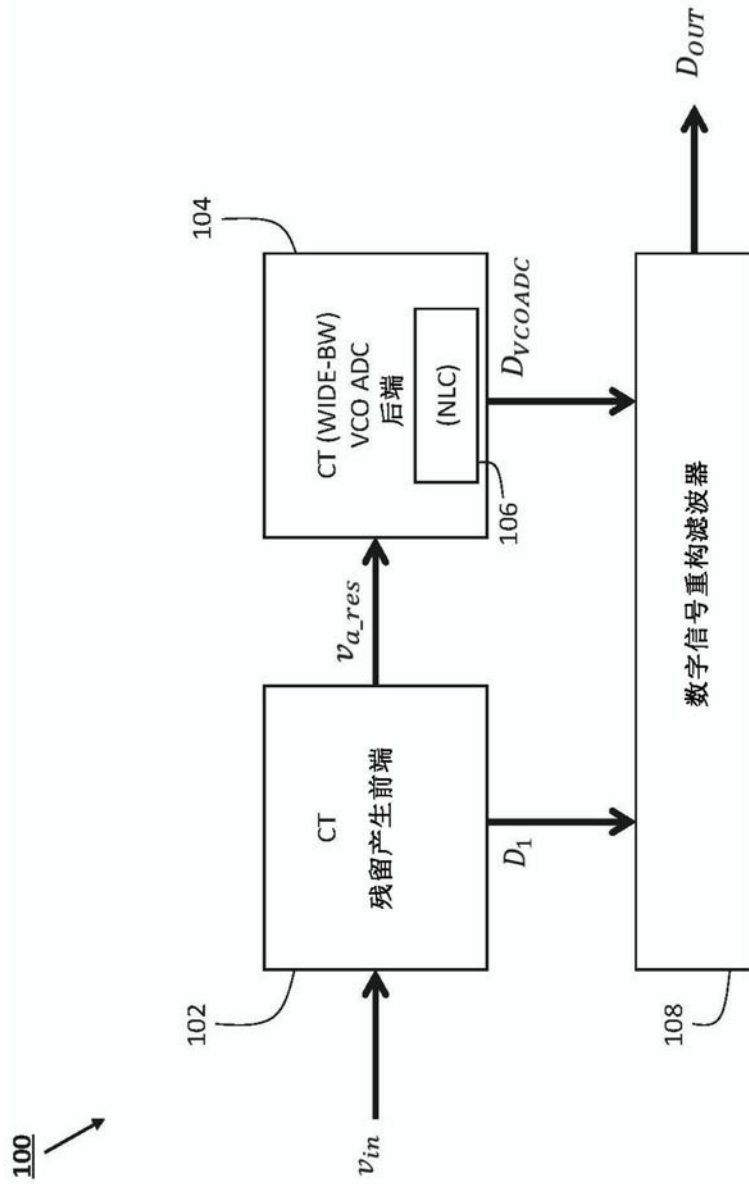


图1

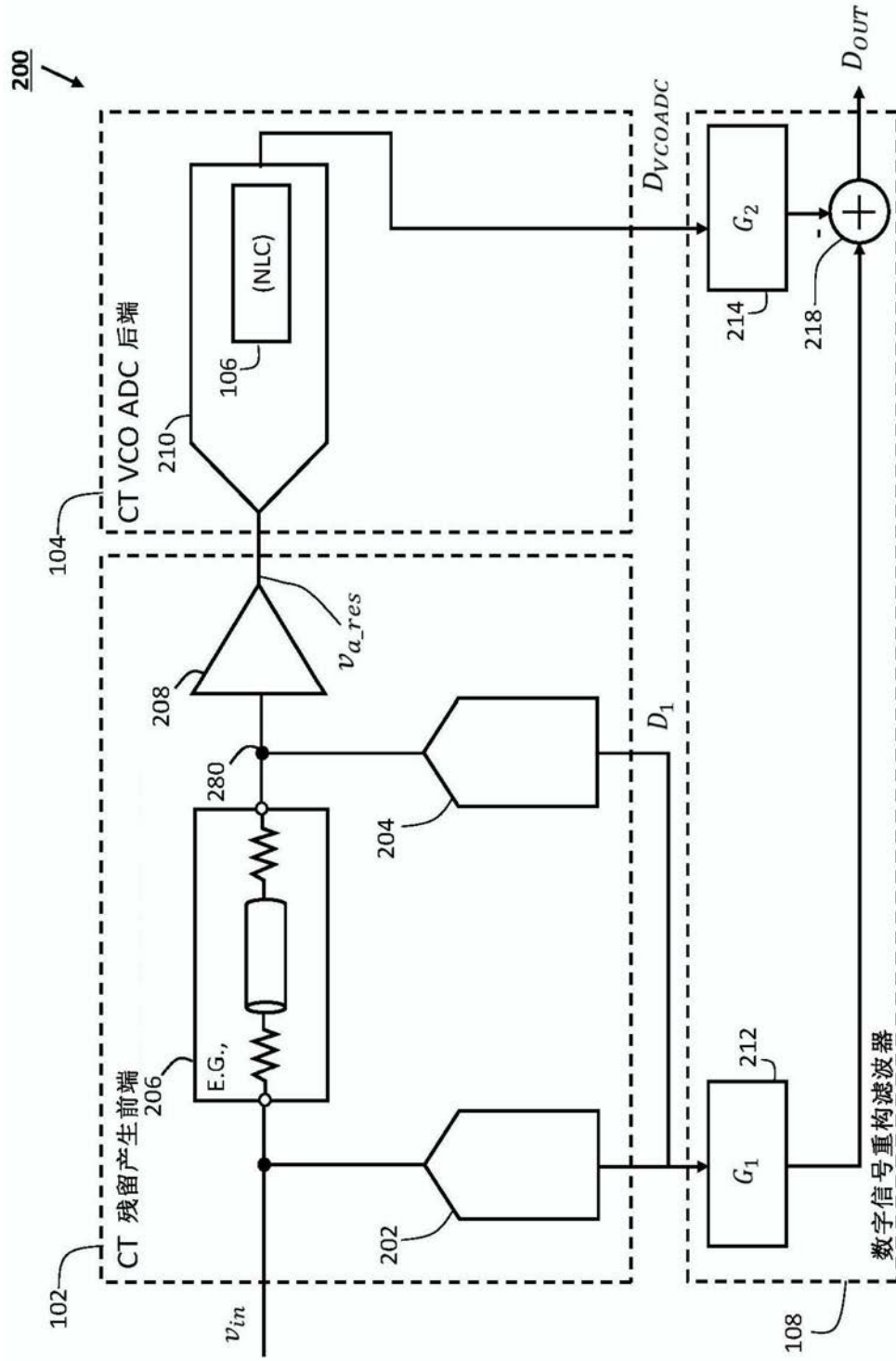


图2

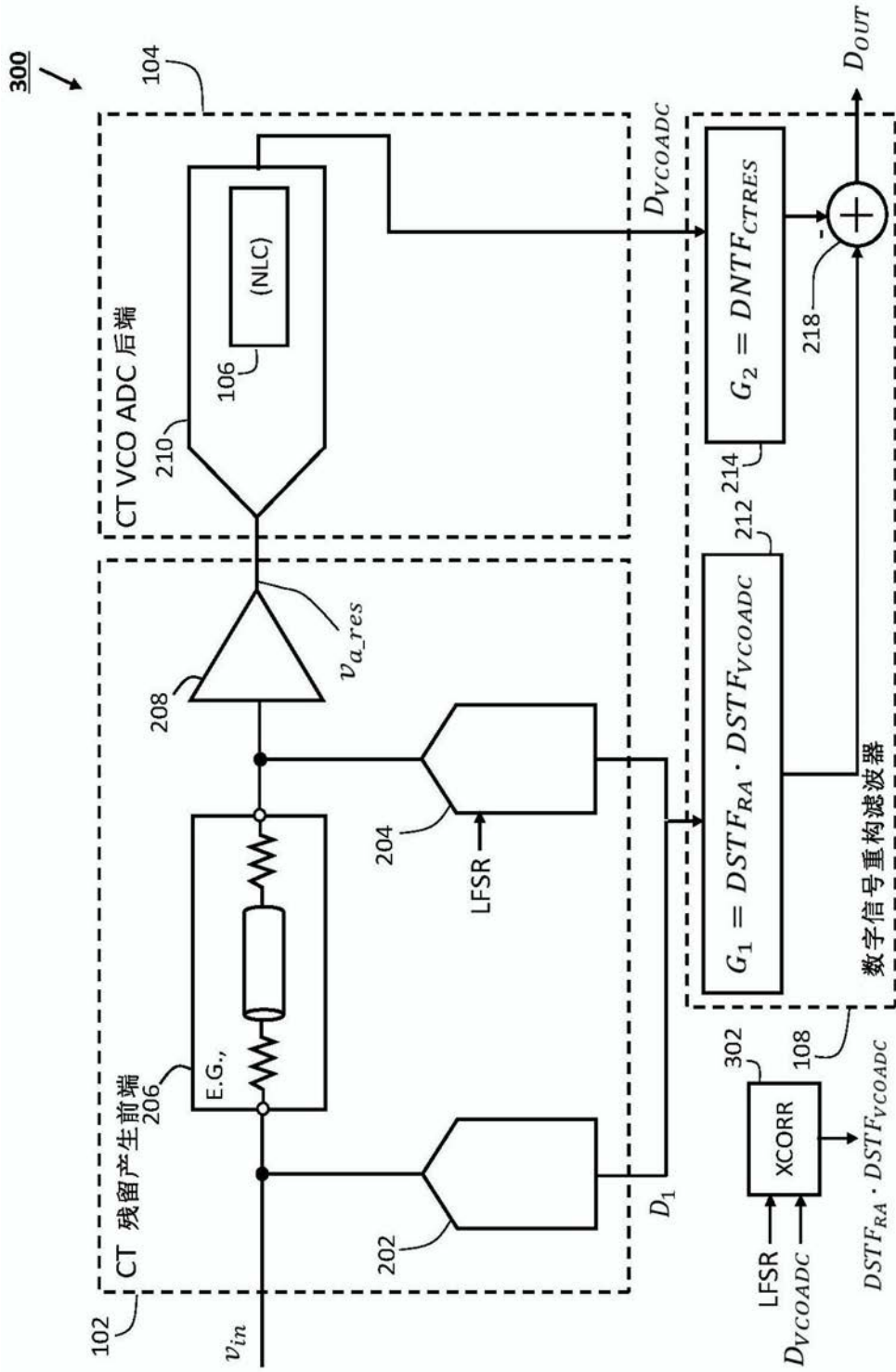


图3

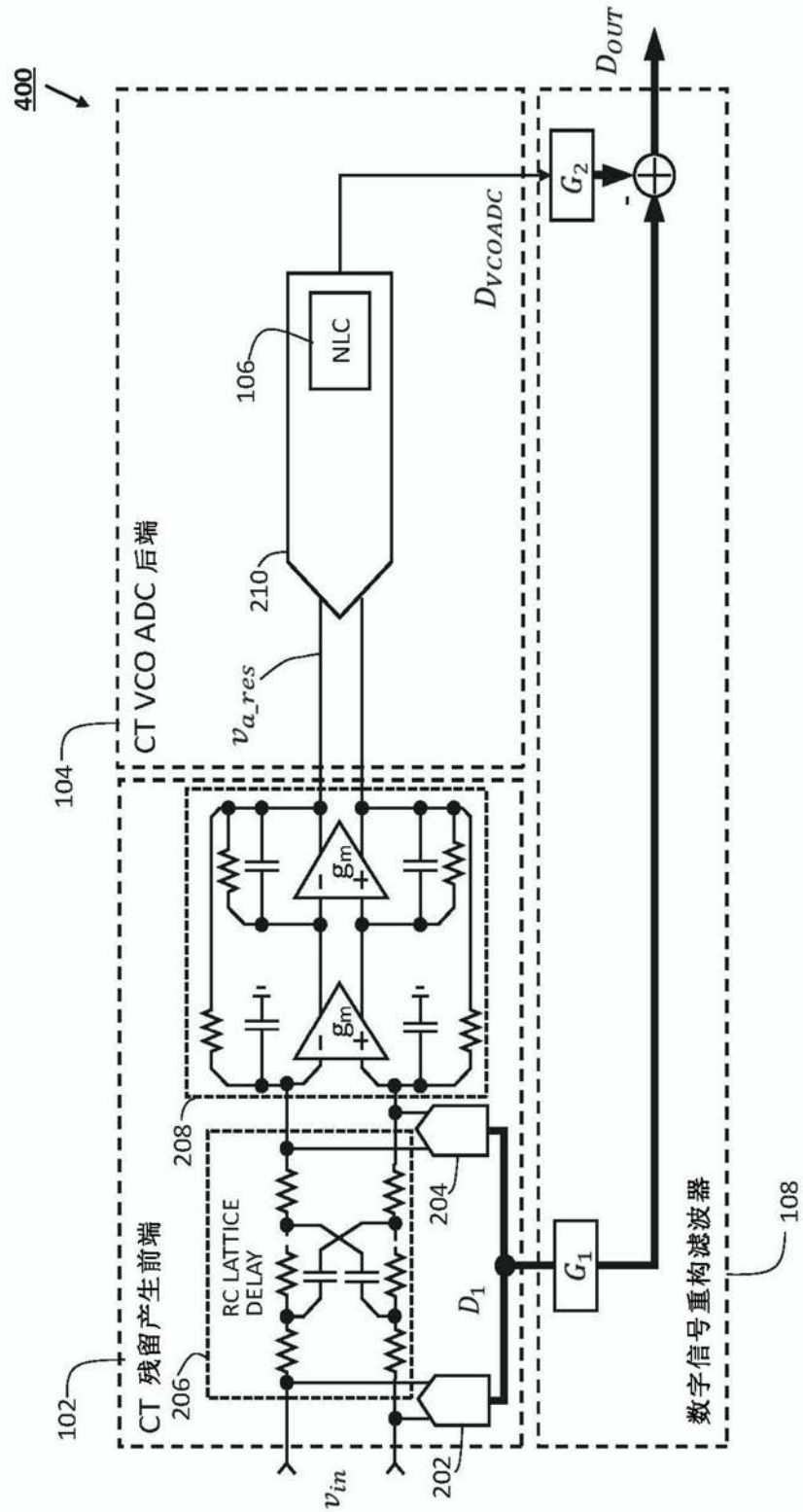


图4

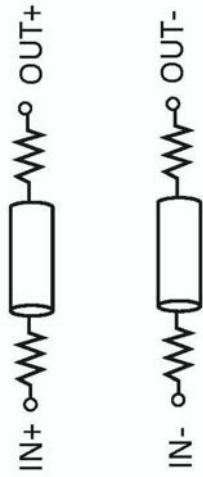


图5

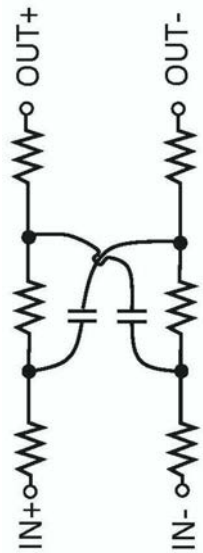


图6

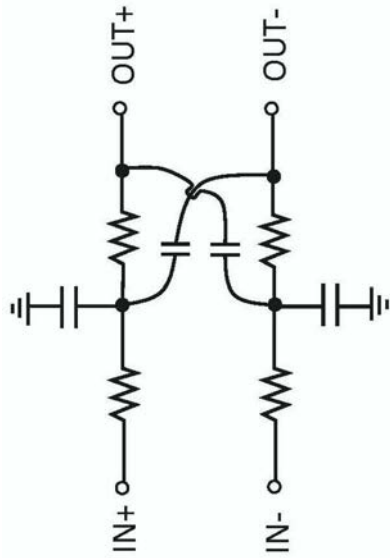


图7

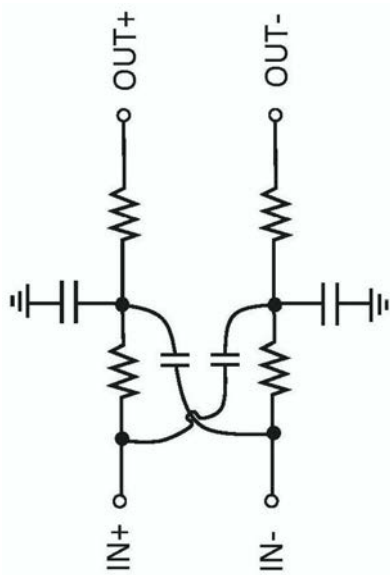


图8

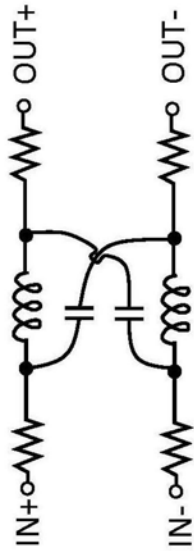


图9

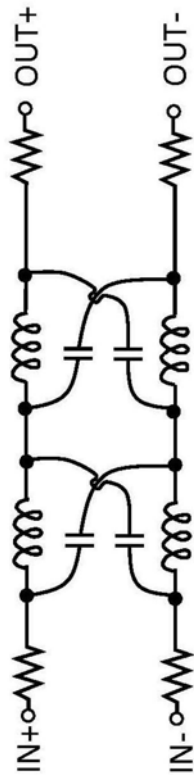


图10

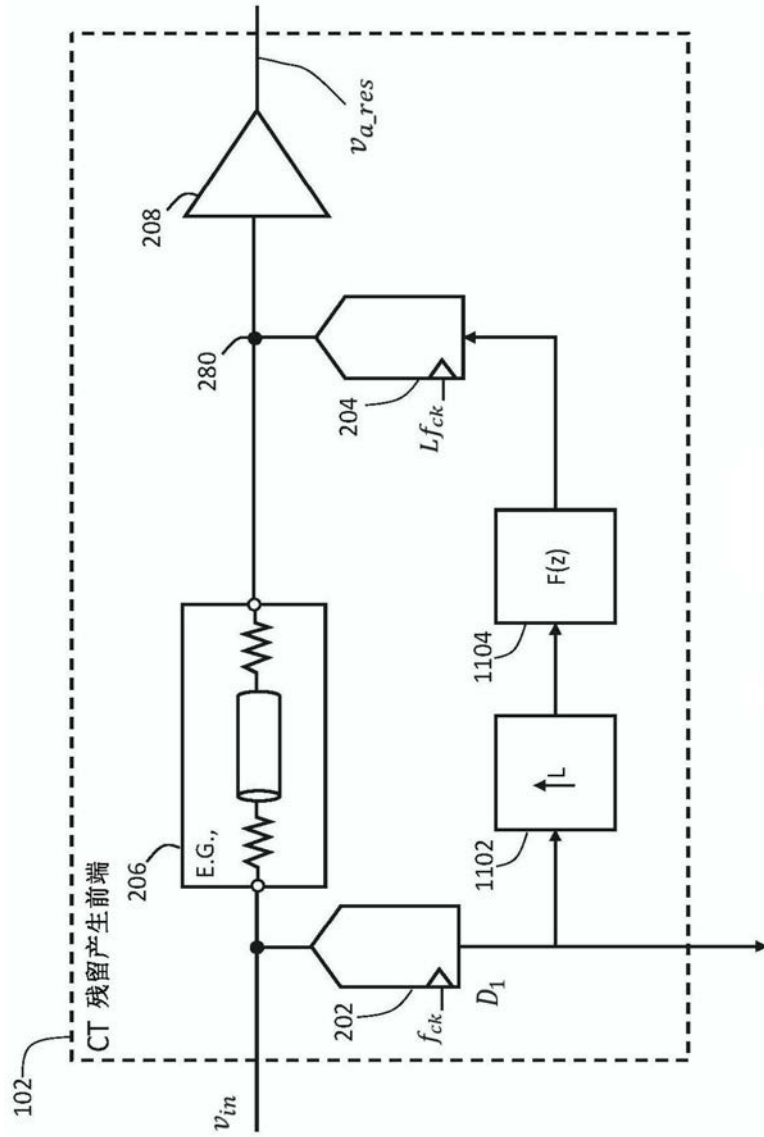


图11

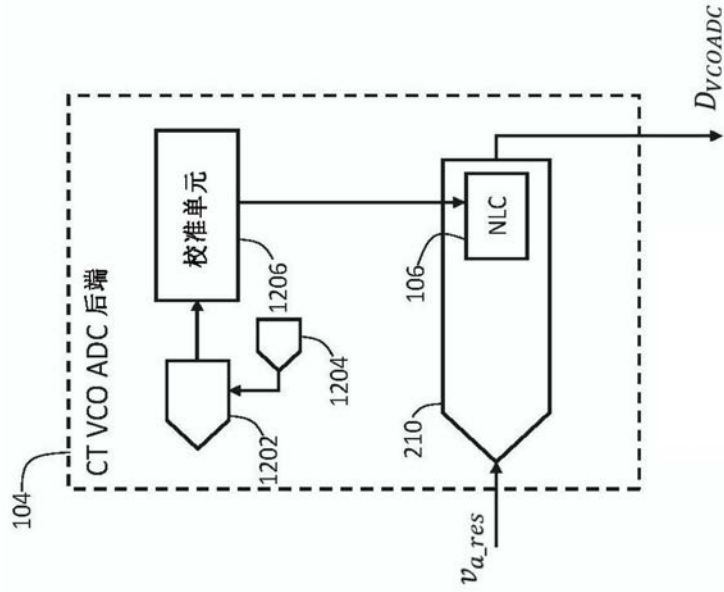


图12

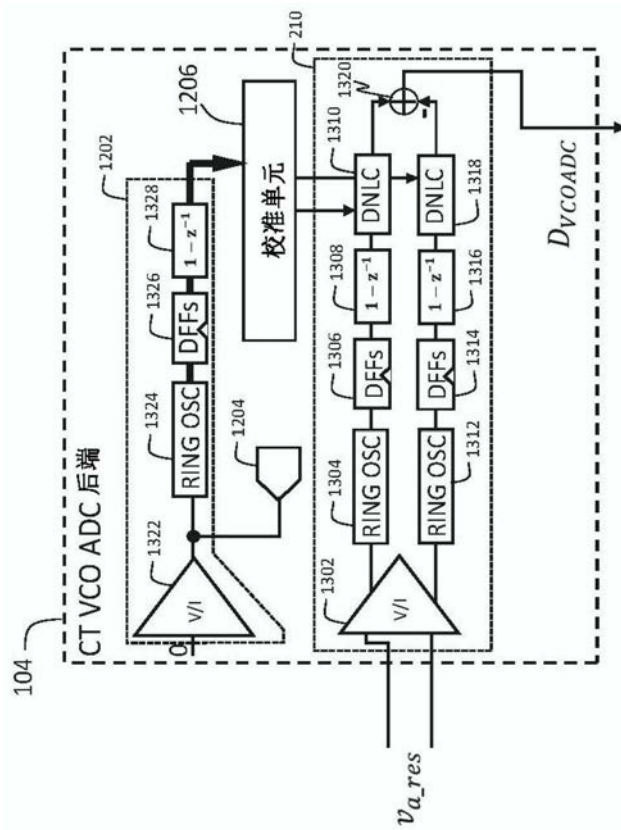


图13

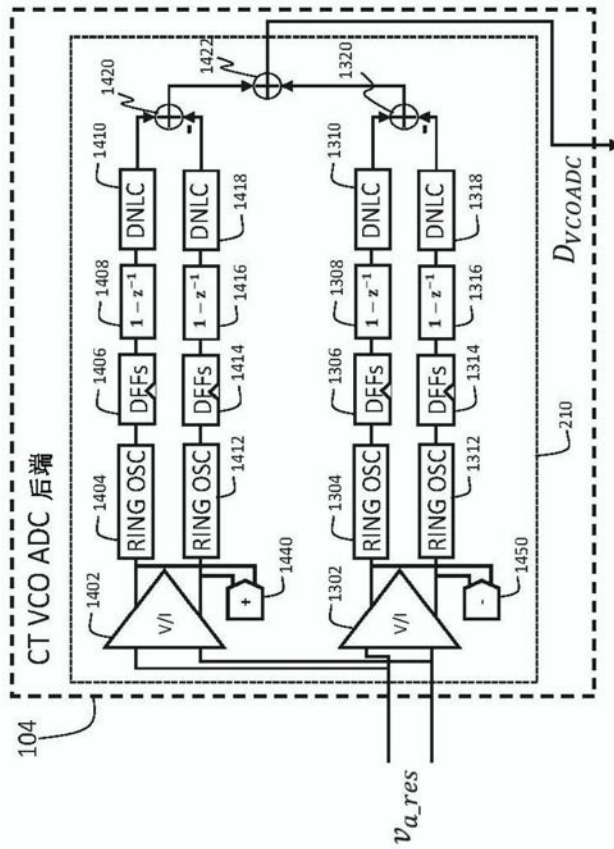


图14

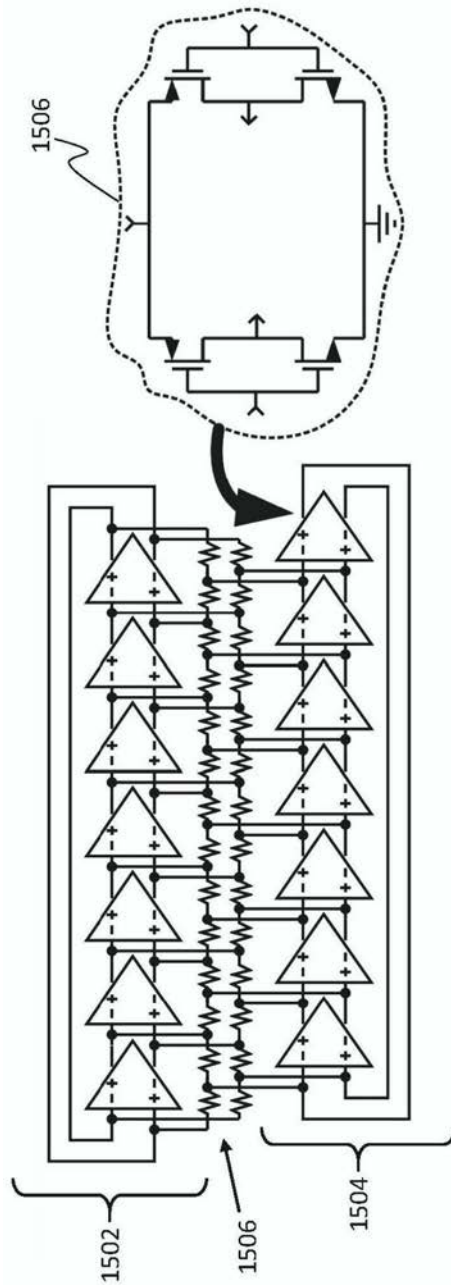


图15

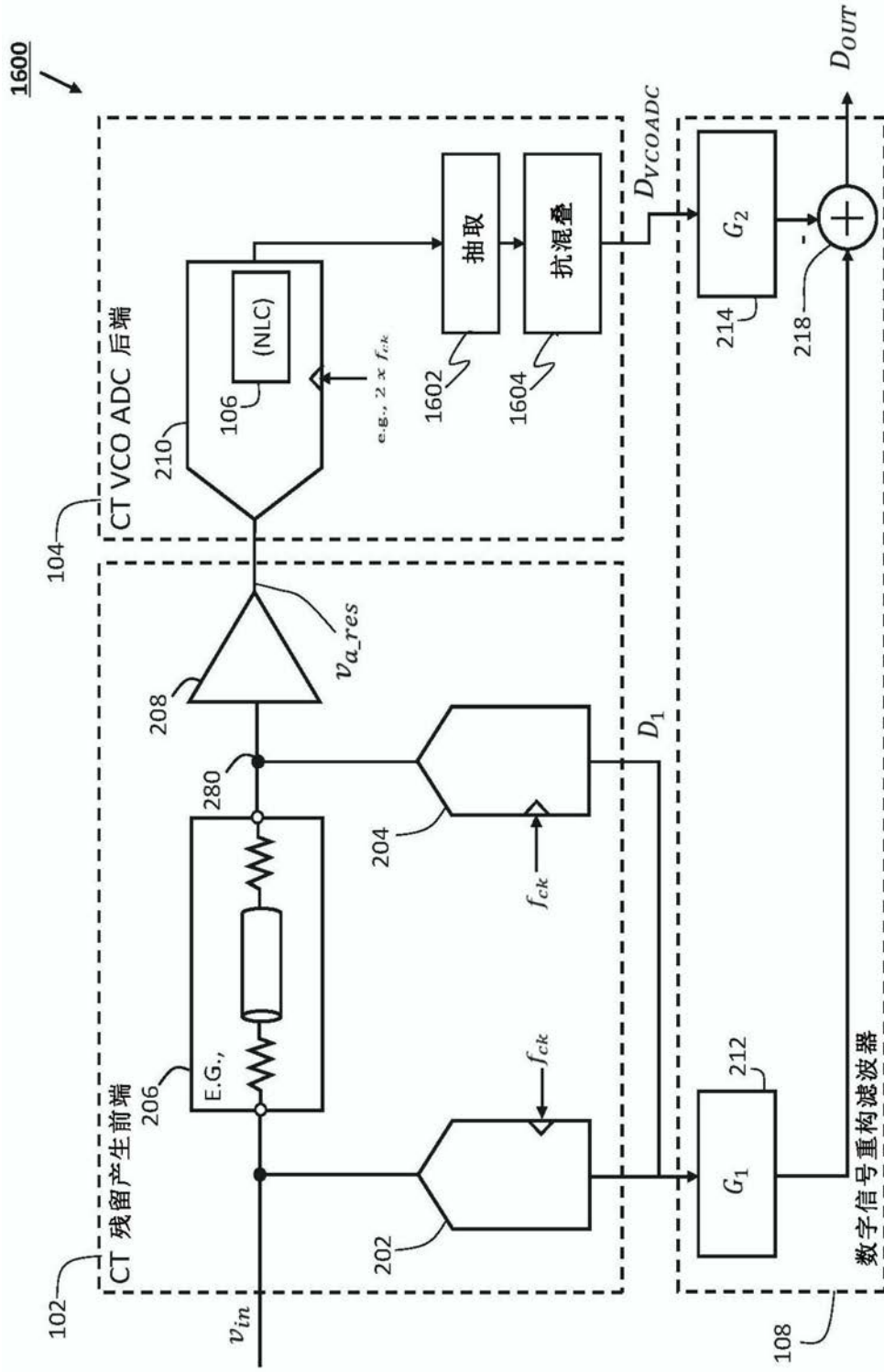


图16

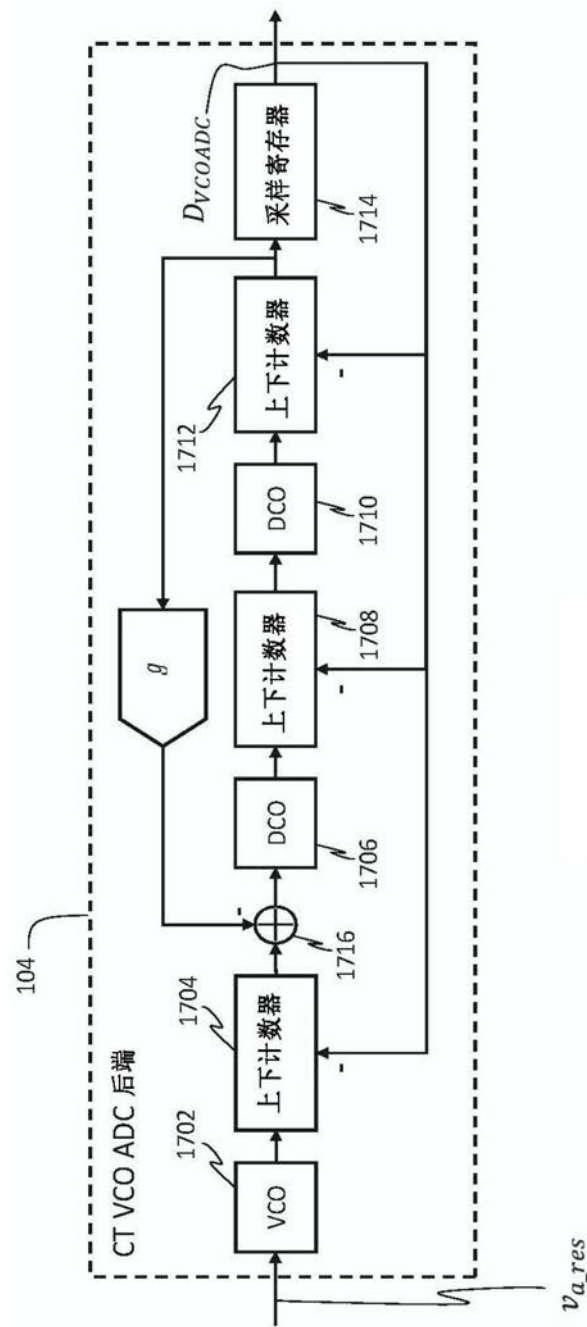


图17

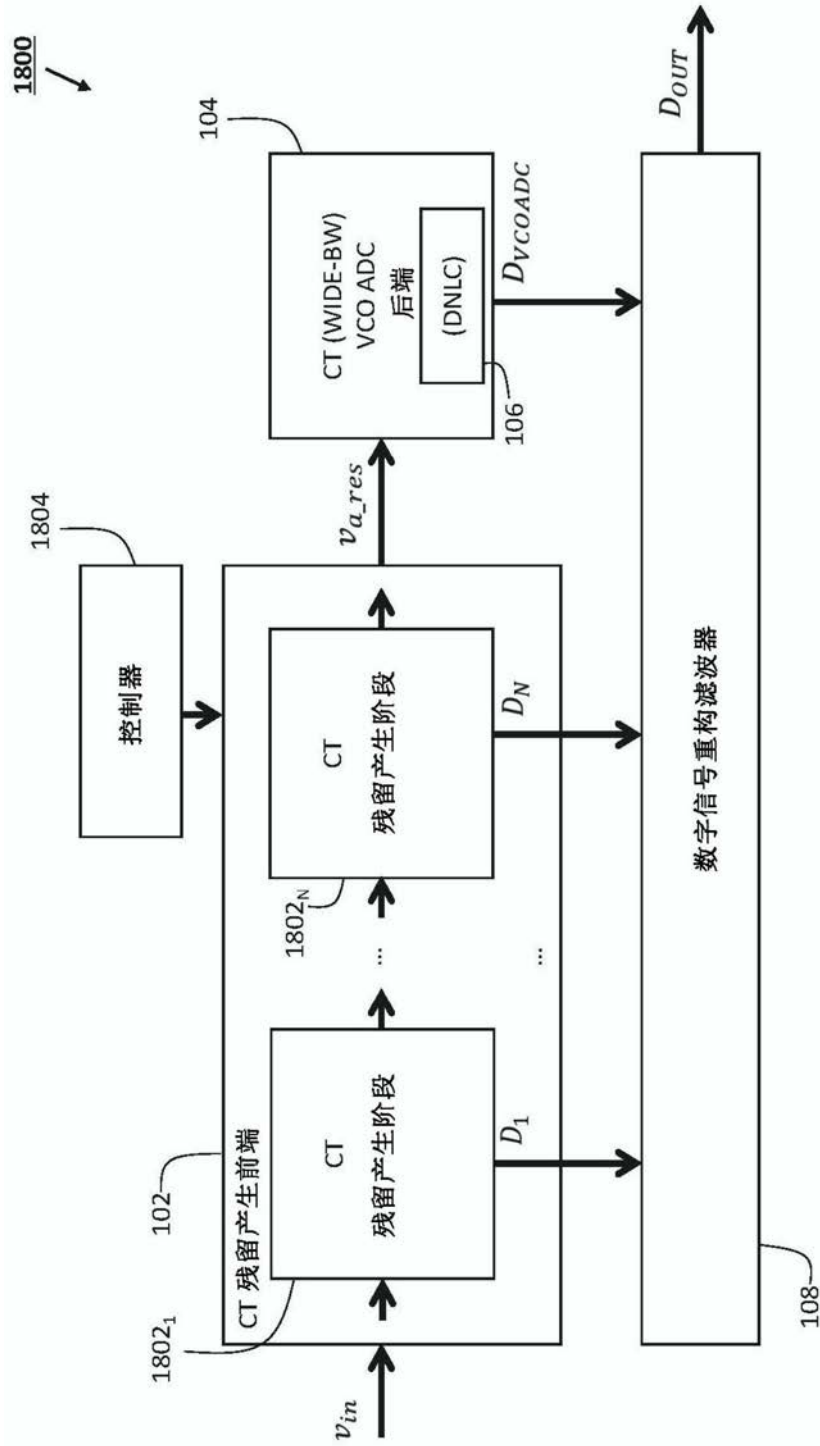


图18

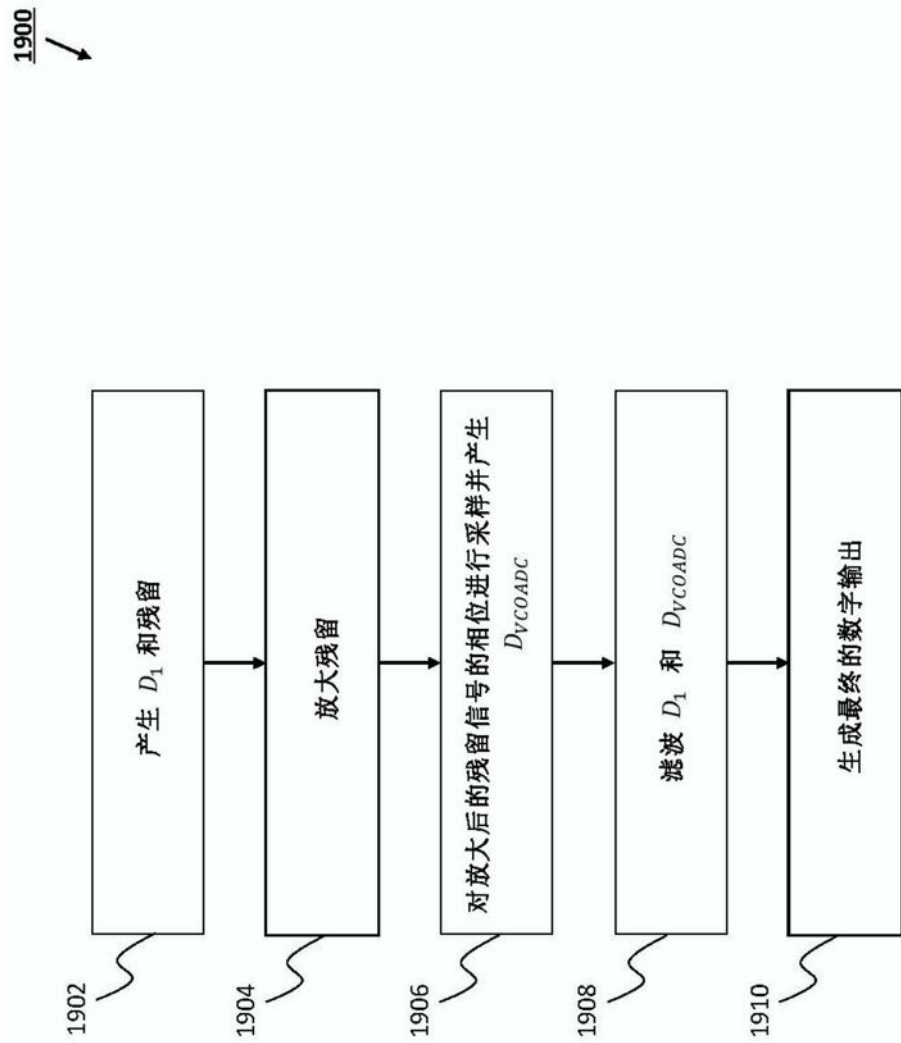


图19

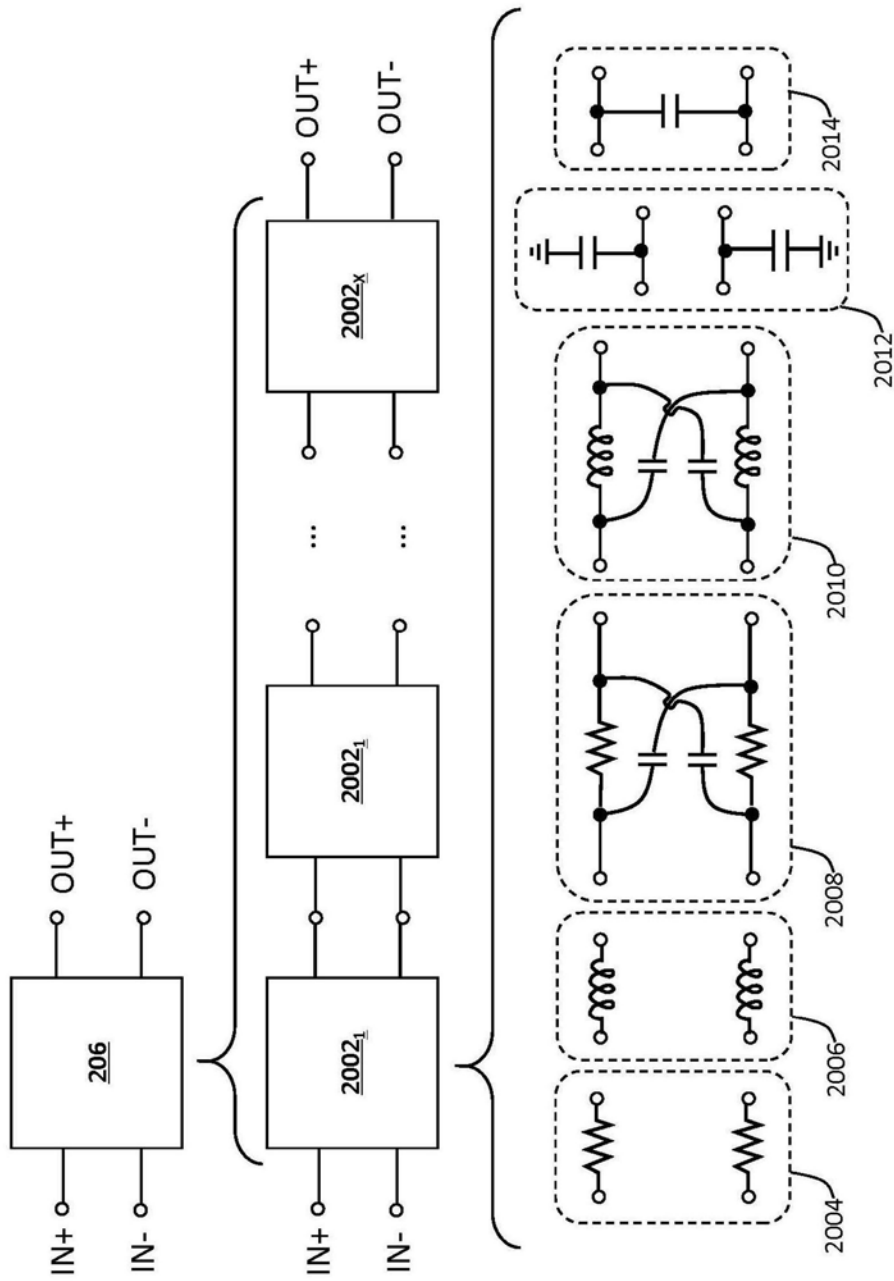


图20

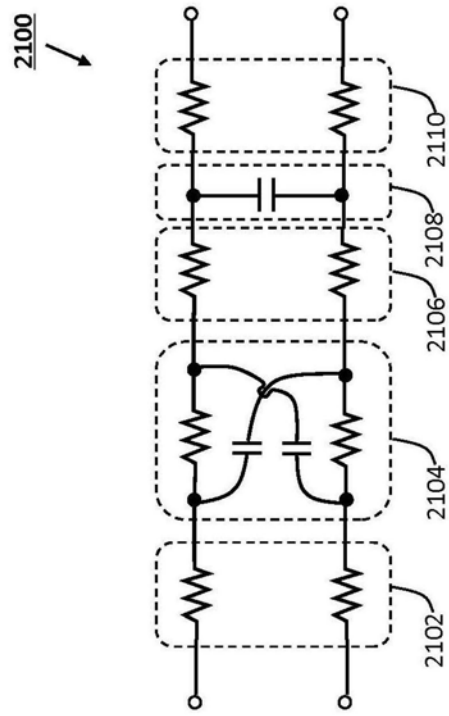


图21