

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5193455号
(P5193455)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int. Cl. F I
 GO 1 S 7/292 (2006.01) GO 1 S 7/292 A
 GO 1 S 7/36 (2006.01) GO 1 S 7/36

請求項の数 3 (全 12 頁)

(21) 出願番号	特願2006-300240 (P2006-300240)	(73) 特許権者	000003078
(22) 出願日	平成18年11月6日 (2006.11.6)		株式会社東芝
(65) 公開番号	特開2008-116345 (P2008-116345A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年5月22日 (2008.5.22)	(74) 代理人	100083806
審査請求日	平成21年1月29日 (2009.1.29)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 レーダ信号処理装置

(57) 【特許請求の範囲】

【請求項 1】

複数のアンテナ素子またはサブアレイを備えた主アンテナからの信号をビーム合成するビーム合成回路と、

前記ビーム合成回路の出力をフーリエ変換して主チャンネル信号を生成するフーリエ変換回路と、

前記複数のアンテナ素子またはサブアレイの一部または全部を共用して成る補助アンテナからの複数の補助チャンネル信号の P R I 単位またはレンジセル単位の信号を用いてタップドディレイラインによるアダプティブ処理を行うアダプティブ処理回路と、

前記フーリエ変換回路から送られてくる主チャンネル信号から、前記アダプティブ処理回路によってアダプティブ処理がなされた信号を減算することにより前記主チャンネル信号に含まれる不要波を抑圧するキャンセル処理回路と、

を備え、

前記アダプティブ処理回路は、前記複数のアンテナ素子またはサブアレイの一部または全部を共用して成る補助アンテナからの複数の補助チャンネル信号の P R I 単位またはレンジセル単位の信号を、クラッタおよび妨害状況に応じて切り替えて、タップドディレイラインによるアダプティブ処理を行うことを特徴とするレーダ信号処理装置。

【請求項 2】

前記複数のアンテナ素子またはサブアレイの一部または全部を共用して成る補助アンテナからの補助チャンネル信号のメインローブに対する応答レベルを低減させる拘束付補助

10

20

ビーム形成回路を備え、

前記アダプティブ処理回路は、前記拘束付補助ビーム形成回路から信号のPRI単位またはレンジセル単位の信号を用いてタップドディレイラインによるアダプティブ処理を行い、主チャンネル信号のメインローブ形状の変化を抑えることを特徴とする請求項1記載のレーダ信号処理装置。

【請求項3】

前記主チャンネル信号と前記補助チャンネル信号の周波数特性を揃える等化器を備えたことを特徴とする請求項1又は請求項2記載のレーダ信号処理装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、レーダ装置において信号処理を行うレーダ信号処理装置に関し、特に時間周波数軸上でクラッタおよび妨害を抑圧する技術に関する。

【背景技術】

【0002】

図13は、従来のレーダ装置に適用されているSTAP (Space Time Adaptive Processing) 処理器の構成を示す図である。このSTAP処理器は、図示しないアンテナ素子または複数のアンテナ素子が配列されて成るサブアレイから送られてくる入力信号 $X_1 \sim X_N$ (N は正の整数)を、TDL (Taped Delay Line; タップドディレイライン)によってPRI (Pulse Repetition Interval; パルス繰り返し間隔)単位で遅延させ、TDLの各タップから出力される信号に対して、アダプティブ処理部20の制御の下に2次元のSTAP処理を実施する。

20

【0003】

なお、TDL型のアダプティブアレイおよびSTAP処理の詳細については、非特許文献3および非特許文献4にそれぞれ記載されている。

【0004】

このようなレーダ信号処理装置に関連する技術として、特許文献1は、ドプラ周波数分散の大きいクラッタを抑圧し得るレーダ信号処理装置を開示している。このレーダ信号処理装置は、アダプティブクラッタ抑圧装置として機能するものであり、複数のアンテナ素子により受信されるパルスエコー信号からビーム形成回路によりビーム合成信号を形成してFFT処理部とタップドディレイラインとに入力する。FFT処理部はフィルタバンク信号を生成してキャンセル回路に入力する。タップドディレイラインはタップごとにビーム合成信号を遅延量1、2、...、 $K-1$ ずつ遅延させ、これをプリプロセッサ回路に入力する。プリプロセッサ回路はフィルタバンク信号の不要波成分を生成し、キャンセル回路は各フィルタバンク信号から不要波成分を減算して不要波成分をフィルタバンクごとに抑圧する。このレーダ信号処理装置は、ビーム形成後の信号を用いてクラッタを抑圧するが、クラッタと妨害を同時に抑圧できない。

30

【0005】

また、特許文献2は、強度の強いメインローブクラッタや妨害環境下でも、クラッタおよび妨害の両者を十分抑圧するレーダ装置を開示している。このレーダ装置は、主アンテナおよび補助アンテナの受信信号の各々に対して、MTIでクラッタを抑圧し、さらにDFT回路でDFTを実施してクラッタを十分に抑圧した後、SLC回路にて、主CHと補助CHに対する同一のフィルタバンク信号を用いて、SLC動作を実施する。したがって、主CHおよび補助CHの入力信号のクラッタ成分を、MTIおよびDFTにより周波数軸上で十分に抑圧し、妨害信号成分を支配的にした上でSLC動作するため、妨害成分も確実に抑圧することができる。

40

【0006】

また、特許文献3は、妨害抑圧機能の校正を可能とする妨害波抑圧装置を開示している。この妨害波抑圧装置は、主アンテナ(主CH)と補助アンテナ(補助CH)のいずれか一方に、等化器を接続し、サイドローブキャンセラ(SLC)に供給される一方の信号の

50

振幅または位相の少なくともいずれかを調整可能に構成されている。励振器から複数の校正周波数信号を供給し、校正制御器は両CH信号間の周波数特性が温度等によって変化し、両CH信号間の振幅差あるいは位相差が変化したとき、それを検出し、それら変化が相殺されて補正されるように等化器に対するウェイト制御を行う。これにより、SLCに供給される両信号間の振幅差あるいは位相差が、広帯域にわたり常に一定となり、SLCにおける妨害波抑圧性能の安定化が可能である。

【0007】

さらに、特許文献4は、クラッタや妨害の存在する環境下でも、クラッタおよび妨害の両者を十分抑圧するレーダ信号処理装置を開示している。このレーダ信号処理装置において、補助アンテナ信号のFFT変換で得られる周波数バンク出力毎に設けられるプリプロセッサ回路は、周波数バンク信号を入力してレンジセル単位に分割する第1TDLの各タップ遅延信号をグラムシュミット型の第1のシストリックアレイ回路によるアダプティブ処理によって妨害成分を検出し、主アンテナ信号を入力してPRI単位に分割する第2TDLの各タップ遅延信号をグラムシュミット型の第2シストリックアレイ回路によるアダプティブ処理によってクラッタ成分を検出する。これらの妨害・クラッタ検出成分を対応するフィルタバンクのキャンセレーション回路に入力して、主チャンネル信号中の妨害・クラッタ成分を抑圧する。このレーダ信号処理装置は、補助アンテナの自由度が少ないか、補助アンテナの利得が低い場合に有効な方式であり、自由度が多いか、補助アンテナの利得が高い場合には、クラッタと妨害に対してより抑圧性能の高い方式が望まれる。

【特許文献1】特開2004-239845号公報

【特許文献2】特開2006-078269号公報

【特許文献3】特開2006-267036号公報

【特許文献4】特開2006-258581号公報

【特許文献5】特許1816548号

【非特許文献1】菊間信良、“アレーアンテナによる適応信号処理”、科学技術出版(1999) pp. 35-37, 98-99

【非特許文献2】菊間信良、“アレーアンテナによる適応信号処理”、科学技術出版(1999) pp. 67-86

【非特許文献3】菊間信良、“アレーアンテナによる適応信号処理”、科学技術出版(1999) pp. 17-21

【非特許文献4】Richard Klemm, "SPACE-TIME ADAPTIVE PROCESSING", IEE RADAR, SONAR, NAVIGATION AND AVIONICS 9, pp. 110-118 (1998)

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述した従来のレーダ装置では、アンテナ素子またはサブアレイから送られてくる入力信号を用いて2次元のSTAP処理を実施する場合、各CH(各入力信号)の周波数特性が異なると、不要波の抑圧性能が低下するとともに、主CHのメインローブが崩れる可能性がある。周波数特性をアダプティブ処理により揃えるには、レンジセル単位のTDLが必要であるが、クラッタを抑圧するためには、PRI単位のTDLが必要であり、両者を満足するには、レンジセル単位でCPI(コヒーレント処理周期)までのTDLが必要であり、回路規模が大きくなるという問題がある。

【0009】

また、アダプティブ処理時にメインローブを保持するためには、拘束条件(非特許文献1参照)をつける手法もあるが、アンテナのエレベーション方向およびアジマス方向の自由度が少ない場合にはメインローブが乱れやすく、また、拘束演算が必要であるため演算処理負荷が大きくなるという問題がある。

【0010】

本発明は、上述した問題を解消するためになされたものであり、その課題は、クラッタおよび妨害を抑圧するとともに、メインローブを保持し、高い抑圧性能を得ることができ

10

20

30

40

50

るレーダ装置を提供することにある。

【課題を解決するための手段】

【0011】

上記課題を解決するために、請求項1記載の発明は、複数のアンテナ素子またはサブアレイを備えた主アンテナからの信号をビーム合成するビーム合成回路と、ビーム合成回路の出力をフーリエ変換して主チャンネル信号を生成するフーリエ変換回路と、複数のアンテナ素子またはサブアレイの一部または全部を共用して成る補助アンテナからの複数の補助チャンネル信号のPRI単位またはレンジセル単位の信号を用いてタップドディレイラインによるアダプティブ処理を行うアダプティブ処理回路と、フーリエ変換回路から送られてくる主チャンネル信号から、アダプティブ処理回路によってアダプティブ処理がなされた信号を減算することにより主チャンネル信号に含まれる不要波を抑圧するキャンセル処理回路を備え、前記アダプティブ処理回路は、前記複数のアンテナ素子またはサブアレイの一部または全部を共用して成る補助アンテナからの複数の補助チャンネル信号のPRI単位またはレンジセル単位の信号を、クラッタおよび妨害状況に応じて切り替えて、タップドディレイラインによるアダプティブ処理を行うことを特徴とする。

10

【0013】

また、請求項2記載の発明は、請求項1記載の発明において、複数のアンテナ素子またはサブアレイの一部または全部を共用して成る補助アンテナからの補助チャンネル信号のメインローブに対する応答レベルを低減させる拘束付補助ビーム形成回路を備え、アダプティブ処理回路は、拘束付補助ビーム形成回路から信号のPRI単位またはレンジセル単位の信号を用いてタップドディレイラインによるアダプティブ処理を行い、以て主チャンネル信号のメインローブ形状の変化を抑えることを特徴とする。

20

【0014】

また、請求項3記載の発明は、請求項1又は請求項2記載の発明において、主チャンネル信号と補助チャンネル信号の周波数特性を揃える等化器を備えたことを特徴とする。

【発明の効果】

【0015】

本発明によれば、クラッタおよび妨害の両者を抑圧し、かつメインローブの形状を保持することができ、しかも回路規模および演算規模を比較的小さくすることができるレーダ信号処理装置を提供することができる。

30

【0016】

より詳しくは、請求項1記載の発明によれば、アダプティブ処理に、レンジセル単位またはPRI単位のいずれか一方のタップドディレイラインを用いることにより、クラッタおよび妨害の両者を、小さい処理規模によって抑圧することができる。また、主チャンネル信号から、補助チャンネル信号をアダプティブ処理することにより得られた信号を減算して不要波を抑圧するので、メインローブを保持しやすくなる。

【0017】

また、レンジセル単位またはPRI単位のタップドディレイラインの出力を、クラッタまたは妨害の状況に応じて切り替えるので、演算処理の負荷を軽減でき、クラッタおよび妨害を効率よく抑圧することができる。

40

【0018】

また、請求項2記載の発明によれば、補助チャンネルのメインローブに対する応答レベルを低減させるので、アダプティブ処理の際にメインローブに対する影響を低減することができる。

【0019】

また、請求項3記載の発明によれば、主チャンネルと補助チャンネルの周波数特性を揃えるようにしたので、クラッタおよび妨害の抑圧性能を向上させることができる。

【発明を実施するための最良の形態】

【0020】

50

以下、本発明の実施の形態を、図面を参照しながら詳細に説明する。

【実施例 1】

【0021】

図 1 は、本発明の実施例 1 に係るレーダ信号処理装置の構成を示すブロック図である。このレーダ信号処理装置において、主アンテナ 11 を構成する複数のアンテナ素子にて送受信された信号は、ビーム合成回路 2 でビーム合成される。

【0022】

なお、複数のアンテナ素子の代わりに、複数のサブアレイ（サブアレイは複数のアンテナ素子が配列されて構成される）を用いることもできる。ビーム合成回路 2 でビーム合成された信号は、フーリエ変換回路 3 においてフーリエ変換されることにより、空間 - 周波数軸（時空間）でビーム形成がなされる。時空間でのビーム形成は、次式で表すことができる。

【数 1】

$$X_{out}(\theta b, b) = S^t \cdot X \quad (1)$$

【0023】

ここで、

X_{ina} : 入力信号（ $N \times M$ 個、 N : 補助アンテナ数、 M : タップ数）

$$X_{ina} = [X_1, \dots, X_N, M]^t$$

S : 時空間のステアリングベクトル

【数 2】

$$S = [\exp(j \cdot \Phi_{1,m}), \dots, \exp(j \cdot \Phi_{N,M})]^t$$

$$\Phi_{n,m} = -2\pi \frac{dn \cdot \sin(\theta b)}{\lambda} - 2\pi \cdot \frac{m}{M}$$

【0024】

上記は、リニアアレイの場合である。

【0025】

$X_{out}(b, b)$: b 、バンク b のビーム出力

b : ビーム指向方向

b : 周波数バンク番号（ $b = 1 \sim B$ ）

: 波長

dn : サブアレイ n の位相中心の位置ベクトル（ $n = 1 \sim N$ ）

t : 転置

なお、フーリエ変換回路 3 は、DFT（Discrete Fourier Transformation；離散フーリエ変換）または FFT（Fast Fourier Transform；高速フーリエ変換）を行うように構成できる。フーリエ変換回路 3 により分解された B （ B は正の整数）個のフィルタバンク信号 $X_{inm_1} \sim X_{inm_B}$ は、主チャンネル（以下、「主 CH」と略する）信号としてキャンセル処理回路 5 に送られる。

【0026】

主アンテナ 11 を構成する複数のアンテナ素子またはサブアレイの一部または全部は補助アンテナ 12 として共用される。この補助アンテナ 12 で得られる複数の補助チャンネル（以下、「補助 CH」と略する）信号は、複数のアダプティブ処理回路 4 にそれぞれ送られる。

【0027】

アダプティブ処理回路 4 は、補助アンテナ 12 からの補助 CH 信号の PRI 単位またはレンジセル単位のいずれか一方の信号を用いて、タップディレイライン（以下、「TDL」と略する）によるアダプティブ処理により、不要波を抑圧する。この際のデータ抽出

10

20

30

40

50

の様子を図3に示す。アダプティブ処理回路4における最適ウェイト $Wopt$ の計算は、直接解法（非特許文献1参照）の場合は、SMI（Sampled Matrix Inversion）アルゴリズム演算回路41において、次式にしたがって行われる。

【数3】

$$Wopt = Rxx^{-1} \cdot rxd \quad (2)$$

【0028】

ここで、

Rxx : 補助CH信号Xの相関行列

$$Rxx = Xina \cdot Xina^*$$

rxd : 補助CH信号とビーム出力 $Xout$ の相関ベクトル

$$rxd = Xina \cdot Xout^*$$

Rxx^{-1} : Rxx の逆行列

* : 複素共役

このSMIアルゴリズム演算回路41において計算された最適ウェイト $Wopt$ は、アダプティブ処理回路4の内部の演算セルAに設定される。演算セルAは、図2(a)に示すように、SMIアルゴリズム演算回路41から設定された最適ウェイト $Wopt$ とTDLのタップから送られてくる補助CH信号Xとによって所定の演算を実行し、その演算結果を信号Zとしてキャンセル処理回路5に送る。

【0029】

キャンセル処理回路5においては、図2(b)に示すような演算セルBにおいて、フーリエ変換回路3から送られてくる信号Y（主CH信号；信号 $Xin_1 \sim Xin_B$ ）からアダプティブ処理回路4から送られてくる信号Zを減算し、主CH信号に含まれる不要波が抑圧されたバンク $bank_1 \sim bank_B$ 毎の信号 $Xout_1 \sim Xout_B$ を出力する。

【0030】

なお、最適ウェイトの演算方法としては、直接解法に限らず、例えばMSN（Maximum Signal to Noise Ratio）法（非特許文献2参照）またはグラムシュミット法（特許文献5参照）といった他の方法を用いることもできる。

【0031】

以上説明した実施例1に係るレーダ信号処理装置によれば、アダプティブ処理に、レンジセル単位またはPRI単位のいずれか一方のタップディレイラインを用いることにより、クラッタおよび妨害の両者を、小さい処理規模によって抑圧することができる。また、主チャンネル信号から、補助チャンネル信号をアダプティブ処理することにより得られた信号を減算して不要波を抑圧するようにしたので、メインローブを保持しやすくなる。

【実施例2】

【0032】

図4は、本発明の実施例2に係るレーダ信号処理装置の構成を示すブロック図である。このレーダ信号処理装置は、実施例1に係るレーダ信号処理装置のアダプティブ処理回路4の代わりに、その内容の一部を変更したアダプティブ処理回路4aが使用されて構成されている。アダプティブ処理回路4aは、実施例1に係るアダプティブ処理回路4に、データ抽出回路42およびデータ抽出制御回路43が追加されて構成されている。

【0033】

データ抽出制御回路43は、外部から入力されるクラッタおよび妨害の状況を表す信号に応じて制御信号を生成し、データ抽出回路42に送る。データ抽出回路42は、データ抽出制御回路43から送られてくる制御信号にしたがって、演算セルAの出力を選択し、SMIアルゴリズム演算回路41に送る。

【0034】

上記のように構成されるレーダ信号処理装置においては、主アンテナ11を構成する複

10

20

30

40

50

数のアンテナ素子にて送受信された信号は、ビーム合成回路2でビーム合成される。このビーム合成回路2でビーム合成された信号は、フーリエ変換回路3においてフーリエ変換されることにより、時空間でビーム形成がなされる。

【0035】

一方、アダプティブ処理回路4aにおいては、データ抽出回路42は、補助アンテナ12からの補助CH信号のPRI単位またはレンジセル単位のいずれか一方の一部または全部の信号の中から、データ抽出制御回路43からの制御信号に応じた信号を抽出し、SMIアルゴリズム演算回路41に送る。これにより、SMIアルゴリズム演算回路41は、抽出された信号に対してアダプティブ処理を実施する。上記以外の動作は、上述した実施例1に係るレーダ信号処理装置の動作と同じである。

10

【0036】

なお、データ抽出制御回路42は、例えばクラッタの強弱を表すクラッタマップ情報等によってクラッタが強い環境にあることが示されている場合は、PRI単位で信号を抽出するための制御信号を生成し、別途実施される妨害検出処理等によって妨害が強い環境であることが示されている場合は、レンジセル単位で信号を抽出するための制御信号を生成するように構成できる。

【0037】

以上説明した実施例2に係るレーダ信号処理装置によれば、レンジセル単位またはPRI単位のTDLの出力を、クラッタまたは妨害の状況に応じて切り替えてアダプティブ処理を行うので、演算処理の負荷を軽減でき、クラッタおよび妨害を効率よく抑圧することができる。

20

【実施例3】

【0038】

本発明の実施例3に係るレーダ信号処理装置は、実施例1に係るレーダ信号処理装置において、主CHのメインローブの形状を変化させないように、補助CHの信号のメインローブに対する応答レベルを低減させるようにしたものである。

【0039】

図5は、本発明の実施例3に係るレーダ信号処理装置の構成を示すブロック図である。このレーダ信号処理装置は、実施例1に係るレーダ信号処理装置に拘束付補助ビーム形成回路6が追加されて構成されている。拘束付補助ビーム形成回路6は、補助アンテナ12からの信号に基づき拘束付補助ビームを生成し、アダプティブ処理回路4に送る。

30

【0040】

図6は、メインローブ方向の応答レベルを低減させる方法を説明するための図である。拘束付補助ビーム形成回路6は、補助アンテナ12間の差をとることより、メインローブ方向にヌルを形成する。図7は、この原理を示す図であり、補助CHのアンテナパターンを示す。

【0041】

図8は、メインローブ方向の応答レベルを低減させる他の方法を説明するための図である。拘束付補助ビーム形成回路6aは、補助アンテナ12(補助CH)と主アンテナ11(主CH)のメインローブのレベルを合わせて減算することによりメインローブ方向にヌルを形成する。図9は、この原理を示す図であり、拘束付補助CHのアンテナパターンを示す。この方法によれば、図6に示した方法よりシャープなヌルを形成できる。

40

【0042】

以上説明した実施例3に係るレーダ信号処理装置によれば、拘束付補助CHを用いるように構成したので、メインローブを保持したまま、アダプティブ処理により不要波を抑圧できる。

【実施例4】

【0043】

本発明の実施例4に係るレーダ信号処理装置は、主CHと補助CHの周波数特性を揃えるように構成したものである。

50

【 0 0 4 4 】

図 1 0 は、実施例 4 に係るレーダ信号処理装置の構成を示すブロック図である。このレーダ信号処理装置は、図 5 に示す実施例 3 に係るレーダ信号処理装置に等化器 7 が追加されて構成されている。等化器 7 は拘束付補助ビーム形成回路 6 の出力を処理することにより主 C H と補助 C H の周波数特性を揃え、アダプティブ処理回路 4 に送る。この等化器 7 の詳細は、例えば特許文献 3 に記載されているので、以下では簡単に説明する。

【 0 0 4 5 】

図 1 1 は、等化器 7 の構成を示すブロック図である。等化器 7 は、遅延回路、乗算器および加算器から構成されており、遅延回路は、遅延時間が異なる複数のディレイラインが縦続接続からなり、乗算器は、遅延回路の各タップ端子に接続された複数の乗算回路から構成され、各乗算回路の出力が加算器で合成されて出力される。

10

【 0 0 4 6 】

等化器 7 は、このように T D L が組み込まれたフィルタであり、遅延回路のタップ端子位置制御による位相調整と、乗算器の乗算回路に対する重み付け制御による振幅調整とにより、高周波信号の位相および振幅の双方を、広帯域にわたり調整制御が可能である。

【 0 0 4 7 】

このように構成される等化器 7 は、主 C H と補助 C H の周波数特性差を打ち消すように動作し、図 1 2 は、その原理図を示す。図 1 2 は、受信周波数領域（横軸）に対する主 C H と補助 C H との間の振幅 / 位相差特性および等化器 7 の補正值を示している。いま、主 C H および補助 C H の周波数特性が変化し、両 C H 間の振幅差が周波数軸上で変化し、図 1 2 (a) に実線で示すように変化したとする。等化器 7 は、各 C H 間の振幅差（実線）から、実線とは逆特性の破線で示した振幅補正值を演算（例えば逆フーリエ変換手法等）により求め、その振幅補正值に対応したウェイト制御を行うことにより、図 1 2 (b) に示すように、主 C H と補助 C H の振幅 / 位相差が一定になるように補正する。

20

【 0 0 4 8 】

以上説明した実施例 4 に係るレーダ信号処理装置によれば、主 C H と補助 C H の周波数特性を揃えるように構成したので、クラッタおよび妨害の抑圧性能を向上させることができる。

【 0 0 4 9 】

なお、上述した実施例 4 に係るレーダ信号処理装置では、拘束付補助ビーム形成回路 6 の出力側に等化器 7 を設けるように構成したが、メインローブを保持する必要がなければ、拘束付補助ビーム形成回路 6 を除去することもできる。

30

【産業上の利用可能性】

【 0 0 5 0 】

本発明は、クラッタおよび妨害の両方の抑圧が要求されるレーダ装置に利用可能である。

【図面の簡単な説明】

【 0 0 5 1 】

【図 1】本発明の実施例 1 に係るレーダ装置の構成を示す図である。

【図 2】本発明の実施例 1 に係るレーダ装置の演算セルを示す図である。

40

【図 3】本発明の実施例 1 に係るレーダ装置の T D L を示す図である。

【図 4】本発明の実施例 2 に係るレーダ装置の構成を示す図である。

【図 5】本発明の実施例 3 に係るレーダ装置の構成を示す図である。

【図 6】本発明の実施例に係るレーダ装置における拘束付補助ビーム形成を示す図である。

【図 7】本発明の実施例に係るレーダ装置における拘束付補助ビーム形成の例を示す図である。

【図 8】本発明の実施例に係るレーダ装置における拘束付補助ビーム形成の他の例を示す図である。

【図 9】本発明の実施例に係るレーダ装置における拘束付補助ビーム形成の他の例を示す

50

図である。

【図10】本発明の実施例4に係るレーダ装置の構成を示す図である。

【図11】本発明の実施例に係るレーダ装置の等化器の構成を示す図である。

【図12】本発明の実施例に係るレーダ装置の等化器の原理を示す図である。

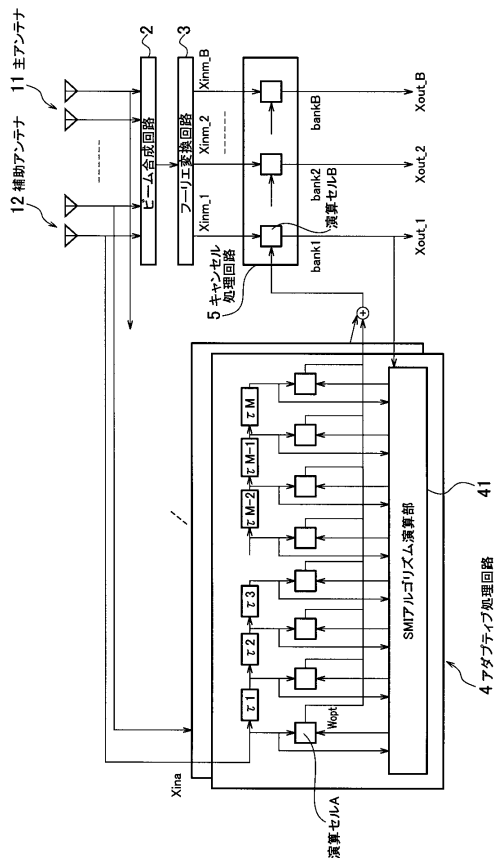
【図13】従来のレーダ装置の構成を示す図である。

【符号の説明】

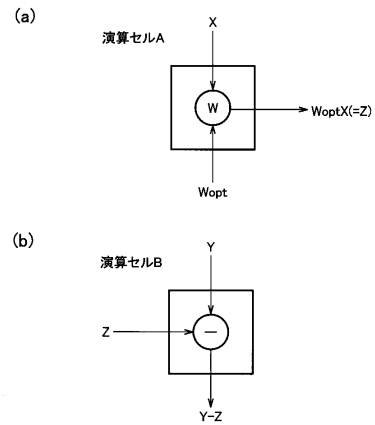
【0052】

- 1 1 主アンテナ
- 1 2 補助アンテナ
- 2 ビーム合成回路
- 3 フーリエ変換回路
- 4、4 a アダプティブ処理回路
- 5 キャンセル処理回路
- 6 拘束付補助ビーム形成回路
- 7 等化器
- 4 1 SMIアルゴリズム演算回路
- 4 2 データ抽出回路
- 4 3 データ抽出制御回路

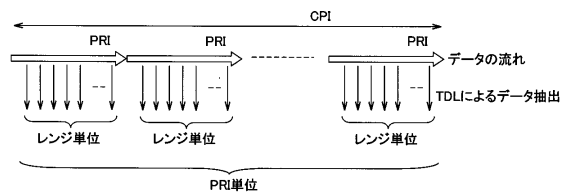
【図1】



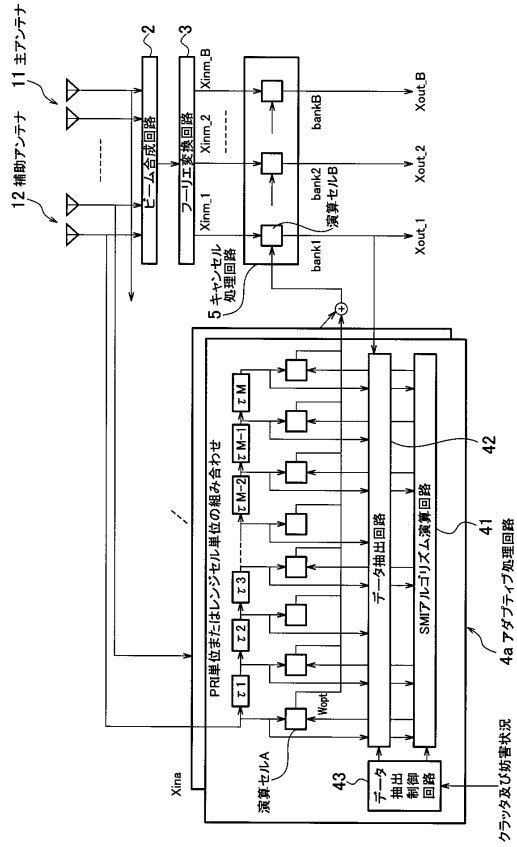
【図2】



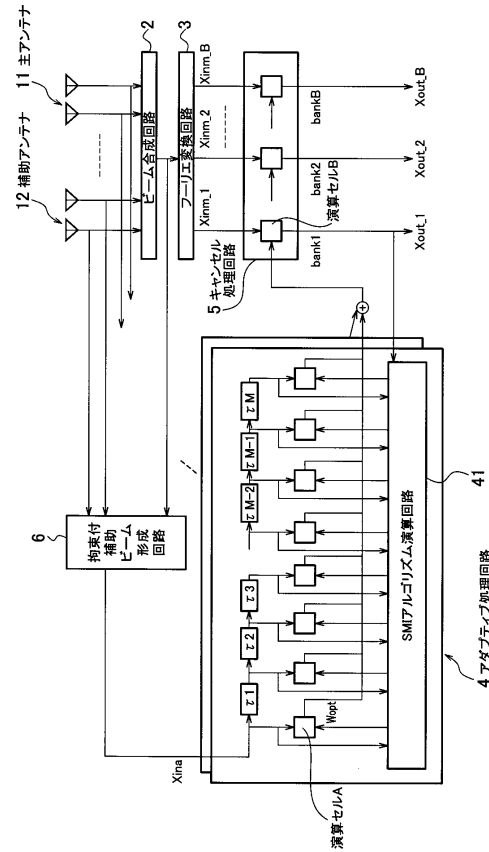
【図3】



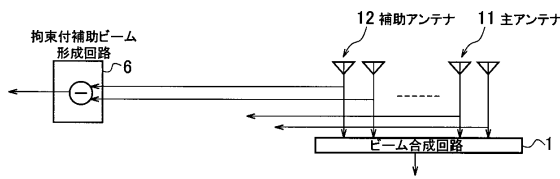
【 図 4 】



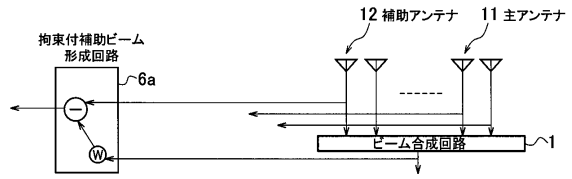
【 図 5 】



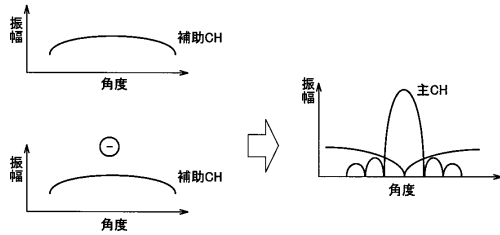
【 図 6 】



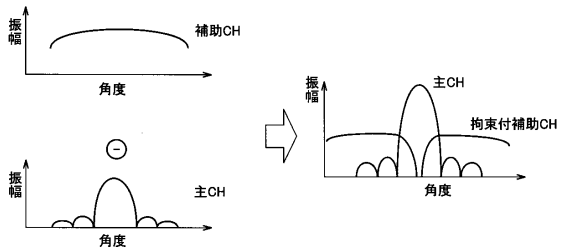
【 図 8 】



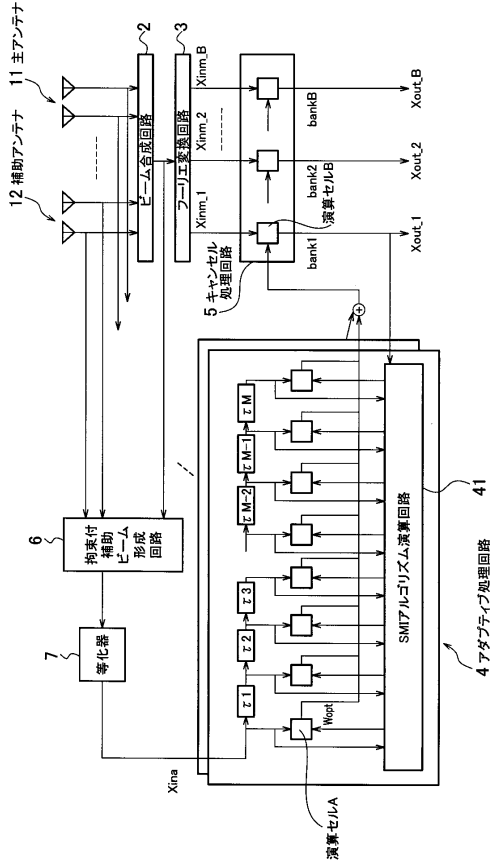
【 図 7 】



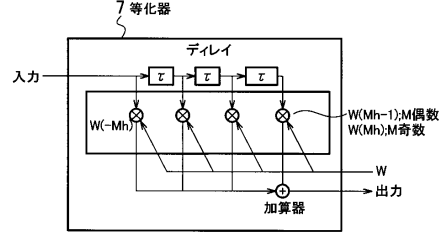
【 図 9 】



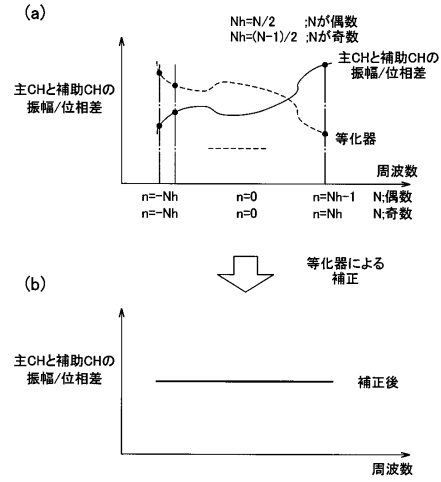
【図10】



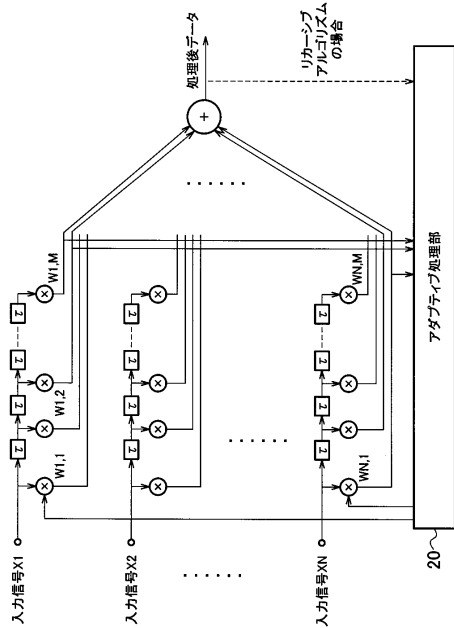
【図11】



【図12】



【図13】



フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 竹谷 晋一

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 神谷 健一

(56)参考文献 特開2006-258581(JP,A)

実開平05-059364(JP,U)

特開平11-195919(JP,A)

特開2006-267036(JP,A)

特開2004-239845(JP,A)

特開2004-257761(JP,A)

特開2006-208044(JP,A)

実開昭64-15984(JP,U)

米国特許第07129888(US,B1)

(58)調査した分野(Int.Cl.,DB名)

G01S 7/00 - 7/42

G01S 13/00 - 13/95