



(12) **Veröffentlichung**

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2019/139577**  
in der deutschen Übersetzung (Art. III § 8 Abs. 2  
IntPatÜG)

(51) Int Cl.: **H01L 29/786** (2006.01)

(21) Deutsches Aktenzeichen: **11 2018 005 420.9**

(86) PCT-Aktenzeichen: **PCT/US2018/013181**

(86) PCT-Anmeldetag: **10.01.2018**

(87) PCT-Veröffentlichungstag: **18.07.2019**

(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **30.07.2020**

(71) Anmelder:  
**Intel Corporation, Santa Clara, Calif., US**

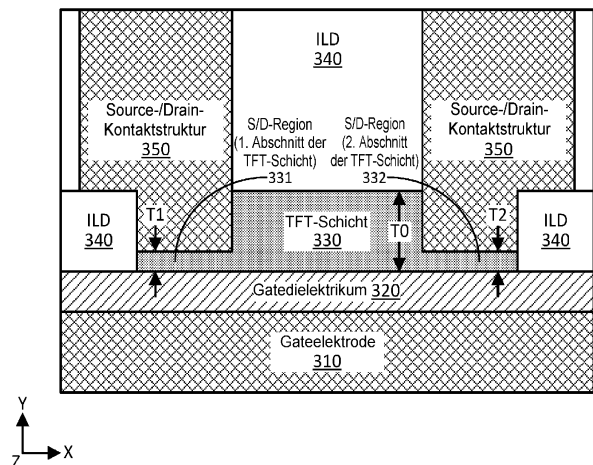
(72) Erfinder:  
**Sharma, Abhishek A., Hillsboro, OR, US; Le,  
Van H., Beaverton, Oreg., US; Tan, Li Huey,  
Beaverton, OR, US; Tronic, Tristan A., Aloha, OR,  
US; Chu-Kung, Benjamin, Portland, Oreg., US;  
Kavalieros, Jack T., Portland, Oreg., US; Ghani,  
Tahir, Portland, Oreg., US**

(74) Vertreter:  
**BOEHMERT & BOEHMERT Anwaltspartnerschaft  
mbB - Patentanwälte Rechtsanwälte, 28209  
Bremen, DE**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **DÜNNFILMTRANSISTOREN MIT NIEDRIGEM KONTAKTWIDERSTAND**

(57) Zusammenfassung: Es werden Techniken zum Bilden von Dünnschichttransistoren (TFTs) mit niedrigem Kontaktwiderstand offenbart. Wie in dieser Anmeldung offenbart, kann der niedrige Kontaktwiderstand erreicht werden, indem absichtlich eine oder beide der Source-/Drain- (S/D) Regionen der Dünnschicht der TFT-Vorrichtung ausgedünnt werden. Da die TFT-Schicht eine anfängliche Dicke im Bereich von 20-65 nm aufweisen kann, können die Techniken für die Ausdünnung der S/D-Regionen der TFT-Schicht wie hierin beschrieben die Dicke in einer oder beiden der S/D-Regionen auf eine entstehende Dicke von beispielsweise 3-10 nm reduzieren. Das absichtliche Ausdünnen einer oder beider der S/D-Regionen der TFT-Schicht induziert höhere elektrostatische Ladungen in der ausgedünnten S/D-Region, wodurch das effektive Dotiermittel in der S/D-Region erhöht wird. Die Erhöhung des effektiven Dotiermittels in der ausgedünnten S/D-Region hilft, den verbundenen Kontaktwiderstand zu senken, wodurch eine verbesserte allgemeine Vorrichtungsleistung erzeugt wird.



**Beschreibung**

## HINTERGRUND

**[0001]** Ein Dünnschichttransistor (TFT) ist eine Art von Feld-Effekt-Transistor (FET), der allgemein einen Dünnschicht oder eine Schicht umfasst, die mindestens für den Kanal der Vorrichtung verwendet wird. Ein FET, und daher ein TFT, ist eine Halbleitervorrichtung, die drei Anschlüsse aufweist: ein Gate, eine Source, und einen Drain. Ein FET, und daher ein TFT, verwendet ein elektrisches Feld, das durch das Gate aufgebracht wird, um die elektrische Leitfähigkeit eines Kanals zu steuern, durch den Ladungsträger (z. B. Elektronen oder Löcher) zwischen der Source und dem Drain fließen. In Fällen, in denen die Ladungsträger Elektronen sind, wird der Transistor als eine n-Kanalvorrichtung bezeichnet, und in Fällen, in denen die Ladungsträger Löcher sind, kann der Transistor als eine p-Kanalvorrichtung bezeichnet werden.

## Figurenliste

**Fig. 1** illustriert eine beispielhafte Rückseitengate- oder Bodengate-Dünnschichttransistor- (TFT) Vorrichtung.

**Fig. 2** illustriert ein Verfahren zum Bilden einer integrierten Schaltung (IC), die mindestens einen Rückseitengate-TFT mit mindestens einer relativ ausgedünnten Source-/Drain- (S/D) Region nach einigen Ausführungsformen dieser Offenbarung.

**Fig. 3A** bis **Fig. 3F** illustrieren Querschnittsansichten beispielhafter IC-Strukturen, die gebildet werden, wenn das Verfahren aus **Fig. 2** ausgeführt wird, nach einigen Ausführungsformen.

**Fig. 4** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit nur einer S/D-Region, die ausgedünnt wurde, nach einigen Ausführungsformen.

**Fig. 5** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit einer weiteren Gatestruktur nach einigen Ausführungsformen.

**Fig. 6** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit einer mehrschichtigen TFT-Schicht nach einigen Ausführungsformen.

**Fig. 7** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit einer abgestuften TFT-Schicht nach einigen Ausführungsformen.

**Fig. 8** illustriert eine Querschnittsansicht einer beispielhaften IC-Struktur, die eine Rückseitengate-TFT-Vorrichtung umfasst, einschließlich ausgedünnter S/D-Regionen an einem Back-

End-of-Line- (BEOL) IC-Ort nach einigen Ausführungsformen dieser Offenbarung.

**Fig. 9** illustriert ein Rechnersystem, das mit IC-Strukturen und/oder Transistorvorrichtungen umgesetzt ist, die unter Verwendung der hierin offenbarten Techniken abgebildet sind, nach einigen Ausführungsformen dieser Offenbarung.

**[0002]** Diese und andere Merkmale dieser Ausführungsformen sind besser durch Lesen der folgenden ausführlichen Beschreibung zu verstehen, die zusammen mit den hierin beschriebenen Figuren zu nehmen ist. In den Zeichnungen kann jede identische oder annähernd identische Komponente, die in verschiedenen Figuren illustriert ist, durch eine gleiche Ziffer dargestellt werden. Zum Zweck der Klarheit ist möglicherweise nicht jede Komponente in jeder Zeichnung beschriftet. Ferner sind, wie zu erkennen ist, die Figuren nicht notwendigerweise maßstabsgetreu gezeichnet oder sollen die beschriebenen Ausführungsformen nicht auf die spezifischen dargestellten Konfigurationen beschränken. Beispielsweise zeigen zwar einige Figuren allgemein gerade Linien, rechte Winkel und glatte Flächen an, aber eine tatsächliche Umsetzung der offenbarten Techniken weist möglicherweise nicht perfekt gerade Linien und rechte Winkel auf, und einige Merkmale können eine Flächentopographie aufweisen oder anderweitig nicht glatt sein, da die Herstellungsprozesse in der echten Welt Einschränkungen unterliegen. Noch weiter können einige Merkmale in den Zeichnungen eine strukturierte und/oder schattierte Füllung umfassen, die nur bereitgestellt ist, um bei der visuellen Identifizierung der verschiedenen Merkmale zu helfen. Kurz gesagt, die Figuren sind lediglich bereitgestellt, um beispielhafte Strukturen zu zeigen.

## AUSFÜHRLICHE BESCHREIBUNG

**[0003]** In einigen Fällen kann ein Dünnschichttransistor (TFT) mit einer Rückseitengate- oder Bodengate-Architektur gebildet sein, wobei die Gatestruktur zuerst gebildet wird und dann die Dünnschicht- oder TFT-Schicht über der Gatestruktur gebildet wird. Weiterhin umfassen Rückseitengate-TFTs typischerweise Source- und Drainkontakte, die sich über der Rückseitengate-Struktur befinden, im Gegensatz zu anderen TFTs, in denen die Gatestruktur sich beispielsweise nur zwischen den Source- und Drainkontakten befindet. Beispielsweise illustriert **Fig. 1** eine solche Rückseitengate- oder Bodengate-TFT-Architektur, wobei die TFT-Schicht **130** sich über der Gatestruktur befindet, die in dieser beispielhaften Illustration die Gateelektrode **110** und das Gatedielektrikum **120** umfasst. Wie zu verstehen ist, befindet sich die Kanalregion der TFT-Vorrichtung in der TFT-Schicht **130**. Ferner befinden sich die Source-/Drain-Kontaktstrukturen **150** auch über der Gatestruktur, mit einem Zwischenschichtdielektrikum (ILD) **140**, um zu helfen, die Merkmale der TFT-Vorrichtung elek-

trisch zu isolieren, wie dargestellt. TFTs mit Rückseitengate-Architektur weisen eine einzigartige Art auf, Dotiermittel unter den Source- und Drainkontakten durch Aufbringen des Gatefelds zu erhöhen. TFTs mit Rückseitengate-Architektur können jedoch unter Kontaktwiderstandsproblemen leiden, wie etwa durch hohen externen Widerstand (Rext), insbesondere, wenn die TFT-Schichtdicke in den Source- und Drainregionen relativ dick ist. Einige Techniken zum Verringern des Rext für die Rückseitengate-TFTs umfassen die Erzeugung von Sauerstoffleerstellen durch Implantate und reaktive Metalle. Es besteht jedoch eine Notwendigkeit für das Senken der Kontaktwiderstände und Rext für Rückseitengate-TFTs.

**[0004]** So, und nach verschiedenen Ausführungsformen dieser Offenbarung, sind Techniken bereitgestellt, um TFTs mit niedrigem Kontaktwiderstand zu bilden. In einigen Ausführungsformen wird der geringe Kontaktwiderstand und der geringere Rext durch absichtliches Ausdünnen eines oder beider aus den Source- und Drain- (S/D) Regionen der TFT-Schicht einer TFT-Vorrichtung. Wie auf Grundlage dieser Offenbarung zu verstehen ist, ist die TFT-Schicht die Schicht, in der die Kanalregion des TFT vorliegt. Da die TFT-Schicht in einigen Ausführungsformen eine anfängliche Dicke in dem Bereich von 10 bis 100 Nanometern (nm) (oder in einem Unterbereich von 20 bis 65 nm) aufweisen kann, können Techniken für die Ausdünnung der S/D-Regionen oder Abschnitte der TFT-Schicht, die hierin beschrieben sind, die Dicke in einer oder beiden dieser S/D-Regionen beispielsweise um mindestens 5 bis 80 nm (oder in einem Unterbereich von 5 bis 50 nm) verringern. In anderen Worten, die ausgedünnten S/D-Regionen können eine entstehende Dicke im Bereich von 2 bis 20 nm (oder in einem Unterbereich von 3 bis 5 nm) aufweisen. Wenn beispielsweise die anfängliche Dicke der TFT-Schicht 20 nm beträgt, kann sie in einer oder beiden der S/D-Regionen unter Verwendung der hierin beschriebenen Techniken auf 5 nm ausgedünnt werden. Allgemein führt das absichtliche Ausdünnen einer oder beider der S/D-Regionen der TFT-Schicht wie hierin beschrieben zu höheren elektrostatischen Ladungen in der ausgedünnten S/D-Region, wodurch das effektive Dotiermittel in der S/D-Region erhöht wird. Die Erhöhung des effektiven Dotiermittels in der ausgedünnten S/D-Region hilft, den verbundenen Kontaktwiderstand zu senken, was den Rext für die Rückseitengate-TFT-Vorrichtung verringert, wodurch eine verbesserte allgemeine Transistorleistung erzeugt wird. Andere Vorteile der hierin beschriebenen Techniken und Strukturen sind mit Blick auf diese Offenbarung offensichtlich.

**[0005]** Es ist zu beachten, dass die Verwendung von „Source/Drain“ oder „S/D“ hierin einfach vorgesehen ist, sich auf eine Source-Region oder eine Drain-Region oder eine Source-Region und eine Drain-Region

zu beziehen. Dabei bedeutet der Schrägstrich („/“) wie hierin verwendet, „und/oder“, sofern nicht speziell anders vorgegeben, und soll keine bestimmte strukturelle Einschränkung oder Anordnung bezüglich der Source- und Drain-Regionen oder anderer Materialien oder Merkmale implizieren, die hierin in Verbindung mit einem Schrägstrich aufgeführt sind.

**[0006]** In einigen Ausführungsformen können die Techniken für das Ausdünnen der TFT-Schicht in den S/D-Regionen erreicht werden, indem zuerst S/D-Kontakttranches in Zwischenschichtdielektrikums- (ILD) Material über der TFT-Schicht geätzt wird, gefolgt durch Ätzen der TFT-Schicht in den offengelegten S/D-Regionen auf eine gewünschte Dicke wie hierin verschieden beschrieben. Beispielsweise kann in einigen Ausführungsformen ein kontrolliertes Ätzen (z. B. ein getimtes Nass- oder Trockenätzen) verwendet werden, um einen Abschnitt der TFT-Schicht in den S/D-Regionen zu entfernen und einen relativ dünneren Abschnitt der TFT-Schicht im Vergleich mit dem Abschnitt der TFT-Schicht zwischen den S/D-Regionen (z. B. in der Kanalregion zu hinterlassen). In einigen Ausführungsformen kann eine mehrschichtige TFT-Schicht eingesetzt werden, in der die TFT-Schicht zwei oder mehr Unterschichten umfasst, die verschiedene Materialzusammensetzungen aufweist. Ferner kann in einigen solchen Fällen, wenn die verschiedenen Materialzusammensetzungen der TFT-Zwischenschichten selektives Ätzen erlauben, eine selektive Ätzverarbeitung eingesetzt werden, um eines oder mehr der obersten Unterschichten zu entfernen (oder den als erstes über den S/D-Kontakttranch ausgesetzten), während die eine oder mehreren verbleibenden untersten Zwischenschichten als ein Ätzstopp (oder mindestens ein Ätzverlangsamungsmechanismus) dienen, um den Ausdünnungsprozess zu steuern. Es ist zu beachten, dass in einigen solchen Fällen perfekte oder sogar hohe Ätzselektivität zwischen der einen oder den mehreren obersten Zwischenschichten, die entfernt werden sollen, und den verbleibenden untersten Zwischenschichten, die behalten werden sollen, nicht erforderlich sein müssen, da sogar eine geringe relative Ätzselektivität eine verbesserte Steuerung zum Ausdünnen der TFT-Schicht in den S/D-Regionen bereitstellt, wie auf Grundlage dieser Offenbarung zu verstehen ist.

**[0007]** In einigen Ausführungsformen kann die Ausdünnung der hierin beschriebenen TFT-S/D-Regionen symmetrisch sein, sodass die Ausdünnung in jeder der S/D-Regionen gleich oder im Wesentlichen ähnlich ist. Beispielsweise kann in einigen solchen Ausführungsformen die entstehende Dicke der Source-Region (oder der Abschnitt der TFT-Schicht zwischen der Sourcekontaktstruktur und der Gatestruktur) im Wesentlichen ähnlich sein wie die entstehende Dicke der Drainregion (oder dem Abschnitt der TFT-Schicht zwischen der Drainkontaktstruktur und

der Gatestruktur), sodass die beiden entstehenden Dicken innerhalb von 1 oder 2 nm zueinander liegen. In anderen Ausführungsformen kann jedoch die Ausdünnung der TFT-S/D-Regionen, die hierin beschrieben sind, asymmetrisch sein, sodass eine S/D-Region ausgedünnt ist und die andere nicht, oder sodass eine S/D-Region relativ stärker ausgedünnt ist als die andere S/D-Region, wie etwa beispielsweise auf mehr als 2 nm mehr. Beispielsweise kann in einer solchen asymmetrischen Konfiguration, beginnend mit einer anfänglichen TFT-Schicht mit einer Dicke von 20 nm eine S/D-Region auf 5 nm hinunter ausgedünnt werden, während die andere auf 8 nm hinunter ausgedünnt werden kann, um ein Beispiel bereitzustellen. Es ist zu beachten, dass die hierin für ein Merkmal genannte Dicke die Dicke an einer bestimmten Stelle für das Merkmal (z. B. die Dicke an der Mitte einer S/D-Region oder einem Abschnitt der TFT-Schicht), die maximale Dicke des Merkmals (z. B. einer S/D-Region oder eines Abschnitts der TFT-Schicht), und/oder die durchschnittliche Dicke des Merkmals (z. B. die durchschnittliche Dicke einer bestimmten S/D-Region oder eines Abschnitts der TFT-Schicht) sein kann.

**[0008]** In einigen Ausführungsformen kann die TFT-Schicht mindestens ein Metalloxid umfassen, wie etwa Indiumgalliumzinkoxid (bezeichnet als IGZO), Galliumoxid, Indiumoxid, Indiumzinkoxid, Indiumzinnoxid, Kupferoxid, Zinkoxid und/oder Zinkzinnoxid, um einige Beispiele zu nennen. In einigen solchen Ausführungsformen kann das Metalloxidmaterial (das in einigen Fällen ebenfalls als ein Halbleitermaterial betrachtet werden kann, und genauer als ein Oxidhalbleitermaterial) eine einzelne Kristall- oder Monokristalline (oder einfach kristalline) Struktur (z. B. kristalline IGZO), eine amorphe kristalline Struktur (z. B. amorphe IGZO), oder eine kristalline Struktur dazwischen aufweisen kann, als eine polykristalline Struktur (z. B. polykristalline IGZO) bezeichnet werden. Ferner kann in einigen solchen Ausführungsformen das Metalloxidmaterial eine andere Art von kristallinen Strukturen aufweisen, wie etwa eine an der C-Achse ausgerichtete kristalline (CAAC) Struktur (z. B. CAAC IGZO) oder eine nanokristalline Struktur (z. B. nanokristallines IGZO). Es ist zu beachten, dass diese andere Art von kristallinen Strukturen sich aufgrund ihrer relativ geringen Wärmebudgetanforderungen (die sich für Back-End-of-Line-Verarbeitung eignen können, wie etwa Wärmebudgets von 400 bis 600 Grad Celsius), relativ niedrigen Kosten, relativ hohem Durchsatz und relativ hoher Zuverlässigkeit gut für Produktionszwecke eignen kann.

**[0009]** In einigen Ausführungsformen kann die TFT-Schicht amorphes, polykristallines oder monokristallines Gruppe-IV- und/oder Gruppe-III-V-Halbleitermaterial umfassen, wie etwa Silizium, Germanium, Siliziumgermanium, Galliumarsenid oder Indiumgalliumarsenid, um einige Beispiele zu nennen. In eini-

gen solchen Ausführungsformen kann das Gruppe-IV- und/oder Gruppe-III-V-Halbleitermaterial, wenn es eingesetzt wird, bei niedrigen Temperaturen aufgebaut werden, insbesondere an Back-End-of-Line- (BEOL) IC-Orten. Es ist zu beachten, dass die Verwendung von „Gruppe-IV-Halbleitermaterial“ (oder „Gruppe-IV-Material“ oder allgemein, „IV“) hierin mindestens ein Gruppe-IV-Element (z. B. Silizium, Germanium, Kohlenstoff, Zinn) umfasst, wie etwa Silizium (Si), Germanium (Ge), Silizium Germanium (Si-Ge) und so weiter. Die Verwendung von „Gruppe-III-V-Halbleitermaterial“ (oder „Gruppe-III-V-Material“ oder allgemein „III-V“) hierin umfasst mindestens ein Gruppe-III-Element (z. B. Aluminium, Gallium, Indium) und mindestens ein Gruppe-V-Element (z. B. Stickstoff, Phosphor, Arsen, Antimon, Wismuth), wie etwa Galliumarsenid (GaAs), Indiumgalliumarsenid (InGaAs), Indiumaluminiumarsenid (InAlAs), Galliumphosphid (GaP), Galliumantimonid (GaSb), Indiumphosphid (InP) und so weiter. Es ist zu beachten, dass Gruppe-III auch als die Borgruppe oder IUPAC-Gruppe **13** bekannt sein kann, Gruppe-IV auch als die Kohlenstoffgruppe oder IUPAC-Gruppe **14** bekannt sein kann, und Gruppe V etwa auch als die Stickstofffamilie oder IUPAC-Gruppe **15** bekannt sein kann.

**[0010]** In einigen Ausführungsformen kann die Zusammensetzung von einem oder mehreren Materialien innerhalb der TFT-Schicht abgestuft sein (z. B. erhöht und/oder verringert), wie gewünscht. Beispielsweise kann in einigen solchen Ausführungsformen die Zusammensetzung eines ersten Materials, das in der TFT-Schicht enthalten ist, mit steigender Dicke der TFT-Schicht erhöht werden, während die Zusammensetzung eines zweiten Materials, das in der TFT-Schicht enthalten ist, verringert werden kann. Um ein genaueres Beispiel bereitzustellen, wenn die TFT-Schicht abgestuftes IGZO umfasst, kann der Boden der TFT-Schicht (am nächsten an der Gatestruktur) eine relativ hohe Indiumkonzentration umfassen, die entlang der Dicke der TFT-Schicht verringert wird, sodass die Oberkante der TFT-Schicht eine relativ geringere Indiumkonzentration umfasst. Ferner kann in solch einem spezifischen Beispiel die Gallium und/oder Zinkkonzentration, die in der abgestuften TFT-Schicht enthalten ist, im Verlauf der Dicke der TFT-Schicht ansteigen, sodass die Gallium und/oder Zinkkonzentration in der Nähe der Gatestruktur relativ am geringsten ist und am weitesten von der Gatestruktur entfernt relativ am höchsten ist. Zahlreiche Variationen und Konfigurationen für die TFT-Schicht sind mit Blick auf diese Offenbarung offensichtlich.

**[0011]** Es ist zu beachten dass, wie hierin verwendet, der Ausdruck „X umfasst mindestens eines aus A oder B“ sich auf ein X bezieht, das beispielsweise nur A, nur B, oder sowohl A als auch B umfassen kann. Dazu ist ein X, das mindestens eines aus A oder B umfasst, nicht zu verstehen als ein X, das jedes von A und B verlangt, sofern dies nicht ausdrücklich so ge-

nannt ist. Beispielsweise bezieht sich der Ausdruck „X umfasst A und B“ auf ein X, das ausdrücklich sowohl A als auch B umfasst. weiterhin gilt dies für jede Anzahl von Punkten von mehr als zwei, wobei "mindestens einer dieser Punkte in X enthalten ist. Beispielsweise bedeutet wie hierin verwendet, der Ausdruck „X umfasst mindestens eines aus A, B oder C“ ein X, das nur A, nur B, nur C, nur A und B (und nicht C), nur A und C (und nicht B), nur B und C (und nicht A), oder jedes aus A, B und C umfassen kann. Dies gilt auch, wenn eines aus A, B oder C zufällig mehrere Typen oder Versionen umfasst. Dazu ist ein X, das mindestens eines aus A, B oder C umfasst nicht zu verstehen als ein X, das jedes aus A, B und C benötigt, sofern dies nicht ausdrücklich genannt ist. Beispielsweise bezieht sich der Ausdruck „X umfasst A, B und C“ auf ein X, das ausdrücklich jedes aus A, B und C umfasst. Ebenso bezieht sich der Ausdruck „X ist in mindestens einem aus A oder B enthalten“ auf ein X, das beispielsweise nur in A, nur in B oder in A und B gleichermaßen enthalten sein kann. Die obige Erklärung bezüglich „X umfasst mindestens eines aus A oder B“ gilt hier ebenso, wie zu erkennen ist.

**[0012]** Die Verwendung der Techniken und Strukturen, die hierin bereitgestellt sind, kann unter Verwendung von Tools wie: Elektronenmikroskopie, einschließlich Scanning/Transmissionselektronenmikroskopie (SEM/TEM), Rastertransmissionselektronenmikroskopie (STEM), Nanostrahlelektronendiffraktion (NBD oder NBED) und Reflektionselektronenmikroskopie (REM); Kompositionszuordnung; Röntgenkristallographie oder Diffraktion (XRD) ; energiedispersive Röntgenspektroskopie (EDX); sekundäre Ionenmassenspektrometrie (SIMS); Time-of-Flight-SIMS (ToF-SIMS); Atomsondenbildgebung oder Tomographie; örtliche Elektrodenatomsonden (LEAP) Techniken; 3D-Tomographie; oder hochaufgelöste physische oder chemische Analyse erkennbar sein, um nur einige geeignete beispielhafte Analysetools zu nennen. Insbesondere können in einigen Ausführungsformen solche Tools eine IC anzeigen, die mindestens eine TFT-Vorrichtung umfasst, wobei der TFT eine TFT-Schicht umfasst, die mindestens eine S/D-Region aufweist, die relativ dünner ist als die Kanalregion der TFT-Schicht, wie hierin verschiedenen beschrieben. Der mindestens eine relativ dünnere Abschnitt in der/den S/D-Region(en) kann beispielsweise über Elektronenmikroskopie (z. B. SEM und/oder TEM) erkennbar sein. In einigen Ausführungsformen können die hierin beschriebenen Techniken auf Grundlage der Vorteile erkannt werden, die davon abgeleitet sind, wie etwa die Einführung von mehr elektrostatischen Ladungen innerhalb der ausgedünnten S/D-Region(en) der TFT-Vorrichtung, was etwa zu einem niedrigen Kontaktwiderstand und einer verbesserten Geräteleistung führt. Zahlreiche Konfigurationen und Variationen sind mit Blick auf diese Offenbarung offenkundig.

**[0013]** Fig. 2 illustriert Verfahren 200 zum Bilden einer integrierten Schaltung (IC), die mindestens einen Rückseitengate-TFT mit mindestens einer relativ ausgedünnten S/D-Region nach einigen Ausführungsformen dieser Offenbarung umfasst. Fig. 3A bis Fig. 3F illustrieren Querschnittsansichten beispielhafter IC-Strukturen, die gebildet werden, wenn das Verfahren 200 aus Fig. 2 ausgeführt wird, nach einigen Ausführungsformen. Wie auf Grundlage dieser Offenbarung zu verstehen ist, induziert durch Ausdünnung einer S/D-Region eines Rückseitengate-TFT, die ausgedünnte S/D-Region eine höhere elektrostatische Ladung in den S/D-Regionen, da der entsprechende S/D-Kontakt sich näher an der Rückseitengatestruktur befindet, was dazu zu einer Erhöhung des effektiven Dotiermittels in der ausgedünnten S/D-Region führt, wodurch der S/D-Widerstand verringert wird, was der Allgemeine Vorrichtungsleistung dient. Es ist zu beachten, dass zwar das Verfahren 200 aus Fig. 2 und die IC-Strukturen aus den Fig. 3A bis Fig. 3F hierin im Kontext einer Rückseitengate- oder Bodengate-TFT-Architektur illustriert und beschrieben sind, die Techniken jedoch auch angewendet werden können, um Vorderseitengate- oder Deckengate-TFT-Architekturen zu erzeugen, wobei Verfahren 200 und die entstehende TFT-Vorrichtung im Wesentlichen relativ zu dem, was gezeigt und beschrieben ist, invertiert würde (z. B. Bilden der S/D-Kontaktstrukturen zuerst, dann der TFT-Schicht, dann der Gatestruktur). In einem solchen Fall umfassen jedoch die hierin beschriebenen TFT-Vorrichtungen eine Überlappung von mindestens einer S/D-Kontaktstruktur mit der Gatestruktur, wobei die Ausdünnung der S/D-Region dazwischen eine höhere elektrostatische Ladung innerhalb der S/D-Region induziert, wie zuvor angegeben. Zahlreiche Variationen und Konfigurationen sind mit Blick auf diese Offenbarung offenkundig.

**[0014]** Verfahren 200 aus Fig. 2 umfasst das Bereitstellen 102 eines Substrats und das Bilden der Gatestruktur, was das Bilden 204 einer Gateelektrode und das Bilden 206 eines Gatedielektrikums an der Gateelektroden nach einigen Ausführungsformen umfasst. Das Substrat, auf dem die Gatestruktur gebildet ist, kann jedes geeignete Substrat sein, wie hierin ausführlicher beschrieben ist (z. B. mit Verweis auf Substrat 301 in Fig. 8). In einigen Ausführungsformen kann das Substrat sein: ein Bulksubstrat, das Gruppe-IV-Halbleitermaterial wie etwa Silizium (Si), Germanium (Ge), Siliziumgermanium (SiGe) oder Siliziumkarbid (SiC), ein Gruppe-III-V-Halbleitermaterial und/oder jedes andere geeignete Material (Materialien) umfasst, die mit Blick auf diese Offenbarung offensichtlich sind; eine X-auf-Isolator-(XOI) Struktur, wobei X eines der obigen Materialien ist (z. B. Gruppe-IV und/oder Gruppe-III-V Halbleitermaterial) und das Isolatormaterial ein Oxidmaterial oder

Dielektrikum oder ein anderes elektrisch isolierendes Material ist, wie etwa dass die XOI-Struktur die elektrisch isolierende Materialschicht zwischen zwei Halbleiterschichten ist; oder eine andere geeignete mehrschichtige Struktur, wobei die obere Schicht eines der zuvor genannten Halbleitermaterialien umfasst (z. B. Gruppe-IV- und/oder Gruppe-III-V-Halbleitermaterial). In einigen Ausführungsformen kann das Substrat ein Isolator oder Dielektrikums substrat sein, wie etwa ein Glassubstrat. In einigen Ausführungsformen kann das Substrat für eine oder mehrere andere IC-Vorrichtungen verwendet werden, wie etwa für verschiedene Dioden (z. B. lichtemittierende Dioden (LEDs) oder Laserdioden), verschiedene Transistoren (z. B. MOSFETs oder TFETs), verschiedene Kondensatoren (z. B. MOSCAPs), verschiedene mikroelektromechanische Systeme (MEMS), verschiedene nanoelektromechanische Systeme (NEMS), verschiedene Funkfrequenz- (RF) Vorrichtungen, verschiedene Sensoren oder alle anderen geeigneten Halbleiter- oder IC-Vorrichtungen, zugänglich vom Ende der Verwendung oder der Zielanwendung. Dementsprechend können in einigen Ausführungsformen die hierin beschriebenen Strukturen in einer System-auf-einem-Chip- (SoC) Anwendungen enthalten sei, wie mit Blick auf diese Offenbarung klar werden wird. Zahlreiche geeignete Substratkonfigurationen sind mit Blick auf diese Offenbarung offenkundig.

**[0015]** In einigen Ausführungsformen können die Rückseitengate-TFT-Strukturen, die in den **Fig. 3A** bis **Fig. 3F** als gebildet dargestellt werden, an einem Back-End-of-Line IC-Ort gebildet sein (z. B. wie in **Fig. 8** gezeigt), während in anderen Ausführungsformen die Rückseitengate-TFT-Strukturen an einem Front-End-of-Line-IC-Ort gebildet sein können (z. B. in Vorrichtungsschicht **303** in **Fig. 8**). Die Variationen an dem Ort der Rückseitengate-TFT-Struktur, die unter Verwendung der Techniken gebildet wird, die hierin beschrieben sind, werden ausführlicher mit Verweis auf **Fig. 8** beschrieben. Das Substrat, das an dem Block **102** (z. B. Substrat **301** in **Fig. 8**) bereitgestellt ist, wird jedoch in den **Fig. 3A** bis **Fig. 3F** für eine einfachere Illustration nicht dargestellt. Unabhängig davon, ob die Gateelektrode **310** an einem Back-End-of-Line- oder Front-End-of-Line-IC-Ort gebildet ist, kann sie in einigen Ausführungsformen direkt auf dielektrischem Material gebildet sein, wie etwa an Oxidmaterial (z. B. Siliziumdioxid), Nitridmaterial (z. B. Siliziumnitrid), und/oder einem anderen geeigneten Dielektrikum. In der beispielhaften Struktur aus **Fig. 3A** wurde die Gateelektrode **310** gebildet **204** und das Gatedielektrikum **320** wurde darauf, und in diesem Fall nach einigen Ausführungsformen über der Gateelektrode **310**, gebildet. Die Gateelektrode **310** und das Gatedielektrikum **320** können unter Verwendung jeder geeigneten Verarbeitung gebildet werden, wie etwa chemischer Gasphasenabscheidung (CVD), physischer

Gasphasenabscheidung (PVD), Atomlagenabscheidung (ALD), Sputtering, und/oder jeder anderen geeigneten Technik, wie auf Grundlage dieser Offenbarung zu verstehen ist. Weiter ist zu beachten, dass die Gateelektrode **310** und das Gatedielektrikum **320** eine Deckabscheidung auf mindestens einem Abschnitt der IC oder eine selektive Abscheidung auf nur einem Abschnitt der IC sein kann (z. B. durch Maskierung von Bereichen, in denen die Gatestruktur nicht gewünscht wird).

**[0016]** Die Gateelektrode **310** kann in einigen Ausführungsformen eine große Auswahl an Materialien umfassen, wie etwa verschiedene geeignete Metalle oder Metalllegierungen, wie etwa beispielsweise eines oder mehr aus Aluminium (Al), Wolfram (W), Titan (**T1**), Tantal (Ta), Kupfer (Cu), Nickel (Ni), Gold (Au), Platin (Pt), Ruthenium (Ru) oder Kobalt (Co), und/oder Karbide davon und/oder Nitride davon. So kann in einigen Ausführungsformen die Gateelektrode **310** ein oder mehrere Metalle umfassen und kann, muss aber nicht ein oder mehrere andere Materialien umfassen (wie etwa Kohlenstoff und/oder Stickstoff). In einigen Ausführungsformen kann die Gateelektrode **310** eine mehrschichtige Struktur umfassen, einschließlich zwei oder mehr unterschiedlich zusammengesetzte Schichten. Beispielsweise können in einigen solchen Ausführungsformen eine oder mehrere Arbeitsfunktionsschichten eingesetzt werden, wie etwa eine oder mehrere metallhaltige Schichten (z. B. Tantalnitrid oder Titanitrid), die mit gewünschten elektrischen Eigenschaften basierend auf der gegebene Konfiguration gebildet werden. Beispielsweise können in einigen solchen Ausführungsformen die Dicke, das Material, und/oder der Abscheidungsprozess der Zwischenschichten innerhalb einer mehrschichtigen Gateelektrode auf Grundlage einer Zielanwendung basierend gewählt werden. In einigen Ausführungsformen kann beim Bilden einer Rückseitengate-TFT-Vorrichtung an einem Back-End-of-Line-IC-Ort, sodass die Vorrichtung in einer oder mehreren Metallisierungslagen/-schichten gebildet ist, wo Zwischenverbindungen und/oder Metallverkabelung sich üblicherweise befinden, eine Gateelektrode **310** gebildet werden, wenn eine Metallschicht gebildet wird, wie etwa die Metallschicht **1** (M1), Metallschicht **2** (M2), Metallschicht **3** (M3) und so weiter. Wenn jedoch die Rückseitengate-TFT-Vorrichtung an dem Front-End-of-Line-IC-Ort gebildet wurde, was ist, wo IC-Vorrichtungen üblicherweise gebildet werden, dann kann die Gateelektrode **310** auf einer Isolatorschicht gebildet sein, wie etwa einer verdeckten Oxidschicht (z. B. Siliziumdioxid), die ein Teil einer Silizium- oder Halbleiter-auf-Isolatorkonfiguration sei kann.

**[0017]** In einigen Ausführungsformen kann die Gateelektrode **310** eine geeignete Höhe/Dicke aufweisen (Abmessung in der Y-Achsenrichtung), wie etwa beispielsweise eine Dicke im Bereich von 10-100 nm

(oder in einem Unterbereich von 10-25, 10-50, 10-75, 20-30, 20-50, 20-75, 20-100, 30-50, 30-75, 30-100, 50-75, oder 50-100 nm), oder innerhalb eines anderen geeigneten Bereichs, wie mit Blick auf diese Offenbarung offensichtlich werden wird. In einigen solchen Ausführungsformen kann die Gateelektroden-**310** Dicke in den Unterbereich von 20-40 nm fallen. In einigen Ausführungsformen kann die Höhe/Dicke der Gateelektrode **310** basierend auf einem Grenzwert ausgedrückt werden, wie etwa dass beispielsweise die Gateelektrode **310** eine Dicke von maximal 50, 40, 30, 25, 20, 15 oder 10 nm, und/oder eine Dicke von mindestens 10, 15, 20, 25, 30, 40 oder 50 nm aufweist. In einigen Ausführungsformen kann die Höhe/Dicke der Gateelektrode **310** mindestens teilweise basierend auf dem Ort bestimmt werden, an dem sie gebildet ist. Beispielsweise kann in einigen solchen Ausführungsformen, wenn die Gateelektrode **310** in einer Metallisierungsleitung (wie etwa M2) gebildet ist, die maximale Höhe/Dicke der Metallisierungsleitung die maximale Höhe/Dicke der Gateelektrode **310** bestimmen, um ein Beispiel zu nennen. In einigen Ausführungsformen kann die Gateelektrode **310** eine Abstufung (z. B. erhöhen und/oder Verringern) des Inhalts/der Konzentration eines oder mehrerer Materialien durch mindestens einem Abschnitt der Gateelektrode **310** umfassen. Zahlreiche Variationen und Konfigurationen für die Gateelektrode **310** sind mit Blick auf diese Offenbarung offensichtlich.

**[0018]** Das Gatedielektrikum **320** kann in einigen Ausführungsformen jedes geeignete Oxid (wie etwa Siliziumdioxid), ein Dielektrikum mit hohem k-Wert, ein Dielektrikum mit niedrigem k-Wert und/oder jedes andere geeignete Material umfassen, wie mit Blick auf dieser Offenbarung offensichtlich wird. Beispiele von Materialien mit hohem k-Wert umfassen Nanoribbonhafniumoxid, Hafniumsiliziumoxid, Lanthanoxid, Lanthanaluminiumoxid, Zirconiumoxid, Zirconiumsiliziumoxid, Tantaloxid, Titanoxid, Bariumstrontiumtitanoxid, Bariumtitanoxid, Strontiumtitanoxid, Yttriumoxid, Aluminiumoxid, Bleiscandiumtantaloxid und Bleizinkniobat, um einige Beispiel bereitzustellen. So kann in einigen Ausführungsformen das Gatedielektrikum **320** Sauerstoff und eines oder mehrere andere Materialien umfassen, wie etwa Hafnium und Sauerstoff, die in der Form von Hafniumoxid oder Hafnia vorliegen können. In einigen Ausführungsformen kann das Gatedielektrikum **320** Stickstoff und eines oder mehrere Materialien wie Silizium und Stickstoff umfassen, die in der Form von Siliziumnitrid vorliegen können. In einigen Ausführungsformen kann das Gatedielektrikum **320** ein oder mehrere Silikate umfassen (z. B. Titansilikat, Wolframsilikat, Niob-silikat und Silikate anderer Übergangsmetalle). In einigen Ausführungsformen kann ein Glühprozess auf das Gatedielektrikum **320** ausgeführt werden, um seine Qualität zu verbessern, wenn das Dielektrikum mit hohem k-Wert verwendet wird. In einigen Ausführungsformen kann das Gatedielektrikum **320** ei-

ne mehrschichtige Struktur umfassen, einschließlich zwei oder mehr unterschiedlich zusammengesetzte Schichten. Beispielsweise kann ein mehrschichtiges Gatedielektrikum eingesetzt sein, um nach einer Ausführungsform die gewünschte elektrische Isolierung zu erreichen und/oder zu helfen, von der Gateelektrode **310** auf die TFT-Schicht **330** überzugehen.

**[0019]** In einigen Ausführungsformen kann das Gatedielektrikum **320** jede geeignete Höhe/Dicke (Abmessung in der Y-Achsenrichtung) aufweisen, wie etwa beispielsweise eine Dicke im Bereich von 1-30 nm (oder in einem Unterbereich von 1-5, 1-10, 1-15, 1-20, 1-25, 2-5, 2-10, 2-15, 2-20, 2-25, 2-30, 5-10, 5-15, 5-20, 5-25, 530, 10-20, 10-30, oder 20-30 nm), oder innerhalb eines anderen geeigneten Bereichs, wie mit Blick auf diese Offenbarung offensichtlich sein wird. In einigen solchen Ausführungsformen kann die Gatedielektrikums-**320** Dicke in den Unterbereich von 2 -10 oder 5-10 nm fallen. In einigen Ausführungsformen kann die Höhe/Dicke des Gatedielektrikums **320** basierend auf einem Grenzwert ausgedrückt sein, wie etwa dass beispielsweise das Gatedielektrikum **320** eine Dicke von maximal 30, 25, 20, 15, 10 oder 5 nm, und/oder eine Dicke von mindestens 2, 5, 10, 15, 20 oder 25 nm aufweist. In einigen Ausführungsformen kann die Höhe/Dicke des Gatedielektrikums **320** mindestens teilweise basierend auf dem Ort bestimmt werden, an dem sie gebildet ist. Beispielsweise kann in einigen solchen Ausführungsformen, wenn das Gatedielektrikum **320** in einer Metallisierungsleitung (wie etwa M2) gebildet ist, die maximale Höhe/Dicke der Metallisierungsleitung die maximale Höhe/Dicke des Gatedielektrikums **320** bestimmen, um ein Beispiel zu nennen. In einigen Ausführungsformen kann das Gatedielektrikum **320** eine Abstufung (z. B. erhöhen und/oder Verringern) des Inhalts/der Konzentration eines oder mehrerer Materialien durch mindestens einem Abschnitt des Gatedielektrikums **320** umfassen.

**[0020]** In einigen Ausführungsformen können die Eigenschaften des Gatedielektrikums **320** basierend auf gewünschten Eigenschaften gewählt werden. Beispielsweise können einige Ausführungsformen ein relativ dickeres Gatedielektrikum (z. B. mindestens 5 oder 10 nm Dicke) und/oder Dielektrikum mit relativ niedrigerem k-Wert für das Gatedielektrikum verwenden, wie etwa Siliziumdioxid oder ein Dielektrikum mit niedrigem k-Wert (wobei die dielektrische Konstante, k, geringer ist als die von Siliziumdioxid, als geringer als 3,9). Das Dielektrikum mit niedrigem k-Wert kann fluorindotiertes Siliziumdioxid, kohlenstoffdotiertes Siliziumdioxid, poröses Siliziumdioxid, poröse kohlenstoffdotiertes Siliziumdioxid, organische polymerische Spin-on-Dielektrika (z. B. Polytetrafluoroethylen, Benzocyclobuten, Polynorborene, Polyimid), siliziumbasierte polymerische Spin-on-Dielektrika (z. B. Wasserstoffsilsesquioxan, Methylsilsesquioxan) umfassen, um einige Beispi-

le zu nennen. In einigen solchen Ausführungsformen kann das relativ dickere Gatedielektrikum und/oder Dielektrika mit relativ geringerem k-Wert verwendet werden, um beispielsweise zu helfen, parasitische Kapazitätsprobleme zu verringern, die zwischen der Gateelektrode und den S/D-Kontakten verursacht werden (insbesondere, wenn eine ausgedünnte S/D-Region verwendet wird). Zahlreiche Variationen und Konfigurationen für das Gatedielektrikum **320** sind mit Blick auf diese Offenbarung offensichtlich.

**[0021]** Verfahren **200** aus **Fig. 2** fährt mit dem Bilden **208** der Dünnschichttransistor- (TFT) Schicht **330** auf der Gatestruktur aus **Fig. 3A** fort, um die beispielhafte entstehende Struktur aus **Fig. 3B** nach einigen Ausführungsformen zu bilden. Genauer wird, wie in **Fig. 3B** gezeigt, die TFT-Schicht **330** in dieser beispielhaften Ausführungsform direkt auf dem Gatedielektrikum **320** gebildet. In einigen Ausführungsformen kann die TFT-Schicht **330** unter Verwendung jeder geeigneten Verarbeitung gebildet werden, wie etwa Maskieren von Bereichen, in denen die TFT-Schicht nicht gewünscht wird, und Abscheiden des TFT-Schicht- **330** Materials über jede geeignete Technik (z. B. CVD, PVD, ALD, Sputtern). In einigen Ausführungsformen kann das TFT-Schicht- **330** Material eine Decke sein, die abgeschieden und dann entfernt wird, wo sie nicht gewünscht wird. Wie in **Fig. 3B** gezeigt, ist das Zwischenschichtdielektrikums- (ILD) Material **340** in dieser beispielhaften Ausführungsform auch auf jeder Seite der TFT-Schicht **330** vorhanden. Weiter ist zu beachten, dass in einigen Ausführungsformen eine optionale Passivierungsverarbeitung für die TFT-Schicht **330** ausgeführt werden kann, wie etwa Oberflächenbehandlungen oder mindestens die offengelegte obere Fläche der TFT-Schicht **330** und/oder die Bildung von mindestens einer Passivierungsschicht **335**. Die optionale mindestens eine Passivierungsschicht **335** ist für einfachere Illustration nur in **Fig. 3B** gezeigt, wäre jedoch in allen nachfolgenden Strukturen vorhanden, wenn sie eingesetzt würde. Ferner kann sie in Ausführungsformen, in denen mindestens eine Passivierungsschicht **335** eingesetzt wird, jedes geeignete Dielektrikum umfassen, wie etwa jedes geeignete Oxid (wie etwa Siliziumdioxid), Dielektrikum mit hohem k-Wert (wie etwa den hierin zuvor beschriebenen), und/oder Dielektrikum mit niedrigem k-Wert (wie etwa den hierin zuvor beschriebenen).

**[0022]** Die TFT-Schicht **330** kann in einigen Ausführungsformen mindestens ein Metalloxid umfassen, wie etwa Indiumgalliumzinkoxid (bezeichnet als IGZO), Galliumoxid, Indiumoxid, Indiumzinnoxid (bezeichnet als ITO), Indiumzinkoxid (bezeichnet als IZO), Indiummolybdänoxid (bezeichnet als IMO), Kupferoxid, Zinkoxid und/oder Zinkzinnoxid (bezeichnet als ZTO), um einige Beispiele zu kennen. So kann in einigen Ausführungsformen die TFT-Schicht

**330** ein oder mehrere Metalle und außerdem Sauerstoff umfassen. In einigen solchen Ausführungsformen können das eine oder die mehreren Metalle Indium, Gallium, Zink, Zinn und/oder Molybdän umfassen, um einige Beispiele zu nennen. In einigen Ausführungsformen kann das Metalloxidmaterial (das in einigen Fällen ebenfalls als ein Halbleitermaterial betrachtet werden kann, und genauer als ein Oxidhalbleitermaterial) eine einzelne Kristall- oder Monokristalline (oder einfach kristalline) Struktur (z. B. kristalline IGZO), eine amorphe kristalline Struktur (z. B. amorphe IGZO), oder eine kristalline Struktur dazwischen aufweisen kann, als eine polykristalline Struktur (z. B. polykristalline IGZO) bezeichnet werden. Ferner kann in einigen solchen Ausführungsformen das Metalloxidmaterial eine andere Art von kristallinen Strukturen aufweisen, wie etwa eine an der C-Achse ausgerichtete kristalline (CAAC) Struktur (z. B. CAAC IGZO) oder eine nanokristalline Struktur (z. B. nanokristallines IGZO). Es ist zu beachten, dass diese andere Art von kristallinen Strukturen sich aufgrund ihrer relativ geringen Wärmebudgetanforderungen (die sich für Back-End-of-Line eignen können, wie etwa Wärmebudgets von 400 bis 600 Grad Celsius), relativ niedrigen Kosten, relativ hohem Durchsatz und relativ hoher Zuverlässigkeit gut für Produktionszwecke eignen kann.

**[0023]** In einigen Ausführungsformen kann die TFT-Schicht **330** amorphes, polykristallines oder monokristallines Gruppe-IV- und/oder Gruppe-III-V-Halbleitermaterial umfassen, wie etwa Silizium, Germanium, Siliziumgermanium, Galliumarsenid oder Indiumgalliumarsenid, um einige Beispiele zu nennen. Beispielsweise kann die TFT-Schicht **330** hydrogениertes amorphes Silizium (a-Si:H) oder Polysilizium umfassen. In einigen Ausführungsformen kann die TFT-Schicht **330** Stickstoff umfassen, wie etwa Zinkoxynitrid (ZnON, wie etwa eine Zusammensetzung aus Zinkoxid (ZnO) und Zinknitrid ( $Zn_3N_2$ ), oder von  $ZnO$ ,  $ZnO_xN_y$  und  $Zn_3N_2$ ), um ein Beispiel zu nennen. In einigen Ausführungsformen kann die TFT-Schicht **330** aus einem Material eines ersten Leitfähigkeitstyps gebildet sein, das ein n- oder ein p-Kanalmaterial sein kann. In einigen Ausführungsformen kann ein n-Kanalmaterial eines oder mehrere aus Indiumzinnoxid (ITO), Indiumgalliumzinkoxid (IGZO), Indiumzinkoxid (IZO), aluminiumdotiertes Zinkoxid (AZO), amorphem Silizium, Zinkoxid, amorphes Germanium, Polysilizium, Polygermanium und Poly-III-V wie Indiumarsenid umfassen. In einigen Ausführungsformen kann ein p-Kanalmaterial eines oder mehrere aus amorphem Silizium (a-Si), Zinkoxid (ZnO), amorphem Germanium (a-Ge), Polysilizium (polykristallines Silizium oder Poly-Si), Polygermanium (polykristallines Germanium oder Poly-Ge), Poly-III-V-Material (z. B. Poly-InAs), Kupferoxid und Zinnoxid umfassen. In einigen Ausführungsformen kann die Verarbeitung ausgeführt werden, nachdem die TFT-Schicht **330** abgeschieden wird, um die Eigen-



schaften der TFT-Schicht **330** zu beeinflussen. Beispielsweise kann in einigen solchen Ausführungsformen, Glühverarbeitung durchgeführt werden, um das Material der TFT-Schicht **330** von einer amorphen oder polykristallinen Struktur in eine monokristalline Struktur zu ändern. Zahlreiche Variationen und Konfigurationen für die TFT-Schicht **330** sind mit Blick auf diese Offenbarung offensichtlich.

**[0024]** ILD **340** kann in einigen Ausführungsformen unter Verwendung jeder geeigneten Technik gebildet werden, wie etwa abscheiden des ILD entweder vor oder nach dem der TFT-Schicht **330**, das dann beispielsweise durch Planarisierungs- und/oder Politurverarbeitung (z. B. chemisch-mechanische Politur/Planarisierungs- (CMP) Verarbeitung) gefolgt werden kann. In einigen Ausführungsformen kann das ILD **340** jeden gewünschten elektrischen Isolator, jedes Dielektrikum, Oxid oder sauerstoffhaltige Material (z. B. Siliziumdioxid), Nitrid oder stickstoffhaltige Material (z. B. Siliziumnitrid), oder eine Kombination aus Sauerstoff und Stickstoff (z. B. Siliziumoxynitrid) umfassen, wie mit Blick auf diese Offenbarung offensichtlich wird. In einigen Ausführungsformen kann das ILD **340** kohlenstoffdotiertes Siliziumdioxid (oder andere kohlenstoffdotierte Oxide umfassen). So kann in einigen Ausführungsformen das ILD **340** Kohlenstoff umfassen. In einigen Ausführungsformen kann es gewünscht sein, Material für das ILD **340** zu wählen, das eine niedrige dielektrische Konstante und eine hohe Durchschlagsspannung aufweist. In einigen Ausführungsformen kann zum Verringern der dielektrischen Konstante das ILD **340** gebildet sein, um absichtlich porös zu sein, wie etwa mindestens ein poröses kohlenstoffdotiertes Oxid (z. B. poröses kohlenstoffdotiertes Siliziumdioxid). Es ist zu beachten, dass das ILD **340** eine mehrschichtige Struktur umfassen kann, auch wenn sie als eine einzige Schicht illustriert ist. Außerdem ist zu beachten, dass in einigen Fällen das ILD **340** und das Gatedielektrikum **320** nicht notwendigerweise eine eigene Schnittstelle umfassen, wie in **Fig. 3B** gezeigt, vor allem wo z. B. das ILD **340** und das Gatedielektrikum **320** dasselbe Dielektrikum umfassen. Zahlreiche Variationen und Konfigurationen für das ILD **340** sind mit Blick auf diese Offenbarung offensichtlich.

**[0025]** Verfahren **200** aus **Fig. 2** fährt mit dem Bilden **210** des ILD **340** auf der TFT-Schicht **330** fort, um die beispielhafte entstehende Struktur aus **Fig. 3C** nach einigen Ausführungsformen zu bilden. Die zuvor relevante Beschreibung bezüglich der ILD-Schicht **340** gilt ebenso für dieses weitere ILD **340**, das über der TFT-Schicht **330** gebildet ist.

**[0026]** Das Verfahren **200** aus **Fig. 2** fährt mit dem Ätzen **212** des ILD **340** über den S/D-Regionen der TFT-Schicht **330** fort, um die S/D-Kontakttrenches **345** zu bilden, die in der beispielhaften entstehenden Struktur aus **Fig. 3D** nach einigen Ausführungsfor-

men gezeigt sind. Diese Ätzverarbeitung **212** kann jeden geeigneten Nass- und/oder Trockenätzprozess umfassen, der Hartmaskenbereiche umfassen kann, aber nicht muss, die nicht geätzt werden sollen. In einigen Ausführungsformen kann die Ätzverarbeitung **212** nur Dielektrikum (z. B. enthalten in dem ILD **340** und optional der Passivierungsschicht **335**, wenn vorhanden) wesentlich entfernen, sodass das Material der TFT-Schicht **330** nicht wesentlich entfernt wird, wenn die Ätzverarbeitung **212** die TFT-Schicht **330** erreicht. So kann in einigen Ausführungsformen die Ätzverarbeitung **212** (z. B. wie etwa das verwendete Ätzmittel) selektiv für die TFT-Schicht **330** sein, während sie effektiv in der Lage ist, das Material des ILD **340** zu entfernen. Es ist zu beachten, dass zwar S/D-Kontakttrenches **345** als die Entfernung des ILD-Materials **340** an der oberen Fläche der TFT-Schicht **330** gestoppt zeigen, in einigen Ausführungsformen jedoch die Ätzverarbeitung **212** weiteres ILD-Material an einer oder beiden Seiten der TFT-Schicht **330** entfernen kann. Beispielsweise kann die Ätzverarbeitung **212** einen Abschnitt des angrenzenden ILD-Materials **340** entfernen, wie etwa beispielsweise einen etwa rechteckigen Abschnitt **346** oder einen gebogenen Abschnitt **347**. In einigen Ausführungsformen kann die Ätzverarbeitung **212** so gesteuert sein, dass das ILD, das an die TFT-Schicht **330** angrenzt, nur wie gewünscht entfernt wird (z. B. nicht wesentlich entfernt wird, sodass die entstehende S/D-Kontaktstruktur einen wesentlichen Abstand von der darunterliegenden Gatestruktur aufweist).

**[0027]** Verfahren **200** aus **Fig. 2** fährt mit dem Ätzen **214** der TFT-Schicht **330** fort, um eine oder beide der S/D-Regionen nach einigen Ausführungsformen auszdünnen. In der beispielhaften entstehenden Struktur aus **Fig. 3E** wurden beide S/D-Regionen ausgedünnt, wobei die S/D-Regionen durch die Öffnungen der S/D-Kontakttrenches **345** definiert wurden, wie basierend auf dieser Offenbarung zu verstehen ist. Diese Ätzverarbeitung **214** kann jeden geeigneten Nass- und/oder Trockenätzprozess umfassen, der Hartmaskenbereiche umfassen kann, aber nicht muss, die nicht geätzt werden sollen. In einigen Ausführungsformen kann die Ätzverarbeitung **214** eine Timingkomponente umfassen, um absichtlich einen gewünschten Abschnitt der TFT-Schicht **330** in den S/D-Regionen zu entfernen. Die entstehenden Dicken, die durch die Ätzverarbeitung **214** erzeugt werden, werden hierin ausführlicher beschrieben.

**[0028]** Verfahren **200** aus **Fig. 2** fährt mit dem Ausführen **216** der S/D-Regionsverarbeitung fort, wie gewünscht, um die S/D-Regionen für die End-TFT-Vorrichtung nach einigen Ausführungsformen geeignet zu machen. In einigen Ausführungsformen kann die S/D-Regionsverarbeitung **216** Dotierung der S/D-Regionen umfassen, um Sauerstoffleerstellen zu bilden und/oder Verunreinigungen (z. B. n- und/oder p-Verunreinigungen) einzuführen, um das Bilden die ge-

wünschten entstehenden S/D-Regionen für die gebildeten TFT-Vorrichtung zu erreichen. In einigen Ausführungsformen kann eine solche Verarbeitung durch S/D-Kontakttranches **345** ausgeführt werden. Beispielsweise können in einigen solchen Ausführungsformen Sauerstoffleerstellen auf der Fläche des offengelegten TFT-Schicht- **330** Materials (z. B. der Fläche der TFT-Schicht **330**, die durch den S/D-Kontakttranche **345** offengelegt ist), wie etwa über Plasma-behandlung zum Beschädigen der offengelegten Flächen, chemische Behandlung zum Extrahieren von Material aus der TFT-Schicht **330** (z. B. Extrahieren von Indium, Gallium und/oder Zink von der IGZO) zum Bilden einer modifizierten Fläche mit höheren Sauerstoffleerstellen, einer -idationsbehandlung (z. B. Silizidations- oder III-V-idationsreaktion), um den S/D-Flächen Sauerstoff zu nehmen und Leerstellen zu hinterlassen und/oder jede andere geeignete Verarbeitung, die basierend auf dieser Offenbarung verstanden werden kann. In einigen Ausführungsformen kann die Verarbeitung das Entfernen des Materials der anfängliche TFT-Schicht **330** in den S/D-Regionen und das Neubilden des abschließenden S/D-Materials umfassen.

**[0029]** Verfahren **200** aus **Fig. 2** fährt mit dem Bilden **218** von S/D-Kontaktstrukturen **350** in S/D-Kontakttranches **345** fort, wodurch die beispielhafte entstehende Struktur aus **Fig. 3F** nach einigen Ausführungsformen gebildet wird. In einigen Ausführungsformen können S/D-Kontaktstrukturen **350** unter Verwendung aller geeigneten Techniken gebildet **218** werden, wie etwa Abscheiden des Materials der die S/D-Kontaktstrukturen **350** in den S/D-Kontakttranches **345** über jede geeignete Technik (z. B. CVD, PVD, ALD, Sputtering). In einigen Ausführungsformen können die S/D-Kontaktstrukturen **350** ein oder mehrere Metalle und/oder andere geeignete elektrisch leitfähige Materialien umfassen. In einigen Ausführungsformen kann das Bilden **218** der S/D-Kontaktstrukturen **350** beispielsweise Silizidation, Germanidation, III-V-idation und/oder Glühprozess umfassen. In einigen Ausführungsformen ein oder beide der S/D-Kontaktstrukturen **350** beispielsweise ein widerstandsverringendes Material und ein Kontaktstopfenmetall oder nur einen Kontaktstopfen umfassen. Beispielhafte kontaktwiderstandsverringende Metalle umfassen beispielsweise Nickel, Titan, Titanitrid, Tantal, Tantalnitrid, Kobalt, Gold, Goldgermanium, Nickel-Platin, Nickel-Aluminium, und/oder andere solcher widerstandsverringenden Metalle oder Legierungen. Beispielhafte Kontaktstopfenmetalle umfassen beispielsweise Aluminium, Wolfram, Ruthenium, oder Kobalt, wobei jedoch jedes geeignete leitfähige Metall oder jede solche Legierung verwendet werden kann. In einigen Ausführungsformen können weitere Schichten in den S/D-Kontaktstrukturen **350** vorhanden sein, wie etwa Klebeschichten (z. B. Titanitrid) und/oder Auskleidungs- oder Barrierschichten (z. B. Tantal-

nitrid), wenn gewünscht. In einigen Ausführungsformen kann eine Kontaktwiderstandsverringerschicht zwischen einer bestimmten S/D-Region **331/332** und ihren entsprechenden S/D-Kontaktstrukturen **350** vorhanden sein. Zahlreiche Variationen und Konfigurationen für die S/D-Kontaktstrukturen **350** sind mit Blick auf diese Offenbarung offensichtlich.

**[0030]** Wie in der Struktur aus **Fig. 3F** gezeigt ist, weisen S/D-Regionen **331** und **332** (die einen ersten Abschnitt der TFT-Schicht **330** bzw. einen zweiten Abschnitt der TFT-Schicht **330** aufweisen) Dicken (Abmessung in der Y-Achsenrichtung) von T1 bzw. T2 auf. Ferner weist die TFT-Schicht **330** in der Kanalregion oder der Region zwischen den S/D-Regionen **331** und **332** eine Dicke (Abmessung in der Y-Achsenrichtung) von T0, auf, was beispielsweise die ursprüngliche Dicke der TFT-Schicht **330** sein kann. In einigen Ausführungsformen kann die Kanalregion der TFT-Schicht **330** (zwischen S/D-Regionen **331** und **332**) eine Dicke T0 im Bereich von, oder mit einem spezifischen Wert im Bereich von, 10-100 nm (oder in einem Unterbereich von 10-25, 10-50, 10-75, 25-50, 25-75, 25-100 oder 50-100 nm), oder innerhalb eines anderen geeigneten Bereichs aufweisen, wie auf Grundlage dieser Offenbarung zu verstehen ist. In einigen solchen Ausführungsformen kann T0 eine Dicke in dem Unterbereich von 25-65 nm aufweisen. In einigen Ausführungsformen kann T0 auf Grundlage eines Grenzwerts ausgedrückt sein, wie etwa beispielsweise mindestens 10, 15, 20, 25, 30, 40, 50, 60, 70 oder 80 nm und/oder T0 als maximal 100, 80, 60, 50, 40, 30, 25, 20 oder 15 nm betragend. In einigen Ausführungsformen können die hierin beschriebenen Techniken verwendet werden um die TFT-Schicht **330** (z. B. von T0) um eine Dicke beispielsweise im Bereich von 5-80 nm (oder in einem Unterbereich von 5-10, 5-15, 5-20, 5-25, 5-50, 10-25, 10-50, 10-80, 20-40, 20-60, 20-80, 25-50, 25-80 oder 50-80 nm) auszudünnen. In einigen Ausführungsformen können die hierin beschriebenen Techniken verwendet werden, die TFT-Schicht **330** (z. B. von T0) um eine Dicke beispielsweise von mindestens 5, 10, 15, 20, 25, 30, 40, 50 oder 60 nm und/oder um eine Dicke von maximal 80, 60, 40, 30, 20 oder 10 nm auszudünnen. In einigen Ausführungsformen können die hierin beschriebenen Techniken verwendet werden, die TFT-Schicht **330** (z. B. von T0) beispielsweise um 25-90 % auszudünnen. Um ein illustratives Beispiel bereitzustellen, kann beginnend mit einer anfänglichen TFT-Schicht- **330** Dicke T0 von 20 nm die S/D-Region um 75 % auf 5 nm ausgedünnt werden (z. B. so, das T1 und T2 5 nm betragen).

**[0031]** In einigen Ausführungsformen können T1 und T2 im Bereich von, oder bei einem spezifischen Wert im Bereich von, 2-20 nm (oder in einem Unterbereich von 2-5, 2-10, 2-15, 3-5, 3-10, 5-8, 5-10, 5-15, 5-20, 10-15 oder 10-20 nm) oder in jedem anderen geeigneten Bereich liegen, wie basierend auf die-

ser Offenbarung verstanden werden kann. In einigen Ausführungsformen können T1 und T2 basierend auf einem Grenzwert ausgedrückt werden, wie etwa beispielsweise mindestens 2, 3, 4, 5, 8, 10 oder 15 nm, und/oder maximal 20, 15, 10, 8, 5 oder 3 nm. In einigen Ausführungsformen kann gewünscht sein, eine bestimmte S/D-Region auf weniger als 10 nm oder weniger als 5 nm auszudünnen, und/oder eine Dicke von 3-5 nm auszudünnen, um eine höhere elektrostatische Ladung in der S/D-Region zu induzieren. In anderen Worten, in einigen solchen Ausführungsformen kann es wünschenswert sein, dass T1 und T2 unter 10 nm oder unter 5 nm und/oder im Bereich von 3-5 nm liegen. In einigen Ausführungsformen liegt die Breite (Abmessung in der X-Achsenrichtung) der Kanalregion (z. B. der Region zwischen den S/D-Regionen **331** und **332**) im Bereich von 10-200 nm (z. B. 20-100 nm, wobei diese in einigen Ausführungsformen 10-50 nm betragen soll), oder innerhalb eines anderen geeigneten Bereichs, wie auf Grundlage dieser Offenbarung zu verstehen ist.

**[0032]** Es ist zu beachten, dass in einigen Ausführungsformen die S/D-Regionen der TFT-Schicht ebenfalls entlang der Seitenwand der S/D-Kontaktstrukturen **350** platziert sein können, wie etwa, wo diese Seitenwände ausreichend dotiert sind (z. B. mit Sauerstoffeinstellen), um ein Beispiel bereitzustellen. So können in einigen Fällen die Abschnitte zwischen den S/D-Kontaktstrukturen **350** und der Gatestruktur (z. B. einschließlich Gatedielektrikum **320** und Gateelektrode **310**) als solche beschrieben sein und als die ersten und zweiten Abschnitte der TFT-Schicht **330** bezeichnet werden. Wie basierend auf dieser Offenbarung zu verstehen ist, sind in einigen Ausführungsformen diese ersten und zweiten Abschnitte der TFT-Schicht **330** die Abschnitte der Schicht, die nur oder vornehmlich unter Verwendung der hierin beschriebenen Techniken ausgedünnt sind. Es ist zu beachten, dass die Ausdünnung, die hierin beschrieben ist, in einigen Ausführungsformen den effektiven Flächenbereich zwischen einer S/D-Kontaktstruktur **350** und der entsprechenden S/D-Region im Vergleich zu der Situation ohne Ausdünnung erhöhen kann. Beispielsweise kann der effektive Flächenbereich um 5-75 % anwachsen, anhängig von der Konfiguration und dem verwendeten S/D-Dotierungsschema. Zahlreiche Variationen und Konfigurationen für die S/D-Regionen sind mit Blick auf diese Offenbarung offensichtlich.

**[0033]** Das Verfahren **200** aus **Fig. 2** fährt nach einigen Ausführungsformen damit fort, die Bearbeitung der integrierten Schaltung (IC) abzuschließen **220** wie gewünscht. Eine solche weitere Verarbeitung zum Abschließen des IC kann Back-End-of-Line- (BEOL) Verarbeitung (oder weitere BEOL-Verarbeitung) umfassen, um beispielsweise eine oder mehrere Metallisierungsschichten zu bilden und/oder die Verbindungen, die an der IC gebildet sind, zu ver-

binden. Beispielsweise kann in einigen Ausführungsformen die Rückseitengate-TFT-Vorrichtung mit mindestens einer ausgedünnten S/D-Region wie hierin beschrieben, ein Teil einer anderen Vorrichtung sein, wie etwa ein Teil einer Speichervorrichtung. Beispielsweise kann die Speichervorrichtung (oder eingebettete Speichervorrichtung) umfassen: Direktzugriffsspeicher (RAM), wie etwa dynamischen RAM (DRAM), statischen RAM (SRAM), und/oder resistiven RAM (RRAM oder ReRAM); Speicher mit reinem Lesezugriff (ROM); und/oder andere verschiedene flächige oder nichtflüchtige Speicher. Die hierin beschriebenen TFT-Vorrichtungen können jedoch in jeder anderen IC oder Halbleitervorrichtung oder -Schaltung verwendet werden, wie auf Grundlage dieser Offenbarung verstanden werden kann. Es ist zu beachten, dass die Prozesse **202-220** in Verfahren **200** aus **Fig. 2** für einfachere Beschreibung in einer bestimmten Reihenfolge gezeigt sind. Ein oder mehrere der Prozesse können jedoch nach einigen Ausführungsformen in einer anderen Reihenfolge ausgeführt werden oder gar nicht ausgeführt werden (und damit optional sein). Ferner können in einigen Ausführungsformen weitere Prozess ausgeführt werden, wie auf Grundlage dieser Offenbarung zu verstehen ist. Zahlreiche Variationen der Methodologie und der Techniken, die hierin beschrieben sind, werden mit Blick auf diese Offenbarung offensichtlich.

**[0034]** **Fig. 4** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit nur einer S/D-Region, die ausgedünnt wurde, nach einigen Ausführungsformen. So gilt die zuvor relevante Beschreibung bezüglich der IC-Strukturen und TFT-Vorrichtungen, die hierin offenbart sind (und alle damit verbundenen Merkmale) ebenso für die Struktur aus **Fig. 4**. Wie in **Fig. 4** gezeigt, war die TFT-Schicht **330** nur auf einer Seite ausgedünnt, nämlich auf der linken Seite, die dieselbe ist, wie die ausgedünnte S/D-Region **331** aus **Fig. 3F**. Die andere S/D-Region **333**, die der zweite Abschnitt der TFT-Schicht **330** zwischen S/D-Kontaktstruktur **352** und der Gatestruktur (einschließlich Gatedielektrikum **320** und Gateelektrode **310**) ist, wurde jedoch in dieser beispielhaften Struktur gar nicht ausgedünnt, sodass ihre Dicke **T3** (Abmessung in der Y-Achsenrichtung) gleich ist wie die Dicke **T0** der Kanalregion der TFT-Schicht **330**. So kann in einigen Ausführungsformen die Drainregion absichtlich ausgedünnt sein, während die Sourcereion nicht ausgedünnt ist, oder die Sourcereion kann absichtlich ausgedünnt sein, während die Drainregion nicht ausgedünnt ist. In anderen Ausführungsformen können beide S/D-Regionen absichtlich ausgedünnt sein, aber mit unterschiedlichen Mengen. In einigen solchen Ausführungsformen können die S/D-Regionen getrennt verarbeitet werden, und/oder eine davon kann an einem Punkt in der Verarbeitung maskiert werden, um spezielle Ausdünnungsmengen zu erlauben. Beispielsweise kann in einigen solchen Ausführungsformen unter Verwendung der Struktur

aus **Fig. 4**, wenn die zweite S/D-Region **333** etwas ausgedünnt wurde, aber weniger als die Menge der Ausdünnung, die zu T1 führte, T1 beispielsweise um 3-20 nm (z. B. 5-10 nm) dünner sein als T3. So wäre in einer solchen Ausführungsform **T0** größer als T3 und T0 und T3 wären beide größer als T1. Um ein illustratives Beispiel bereitzustellen, kann T0 nach einer Ausführungsform 30 nm betragen, T3 kann auf 20 nm ausgedünnt sein und T1 kann auf 5 nm ausgedünnt sein. Beispielsweise kann es in einigen Ausführungsformen gewünscht sein, die Sourceregion mehr als die Drainregion auszudünnen, oder es kann gewünscht sein, die Drainregion mehr als die Sourceregion auszudünnen. Zahlreiche Variationen und Konfigurationen für S/D-Ausdünnungsschemas sind mit Blick auf diese Offenbarung offensichtlich.

**[0035]** **Fig. 5** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit einer weiteren Gatestruktur nach einigen Ausführungsformen. So gilt die zuvor relevante Beschreibung bezüglich der IC-Strukturen und TFT-Vorrichtungen, die hierin offenbart sind (und alle damit verbundenen Merkmale) ebenso für die Struktur aus **Fig. 5**. Wie dargestellt, umfasst in dieser beispielhaften Ausführungsform die weitere Gatestruktur ein weiteres Gatedielektrikum **321** und eine weitere Gateelektrode **311**. Ferner wurde, wie in **Fig. 5** gezeigt, die weitere Gatestruktur auf der Kanalregion der TFT-Schicht **330** gebildet, und so kann die weitere Gatestruktur beispielsweise als Vorderseitengate- oder Deckengate-Struktur betrachtet werden. Weiterhin kann es, weil die TFT-Vorrichtung aus **Fig. 5** zwei getrennte Gates umfasst, als beispielsweise als eine duale Gatestruktur betrachtet werden. Die zuvor relevante Beschreibung bezüglich der Gateelektrode **310** und des Gatedielektrikums **320** gilt ebenfalls für die Gateelektrode **311** bzw. das Gatedielektrikum **321**, wie etwa in der Material- und Dickebeschreibung, mit der Ausnahme, dass die Gateelektrode **311** und das Gatedielektrikum **321** zwischen den S/D-Kontaktstrukturen **350** liegen, wie in **Fig. 5** gezeigt. Zahlreiche Variationen und Konfigurationen für Dual-Gate-TFT-Vorrichtungen mit mindestens einer ausgedünnten S/D-Region werden mit Blick auf diese Offenbarung offensichtlich.

**[0036]** **Fig. 6** illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus **Fig. 3F** mit einer mehrschichtigen TFT-Schicht nach einigen Ausführungsformen. So gilt die zuvor relevante Beschreibung bezüglich der IC-Strukturen und TFT-Vorrichtungen, die hierin offenbart sind (und alle damit verbundenen Merkmale) ebenso für die Struktur aus **Fig. 6**. Wie in **Fig. 6** gezeigt, weist die TFT-Schicht **330** in diesem Beispiel eine mehrschichtige Struktur auf, die drei Zwischenschichten umfasst, nämlich eine erste TFT-Zwischenschicht **336**, eine zweite TFT-Zwischenschicht **337** und eine dritte TFT-Zwischenschicht **338** dieser beispielhaften Ausführungsform. Es ist zu beachten, dass zwar die mehrschichtige TFT-Schicht

drei Zwischenschichten in der beispielhaften Ausführungsform aus **Fig. 6** umfasst, aber allgemein eine solche mehrschichtige TFT-Schicht in einigen Ausführungsformen zwei oder mehr Zwischenschichten umfassen kann. Ferner können in einigen solchen Ausführungsformen mindestens zwei der Zwischenschichten ein unterschiedlich zusammengesetztes Material umfassen. Beispielsweise können die ersten und dritten TFT-Zwischenschichten **336** und **338** dasselbe Material umfassen aber anders zusammengesetzt sein, als die zweite TFT-Zwischenschicht **337**. Alternativ dazu kann jede der drei Zwischenschichten Material umfassen, das anders zusammengesetzt ist als die beiden anderen. Die zuvor relevante Beschreibung bezüglich der TFT-Schicht **330** gilt ebenfalls für die TFT-Zwischenschichten **336**, **337** und **338**, wie etwa die Material- und Dickebeschreibung, mit der Ausnahme, dass die TFT-Zwischenschichten ein Teil der mehrschichtigen TFT-Schicht sind, wie in **Fig. 6** gezeigt.

**[0037]** In Ausführungsformen, die eine mehrschichtige TFT-Schicht umfassen (wie die in **Fig. 6** gezeigte), kann, wenn die verschiedenen Materialzusammensetzungen der TFT-Zwischenschichten selektives Ätzen erlauben, eine selektive Ätzverarbeitung eingesetzt werden, um eines oder mehr der obersten Unterschichten zu entfernen (oder den als erstes über den S/D-Kontakttranch ausgesetzten), während die eine oder mehreren verbleibenden untersten Zwischenschichten als ein Ätzstopp (oder mindestens ein Ätzverlangsamungsmechanismus) dienen, um den Ausdünnungsprozess zu steuern. Es ist zu beachten, dass in einigen solchen Fällen perfekte oder sogar hohe Ätzselektivität zwischen der einen oder den mehreren obersten Zwischenschichten, die entfernt werden sollen, und den verbleibenden untersten Zwischenschichten, die behalten werden sollen, nicht erforderlich sein müssen, da sogar eine geringe relative Ätzselektivität eine verbesserte Steuerung zum Ausdünnen der TFT-Schicht in den S/D-Regionen bereitstellt, wie auf Grundlage dieser Offenbarung zu verstehen ist. Beispielsweise können die zweiten und dritten TFT-Zwischenschichten **337** und **338** in den S/D-Regionen durch S/D-Kontakttranchen **345** unter Verwendung eines bestimmten Ätzmittels entfernt worden sein, das selektiv für eine erste TFT-Zwischenschicht **336** ist, wobei eine solche Selektivität bedeutet, dass das gegebene Ätzmittel das Material der ersten TFT-Zwischenschicht **336** relativ zu der Entfernung von mindestens der zweiten TFT-Zwischenschicht **337** durch das gegebene Ätzmittel nicht wesentlich entfernt oder langsamer entfernt. In solchen Ausführungsformen kann die erste TFT-Zwischenschicht **336** beispielsweise als ein Ätzstopp verwendet werden, um sicherzustellen, dass die erste TFT-Zwischenschicht **336** mindestens teilweise in den S/D-Regionen erhalten bleibt. Es ist zu beachten, dass die TFT-Zwischenschichten **336**, **337** und **338** in **Fig. 6** anders schattiert sind, um mit

der visuellen Identifizierung der verschiedenen Zwischenschichten zu helfen, aber diese Schattierung nicht die mehrschichtige TFT-Schicht in irgendeiner Weise einschränken soll. Zahlreiche Variationen und Konfigurationen für mehrschichtige TFT-Vorrichtungen sind mit Blick auf diese Offenbarung offensichtlich.

**[0038]** Fig. 7 illustriert die Querschnittsansicht der beispielhaften IC-Struktur aus Fig. 3F mit einer abgestuften TFT-Schicht nach einigen Ausführungsformen. So gilt die zuvor relevante Beschreibung bezüglich der IC-Strukturen und TFT-Vorrichtungen, die hierin offenbart sind (und alle damit verbundenen Merkmale) ebenso für die Struktur aus Fig. 7. Wie in Fig. 7 gezeigt, ist die TFT-Schicht 330 eine abgestufte TFT-Schicht 339, wobei die Konzentration eines oder mehrerer Materialien innerhalb der TFT-Schicht 339 wie gewünscht abgestuft (z. B. erhöht und/oder verringert) ist. Beispielsweise kann in einigen solchen Ausführungsformen die Zusammensetzung eines ersten Materials, das in der abgestuften TFT-Schicht 339 enthalten ist, mit steigender Dicke der abgestuften TFT-Schicht 339 erhöht werden, während die Zusammensetzung eines zweiten Materials, das in der abgestuften TFT-Schicht 339 enthalten ist, in derselben Richtung verringert werden kann. Um ein genaueres Beispiel bereitzustellen, wenn die abgestufte TFT-Schicht 339 abgestuftes IGZO umfasst, kann der Boden der abgestuften TFT-Schicht 339 (am nächsten an der Gatestruktur) eine relativ hohe Indiumkonzentration umfassen, die entlang der Dicke der abgestuften TFT-Schicht 339 verringert wird (z. B. in der positiven Y-Richtung sinkt), sodass die Oberkante der abgestuften TFT-Schicht 339 eine relativ geringere Indiumkonzentration umfasst. Ferner kann in solch einem spezifischen Beispiel die Gallium und/oder Zinkkonzentration, die in der abgestuften TFT-Schicht 339 enthalten ist, im Verlauf der Dicke der TFT-Schicht ansteigen (z. B. in der positiven Y-Richtung ansteigen), sodass die Gallium und/oder Zinkkonzentration in der Nähe der Gatestruktur relativ am geringsten ist und am weitesten von der Gatestruktur entfernt relativ am höchsten ist (z. B. in der Nähe des darüberliegenden ILD 340). Es ist zu beachten, dass die abgestufte TFT-Schicht 339 in Fig. 7 schattiert ist, um anzuzeigen, dass es sich um eine abgestufte Schicht handelt, aber eine solche Schattierung ist nicht vorgesehen die abgestufte TFT-Schicht 339 in irgendeiner Weise einzuschränken. Zahlreiche Variationen und Konfigurationen für abgestufte TFT-Vorrichtungen sind mit Blick auf diese Offenbarung offensichtlich.

**[0039]** Fig. 8 illustriert eine Querschnittsansicht einer beispielhaften IC-Struktur, die eine Rückseitengate-TFT-Vorrichtung umfasst, einschließlich ausgedünnten S/D-Regionen an einem Back-End-of-Line (BEOL) IC-Ort nach einigen Ausführungsformen dieser Offenbarung. Die zuvor relevante Beschreibung

bezüglich der IC-Strukturen und TFT-Vorrichtungen, die hierin offenbart sind (und alle damit verbundenen Merkmale), gilt ebenso für die Struktur aus Fig. 8. Wie in Fig. 8 gezeigt, umfasst der Front-End-of-Line- (FEOL) Abschnitt 300 der IC in dieser beispielhaften Ausführungsform das Substrat 301, die Isolatorschicht 302 und die Vorrichtungsschicht 303, da das Substrat eine Halbleiter-auf-Isolator- (oder XO) Konfiguration umfasst, wobei die Isolatorschicht ein oder mehrere Oxide (z. B. Siliziumdioxid) und/oder andere Dielektrika (z. B. Siliziumnitrid) umfassen kann. In anderen Ausführungsformen ist die Isolatorschicht 302 möglicherweise nicht vorhanden, wie etwa für einen Bulk-Siliziumwafer oder für ein Isolatorsubstrat (z. B. ein Glassubstrat). Die Vorrichtungsschicht 303 kann alle gewünschten IC-Vorrichtungen umfassen, wie etwa verschiedene Transistoren (z. B. Metalloxidhalbleiter-Feldeffekttransistoren oder MOSFETs, die für Logik- oder RF-Anwendungen verwendet werden können), verschiedene Kondensatoren, verschiedene Widerstände und so weiter. Es ist zu beachten, dass zwar die Vorrichtungsschicht 303 so beschriftet ist, die IC-Vorrichtungen jedoch anderswo gebildet werden können, wie etwa die TFT-Vorrichtung, einschließlich der TFT-Schicht 330, die an dem BEOL-Abschnitt 305 der IC-Struktur gebildet wird. Wie in Fig. 8 gezeigt, zeigt der BEOL-Abschnitt auch vier Metallisierungsstufen, wo das ILD die Nummern 341, 342, 343 und 344 trägt, mit induzierten Verbindungsmerkmalen (z. B. Durchkontaktierungen und/oder Metallisierungsleitungen) 361, 362, 363 bzw. 364. Die zuvor relevante Beschreibung bezüglich des ILD 340 gilt ebenso für ILD 341 bis 344. In einigen Ausführungsformen können Verbindungen 361 bis 364 Metall- und/oder Metalllegierungsmaterial (z. B. Kupfer, Wolfram, Titanitrid, Tantalnitrid) umfassen.

**[0040]** In der beispielhaften Struktur aus Fig. 8 wird die TFT-Vorrichtung zwischen und einschließlich der Metalleitung der Metallisierungsschicht 2 und der der Metalleitung der Metallisierungsschicht 3 gebildet. Beispielsweise sind in der beispielhaften Struktur aus Fig. 8 die Gatestruktur, einschließlich der Gateelektrode 310 und des Gatedielektrikums 320 an der Metalleitung (dem oberen Abschnitt) der Metallisierungsschicht 2 innerhalb des ILD 342 gebildet, die TFT-Schicht 330 ist in dem unteren Abschnitt der Metallisierungsschicht 3 innerhalb des ILD 343 gebildet und die S/D-Kontaktstruktur 350 ist innerhalb der Metalleitung (dem oberen Abschnitt) der Metallisierungsschicht 3 in dem ILD 343 gebildet, und erstreckt sich nach unten in den unteren Abschnitt der Metallisierungsschicht 3 wie dargestellt. Ferner kann auf die Gateelektrode 310 auf der linken Seite der dargestellten Struktur zugegriffen/sie dort verbunden sein (z. B. in der negativen X-Achsenrichtung) oder an einer anderen Querschnittstiefe (z. B. in der positiven oder negativen Z-Achsenrichtung) als der Querschnittsansicht aus Fig. 8. Allgemein kann die die TFT-Vor-

richtung, wie auf Grundlage dieser Offenbarung zu verstehen ist, wenn sie mit mindestens einer ausgedünnten S/D-Region wie unterschiedlich hierin beschrieben an einem BEOL-IC-Ort gebildet ist, an jeder der Metallierungsleitung(en) gebildet sein. Weiterhin kann in einigen Ausführungsformen die TFT-Vorrichtung mit mindestens einer ausgedünnten S/D-Region wie hierin unterschiedlich beschrieben an einem FEOL-IC-Ort gebildet sein, wie etwa beispielsweise in der Vorrichtungsschicht **303** (die sich auf der Isolatorschicht **302** befindet). Zahlreiche Variationen und Konfigurationen sind mit Blick auf diese Offenbarung offenkundig.

#### Beispielhaftes System

**[0041]** Fig. 9 illustriert ein Rechnersystem **1000**, das mit integrierten Schaltungsstrukturen und/oder Transistorvorrichtungen umgesetzt ist, die unter Verwendung der hierin offenbarten Techniken abgebildet sind, nach einigen Ausführungsformen dieser Offenbarung. Beispielsweise können die TFT-Vorrichtungen, die mindestens eine ausgedünnte S/D-Region umfassen, in einem oder mehreren Abschnitten des Rechnersystems **1000** enthalten sein. Wie zu sehen ist, beinhaltet das Rechnersystem **1000** ein Motherboard **1002**. Das Motherboard **1002** kann eine Anzahl von Bauteilen umfassen, einschließlich unter anderem einem Prozessor **1004** und mindestens einen Kommunikationschip **1006**, von denen jedes physisch und elektrisch mit dem Motherboard **1002** gekoppelt oder anderweitig darin integriert sein kann. Wie zu erkennen ist, kann das Motherboard **1002** beispielsweise eine Platine sein, egal ob es sich um ein Mainboard, ein Daughterboard auf einem Mainboard oder die einzige Platine des Systems **1000**, usw. handelt.

**[0042]** Abhängig von seinen Anwendungen kann das Rechnersystem **1000** eine oder mehrere Komponenten umfassen, die physisch und elektrisch mit dem Motherboard **1002** gekoppelt sein können, aber nicht müssen. Diese anderen Komponenten können flüchtigen Speicher (z. B. DRAM), nichtflüchtigen Speicher (z. B. ROM), einen Grafikprozessor, einen digitalen Signalprozessor, einen Kryptoprozessor, einen Chipsatz, eine Antenne, eine Anzeige, eine Touchscreenanzeige, einen Touchscreencontroller, eine Batterie, einen Audiocodec, einen Videocodec, einen Leistungsverstärker, eine Global-Positioning-System- (GPS) Vorrichtung, einen Kompass, einen Beschleunigungsmesser, einen Laustecker, eine Kamera und eine Massespeichervorrichtung (wie etwa ein Festplattenlaufwerk, eine Compact Disk (CD), eine Digital Versatile Disk (DVD) und so weiter) umfassen. sind aber nicht darauf beschränkt. Jede der Komponenten, die in dem Rechnersystem **1000** umfasst ist, kann eine oder mehrere integrierte Schaltungsstrukturen oder Vorrichtungen umfassen, die unter Verwendung der offenbarten Techni-

ken nach einer beispielhaften Ausführungsform gebildet sind. In einigen Ausführungsformen können mehrere Funktionen auf einen oder mehrere Chips integriert sein (z. B. Nanoribbon; es ist zu beachten, dass der Kommunikationschip **1006** Teil des Prozessors **1004** oder anderweitig darin integriert sein kann).

**[0043]** Die Kommunikationschip **1006** ermöglicht drahtlose Kommunikation für die Übertragung von Daten an und von dem Rechnersystem **1000**. Der Begriff „drahtlos“ und seine Ableitungen können verwendet werden, um Schaltungen, Vorrichtungen, Systeme, Verfahren, Techniken, Kommunikationskanäle usw. zu beschreiben, die Daten durch die Verwendung modulierter elektromagnetischer Strahlung durch ein nichtfestes Medium kommunizieren. Der Begriff impliziert nicht, dass assoziierte Vorrichtungen keine Drähte umfassen, wenn es auch in einigen Ausführungsformen der Fall sein kann. Der Kommunikationschip **1006** kann eine jedes aus einer Anzahl von Drahtlosstandards oder Protokolle umfassen, einschließlich unter anderem Wi-Fi (IEEE 802.11-Familie), WiMAX (IEEE 802.16-Familie), IEEE **802.20**, Long Term Evolution (LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth, Derivate davon sowie alle anderen Drahtlosprotokolle, die als 3G, 4G, 5G und darüber hinaus bezeichnet sind. Das Rechnersystem **1000** kann mehrere Kommunikationschips **1006** umfassen. Beispielsweise kann ein erster Kommunikationschip **1006** für Drahtloskommunikationen mit kürzerer Reichweite vorgesehen sein, wie etwa Wi-Fi und Bluetooth, und ein zweiter Kommunikationschip **1006** kann für Drahtloskommunikationen wie GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO und andere vorgesehen sein.

**[0044]** Der Prozessor **1004** des Rechnersystems **1000** umfasst ein integriertes Schaltungsdiagramm, das in dem Prozessor **1004** verpackt ist. In einigen Ausführungsformen umfasst das integrierte Schaltungsdiagramm des Prozessors Onboard-Schaltungen, die mit einer oder mehr integrierten Schaltungsstrukturen oder Vorrichtungen umgesetzt werden kann, die unter Verwendung der offenbarten Techniken gebildet werden können, wie hierin verschieden beschrieben. Der Begriff „Prozessor“ kann sich auf alle Vorrichtungen oder Abschnitte einer Vorrichtung beziehen, die elektronische Daten von Registern und/oder Speichern verarbeiten, um diese elektronischen Daten in andere elektronische Daten umzuwandeln, die in Registern und/oder Speichern gespeichert werden können.

**[0045]** Der Kommunikationschip **1006** kann auch ein integriertes Schaltungsdiagramm umfassen, das in dem Kommunikationschip **1006** verpackt ist. Nach einigen solchen beispielhaften Ausführungsformen umfasst das integrierte Schaltungsdiagramm des Kommunikationschips eine oder mehrere integrierte Schaltungsstrukturen oder Vorrichtungen, die unter den offen-

barten Techniken wie hierin verschieden beschrieben gebildet wurden. Wie mit Blick auf diese Offenbarung zu erkennen ist, ist zu beachten, dass Multistandard-Drahtlosfähigkeit direkt in den Prozessor **1004** integriert sein kann (wobei z. B. wobei die Funktionalität aller Chips **1006** in den Prozessor **1004** integriert ist, statt separate Kommunikationschips aufzuweisen). Es ist ferner zu beachten, dass der Prozessor **1004** ein Chipsatz sein kann, der eine solche Drahtlosfähigkeit aufweist. Kurz gesagt, kann jede Anzahl von Prozessor- **1004** und/oder Kommunikationschips **1006** verwendet werden. Ebenso können in jeden Chip oder Chipsatz mehrere Funktionen integriert sein.

**[0046]** In verschiedenen Umsetzungen kann das Rechnersystem **1000** ein Laptop, ein Netbook, ein Notebook, ein Smartphone, ein Tablet, eine Personal Digital Assistant (PDA), ein ultramobiler PC, ein Mobiltelefon, ein Desktopcomputer, ein Server, ein Drucker, ein Scanner, ein Monitor, eine Set-Top Box, eine Unterhaltungssteuereinheit, eine Digitalkamera, ein tragbarer Musikspieler, ein digitaler Videorecorder oder jede andere elektronische Vorrichtung oder ein System sein, die Daten verarbeitet oder eine oder mehrere integrierte Schaltungsstrukturen oder Vorrichtungen aufweist, die unter Verwendung der offenbarten Techniken gebildet werden, wie hierin verschieden beschrieben.

**[0047]** Es ist zu beachten, dass ein Verweis auf ein Rechnersystem Rechnervorrichtungen, Apparate und andere Strukturen umfassen soll, die zur Berechnung oder Bearbeitung von Informationen vorgesehen sind.

#### Weitere beispielhafte Ausführungsformen

**[0048]** Die folgenden Beispiele beziehen sich auf weitere Ausführungsformen, von denen zahlreiche Permutationen und Konfigurationen offensichtlich sein werden.

**[0049]** Beispiel 1 ist ein Transistor, umfassend: eine Gateelektrode, die ein oder mehrere Metalle umfasst; ein Gatedielektrikum an der Gateelektrode; eine Schicht an dem Gatedielektrikum, wobei die Schicht ein oder mehrere Metalle umfasst, und die Schicht auch Sauerstoff umfasst; eine erste Kontaktstruktur an der Schicht, wobei die erste Kontaktstruktur ein oder mehrere Metalle umfasst, einen ersten Abschnitt der Schicht zwischen der ersten Kontaktstruktur und dem Gatedielektrikum; und eine zweite Kontaktstruktur an der Schicht, wobei die zweite Kontaktstruktur ein oder mehrere Metalle umfasst, ein zweiter Abschnitt der Schicht zwischen der zweiten Kontaktstruktur und dem Gatedielektrikum; wobei der erste Abschnitt der Schicht eine erste Dicke aufweist, der zweite Abschnitt der Schicht eine zweite Dicke aufweist, und ein dritter Abschnitt der Schicht

zwischen den ersten und zweiten Abschnitten der Schicht eine dritte Dicke aufweist, wobei die dritte Dicke mindestens 10 Nanometer (nm) mehr beträgt als eine oder beide der ersten Dicke oder der zweiten Dicke.

**[0050]** Beispiel 2 umfasst den Inhalt aus Beispiel 1, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, mindestens eines aus Indium, Gallium oder Zink umfassen.

**[0051]** Beispiel 3 umfasst den Inhalt aus Beispiel 1 oder 2, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, Indium, Gallium oder Zink umfassen.

**[0052]** Beispiel 4 umfasst den Inhalt aus einem der Beispiele 1 bis 3, wobei das Gatedielektrikum ein oder mehrere Dielektrika mit hohen k-Werten umfasst.

**[0053]** Beispiel 5 umfasst den Inhalt aus einem der Beispiele 1 bis 4, wobei das Gatedielektrikum Hafnium und Sauerstoff umfasst.

**[0054]** Beispiel 6 umfasst den Inhalt aus einem der Beispiele 1 bis 3, wobei das Gatedielektrikum eines oder beides aus Siliziumdioxid oder Dielektrikum mit niedrigem k-Wert umfasst.

**[0055]** Beispiel 7 umfasst den Inhalt aus einem der Beispiele 1 bis 6, wobei das Gatedielektrikum eine Dicke zwischen der Gateelektrode und der Schicht von mindestens 5 nm umfasst.

**[0056]** Beispiel 8 umfasst den Inhalt aus einem der Beispiele 1 bis 7, wobei eine oder beide der ersten Dicke oder der zweiten Dicke maximal 10 nm betragen.

**[0057]** Beispiel 9 umfasst den Inhalt aus einem der Beispiele 1 bis 8, wobei eine oder beide der ersten Dicke oder der zweiten Dicke maximal 5 nm betragen.

**[0058]** Beispiel 10 umfasst den Inhalt aus einem der Beispiele 1 bis 9, wobei die dritte Dicke mindestens 10 nm größer als sowohl die erste Dicke als auch die zweite Dicke ist.

**[0059]** Beispiel 11 umfasst den Inhalt aus einem der Beispiele 1 bis 10, ferner umfassend ein weiteres Gatedielektrikum an einer Seite der Schicht, die dem Gatedielektrikum gegenüberliegt, und einer weiteren Gateelektrode an dem weiteren Gatedielektrikum, wobei die weitere Gateelektrode ein oder mehrere Metalle umfasst.

**[0060]** Beispiel 12 umfasst den Inhalt aus einem der Beispiele 1 bis 11, wobei das eine oder die mehreren

Metalle und der Sauerstoff, die in der Schicht enthalten sind, in der gesamten Schicht enthalten sind.

**[0061]** Beispiel 13 umfasst den Inhalt aus einem der Beispiele 1 bis 12, wobei die Schicht eine mehrschichtige Struktur ist, einschließlich mindestens zwei unterschiedlich zusammengesetzter Zwischenschichten, wobei einzelne Zwischenschichten ein oder mehrere Metalle umfassen und einzelne Zwischenschichten auch Sauerstoff umfassen.

**[0062]** Beispiel 14 umfasst den Inhalt aus Beispiel 13, wobei der dritte Abschnitt der Schicht mindestens eine Zwischenschicht umfasst, die in den ersten und zweiten Abschnitten der Schicht fehlt.

**[0063]** Beispiel 15 umfasst den Inhalt aus einem der Beispiele 1 bis 14, wobei mindestens ein Material, das in dem dritten Abschnitt der Schicht enthalten ist, im Gehalt entlang der dritten Dicke ansteigt.

**[0064]** Beispiel 16 umfasst den Inhalt aus einem der Beispiele 1 bis 15, wobei sich eine oder beide der ersten Kontaktstruktur oder der zweiten Kontaktstruktur über ein Ende der Schicht hinaus erstrecken.

**[0065]** Beispiel 17 umfasst den Inhalt aus einem der Beispiele 1 bis 16, wobei der Gesamtflächenbereich zwischen der ersten Kontaktstruktur und der Schicht um mindestens 25 Prozent erhöht wird, darauf basierend, dass die Dicke mindestens 10 nm größer als die erste Dicke ist, und wobei der Gesamtflächenbereich zwischen der zweiten Kontaktstruktur und der Schicht um mindestens 25 Prozent erhöht wird, darauf basierend, dass die dritte Dicke mindestens 10 nm größer als die zweite Dicke ist.

**[0066]** Beispiel 18 umfasst den Inhalt aus einem der Beispiele 1 bis 17, wobei sich die erste Kontaktstruktur und die zweite Kontaktstruktur über der Gateelektrode befinden.

**[0067]** Beispiel 19 ist eine eingebettete Speichervorrichtung, die den Inhalt aus einem der Beispiele 1 bis 18 umfasst.

**[0068]** Beispiel 20 ist eine integrierte Schaltung, die den Inhalt aus einem der Beispiele 1 bis 19 umfasst, wobei sich der Transistor an einem Back-End-of-Line-Ort der integrierten Schaltung befindet.

**[0069]** Beispiel 21 ist ein Rechnersystem, das den Inhalt aus einem der Beispiele 1 bis 20 umfasst.

**[0070]** Beispiel 22 ist eine integrierte Schaltung, die mindestens einen Transistor umfasst, die integrierte Schaltung umfassend: eine Gateelektrode, die ein oder mehrere Metalle umfasst; eine Schicht, die ein oder mehrere Metalle umfasst, wobei die Schicht auch Sauerstoff umfasst; ein Gatedielektrikum zwi-

schen der Gateelektrode und der Schicht; eine erste Kontaktstruktur an der Schicht, wobei die erste Kontaktstruktur ein oder mehrere Metalle, einen ersten Abschnitt der Schicht zwischen der ersten Kontaktstruktur und dem Gatedielektrikum umfasst; und eine zweite Kontaktstruktur an der Schicht, wobei die zweite Kontaktstruktur ein oder mehrere Metalle, einen zweiten Abschnitt der Schicht zwischen der zweiten Kontaktstruktur und dem Gatedielektrikum umfasst; wobei der erste Abschnitt der Schicht eine erste Dicke von maximal 10 Nanometern (nm) aufweist, der zweite Abschnitt der Schicht eine zweite Dicke von maximal 10 nm aufweist und ein dritter Abschnitt der Schicht zwischen den ersten und zweiten Abschnitten der Schicht eine dritte Dicke aufweist, wobei die dritte Dicke größer als die erste Dicke und die zweite Dicke ist.

**[0071]** Beispiel 23 umfasst den Inhalt aus Beispiel 22, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, mindestens eines aus Indium, Gallium oder Zink umfassen.

**[0072]** Beispiel 24 umfasst den Inhalt aus Beispiel 22 oder 23, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, Indium, Gallium oder Zink umfassen.

**[0073]** Beispiel 25 umfasst den Inhalt aus einem der Beispiele 22 bis 24, wobei das Gatedielektrikum ein oder mehrere Dielektrika mit hohen k-Werten umfasst.

**[0074]** Beispiel 26 umfasst den Inhalt aus einem der Beispiele 22 bis 25, wobei das Gatedielektrikum Hafnium und Sauerstoff umfasst.

**[0075]** Beispiel 27 umfasst den Inhalt aus einem der Beispiele 22 bis 26, wobei die dritte Dicke mindestens 10 nm größer als eines aus der ersten Dicke oder der zweiten Dicke ist.

**[0076]** Beispiel 28 umfasst den Inhalt aus einem der Beispiele 22 bis 27, wobei die erste Dicke und die zweite Dicke maximal 5 nm betragen.

**[0077]** Beispiel 29 umfasst den Inhalt aus einem der Beispiele 22 bis 28, wobei die dritte Dicke mindestens 15 nm beträgt.

**[0078]** Beispiel 30 umfasst den Inhalt aus einem der Beispiele 22 bis 29, ferner umfassend ein weiteres Gatedielektrikum an einer Seite der Schicht, die dem Gatedielektrikum gegenüberliegt, und einer weiteren Gateelektrode an dem weiteren Gatedielektrikum, wobei die weitere Gateelektrode ein oder mehrere Metalle umfasst.

**[0079]** Beispiel 31 umfasst den Inhalt aus einem der Beispiele 22 bis 30, wobei das eine oder die mehre-



ren Metalle und der Sauerstoff, die in der Schicht enthalten sind, in der gesamten Schicht enthalten sind.

**[0080]** Beispiel 32 umfasst den Inhalt aus einem der Beispiele 22 bis 31, wobei die Schicht eine mehrschichtige Struktur ist, einschließlich mindestens zwei unterschiedlich zusammengesetzter Zwischenschichten, wobei einzelne Zwischenschichten ein oder mehrere Metalle umfassen und einzelne Zwischenschichten auch Sauerstoff umfassen.

**[0081]** Beispiel 33 umfasst den Inhalt aus Beispiel 32, wobei der dritte Abschnitt der Schicht mindestens eine Zwischenschicht umfasst, die in den ersten und zweiten Abschnitten der Schicht fehlt.

**[0082]** Beispiel 34 umfasst den Inhalt aus einem der Beispiele 22 bis 33, wobei mindestens ein Material, das in dem dritten Abschnitt der Schicht enthalten ist, im Gehalt entlang der dritten Dicke ansteigt.

**[0083]** Beispiel 35 umfasst den Inhalt aus einem der Beispiele 22 bis 34, wobei sich eine oder beide der ersten Kontaktstruktur oder der zweiten Kontaktstruktur über ein Ende der Schicht hinaus erstrecken.

**[0084]** Beispiel 36 umfasst den Inhalt aus einem der Beispiele 22 bis 35, wobei der Gesamtflächenbereich zwischen der ersten Kontaktstruktur und der Schicht um mindestens 25 Prozent erhöht wird, darauf basierend, dass die Dicke mindestens 10 nm größer als die erste Dicke ist, und wobei der Gesamtflächenbereich zwischen der zweiten Kontaktstruktur und der Schicht um mindestens 25 Prozent erhöht wird, darauf basierend, dass die dritte Dicke mindestens 10 nm größer als die zweite Dicke ist.

**[0085]** Beispiel 37 umfasst den Inhalt aus einem der Beispiele 22 bis 36, wobei sich die erste Kontaktstruktur und die zweite Kontaktstruktur über der Gateelektrode befinden.

**[0086]** Beispiel 38 umfasst den Inhalt aus einem der Beispiele 22 bis 37, wobei sich die Gateelektrode an einem Back-End-of-Line-Ort der integrierten Schaltung befindet.

**[0087]** Beispiel 39 umfasst den Inhalt aus einem der Beispiele 22 bis 38, ferner umfassend ein Substrat, wobei mindestens eine Metallisierungsleitung zwischen dem Substrat und der Gateelektrode liegt.

**[0088]** Beispiel 40 umfasst den Inhalt aus einem der Beispiele 22 bis 37, ferner umfassend ein Substrat, das Silizium und eine weitere Schicht, die ein Isolierungsmaterial umfasst, auf dem Substrat umfasst, wobei die Gateelektrode sich auf der weiteren Schicht befindet.

**[0089]** Beispiel 41 ist ein mobiles Rechnersystem, das den Inhalt aus einem der Beispiele 22 bis 40 umfasst.

**[0090]** Beispiel 42 ist ein Verfahren zum Bilden eines Transistors, das Verfahren umfassend: Bilden einer Gateelektrode, die ein oder mehrere Metalle umfasst; Bilden eines Gatedielektrikums an der Gateelektrode; Bilden einer Schicht an dem Gatedielektrikum, wobei die Schicht ein oder mehrere Metalle umfasst, und die Schicht auch Sauerstoff umfasst; Bilden einer ersten Kontaktstruktur an der Schicht, wobei die erste Kontaktstruktur ein oder mehrere Metalle umfasst, einen ersten Abschnitt der Schicht zwischen der ersten Kontaktstruktur und dem Gatedielektrikum; und Bilden einer zweiten Kontaktstruktur an der Schicht, wobei die zweite Kontaktstruktur ein oder mehrere Metalle umfasst, ein zweiter Abschnitt der Schicht zwischen der zweiten Kontaktstruktur und dem Gatedielektrikum; wobei der erste Abschnitt der Schicht eine erste Dicke aufweist, der zweite Abschnitt der Schicht eine zweite Dicke aufweist, und ein dritter Abschnitt der Schicht zwischen den ersten und zweiten Abschnitten der Schicht eine dritte Dicke aufweist, wobei die dritte Dicke mindestens 10 Nanometer (nm) mehr beträgt als eine oder beide der ersten Dicke oder der zweiten Dicke.

**[0091]** Beispiel 43 umfasst den Inhalt aus Beispiel 42, wobei vor dem Bilden der ersten Kontaktstruktur der erste Abschnitt der Schicht auf die erste Dicke per Ätzverarbeitung ausgedünnt wird.

**[0092]** Beispiel 44 umfasst den Inhalt aus Beispiel 42 oder 43, wobei vor dem Bilden der ersten Kontaktstruktur der zweite Abschnitt der Schicht auf die zweite Dicke per Ätzverarbeitung ausgedünnt wird.

**[0093]** Beispiel 45 umfasst den Inhalt aus Beispiel 43 oder 44, wobei die Ätzverarbeitung ein getimtes Ätzen umfasst.

**[0094]** Beispiel 46 umfasst den Inhalt aus Beispiel 43 oder 44, wobei die Ätzverarbeitung ein selektives Ätzen umfasst, das eine oder mehrere Zwischenschichten der Schicht umfasst.

**[0095]** Beispiel 47 umfasst den Inhalt aus einem der Beispiele 42 bis 46, wobei durch jeweilige Kontakt-trenches, in denen die erste Kontaktstruktur und die zweite Kontaktstruktur platziert sind, der erste Abschnitt der Schicht auf die erste Dicke gebildet ist und der zweite Abschnitt der Schicht auf die zweite Dicke gebildet ist.

**[0096]** Beispiel 48 umfasst den Inhalt aus einem der Beispiele 42 bis 47, ferner umfassend das Einführen von Sauerstoffleerstellen in einer Fläche des ersten Abschnitts der Schicht und einer Fläche des zweiten Abschnitts der Schicht.

**[0097]** Beispiel 49 umfasst den Inhalt aus einem der Beispiele 42 bis 48, wobei der Transistor an einem integrierten Back-End-of-Line-Schaltungsort gebildet ist.

**[0098]** Beispiel 50 umfasst den Inhalt aus einem der Beispiele 42 bis 48, wobei der Transistor an einem integrierten Front-End-of-Line-Schaltungsort gebildet ist.

**[0099]** Beispiel 51 umfasst den Inhalt aus einem der Beispiele 42 bis 50, wobei die Schicht über dem Gatedielektrikum liegt.

**[0100]** Beispiel 52 umfasst den Inhalt aus einem der Beispiele 42 bis 51, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, mindestens eines aus Indium, Gallium oder Zink umfassen.

**[0101]** Beispiel 53 umfasst den Inhalt aus einem der Beispiele 42 bis 52, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, Indium, Gallium oder Zink umfassen

**[0102]** Beispiel 54 umfasst den Inhalt aus einem der Beispiele 42 bis 53, wobei das Gatedielektrikum Hafnium und Sauerstoff umfasst.

**[0103]** Beispiel 55 umfasst den Inhalt aus einem der Beispiele 42 bis 54, wobei eines oder beide der ersten Dicke oder der zweiten Dicke maximal 5 nm betragen.

**[0104]** Beispiel 56 umfasst den Inhalt aus einem der Beispiele 42 bis 55, wobei die dritte Dicke mindestens 10 nm größer als sowohl die erste Dicke als auch die zweite Dicke ist.

**[0105]** Beispiel 57 umfasst den Inhalt aus einem der Beispiele 42 bis 56, wobei die erste Kontaktstruktur und die zweite Kontaktstruktur über der Gateelektrode liegen, sodass die erste Kontaktstruktur und die Gateelektrode eine erste gemeinsame vertikale Ebene teilen, und die zweite Kontaktstruktur und die Gateelektrode eine zweite gemeinsame vertikale Ebene teilen, die sich von der ersten gemeinsamen vertikalen Ebene unterscheidet.

**[0106]** Die obige Beschreibung der beispielhaften Ausführungsformen wurde zum Zweck der Illustration und Beschreibung bereitgestellt. Sie ist nicht vorgesehen, abschließend zu sein oder diese Offenbarung auf die genauen offenbarten Formen einzuschränken. Zahlreiche Modifikationen und Variationen sind mit Blick auf diese Offenbarung möglich. Es ist vorgesehen, dass der Umfang dieser Offenbarung nicht durch diese ausführliche Beschreibung eingeschränkt wird, sondern durch die beiliegenden Ansprüche. In Zukunft eingereichte Anmeldungen, die die Priorität vor dieser Anmeldung beanspruchen,

können das offenbarte Thema in einer anderen Weise beanspruchen und allgemein jeden Satz von einer oder mehreren Einschränkungen beanspruchen, wie jeweils hierin offenbart oder anderweitig demonstriert wurden.

## Patentansprüche

1. Transistor, umfassend:  
 eine Gateelektrode, die ein oder mehrere Metalle umfasst;  
 ein Gatedielektrikum an der Gateelektrode;  
 eine Schicht auf dem Gatedielektrikum, wobei die Schicht ein oder mehrere Metalle umfasst und die Schicht auch Sauerstoff umfasst;  
 eine erste Kontaktstruktur an der Schicht, wobei die erste Kontaktstruktur ein oder mehrere Metalle und einen ersten Abschnitt der Schicht zwischen der ersten Kontaktstruktur und dem Gatedielektrikum umfasst; und  
 eine zweite Kontaktstruktur an der Schicht, wobei die zweite Kontaktstruktur ein oder mehrere Metalle und einen zweiten Abschnitt der Schicht zwischen der zweiten Kontaktstruktur und dem Gatedielektrikum umfasst;  
 wobei der erste Abschnitt der Schicht eine erste Dicke aufweist, der zweite Abschnitt der Schicht eine zweite Dicke aufweist und ein dritter Abschnitt der Schicht zwischen den ersten und zweiten Abschnitten der Schicht eine dritte Dicke aufweist, wobei die dritte Dicke mindestens 10 Nanometer (nm) größer als eine oder beide der ersten Dicke oder der zweiten Dicke ist.

2. Transistor nach Anspruch 1, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, mindestens eines aus Indium, Gallium oder Zink umfassen.

3. Transistor nach Anspruch 1, wobei das eine oder die mehreren Metalle, die in der Schicht enthalten sind, Indium, Gallium und Zink umfassen.

4. Transistor nach Anspruch 1, wobei das Gatedielektrikum ein oder mehrere Dielektrika mit hohen k-Werten umfasst.

5. Transistor nach Anspruch 1, wobei das Gatedielektrikum Hafnium und Sauerstoff umfasst.

6. Transistor nach Anspruch 1, wobei das Gatedielektrikum eines oder beides aus Siliziumdioxid oder Dielektrikum mit niedrigem k-Wert umfasst.

7. Transistor nach Anspruch 1, wobei das Gatedielektrikum eine Dicke zwischen der Gateelektrode und der Schicht von mindestens 5 nm umfasst.

8. Transistor nach Anspruch 1, wobei eines oder beide der ersten Dicke oder der zweiten Dicke maximal 10 nm betragen.

9. Transistor nach einem der Ansprüche 1 bis 8, wobei die dritte Dicke mindestens 10 nm größer ist als sowohl die erste Dicke als auch die zweite Dicke.

10. Transistor nach einem der Ansprüche 1 bis 8, ferner umfassend:  
ein weiteres Gatedielektrikum an einer Seite der Schicht, die dem Gatedielektrikum gegenüberliegt; und  
eine weitere Gateelektrode an dem weiteren Gatedielektrikum, wobei die weitere Gateelektrode ein oder mehrere Metalle umfasst.

11. Transistor nach einem der Ansprüche 1 bis 8, wobei das eine oder die mehreren Metalle und der Sauerstoff, die in der Schicht enthalten sind, in der gesamten Schicht enthalten sind.

12. Transistor nach einem der Ansprüche 1 bis 8, wobei die Schicht eine mehrschichtige Struktur ist, einschließlich mindestens zwei unterschiedlich zusammengesetzter Zwischenschichten, wobei einzelne Zwischenschichten ein oder mehrere Metalle umfassen und einzelne Zwischenschichten auch Sauerstoff umfassen.

13. Transistor nach Anspruch 12, wobei der dritte Abschnitt der Schicht mindestens eine Zwischenschicht umfasst, die in den ersten und zweiten Abschnitten der Schicht fehlt.

14. Transistor nach einem der Ansprüche 1 bis 8, wobei mindestens ein Material, das in dem dritten Abschnitt der Schicht enthalten ist, im Gehalt entlang der dritten Dicke ansteigt.

15. Transistor nach einem der Ansprüche 1 bis 8, wobei sich eine oder beide der ersten Kontaktstruktur oder der zweiten Kontaktstruktur über ein Ende der Schicht hinaus erstrecken.

16. Transistor nach einem der Ansprüche 1 bis 8, wobei sich die erste Kontaktstruktur und die zweite Kontaktstruktur über der Gateelektrode befinden.

17. Eingebettete Speichervorrichtung, umfassend den Transistor eines der Ansprüche 1 bis 8.

18. Integrierte Schaltung, umfassend den Transistor nach einem der Ansprüche 1 bis 8, wobei sich der Transistor an einem Back-End-of-Line-Ort der integrierten Schaltung befindet.

19. Rechnersystem, umfassend den Transistor aus einem der Ansprüche 1 bis 8.

20. Integrierte Schaltung, umfassend mindestens einen Transistor, die integrierte Schaltung umfassend:

eine Gateelektrode, die ein oder mehrere Metalle umfasst;

eine Schicht, die ein oder mehrere Metalle umfasst, wobei die Schicht auch Sauerstoff umfasst;

ein Gatedielektrikum zwischen der Gateelektrode und der Schicht;

eine erste Kontaktstruktur an der Schicht, wobei die erste Kontaktstruktur ein oder mehrere Metalle und einen ersten Abschnitt der Schicht zwischen der ersten Kontaktstruktur und dem Gatedielektrikum umfasst; und

eine zweite Kontaktstruktur an der Schicht, wobei die zweite Kontaktstruktur ein oder mehrere Metalle und einen zweiten Abschnitt der Schicht zwischen der zweiten Kontaktstruktur und dem Gatedielektrikum umfasst;

wobei der erste Abschnitt der Schicht eine erste Dicke von maximal 10 Nanometer (nm) aufweist, der zweite Abschnitt der Schicht eine zweite Dicke von maximal 10 nm aufweist und ein dritter Abschnitt der Schicht zwischen den ersten und zweiten Abschnitten der Schicht eine dritte Dicke aufweist, wobei die dritte Dicke größer als die erste Dicke und die zweite Dicke ist.

21. Integrierte Schaltung nach Anspruch 20, wobei die erste Dicke und die zweite Dicke maximal 5 nm betragen.

22. Integrierte Schaltung nach Anspruch 20 oder 21, wobei die dritte Dicke mindestens 15 nm beträgt.

23. Integrierte Schaltung nach Anspruch 20 oder 21, wobei sich die Gateelektrode an einem Back-End-of-Line-Ort der integrierten Schaltung befindet.

24. Verfahren zum Bilden eines Transistors, das Verfahren umfassend:

Bilden einer Gateelektrode, die ein oder mehrere Metalle umfasst;

Bilden eines Gatedielektrikums an der Gateelektrode;

Bilden einer Schicht auf dem Gatedielektrikum, wobei die Schicht ein oder mehrere Metalle umfasst, und die Schicht auch Sauerstoff umfasst;

Bilden einer ersten Kontaktstruktur an der Schicht, wobei die erste Kontaktstruktur ein oder mehrere Metalle und einen ersten Abschnitt der Schicht zwischen der ersten Kontaktstruktur und dem Gatedielektrikum umfasst; und

Bilden einer zweiten Kontaktstruktur an der Schicht, wobei die zweite Kontaktstruktur ein oder mehrere Metalle und einen zweiten Abschnitt der Schicht zwischen der zweiten Kontaktstruktur und dem Gatedielektrikum umfasst;

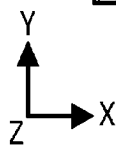
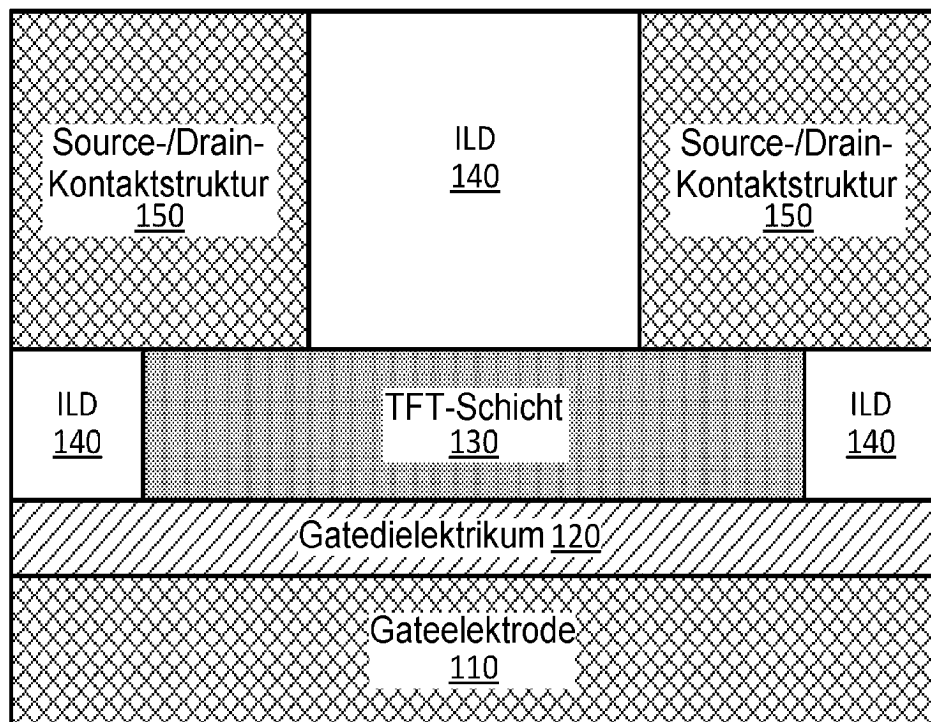
wobei der erste Abschnitt der Schicht eine erste Dicke aufweist, der zweite Abschnitt der Schicht eine

zweite Dicke aufweist und ein dritter Abschnitt der Schicht zwischen den ersten und zweiten Abschnitten der Schicht eine dritte Dicke aufweist, wobei die dritte Dicke mindestens 10 Nanometer (nm) größer ist als eine oder beide der ersten Dicke oder der zweiten Dicke.

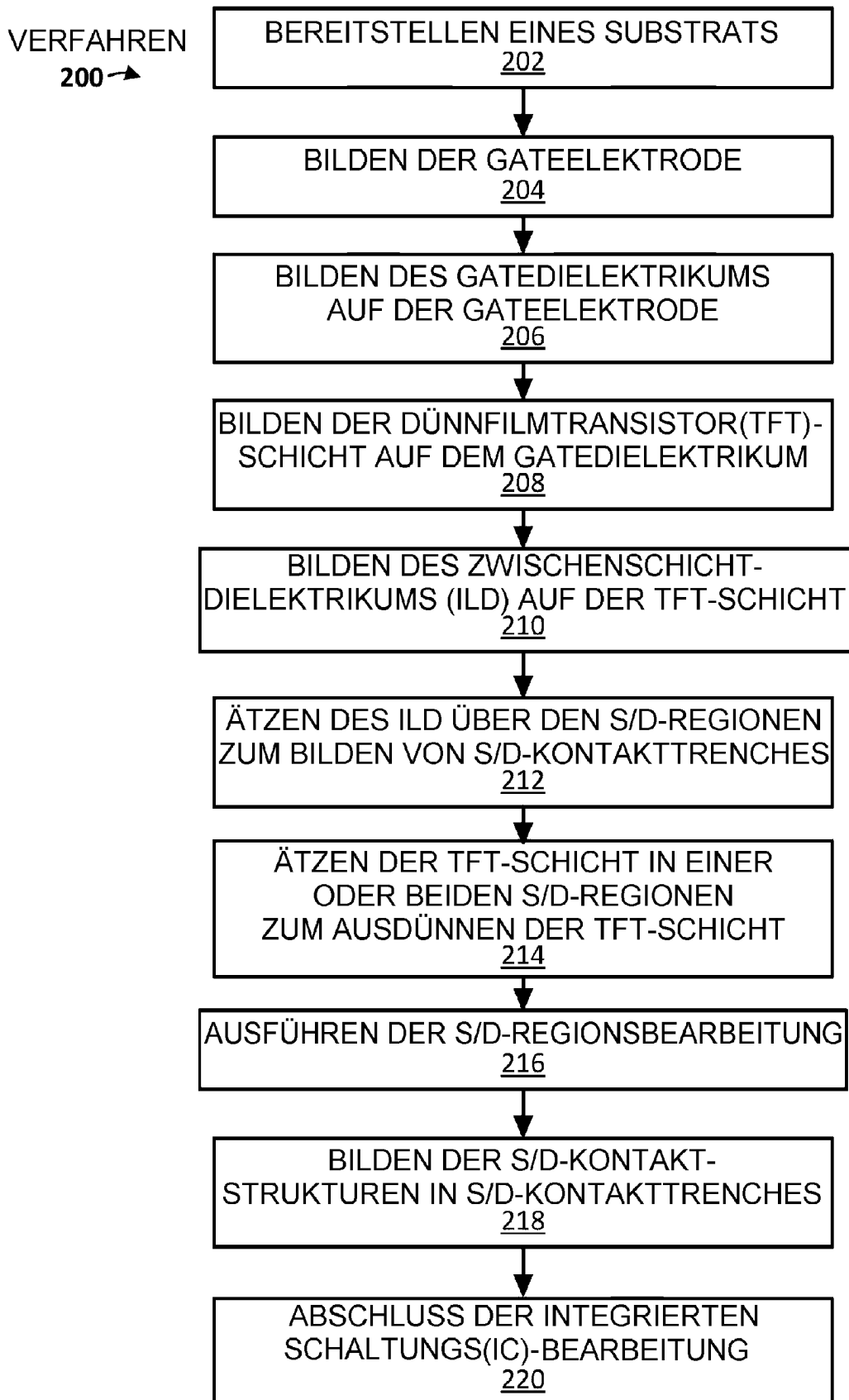
25. Verfahren nach Anspruch 24, wobei durch jeweilige Kontakttranches, in denen die erste Kontaktstruktur und die zweite Kontaktstruktur platziert sind, der erste Abschnitt der Schicht auf die erste Dicke gebildet ist und der zweite Abschnitt der Schicht auf die zweite Dicke gebildet ist.

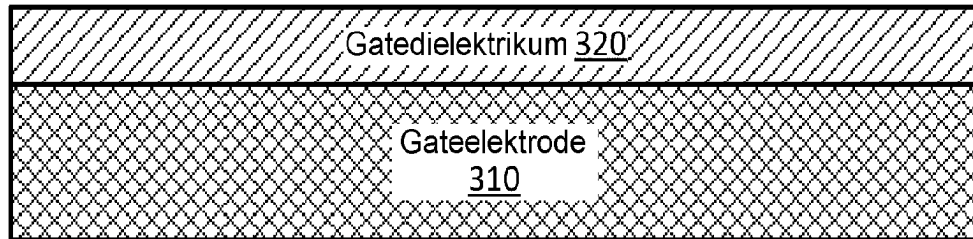
Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

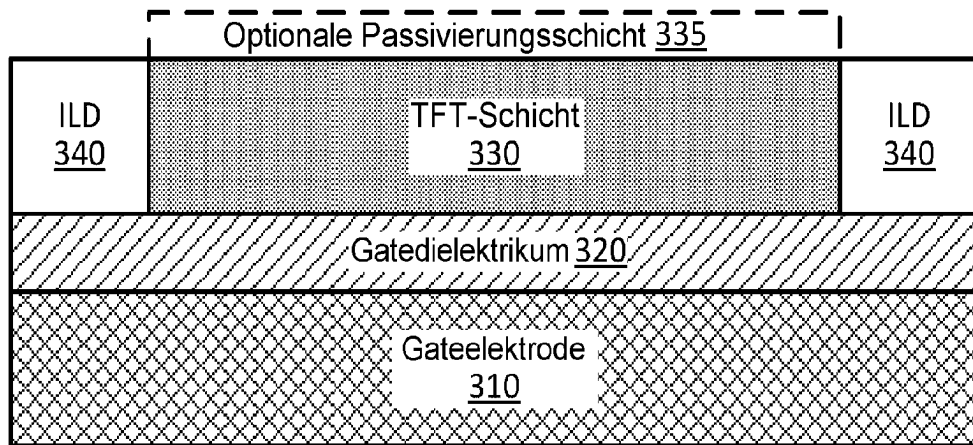


**FIG. 1**

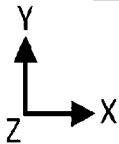
**FIG. 2**

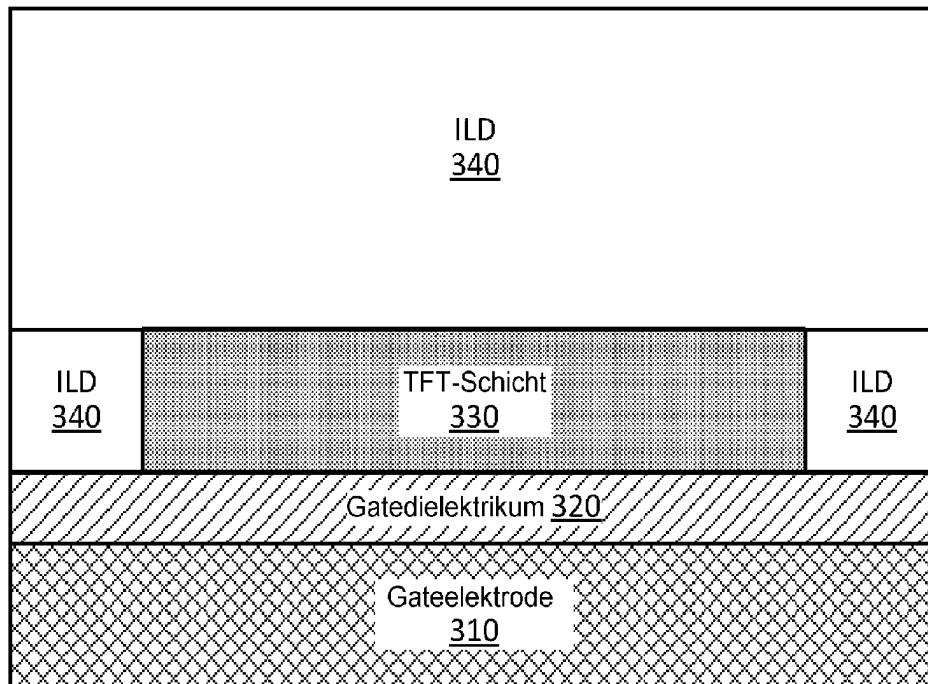


**FIG. 3A**

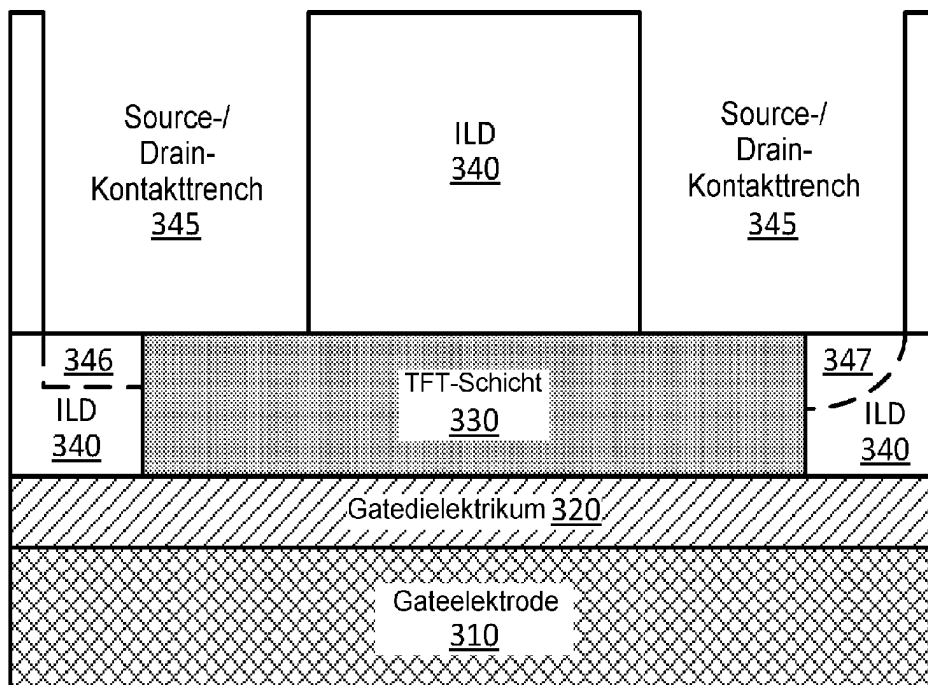


**FIG. 3B**

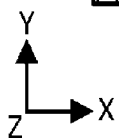




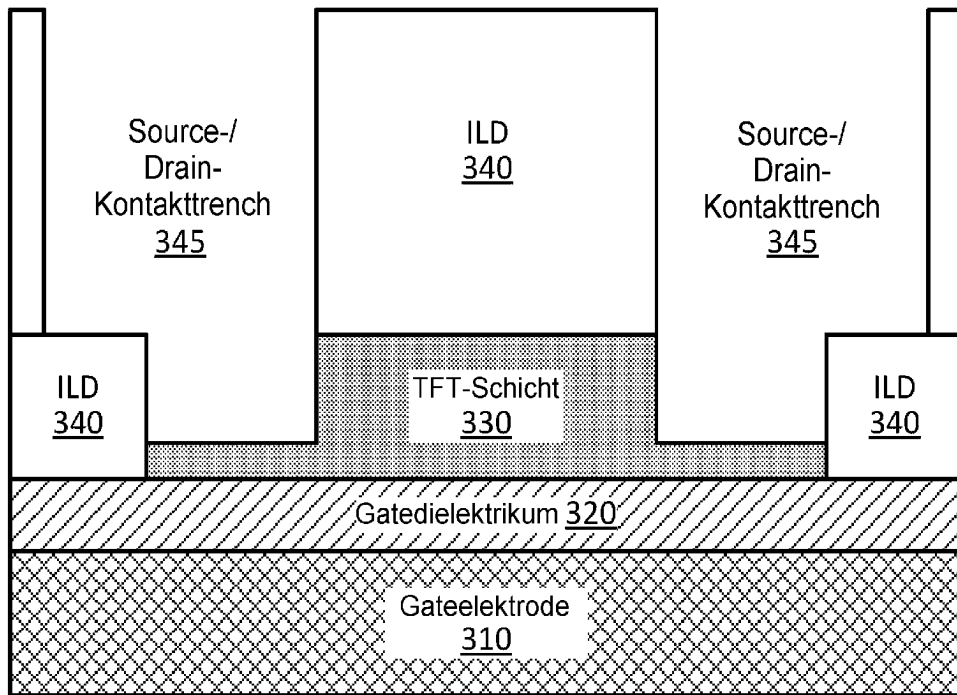
**FIG. 3C**



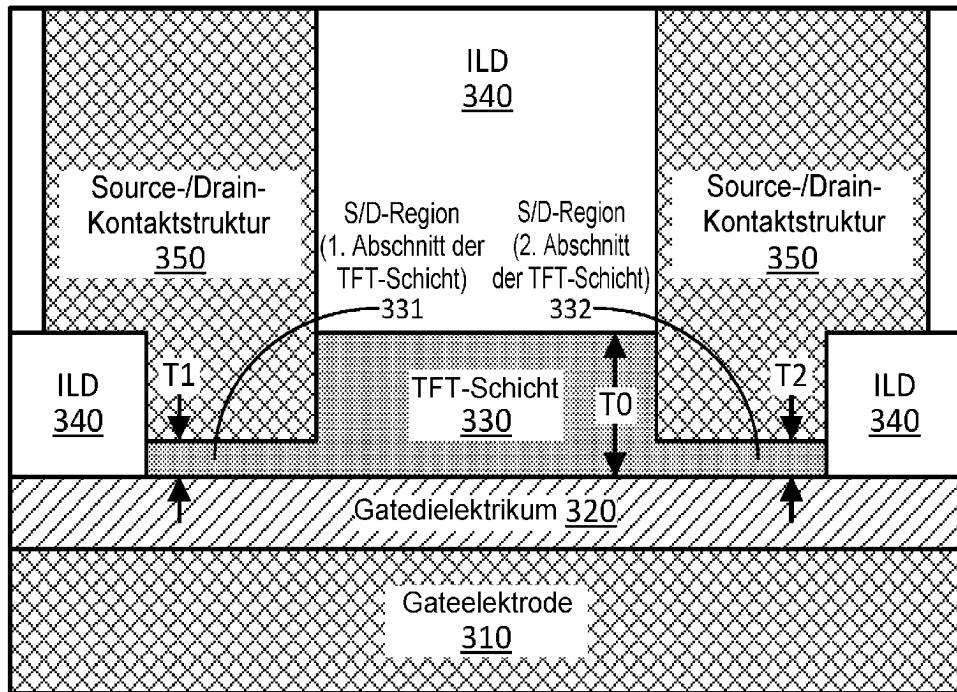
**FIG. 3D**



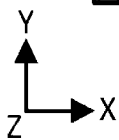




**FIG. 3E**



**FIG. 3F**



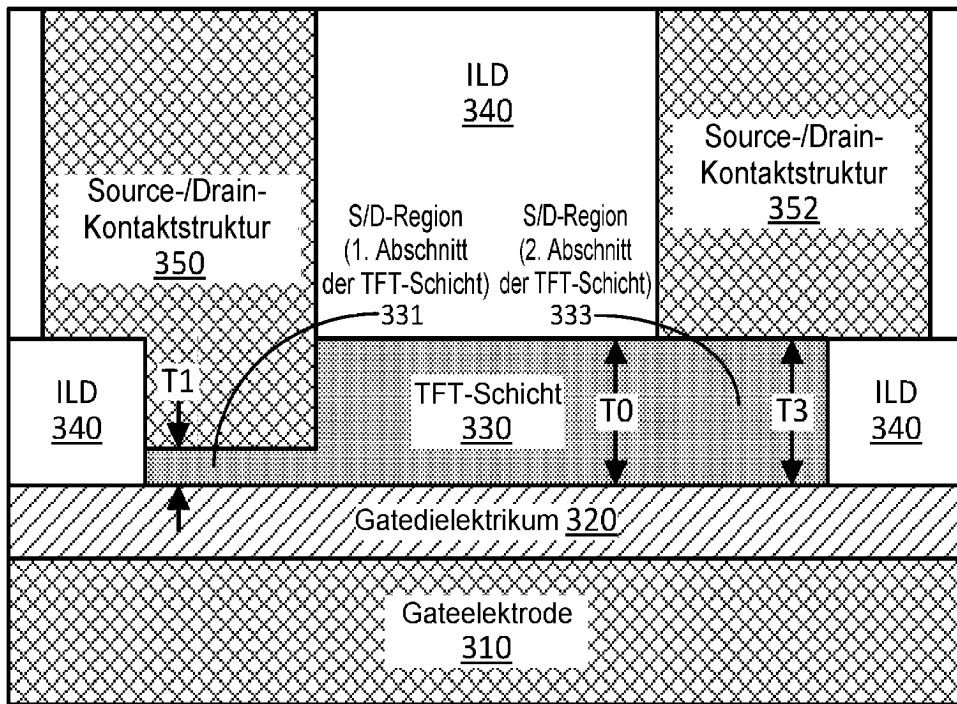


FIG. 4

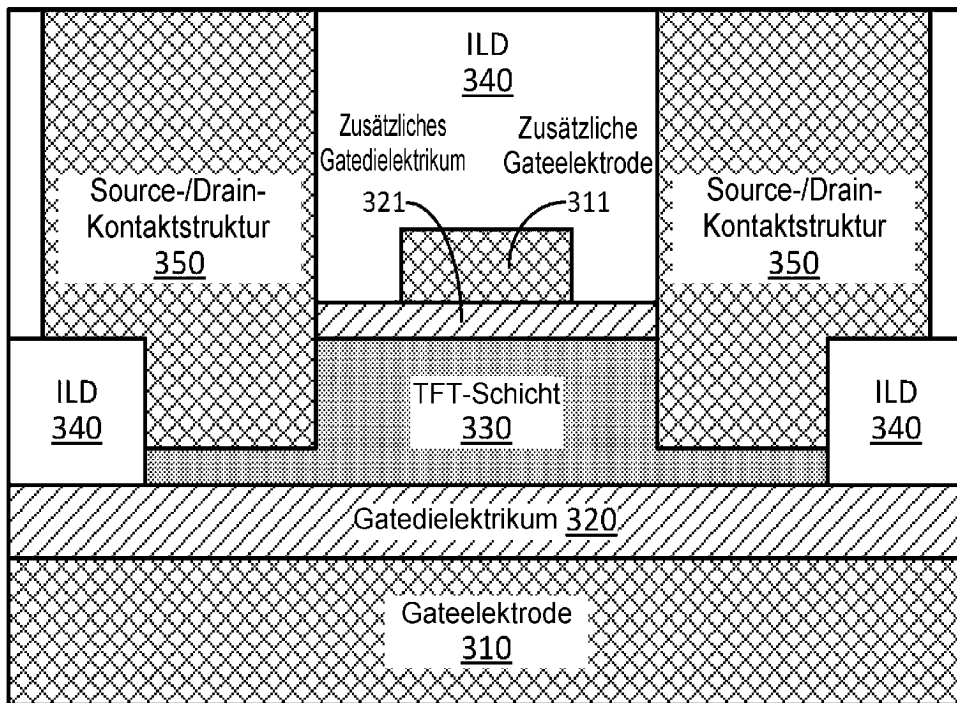
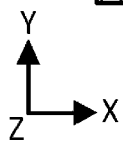


FIG. 5



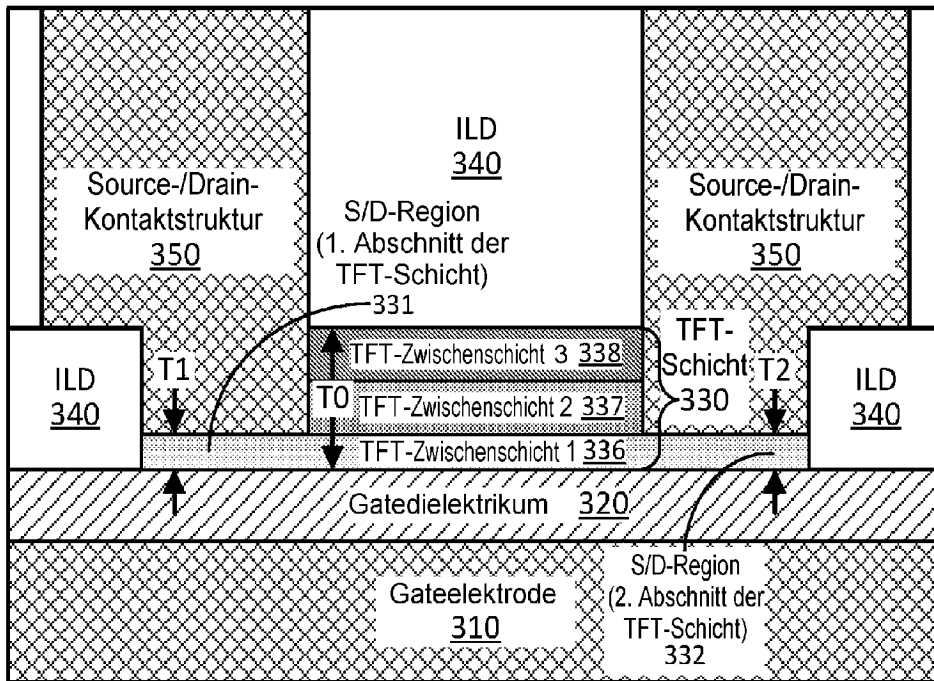


FIG. 6

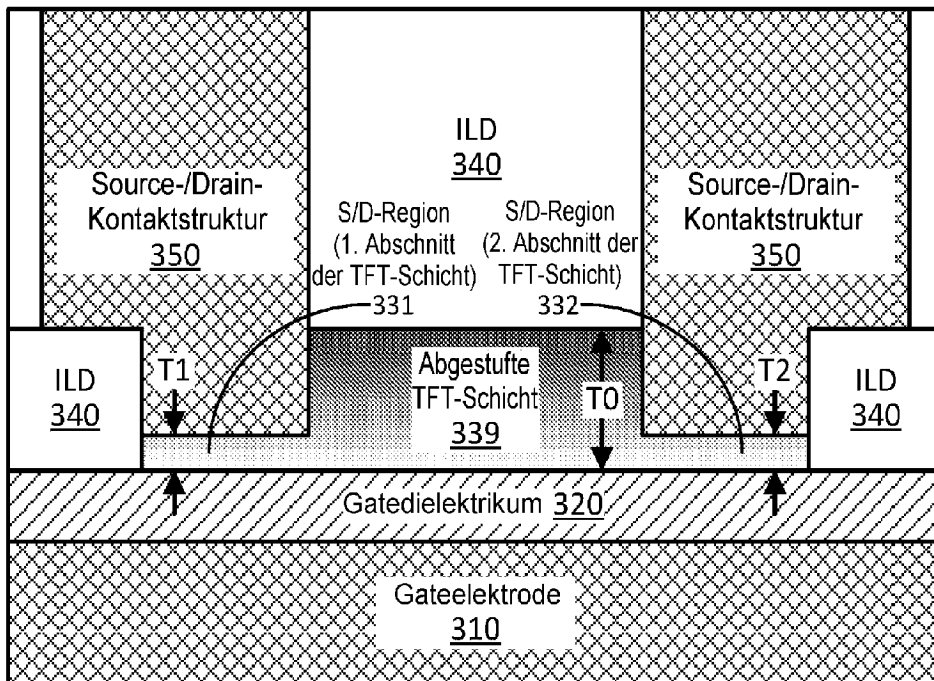
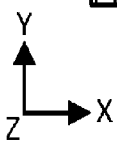


FIG. 7



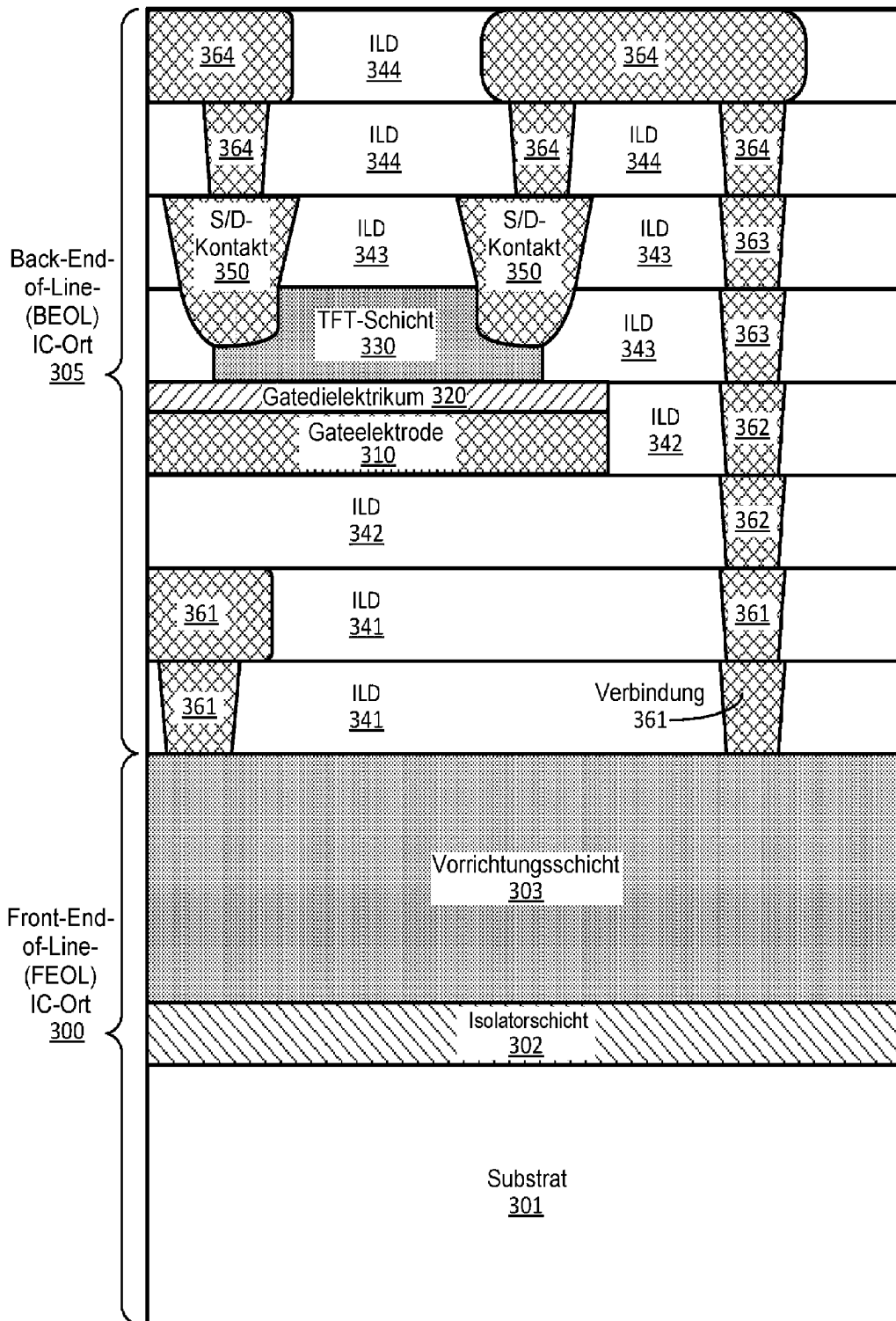
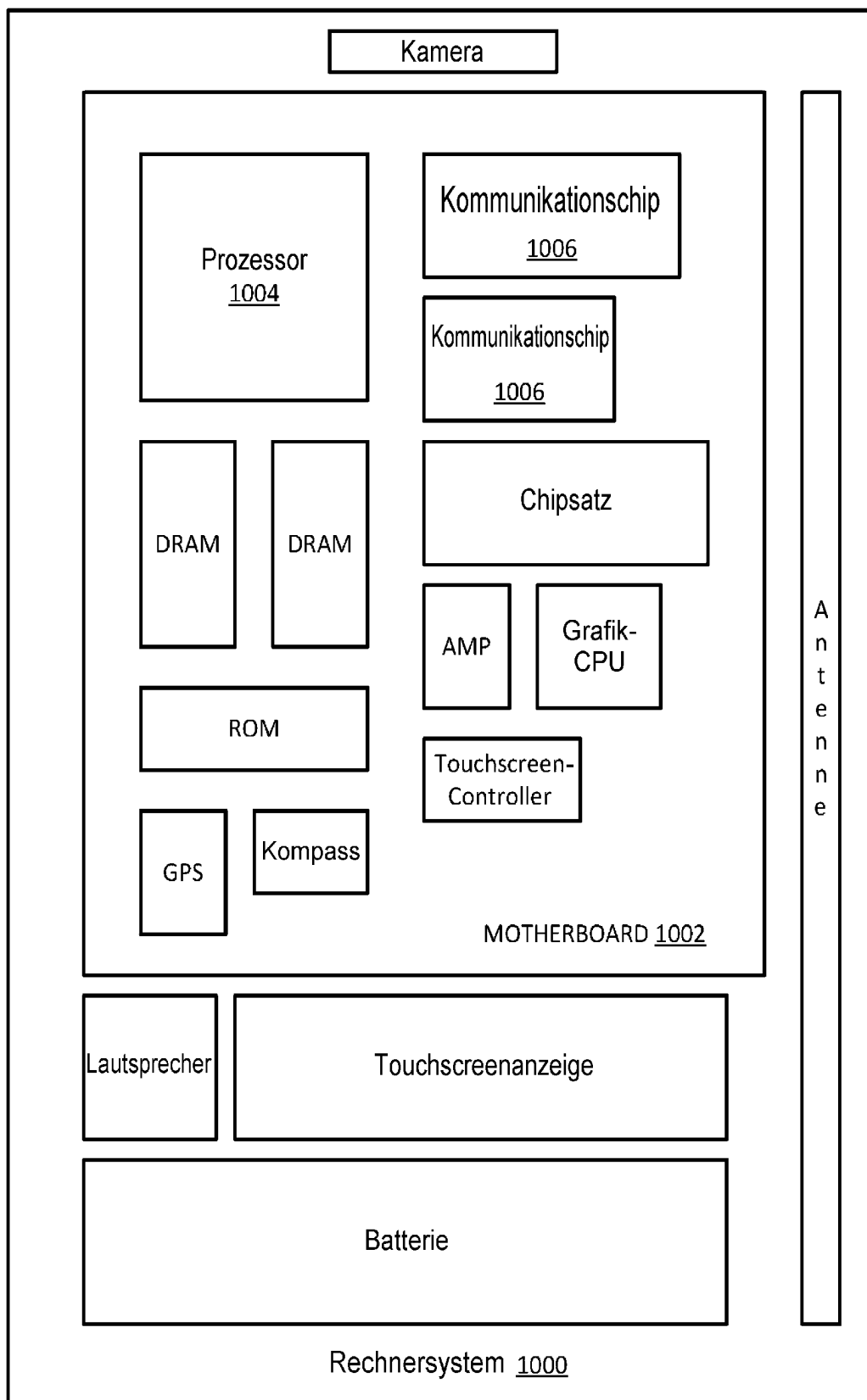


FIG. 8



**FIG. 9**