

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-186554

(P2011-186554A)

(43) 公開日 平成23年9月22日(2011.9.22)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/02 (2006.01)	G06F 12/02 570A	5B060
G06F 12/00 (2006.01)	G06F 12/00 597U	
G06F 12/06 (2006.01)	G06F 12/06 515H	

審査請求 未請求 請求項の数 6 O L (全 53 頁)

(21) 出願番号 特願2010-48329 (P2010-48329)
 (22) 出願日 平成22年3月4日 (2010.3.4)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

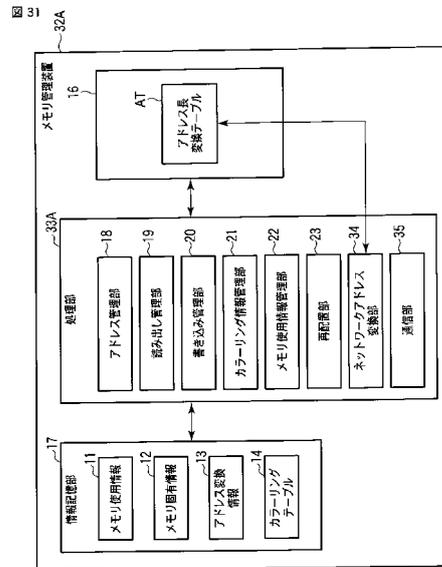
(54) 【発明の名称】 メモリ管理装置及び方法

(57) 【要約】

【課題】ネットワークを介して接続されているメモリを効率的にアクセスする。

【解決手段】本発明の一態様に係るメモリ管理装置32Aは、第1の半導体メモリと、第1の半導体メモリよりもアクセス可能上限回数の小さい不揮発性の第2の半導体メモリとのうちの少なくとも一方に記憶される各データの特性に基づいて生成され、当該各データの配置領域を決定するヒントとなる配置ヒント情報14を管理する。メモリ管理装置32Aは、配置ヒント情報14とメモリ使用情報11とメモリ固有情報12とに基づいて、書き込み対象データに対して第1の半導体メモリと第2の半導体メモリとのメモリ領域の中から、書き込み領域を決定する管理部20を具備する。ネットワークアドレス変換部34は、プロセッサから発行されたプロセッサ論理アドレスを、当該プロセッサ論理アドレスよりも長く、ネットワークシステム上のメモリ領域を特定するネットワーク論理アドレスに変換する。

【選択図】 図31



【特許請求の範囲】**【請求項 1】**

第 1 の半導体メモリと、前記第 1 の半導体メモリよりもアクセス可能上限回数の小さい不揮発性の第 2 の半導体メモリと、のうちの少なくとも一方に記憶される各データの特性に基づいて生成され、当該各データの配置領域を決定するヒントとなる配置ヒント情報を記憶する第 1 の記憶部と、

前記第 1 の半導体メモリと前記第 2 の半導体メモリとのそれぞれに対するメモリ固有の特性を示すメモリ固有情報を記憶する第 2 の記憶部と、

前記第 1 の半導体メモリと前記第 2 の半導体メモリとに含まれる各メモリ領域に対する使用状態を示すメモリ使用情報を記憶する第 3 の記憶部と、

プロセッサから発行されたプロセッサ論理アドレスを、当該プロセッサ論理アドレスよりも長く、ネットワークシステム上のメモリ領域を特定するネットワーク論理アドレスに変換するネットワークアドレス変換部と、

前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちの少なくとも一方に対する書き込み対象データに対する前記配置ヒント情報を生成する第 1 の管理部と、

前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちの少なくとも一方に対するアクセスが発生した場合に、アクセスされたメモリ領域に対する前記メモリ使用情報を更新する第 2 の管理部と、

前記配置ヒント情報と前記メモリ使用情報と前記メモリ固有情報とに基づいて、前記書き込み対象データに対して前記第 1 の半導体メモリと前記第 2 の半導体メモリとのメモリ領域の中から、書き込み領域を決定する第 3 の管理部と、

前記書き込み対象データの前記ネットワーク論理アドレスと前記書き込み領域の物理アドレスとを関連付けたアドレス変換情報を第 4 の記憶部に記憶する第 4 の管理部と、

読み出し対象データの前記ネットワーク論理アドレスと前記アドレス変換情報とに基づいて、前記読み出し対象データを前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちのいずれかから読み出す第 5 の管理部とを具備するメモリ管理装置。

【請求項 2】

前記ネットワーク論理アドレスを、前記ネットワークを介して他の装置に対して送信及び受信する通信部をさらに具備する請求項 1 記載のメモリ管理装置。

【請求項 3】

前記メモリ固有情報は、前記ネットワークシステム上の前記第 1 の半導体メモリと前記第 2 の半導体メモリのそれぞれに対するメモリ固有の特性を示し、

前記第 1 の管理部は、前記ネットワークシステム上の各データの前記配置ヒント情報を管理し、

前記第 2 の管理部は、前記ネットワークシステム上の前記第 1 の半導体メモリと前記第 2 の半導体メモリの各メモリ領域に対するメモリ使用情報を管理することを特徴とする請求項 1 又は請求項 2 記載のメモリ管理装置。

【請求項 4】

前記プロセッサ論理アドレスは、アドレス長の変換キーとなる第 1 のプロセッサアドレス部と、前記ネットワーク論理アドレスの一部と同じ第 2 のプロセッサアドレス部とを具備し、

前記ネットワーク論理アドレスは、前記変換キーに基づいて変換され、前記変換キーよりも大きいビット数の第 1 のネットワークアドレス部と、前記第 2 のプロセッサアドレスと同じ第 2 のネットワークアドレス部とを具備し、

前記ネットワークアドレス変換部は、前記第 1 のプロセッサアドレス部と前記第 1 のネットワークアドレス部とを関連付けたアドレス長変換テーブルを参照し、前記第 1 のネットワークアドレス部と前記第 2 のプロセッサアドレス部とを組み合わせ、前記ネットワーク論理アドレスを生成することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載のメモリ管理装置。

10

20

30

40

50

【請求項 5】

前記アドレス長変換テーブルの各エントリに、有効又は無効を示すフラグを付すことを特徴とする請求項 4 記載のメモリ管理装置。

【請求項 6】

第 1 の半導体メモリと、前記第 1 の半導体メモリよりもアクセス可能上限回数の小さい不揮発性の第 2 の半導体メモリとのうちの少なくとも一方に記憶される各データの特性に基づいて生成され、当該各データの配置領域を決定するヒントとなる配置ヒント情報を生成すること、

前記第 1 の半導体メモリと前記第 2 の半導体メモリとに含まれる各メモリ領域に対する使用状態を示すメモリ使用情報を管理すること、

プロセッサから発行されたプロセッサ論理アドレスを、当該プロセッサ論理アドレスよりも長く、ネットワークシステム上のメモリ領域を特定するネットワーク論理アドレスに変換すること、

前記配置ヒント情報と、前記メモリ使用情報と、前記第 1 の半導体メモリと前記第 2 の半導体メモリとのそれぞれに対するメモリ固有の特性を示すメモリ固有情報とに基づいて、書き込み対象データに対して前記第 1 の半導体メモリと前記第 2 の半導体メモリとのメモリ領域の中から、書き込み領域を決定すること、

前記書き込み対象データの前記ネットワーク論理アドレスと前記書き込み領域の物理アドレスとを関連付けたアドレス変換情報を記憶すること、

読み出し対象データの前記ネットワーク論理アドレスと前記アドレス変換情報とに基づいて、前記読み出し対象データを前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちのいずれかから読み出すこと

を含むメモリ管理方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリに対するアクセスを管理するメモリ管理装置及び方法に関する。

【背景技術】**【0002】**

従来の情報処理装置においては、プロセッサの主記憶装置（メインメモリ）として、例えば D R A M（Dynamic Random Access Memory）などの揮発性半導体メモリが使用されている。さらに、従来の情報処理装置では、揮発性半導体メモリと組み合わせて、不揮発性半導体メモリが 2 次記憶装置として使用される。

【0003】

特開 2 0 0 8 - 2 4 2 9 4 4 号公報（特許文献 1）には、統合メモリ管理装置が提案されている。この統合メモリ管理装置では、M P U に対するメインメモリとして N A N D 型フラッシュメモリが用いられている。さらに、特許文献 1 では、M P U の 1 次キャッシュメモリと、2 次キャッシュメモリと、メインメモリである N A N D 型フラッシュメモリとが同一のメモリ階層で扱われる。統合メモリ管理装置のキャッシュコントローラは、1 次キャッシュメモリ及び 2 次キャッシュメモリに対するメモリ管理に加えて、メインメモリ

【0004】

特開平 7 - 1 4 6 8 2 0 号公報（特許文献 2）には、情報処理装置の主記憶装置としてフラッシュメモリを採用する技術が開示されている。特許文献 2 において、システムのメモリバスには、揮発性メモリであるキャッシュメモリを介して、フラッシュメモリが接続される。キャッシュメモリには、このキャッシュメモリに格納されているデータのアドレス又はアクセス履歴などの情報を記録するアドレスレイが設けられる。コントローラは、アクセス先のアドレスを参照し、キャッシュメモリ又はフラッシュメモリのデータをメモリバスに供給し、あるいは、メモリバスのデータを格納する。

【0005】

10

20

30

40

50

特開 2001-266580 号公報（特許文献 3）においては、種類の異なる半導体メモリ装置を共通のバスに接続することを可能にする発明が開示されている。

【0006】

この特許文献 3 の半導体メモリ装置は、ランダムアクセスメモリチップと、前記ランダムアクセスメモリチップを備えたパッケージを含む。前記パッケージは、前記ランダムアクセスメモリチップを外部装置に電氣的に連結する複数のピンを有する。複数のピンは、前記ランダムアクセスメモリと、電氣的に消去及びプログラム可能な不揮発性半導体メモリとに、共通にメモリ機能を提供する。前記複数のピンの各々は、不揮発性半導体メモリの対応するピンの位置に配列されている。

【0007】

一般的に、不揮発性半導体メモリは、正常にアクセス可能な回数が揮発性半導体メモリよりも少ない。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2008-242944 号公報

【特許文献 1】特開平 7-146820 号公報

【特許文献 2】特開 2001-266580 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は、ネットワークを介して接続されているメモリを効率的にアクセスするメモリ管理装置及び方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様に係るメモリ管理装置は、第 1 の半導体メモリと、前記第 1 の半導体メモリよりもアクセス可能上限回数の小さい不揮発性の第 2 の半導体メモリと、のうちの少なくとも一方に記憶される各データの特性に基づいて生成され、当該各データの配置領域を決定するヒントとなる配置ヒント情報を記憶する第 1 の記憶部と、前記第 1 の半導体メモリと前記第 2 の半導体メモリとのそれぞれに対するメモリ固有の特性を示すメモリ固有情報を記憶する第 2 の記憶部と、前記第 1 の半導体メモリと前記第 2 の半導体メモリとに含まれる各メモリ領域に対する使用状態を示すメモリ使用情報を記憶する第 3 の記憶部と、プロセッサから発行されたプロセッサ論理アドレスを、当該プロセッサ論理アドレスよりも長く、ネットワークシステム上のメモリ領域を特定するネットワーク論理アドレスに変換するネットワークアドレス変換部と、前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちの少なくとも一方に対する書き込み対象データに対する前記配置ヒント情報を生成する第 1 の管理部と、前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちの少なくとも一方に対するアクセスが発生した場合に、アクセスされたメモリ領域に対する前記メモリ使用情報を更新する第 2 の管理部と、前記配置ヒント情報と前記メモリ使用情報と前記メモリ固有情報とに基づいて、前記書き込み対象データに対して前記第 1 の半導体メモリと前記第 2 の半導体メモリとのメモリ領域の中から、書き込み領域を決定する第 3 の管理部と、前記書き込み対象データの前記ネットワーク論理アドレスと前記書き込み領域の物理アドレスとを関連付けたアドレス変換情報を第 4 の記憶部に記憶する第 4 の管理部と、読み出し対象データの前記ネットワーク論理アドレスと前記アドレス変換情報とに基づいて、前記読み出し対象データを前記第 1 の半導体メモリと前記第 2 の半導体メモリとのうちのいずれかから読み出す第 5 の管理部とを具備する。

【0011】

上記の態様はメモリ管理装置として表現されている。しかしながら、これに限らず、上記の態様は、メモリ管理方法、情報処理装置、ネットワークシステムなどで表現されるとしてもよい。

10

20

30

40

50

【発明の効果】

【0012】

本発明においては、ネットワークを介して接続されているメモリを効率的にアクセスすることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1の実施形態に係るメモリ管理装置及び情報処理装置の構成の一例を示すブロック図。

【図2】第1の実施形態に係るメモリ管理装置及び情報処理装置の構成の一例を示すブロック図。

10

【図3】第1の実施形態に係る混成メインメモリのメモリマップの一例を示す図。

【図4】第1の実施形態に係るアドレス変換情報の一例を示す図。

【図5】第1の実施形態に係るカラーリングテーブルの一例を示す図。

【図6】第1の実施形態に係る静的カラー情報の一例を説明するための図。

【図7】第1の実施形態に係るデータ配置の処理の一例を示すフローチャート。

【図8】第1の実施形態に係るカラーリングテーブルの構成の一例を示す図。

【図9】各種データに対する静的カラー情報の設定の第1の例を示す図。

【図10】各種データに対する静的カラー情報の設定の第2の例を示す図。

【図11】第1の実施形態に係るカラーリングテーブルの生成処理の一例を示すフローチャート。

20

【図12】第1の実施形態に係るカラーリングテーブルのエントリの生成処理の一例を示すフローチャート。

【図13】カラーリングテーブルのエントリのアライメントの第1の例を示す図。

【図14】カラーリングテーブルのエントリのアライメントの第2の例を示す図。

【図15】動的カラー情報と静的カラー情報に基づいて動的書き込み頻度DW_colorと動的読み出し頻度DR_colorを算出する方法の一例を示す図。

【図16】第1の実施形態に係るデータの読み出し処理の一例を示すフローチャート。

【図17】第1の実施形態に係るデータの読み出し方式の決定処理の一例を示すフローチャート。

【図18】第1の実施形態に係るデータの書き込み処理の一例を示すフローチャート。

30

【図19】第1の実施形態に係るデータの書き込み先領域の決定処理の一例を示すフローチャート。

【図20】第1の実施形態に係るデータに対する書き込み対象ブロックの決定処理について説明するための図。

【図21】不揮発性半導体メモリの任意のブロック領域における消去回数の推移の一例を示すグラフ。

【図22】ウェアレベリングにおいて消去回数の差に対するしきい値を小さく設定した場合の変化の一例を示すグラフ。

【図23】消去回数に応じたブロック領域のグループ分けの一例を示すグラフ。

【図24】消去回数に応じたブロック領域のグループ分けの判断基準を表す図。

40

【図25】ウェアレベリングにおけるブロック領域の検索の一例を示す図。

【図26】キャッシュメモリを備えたメモリ管理装置の一例を示すブロック図。

【図27】メモリ管理装置、混成メインメモリ、プロセッサの実装例を示すブロック図。

【図28】第1の実施形態に係るメモリ管理装置と情報処理装置の別構成態様の一例を示すブロック図。

【図29】複数の不揮発性半導体メモリを管理する複数のメモリ管理装置の一例を示す斜視図。

【図30】本発明の第2の実施形態に係るネットワークシステムの一例を示すブロック図。

【図31】第2の実施形態に係るメモリ管理装置の構成の一例を示すブロック図。

50

【図 3 2】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 1 の関係を示すブロック図。

【図 3 3】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 2 の関係を示すブロック図。

【図 3 4】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 3 の関係を示すブロック図。

【図 3 5】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 4 の関係を示すブロック図。

【図 3 6】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 5 の関係を示すブロック図。

【図 3 7】第 2 の実施形態に係るネットワークシステムの仮想アドレス空間の一例を示すブロック図。

【図 3 8】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスの構成の第 1 の例を示すブロック図。

【図 3 9】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスの構成の第 2 の例を示すブロック図。

【図 4 0】第 2 の実施形態に係るプロセッサ論理アドレスとネットワーク論理アドレスの構成の第 3 の例を示すブロック図。

【図 4 1】ネットワークに接続される多数の機器に記憶されるデータをアクセスするために必要なアドレスのビット数を推定する計算の一例を示す図。

【発明を実施するための形態】

【0014】

以下、図面を参照しながら本発明の各実施の形態について説明する。なお、以下の説明において、略又は実質的に同一の機能及び構成要素については、同一符号を付し、必要に応じて説明を行う。

【0015】

(第 1 の実施形態)

図 1 を参照して、本発明の第 1 の実施形態に係るメモリ管理装置 1 及び情報処理装置 100 について説明する。図 1 は、本実施形態に係るメモリ管理装置及び情報処理装置の構成の一例を示すブロック図である。

【0016】

情報処理装置 100 は、メモリ管理装置 1 と、混成メインメモリ 2 と、プロセッサ 3 a , 3 b , 3 c とを備える。

【0017】

プロセッサ 3 a , 3 b , 3 c は、例えば、M P U (Micro Processor Unit) 又は G P U (Graphic Processor Unit) である。プロセッサ 3 a , 3 b , 3 c は、各々に 1 次キャッシュメモリ 4 a , 4 b , 4 c と、2 次キャッシュメモリ 5 a , 5 b , 5 c を備える。プロセッサ 3 a , 3 b , 3 c は、それぞれプロセス 6 a , 6 b , 6 c を実行し、種々のデータを処理する。プロセッサ 3 a , 3 b , 3 c は、プロセス 6 a , 6 b , 6 c の実行においては、仮想アドレスによりデータを指定する。

【0018】

プロセッサ 3 a , 3 b , 3 c は、データ(書き込み対象データ)を混成メインメモリ 2 に書き込む場合には、書き込み要求を発生させる。また、プロセッサ 3 a , 3 b , 3 c は、データ(読み出し対象データ)を混成メインメモリ 2 から読み出す場合には、読み出し要求を発生させる。

【0019】

プロセッサ 3 a , 3 b , 3 c は、各々に仮想アドレスを M P U 又は G P U の物理アドレス(混成メインメモリ 2 に対する論理アドレス)に変換するページテーブル(図示せず)を備える。プロセッサ 3 a , 3 b , 3 c は、1 次キャッシュメモリ 4 a , 4 b , 4 c 、 2 次キャッシュメモリ 5 a , 5 b , 5 c 、又は混成メインメモリ 2 にデータを書き込む場合

10

20

30

40

50

には、ページテーブルにより仮想アドレスを論理アドレスに変換し、論理アドレスにより書き込み対象データを指定する。同様に、プロセッサ3 a, 3 b, 3 cは、1次キャッシュメモリ4 a, 4 b, 4 c、2次キャッシュメモリ5 a, 5 b, 5 c、又は混成メインメモリ2からデータを読み出す場合には、ページテーブルにより仮想アドレスを論理アドレスに変換し、論理アドレスにより読み出し対象データを指定する。

【0020】

なお、以下において、1次キャッシュメモリ4 a, 4 b, 4 c、2次キャッシュメモリ5 a, 5 b, 5 c、又は混成メインメモリ2に対する書き込み、読み出しを総称して「アクセス」と表現する。

【0021】

メモリ管理装置1は、プロセッサ3 a, 3 b, 3 cの混成メインメモリ2に対するアクセス（書き込み、読み出し）を管理する。メモリ管理装置1は、処理部15と、作業メモリ16と、情報記憶部17とを備える。メモリ管理装置1は、後述するメモリ使用情報11と、メモリ固有情報12と、アドレス変換情報13と、カラーリングテーブル14とを情報記憶部17に格納する。メモリ管理装置1の情報記憶部17に格納されるカラーリングテーブル14は、不揮発性半導体メモリ9, 10に格納されているカラーリングテーブル14の一部であってもよい。例えば、不揮発性半導体メモリ9, 10に格納されているカラーリングテーブル14のうち、頻繁に用いられるカラーリングテーブル14のデータを、メモリ管理装置1の情報記憶部17に格納するとしてもよい。メモリ管理装置1は、カラーリングテーブル14等を参照し、プロセッサ3 a, 3 b, 3 cの混成メインメモリ2に対するアクセスを管理する。詳細については後述する。

【0022】

混成メインメモリ2は、第1のメモリ、第2のメモリ、及び第3のメモリを備えている。第1のメモリは、第2のメモリよりもアクセス可能上限回数が多い。第2のメモリは、第3のメモリよりもアクセス可能上限回数が多い。ここでアクセス可能上限回数とは、統計的に予想される期待値であって、常にこの関係が保証されることを意味してはいないことに注意されたい。

【0023】

本実施形態では、第1のメモリは揮発性半導体メモリ8であるとする。揮発性半導体メモリ8としては、例えば、DRAM (Dynamic Random Access Memory)、FPM-DRAM、EDO-DRAM、SDRAMなどのような、一般的なコンピュータにおいてメインメモリとして利用されるメモリが用いられる。また、DRAM程度の高速ランダムアクセスが可能であり、アクセス可能上限回数に実質的な制限が無いのであれば、MRAM (Magnetoresistive Random Access Memory)、FeRAM (Ferroelectric Random Access Memory)などの不揮発性ランダムアクセスメモリを採用してもよい。

【0024】

第2のメモリは不揮発性半導体メモリ9であるとする。不揮発性半導体メモリ9としては、例えば、SLC (Single Level Cell) タイプのNAND型フラッシュメモリが用いられる。SLCは、MLC (Multi Level Cell) と比較して、読み出し及び書き込みが高速であり、信頼性が高い。しかしながら、SLCは、MLCと比較して、ビットコストが高く、大容量化には向いていない。

【0025】

第3のメモリは不揮発性半導体メモリ10であるとする。不揮発性半導体メモリ10としては、例えば、MLCタイプのNAND型フラッシュメモリが用いられる。MLCは、SLCと比較して、読み出し及び書き込みが低速であり、信頼性が低い。しかしながら、MLCは、SLCと比較して、ビットコストが低く、大容量化に向いている。

【0026】

なお、本実施形態では、不揮発性半導体メモリ9がSLCタイプのNAND型フラッシュメモリであり、不揮発性半導体メモリ10がMLCタイプのNAND型フラッシュメモリであるが、例えば、不揮発性半導体メモリ9が2bit/CellのMLCタイプのNAND型

10

20

30

40

50

フラッシュメモリであり、不揮発性半導体メモリ 10 が 3bit/Cell の MLC タイプの NAND 型フラッシュメモリであってもよい。

【0027】

信頼性とは、記憶装置からデータを読み出す場合におけるデータの欠損の起こりにくさの程度（耐久性）を意味する。SLC の耐久性は、MLC の耐久性よりも高い。ここで、耐久性が高いとは、アクセス可能上限回数が多く、耐久性が低いとは、アクセス可能上限回数が少ないことを意味する。

【0028】

SLC は 1 つのメモリセルに 1 ビットの情報を記憶可能である。一方、MLC は 1 つのメモリセルに 2 ビット以上の情報を記憶可能である。すなわち、本実施形態に係る混成メインメモリ 2 は、第 1 に、揮発性メモリ 8、第 2 に、不揮発性半導体メモリ 9、第 3 に、不揮発性半導体メモリ 10、の順で耐久性が高い。

【0029】

NAND 型フラッシュメモリなどの不揮発性半導体メモリ 9、10 は、揮発性半導体メモリ 8 と比較して、安価で大容量化が可能である。不揮発性半導体メモリ 9、10 としては、NAND 型フラッシュメモリに代えて、例えば NOR 型フラッシュメモリなどのような他の種類のフラッシュメモリ、PRAM (Phase change memory)、ReRAM (Resistive Random access memory) を用いることもできる。

【0030】

なお、第 3 のメモリとして MLC を採用し、第 2 のメモリとして、MLC の下位ページのみを使用してデータ書き込みを行う擬似 SLC モードが利用可能な MLC を採用してもよい。この場合、第 2 のメモリと第 3 のメモリとを共通のチップのみで構成することが可能であり、製造コスト面で有利となる。

【0031】

メインメモリとして不揮発性半導体メモリ 9、10 を利用する場合と、2 次記憶装置として不揮発性半導体メモリ 9、10 を利用する場合とを比較すると、メインメモリとして不揮発性半導体メモリ 9、10 を使用した場合にはこの不揮発性半導体メモリ 9、10 へのアクセス頻度が高くなる。本実施形態においては、揮発性半導体メモリ 8 と SLC の不揮発性半導体メモリ 9 と MLC の不揮発性半導体メモリ 10 とを混成してメインメモリとする混成メインメモリ 2 を備えた情報処理装置を実現している。混成メインメモリ 2 は、異機種混在型の主記憶装置であり、メモリ管理装置 1 によってデータの配置が管理される。

【0032】

不揮発性半導体メモリ 9、10 の所定の領域には、メモリ使用情報 11、メモリ固有情報 12、アドレス変換情報 13、カラーリングテーブル 14 が記憶されている。

【0033】

メモリ使用情報 11 は、不揮発性半導体メモリ 9、10 の各ページ領域の書き込み発生回数及び読み出し発生回数と、各ブロック領域の消去回数と、使用中領域サイズを含む。

【0034】

メモリ固有情報 12 は、揮発性半導体メモリ 8 のメモリサイズと、不揮発性半導体 9、10 のメモリサイズと、不揮発性半導体メモリ 9、10 のページサイズ及びブロックサイズと、各領域のアクセス可能上限回数（書き込み可能上限回数、読み出し可能上限回数、消去可能上限回数）と、を含む。ここで、ページサイズとは、不揮発性半導体メモリ 9、10 の書き込み、読み出しのデータサイズの単位である。ブロックサイズとは、不揮発性半導体メモリ 9、10 のデータ消去サイズの単位である。不揮発性半導体メモリ 9、10 において、ブロックサイズはページサイズよりも大きい。

【0035】

アドレス変換情報 13 は、プロセッサ 3a、3b、3c から与えられる論理アドレスを、論理アドレスに対応する物理アドレスに変換する情報である。アドレス変換情報 13 の詳細については後述する。

10

20

30

40

50

【0036】

カラーリングテーブル14は、データ毎のカラーリング情報が保持するテーブルである。カラーリング情報は、静的カラー情報と動的カラー情報を含む。詳細は後述する。

【0037】

次に、図2を参照して、本実施形態に係るメモリ管理装置とオペレーティングシステムとについてさらに説明する。図2は、本実施形態に係るメモリ管理装置1及び情報処理装置100の構成の一例を示すブロック図である。図2では、図1のプロセッサ3a, 3b, 3cのうちプロセッサ3bを代表として説明するが、他のプロセッサ3a, 3cについても同様である。

【0038】

オペレーティングシステム27は、プロセッサ3bにより実行される。オペレーティングシステム27は、プロセッサ3bで実行され、情報記憶部17に格納されているカラーリングテーブル14にアクセスする権限を有する。

【0039】

メモリ管理装置1の処理部15は、アドレス管理部18、読み出し管理部19、書き込み管理部20、カラーリング情報管理部21、メモリ使用情報管理部22、再配置部23を備える。さらに、カラーリング情報管理部21は、アクセス頻度算出部24、動的カラー情報管理部25を備える。

【0040】

処理部15は、情報記憶部17に記憶されている情報に基づいて、作業メモリ16を使用しつつ各種処理を実行する。

【0041】

作業メモリ16は、例えばバッファとして利用され、各種のデータ変換などの作業領域として使用される。

【0042】

処理部15に備えられている上記機能ブロックは、ハードウェア及びソフトウェア（例えばオペレーティングシステム27、ファームウェア等）のいずれか一方、又は両者の組み合わせとして実現することができる。これらの機能ブロックが、ハードウェアとして実現されるか、又はソフトウェアとして実現されるかは、具体的な実施形態、又は情報処理装置100全体に課せられた設計制約に依存する。当業者は、具体的な実施形態毎に、様々な方法でこれらの機能を実現し得るが、そのような実現を決定することは本発明の範疇に含まれるものである。なお、以下の説明において用いられる機能ブロックについても同様である。

【0043】

アドレス管理部18は、論理アドレスに対して物理アドレスを割り当て、アドレス変換情報13に記憶する。これにより、処理部15は、アドレス変換情報13を参照することにより、論理アドレスに対応する物理アドレスを取得することができる。

【0044】

読み出し管理部19は、プロセッサ3a, 3b, 3cが読み出し要求を発生した場合に、混成メインメモリ2に対して読み出し対象データの読み出し処理を管理する。

【0045】

書き込み管理部20は、プロセッサ3a, 3b, 3cが書き込み要求を発生した場合に、混成メインメモリ2に対して書き込み対象データを書き込む処理を管理する。

【0046】

カラーリング情報管理部21は、カラーリングテーブル14を管理する。

【0047】

メモリ使用情報管理部22は、混成メインメモリ2のメモリ使用情報11を管理する。

【0048】

再配置部23は、プロセッサ3a, 3b, 3cの動作と非同期に、カラーリングテーブル14に含まれているカラーリング情報に基づき、任意の論理アドレスに対応する物理ア

10

20

30

40

50

ドレスに配置されているデータの再配置を行う。再配置部 23 は、例えば、後述する動的カラー情報に基づき、不揮発性半導体メモリ 10 に含まれるデータのうち、読み出し頻度、書き込み頻度が高いデータを、定期的に、不揮発性半導体メモリ 9 に再配置する。また、再配置部 23 は、例えば、動的カラー情報に基づき、不揮発性半導体メモリ 9 に含まれるデータのうち、読み出し頻度、書き込み頻度が低いデータを、定期的に、不揮発性半導体メモリ 10 に再配置する。同様に、再配置部 23 は、揮発性半導体メモリ 8、不揮発性半導体メモリ 9、10 の間でもデータの再配置を行うことが可能である。後述する書き込み管理部 20 による書き込み処理は、データの更新が発生するたびに、書き込み先メモリ領域の判断処理と書き込み先ブロック領域の判断処理を行うことで再配置を行う。これに対し、再配置部 23 はデータの再配置を定期的に行う。再配置部 23 がデータの再配置を行う場合、書き込み管理部 20 及び読み出し管理部 19 は再配置が終了するまで動作しない。再配置部 23 の動作開始のトリガは、開発者によって設定された周期や、ユーザインタフェースにて設定可能な周期としてもよい。また、情報処理装置 100 が休止状態になる時に再配置部 23 が動作してもよい。

10

【0049】

アクセス頻度算出部 24 は、カラーリングテーブル 14 に含まれているカラーリング情報に基づき、データのアクセス頻度情報（動的書き込み頻度 DW_color、動的読み出し頻度 DR_color）を算出する。

【0050】

動的カラー情報管理部 25 は、カラーリングテーブル 14 に含まれている動的カラー情報を管理する。

20

【0051】

次に、図 3 を参照して、本実施形態に係る混成メインメモリについて説明する。図 3 は、本実施形態に係る混成メインメモリ 2 のメモリマップの一例を示す図である。

【0052】

混成メインメモリ 2 は、揮発性半導体メモリ 8（DRAM 領域）と、不揮発性半導体メモリ 9（SLC 領域）と、不揮発性半導体メモリ 10（2bit/Cell 領域、3bit/Cell 領域、4bit/Cell 領域）とを備える。2bit/Cell 領域、3bit/Cell 領域、4bit/Cell 領域は MLC 領域を構成する。DRAM 領域、SLC 領域、2bit/Cell 領域、3bit/Cell 領域、4bit/Cell 領域を総称して、メモリ領域と称する。

30

【0053】

揮発性半導体メモリ 8 は、例えば、128MByte の DRAM 領域から構成される。

【0054】

不揮発性半導体メモリ 9 は、例えば、2GByte の B 領域と 128MByte の B 冗長ブロック領域と、2GByte の C 領域と 128MByte の C 冗長ブロック領域から構成される。不揮発性半導体メモリ 9 の各メモリ領域は、SLC タイプの NAND 型フラッシュメモリである。

【0055】

不揮発性半導体メモリ 10 は、例えば、4GByte の A 領域と 128MByte の A 冗長ブロック領域から構成される 2bit/Cell 領域と、4GByte の D 領域と 128MByte の D 冗長ブロック領域から構成される 3bit/Cell と、4GByte の E 領域と 128MByte の E 冗長ブロック領域から構成される 4bit/Cell 領域とにより構成される。不揮発性半導体メモリ 10 の各メモリ領域は、MLC タイプの NAND 型フラッシュメモリである。図 3 に示すように、メモリ領域には、物理アドレスが割り付けられる。

40

【0056】

混成メインメモリ 2 が上記構成である場合には、メモリ固有情報 12 は、1) 混成メインメモリ 2 のメモリ空間内の揮発性半導体メモリ 8（DRAM 領域）のメモリサイズ、2) 混成メインメモリ 2 のメモリ空間内の不揮発性半導体メモリ 9、10 のメモリサイズ、3) 混成メインメモリ 2 のメモリ空間を構成する NAND 型フラッシュメモリのブロックサイズ、ページサイズ、4) 不揮発性半導体メモリ 9 内の SLC 領域（2 値領域）として割り付けられたメモリ空間情報（消去可能上限回数、読み出し可能上限回数、書き込み可

50

能上限回数を含む)、5) 2bit/Cell領域に割り付けられたメモリ空間情報(消去可能上限回数、読み出し可能上限回数、書き込み可能上限回数を含む)、6) 3bit/Cell領域に割り付けられたメモリ空間情報(消去可能上限回数、読み出し可能上限回数、書き込み可能上限回数を含む)、7) 4bit/Cell領域に割り付けられたメモリ空間情報(消去可能上限回数、読み出し可能上限回数を含む)を含む。

【0057】

次に、図4を参照して、本実施形態に係るアドレス変換情報(アドレス変換テーブル)13について説明する。図4は、本実施形態に係るアドレス変換情報13の一例を示す図である。

【0058】

アドレス変換情報13では、論理アドレス、揮発性半導体メモリ8の物理アドレス、不揮発性半導体メモリ9, 10の物理アドレス、有効/無効フラグが、テーブル形式で管理される。

【0059】

アドレス変換情報13の各エントリには、論理アドレス、この論理アドレスに対応する揮発性半導体メモリ8の物理アドレスと不揮発性半導体メモリ9, 10の物理アドレスとのうちの少なくとも一つ、有効/無効フラグが登録される。

【0060】

有効/無効フラグは、各エントリが有効であるか否かを示す情報である。有効/無効フラグは、1のときに有効、0のときに無効を表す。エントリの有効/無効フラグの初期値は0である。有効/無効フラグが0のエントリは、論理アドレスのマッピングされていないエントリ、又は、論理アドレスがマッピングされたが消去されたエントリである。有効/無効フラグが1のエントリには、論理アドレスがマッピングされており、揮発性半導体メモリ8と不揮発性半導体メモリ9, 10とのうちの少なくとも一方に、論理アドレスに対応する物理アドレスが存在する。

【0061】

なお、図4に示すアドレス変換情報13の例では、アドレス変換情報13の1エントリで論理アドレス、揮発性半導体メモリ8の物理アドレス、不揮発性半導体メモリ9, 10の物理アドレスを管理しているが、例えば、アドレス変換情報13では論理アドレスと不揮発性半導体メモリ8の物理アドレスを管理し、論理アドレスと揮発性半導体メモリ9, 10の物理アドレスは、別のタグRAMで管理してもよい。この場合、論理アドレスから物理アドレスへ変換する際には、まず、タグRAMが参照され、タグRAMに当該論理アドレスに対応する物理アドレスがない場合に、アドレス変換情報13が参照される。

【0062】

次に、図5を参照して、本実施形態に係るカラーリングテーブル14について説明する。図5は、本実施形態に係るカラーリングテーブル14の一例を示す図である。

【0063】

本実施形態では、データ毎にカラーリング情報が付与される。カラーリング情報が付与されるデータのデータサイズ単位は、例えば、読み出し、書き込みの最小の単位である。例えば、読み出し、書き込みの最小の単位は、NAND型フラッシュメモリのページサイズである。カラーリングテーブル14は、データ毎にカラーリング情報を対応付け、エントリ単位でカラーリング情報を格納する。カラーリングテーブル14の各エントリには、インデックスが付与されている。インデックスとは、論理アドレスを基に生成される値である。メモリ管理装置1の読み出し管理部19、書き込み管理部20、カラーリング情報管理部21、再配置部23などは、データを指定する論理アドレスが与えられると、論理アドレスに対応するインデックスにより管理されているエントリを参照し、データのカラーリング情報を取得する。

【0064】

カラーリング情報は、静的カラー情報と、動的カラー情報とを含む。静的カラー情報は、カラーリング情報が付与される当該データの特性に基づいて生成される情報であり、当

10

20

30

40

50

該データの混成メインメモリ 2 上の配置（書き込み）領域を決定するヒントとなる情報である。動的カラー情報は、データの読み出しと書き込みの回数と頻度の少なくとも一方を含む情報である。

【0065】

次に、図 6 を参照して、静的カラー情報について説明する。図 6 は、本実施形態に係る静的カラー情報の一例を説明するための図である。

【0066】

静的カラー情報は、当該データの「重要度」、「読み出し頻度、書き込み頻度」、「データ寿命」のうち少なくとも一つの情報を含む。図 6 において説明する、読み出し頻度は、後述する、静的読み出し頻度に対応し、書き込み頻度は、静的書き込み頻度に対応する。

10

【0067】

「重要度」とは、データの種類等に基づいて、当該データの重要性を推測して設定される値である。

【0068】

「読み出し頻度、書き込み頻度」とは、データの種類等に基づいて、当該データが読み出し、又は書き込みされる頻度を推測して設定される値である。

【0069】

「データ寿命」とは、データの種類等に基づいて、当該データが消去されずにデータとして使用される期間（データの寿命）を推測して設定される値である。

20

【0070】

「重要度」、「読み出し頻度、書き込み頻度（読み書き頻度）」、「データ寿命」は、例えば、ファイルシステムに保持されるファイルの特性、又はプログラムに一次的に使用される領域の特性により推測される。

【0071】

ファイルシステムに保持されるファイルの特性とは、カラーリング情報が付与される当該データが含まれるファイルデータのファイルに付加されたデータ属性により判断される特性である。ファイルに付加されたデータ属性には、ファイルのヘッダ情報、ファイル名、ファイルの位置、ファイル管理データ（`inod d` に保持される情報）等が含まれる。例えば、ファイルの位置としては、ファイルがファイルシステムのゴミ箱に位置している場合には、当該ファイルに含まれるデータの特性は、重要性が低い、読み出しの頻度、書き込みの頻度が低い、データの寿命が短い、と予測できる。この特性に基づき、当該データのカラーリング情報は、書き込み頻度は低、読み出し頻度は低、データの寿命は短、と推測される。

30

【0072】

プログラムに一時的に使用される領域の特性には、カラーリング情報が付与される当該データが扱われるプログラムのプログラム実行時のデータ種別に基づき判断される特性と、プログラムファイル生成時のデータ種別に基づき判断される特性とが含まれる。

【0073】

プログラム実行時のデータ種別とは、例えば、プログラム実行時に、当該データがスタック領域、ヒープ領域、テキスト領域のいずれの領域にマッピングされたかに基づいて分類されるデータ種別である。例えば、スタック領域、ヒープ領域にマッピングされたデータの特性は、書き込みの頻度は高く、読み出しの頻度は高く、重要性は高く、データ寿命は短い、と予測される。この特性に基づき、当該データの静的カラーリング情報は、書き込み頻度は高、読み出し頻度は高、重要度は高、データ寿命は短、と推測される。例えば、テキスト領域にマッピングされたデータの特性は、リード・オンリーのデータであるので、書き込みの頻度は低く、読み出しの頻度は高く、重要性は高く、データの寿命は長いと予測される。この特性に基づき、当該データの静的カラーリング情報は、書き込み頻度は高、読み出し頻度は高、重要度は高、データ寿命は長、と推測される。

40

【0074】

50

プログラムファイル生成時のデータ種別予測とは、プログラム生成時に、当該プログラムで扱われるデータの重要度、読み書き頻度、データ寿命を推測することである。

【0075】

また、静的カラー情報は、ユーザインターフェースにより、ユーザが直接設定してもよい。

【0076】

次に、図7を参照して、カラーリング情報に基づく、データの書き込み処理の一例を示す。図7は、データ配置の処理の一例を示すフローチャートである。

【0077】

前述のように、本実施形態では、混成メインメモリ2は、揮発性半導体メモリ8、不揮発性半導体メモリ9、10を備える。データを混成メインメモリ2に配置する場合、カラーリング情報に基づいて、揮発性半導体メモリ8、不揮発性半導体メモリ9、10のいずれかのメモリ領域が配置先として決定される。

【0078】

まず、データ(書き込み対象データ)の書き込み要求が発生した場合、書き込み管理部20は、書き込み対象データに付与されているカラーリング情報を参照する(ステップS1)。

【0079】

次に、書き込み管理部20は、カラーリング情報の「データ寿命」を参照し、書き込み対象データのデータ寿命の判断を行う(ステップS2)。

【0080】

書き込み対象データのデータ寿命が短いと判断された場合(ステップS3)には、書き込み管理部20は、書き込み対象データが配置されるメモリ領域として揮発性半導体メモリ8を選択し(ステップS4)、書き込み対象データが配置されるメモリ領域を、揮発性半導体メモリ8に決定する(ステップS12)。

書き込み対象データのデータ寿命が長いと判断された場合(ステップS3)には、書き込み管理部20は、書き込み対象データのカラーリング情報の「重要度」を参照し、書き込み対象データの重要度の判断を行う(ステップS5)。

【0081】

書き込み対象データの重要度が高いと判断された場合(ステップS6)には、書き込み管理部20は、書き込み対象データが配置されるメモリ領域として耐久性(信頼性)の高い不揮発性メインメモリ9を選択する(ステップS7)。さらに、書き込み管理部20は、書き込み対象データのカラーリング情報に基づき、書き込み対象データを揮発性半導体メモリ8にキャッシュするか否か(カラーリング情報によるキャッシュ方式)の判断を行い(ステップS8)、書き込み対象データが配置されるメモリ領域を、不揮発性半導体メモリ9に決定する(ステップS12)。

【0082】

書き込み対象データの重要度が低いと判断された場合(ステップS6)には、書き込み管理部20は、書き込み対象データが配置されるメモリ領域として耐久性の低い不揮発性半導体メモリ10を選択する(ステップS9)。さらに、書き込み管理部20は、書き込み対象データのカラーリング情報(動的カラー情報、静的カラー情報)により、書き込み対象データの読み出し頻度、書き込み頻度の判断を行う(ステップS10)。

【0083】

書き込み対象データの読み出し頻度、書き込み頻度が高いと判断された場合(ステップS11)には、書き込み管理部20は、書き込み対象データが配置されるメモリ領域として不揮発性半導体メモリ9を選択する(ステップS7)。さらに、書き込み管理部20は、書き込み対象データのカラーリング情報に基づき、書き込み対象データを揮発性半導体メモリ8にキャッシュするか否か(カラーリング情報によるキャッシュ方式)の判断を行い(ステップS8)、書き込み対象データが配置されるメモリ領域を不揮発性半導体メモリ9に決定する(ステップS12)。

10

20

30

40

50

【 0 0 8 4 】

書き込み対象データの読み出し頻度、書き込み頻度が低いと判断された場合（ステップ S 1 1）には、書き込み管理部 2 0 は、書き込み対象データのカラーリング情報に基づき、書き込み対象データを不揮発性メインメモリ 8 にキャッシュするか否か（カラーリング情報によるキャッシュ方式）の判断を行い（ステップ S 8）、書き込み対象データが配置されるメモリ領域を不揮発性半導体メモリ 1 0 に決定する（ステップ S 1 2）。

【 0 0 8 5 】

次に、図 8 を参照して、本実施形態に係るカラーリングテーブル 1 4 の構成例について説明する。図 8 は、本実施形態に係るカラーリングテーブル 1 4 の構成の一例を示す図である。図 8 に示すカラーリングテーブル 1 4 では、図 5、図 6 に示すカラーリング情報のうち、特に、読み出し頻度、書き込み頻度、データ寿命をカラーリング情報として用いる場合について説明する。

10

【 0 0 8 6 】

なお、カラーリング情報としては、「重要度」、「読み出し頻度、書き込み頻度」、「データ寿命」のいずれか 1 つを用いてもよいし、または任意の 2 つを組み合わせ用いてもよいし、または全てを組み合わせ用いてもよい。さらに、図 6 で示していない他のカラーリング情報を別途定義して用いることも可能である。

【 0 0 8 7 】

カラーリングテーブル 1 4 は、データ毎にカラーリング情報に対応付け、エントリ単位で保持するテーブルである。カラーリングテーブル 1 4 によりカラーリング情報に対応付けられるデータのデータサイズは、例えば、読み出し、書き込まれる最小のデータサイズである。例えば、読み出し、書き込まれる最小のデータサイズは、NAND型フラッシュメモリのページサイズである。以下において、カラーリングテーブル 1 4 によりカラーリング情報に対応付けられるデータのデータサイズがページサイズであるとして説明するが、これに限定されるものではない。

20

【 0 0 8 8 】

カラーリングテーブル 1 4 の各エントリには、インデックスが付されている。

【 0 0 8 9 】

カラーリングテーブル 1 4 に保持されるカラーリング情報には、静的カラー情報と、動的カラー情報とが含まれる。

30

【 0 0 9 0 】

インデックスとは、論理アドレスを基に生成される値である。メモリ管理装置 1 の読み出し管理部 1 9、書き込み管理部 2 0、カラーリング情報管理部 2 1、再配置部 2 3 などは、データを指定する論理アドレスが与えられると、論理アドレスに対応するインデックスにより管理されているエントリを参照することで、データのカラーリング情報を取得する。

【 0 0 9 1 】

静的カラー情報は、静的書き込み頻度を示す値 SW_color、静的読み出し頻度を示す SR_color、データ寿命 SL_color、データの生成された時刻 ST_color を含む。

【 0 0 9 2 】

ここで、静的書き込み頻度 SW_color とは、データの種類等に基づいて、当該データが書き込まれる頻度を推測して設定される値である。静的読み出し頻度 SR_color とは、データの種類等に基づいて、当該データが読み出される頻度を推測して設定される値である。例えば、静的書き込み頻度 SW_color は、書き込み頻度が高いと推測されるデータほど、高い値が設定される。例えば、静的読み出し頻度 SR_color は、読み出し頻度が高いと推測されるデータほど、高い値が設定される。

40

【 0 0 9 3 】

データ寿命 SL_color とは、データの種類等に基づいて、当該データが消去されずにデータとして使用される期間（データの寿命）を推測して設定される値である。

【 0 0 9 4 】

50

静的カラー情報は、データを生成するプログラム（プロセス）により、静的に、予め決められた値である。また、情報処理装置 100 に実行されるオペレーティングシステム 27 が、データのファイル拡張子又はファイルヘッダ等に基づいて、静的カラー情報を予測してもよい。

【0095】

動的カラー情報は、データの書き込み回数DWC_color、データの読み出し回数DRC_colorを含む。ここで、データの書き込み回数DWC_colorとは、当該データが混成メインメモリ 2 に書き込まれた回数である。データの読み出し回数DRC_colorとは、当該データが混成メインメモリ 2 から読み出された回数である。動的カラー情報管理部 25 は、データの書き込み回数DWC_colorにより、データ毎に、当該データが混成メインメモリ 2 に書き込まれた回数を管理する。動的カラー情報管理部 25 は、データ読み出し回数DRC_colorにより、データ毎に、当該データが混成メインメモリ 2 から読み出された回数を管理する。前述のように、混成メインメモリ 2 は、メインメモリとして用いられる。このため、プロセッサ 3a, 3b, 3c で処理されるデータは、混成メインメモリ 2 に書き込まれ、混成メインメモリ 2 から読み出される。動的カラー情報管理部 25 は、データが書き込まれる度に、当該データの書き込み回数DWC_colorをインクリメントする。また、動的カラー情報管理部 25 は、データが読み出される度に、当該データの読み出し回数DRC_colorをインクリメントする。

10

【0096】

後述するように、アクセス頻度算出部 24 は、データの書き込み回数DWC_colorから、動的書き込み頻度DW_colorを算出する。アクセス頻度算出部 24 は、データの読み出し回数DRC_colorから、動的読み出し頻度DR_colorを算出する。

20

【0097】

動的書き込み頻度DW_colorとは、当該データが混成メインメモリ 2 に書き込まれた頻度を示す値である。動的読み出し頻度DR_colorとは、当該データが混成メインメモリ 2 から読み出された頻度を示す値である。動的書き込み頻度DW_colorと動的読み出し頻度DR_colorの算出方法については、後述する。

【0098】

後述するように、プロセッサ 3a, 3b, 3c から混成メインメモリ 2 に対して書き込み要求、読み出し要求が発生すると、メモリ管理装置 1 は、カラーリング情報を参照することにより、書き込み領域、読み出し方式等を決定する。

30

【0099】

次に、図 9、図 10 を参照して、本実施形態に係る静的カラー情報について説明する。図 9 は、各種データに対する静的カラー情報（静的書き込み頻度SW_color、静的読み出し頻度SR_color、データ寿命SL_color）の設定の第 1 の例を示す図である。図 10 は、各種データに対する静的カラー情報（静的書き込み頻度SW_color、静的読み出し頻度SR_color、データ寿命SL_color）の設定の第 2 の例を示す図である。

【0100】

カーネルのテキスト領域は、通常、読み出しの頻度は高く、書き込みの頻度は低い。オペレーティングシステム 27 は自身が動作するテキスト領域の静的読み出し頻度SR_color を 5、静的書き込み頻度SW_color を 1 と設定する。また、オペレーティングシステム 27 は、カーネルのテキスト領域のデータ寿命SL_color は長い（LONG）と予測する。

40

【0101】

一方、カーネルのデータ領域は、通常、読み出しの頻度、書き込みの頻度がともに高い。よって、オペレーティングシステム 27 は、カーネルのデータ領域について、静的読み出し頻度SR_color を 5、静的書き込み頻度SW_color を 5 に設定する。

【0102】

カーネルに動的に確保されるデータ領域は、データが不要になると削除されるためデータ寿命SL_color は短い（SHORT）とする。

【0103】

50

ユーザプログラムのテキスト領域は、通常、すべてのプロセスからリエントラントに呼び出されるカーネルと比べて、読み出しの頻度は低い。ただし、プロセスがアクティブになっている状態ではカーネル同様読み出しの頻度が高くなる。このため、ユーザプログラムのテキスト領域においては、静的書き込み頻度SW_colorが1、静的読み出し頻度SR_colorが4に設定される。ユーザプログラムのテキスト領域について、データ寿命SL_colorは、そのプログラムがアンインストールされるまでの期間であるため、一般的には長くなる。よって、ユーザプログラムのテキスト領域について、データ寿命SL_colorは長い(LONG)と設定される。

【0104】

プログラムに動的に確保される領域は、大きく分けて2種類ある。まず1つはプログラムの実行終了とともに廃棄されるデータ(スタック領域を含む)である。これらのデータはデータ寿命SL_colorが短く、読み出しの頻度と書き込みの頻度は高い。したがって、プログラムの実行終了とともに廃棄されるデータについて、静的読み出し頻度SR_colorが4に設定され、静的書き込み頻度SW_colorが4に設定される。もう1つのプログラムに動的に確保される領域は、プログラムが新たなファイルのために生成した領域である。プログラムによって生成されたデータはデータ寿命SL_colorが長く、読み出しと書き込みの頻度は生成されるファイルの種別に依存する。

【0105】

プロセスによって参照されるファイルとして扱われるデータについて、ファイルのデータ寿命SL_colorは長いと設定される。

【0106】

例えばファイルの拡張子がSYS, dll, DRVなどで示されるようなシステムファイルが読み込まれる場合について説明する。このような拡張子を持つデータは、オペレーティングシステム27が様々な処理を実行する場合に読み出されるファイルである。このような拡張子を持つデータは、混成メインメモリ2上にオペレーティングシステム27がインストールされる場合に、1度書き込まれるとその後更新されることはほとんどない。これらの拡張子を持つファイルは、ファイルのなかでも比較的アクセスの頻度は高いが、プログラム(カーネル)のテキスト領域と比較してアクセスの頻度は低いと予測される。したがって、オペレーティングシステム27は、これらの拡張子を持つデータの静的書き込み頻度SW_colorを1に設定し、静的読み出し頻度SR_colorを3に設定する。この設定は、データから予測される書き込みの頻度は極めて低く、予測される読み出しの頻度は高いことを示している。すなわち、これらの拡張子を持つデータは、オペレーティングシステム27のアップデートや他のプログラムをインストールする場合に数度書き換わる程度であり、ほとんどリード・オンリーとして扱われると予測される。

【0107】

音声ファイルを編集するプログラムを使用するユーザは少ない。したがって、例えば、MP3などによって圧縮されている音楽データの書き込みの頻度は低いと考えられる。音楽データの読み出しの頻度は、書き込みの頻度よりは高いと考えられる。したがって、MP3などによって圧縮されている音楽データの静的書き込み頻度SW_colorは1、静的読み出し頻度SR_colorは2に設定される。

【0108】

動画編集プログラムを使用するユーザは少ない。このため、例えば、MP3などによって圧縮されている動画データの書き込みの頻度は低いと考えられる。動画データの読み出しの頻度は、書き込みの頻度よりは高いと考えられる。したがって、MP3などによって圧縮されている動画データの静的書き込み頻度SW_colorは1、静的読み出し頻度SR_colorは2に設定される。

【0109】

テキストデータの編集プログラムを使用するユーザは多い。このため、例えば、テキストファイルの書き込みの頻度及び読み出しの頻度は、高いと考えられる。したがって、テキストファイルの静的書き込み頻度SW_colorは3、静的読み出し頻度SR_colorは3に設定

10

20

30

40

50

される。

【 0 1 1 0 】

ウェブブラウザを使用するユーザは多い。このため、ブラウザキャッシュファイルの読み出しの頻度及び書き込みの頻度は、音楽データや動画データなどのメディアファイル以上であると考えられる。したがって、ブラウザキャッシュファイルの静的書き込み頻度SW_colorは1、静的読み出し頻度SW_colorは3に設定される。

【 0 1 1 1 】

例えば、ごみ箱などのようなアクセスの頻度の低いディレクトリに配置されているファイルの静的書き込み頻度SW_colorは1、静的読み出し頻度SW_colorは1に設定される。

【 0 1 1 2 】

拡張子がJPEGで代表されるような写真データ、及び拡張子がMOVで代表されるようなムービーデータは、一度書き込まれると再度書き込みが行なわれることは少ない。このような写真データ及びムービーデータはプログラムからアクセスされる頻度が少ないと予測される。したがって、オペレーティングシステム27は、写真データ及びムービーデータの静的書き込み頻度SW_color及び静的読み出し頻度SR_colorに対して小さい値を設定する。

【 0 1 1 3 】

次に、図11を参照して、本実施形態に係るカラーリングテーブル14の生成処理について説明する。図11は、カラーリングテーブル14の生成処理の一例を示すフローチャートである。カラーリングテーブル14は、システムの初期起動時に生成される。カラーリングテーブル14は、不揮発性半導体メモリ9, 10上の任意の領域に配置される。カラーリングテーブル14の配置されている番地は、メモリ管理装置1の実装により決定されるとしてもよい。

【 0 1 1 4 】

ステップT1において、情報処理装置100は、電源が投入され、起動する。

【 0 1 1 5 】

ステップT2において、カラーリング情報管理部21は、カラーリングテーブル14のベースアドレスを論理アドレスに変換し、各データについてのインデックスを生成する。

【 0 1 1 6 】

ステップT3において、カラーリング情報管理部21は、情報記憶部17に、カラーリングテーブル14のベースアドレスをセットする。情報記憶部17は、例えばレジスタで構成される。カラーリングテーブル14のベースアドレスは、例えばカラーリングテーブルレジスタにセットされる。

【 0 1 1 7 】

次に、図12を参照して、本実施形態に係るカラーリングテーブル14のエントリの生成処理について説明する。図12は、カラーリングテーブル14のエントリの生成処理の一例を示すフローチャートである。

【 0 1 1 8 】

プロセッサ3a, 3b, 3cはプロセス6a, 6b, 6cを実行するために用いる論理アドレス空間上の領域を確保する。論理アドレス空間上の領域を確保した段階では、確保した論理アドレスのアドレス変換情報13の有効/無効フラグには0が設定されている。論理アドレスに対する物理アドレスの割り当ては、確保された論理アドレス空間の範囲内の論理アドレスに対して、プロセス6a, 6b, 6cがアクセス(読み出し、書き込み)した段階で行われる。論理アドレスに対する物理アドレスの割り当てが行われると、当該論理アドレスに対応するデータに対する静的カラー情報をカラーリングテーブル14に登録するとともに、当該論理アドレスのアドレス変換情報13の有効/無効フラグには1が設定される。

【 0 1 1 9 】

まず、プロセッサ3a, 3b, 3cにより実行されるプロセス6a, 6b, 6cは、新たなデータを配置するための論理アドレス空間上の領域の確保要求を出す(ステップU1

10

20

30

40

50

)。論理アドレス空間上の未使用領域は、オペレーティングシステム 27 が管理しており、論理アドレスはオペレーティングシステム 27 により決定される。(ステップ U 2)

次に、プロセス 6 a , 6 b , 6 c により新たなデータが生成されると、オペレーティングシステム 27 は、新たに生成されたデータの種類等に基づいて、静的カラー情報を生成する(ステップ U 3)。静的カラー情報は、生成されたデータのページサイズ毎に生成される。例えば、生成されたデータのデータサイズがページサイズより大きい場合には、データをページサイズに分割し、分割後のページサイズ毎に静的カラー情報が生成される。以下において、書き込み対象データのデータサイズがページサイズである場合を想定し説明するが、これに限定されない。

【 0 1 2 0 】

次に、オペレーティングシステム 27 が、情報記憶部 17 にセットされたベースアドレスに基づき、カラーリングテーブル 14 を参照する(ステップ U 4)。

【 0 1 2 1 】

次に、オペレーティングシステム 27 が、生成された静的カラー情報を、確保された論理アドレスに対応するインデックスが付されたカラーリングテーブル 14 のエントリに登録する(ステップ U 5)。

【 0 1 2 2 】

プロセッサ 3 a , 3 b , 3 c により実行されるプロセス 6 a , 6 b , 6 c は、オペレーティングシステム 27 による論理アドレス空間の確保が成功した後、確保された論理アドレス空間に対し、読み出し要求、又は、書き込み要求を出す。このとき、アドレス管理部 18 は、書き込みが生じた論理アドレスに対する物理アドレスを決定するが、この処理は後に説明する。

【 0 1 2 3 】

以上の処理により、プロセッサ 3 a , 3 b , 3 c がプロセス 6 a , 6 b , 6 c を実行することにより、新たなデータが生成され、新たなデータが混成メインメモリ 2 に書き込まれる場合に、新たに生成されたデータに対してカラーリング情報が生成され、カラーリングテーブル 14 の新たなエントリに登録される。これにより、新たなデータを混成メインメモリ 2 に書き込むことが可能となる。

【 0 1 2 4 】

次に、図 13、図 14 を参照して、カラーリングテーブル 14 のエントリのアライメントについて説明する。図 13 は、カラーリングテーブル 14 のエントリのアライメントの第 1 の例を示す図である。図 14 は、カラーリングテーブル 14 のエントリのアライメントの第 2 の例を示す図である。

【 0 1 2 5 】

カラーリングテーブル 14 のエントリは、データの最少の読み書きサイズ(例えば NAND 型フラッシュメモリのページサイズ)に対応しているが、プロセス 6 a , 6 b , 6 c は、論理アドレス空間にデータをマップする際、データの最少の読み書きサイズにアライメントしてマップすることを義務づけられていない。このため、カラーリングテーブル 14 の 1 エントリに対して複数のデータに対応する可能性がある。

【 0 1 2 6 】

このような場合、オペレーティングシステム 27 は、図 13 に示すように、1 エントリに対応する複数のデータのうちで、最も読み出し頻度及び書き込み頻度が高いと予測されるデータを代表とする。

【 0 1 2 7 】

あるいは、オペレーティングシステム 27 は、図 14 に示すように、1 エントリを占めるデータのサイズを重みとし、各データの静的書き込み頻度 SW_color、静的読み出し頻度 SR_color の加重平均値を設定する。

【 0 1 2 8 】

カラーリングテーブル 14 によって示されている静的書き込み頻度 SW_color と静的読み出し頻度 SR_color とは、プログラム開発者によりオペレーティングシステム 27 などのソ

10

20

30

40

50

ースコードに埋め込まれるか、オペレーティングシステム 27 によって予測される。しかしながら、プログラム開発者が意図した場合と別の用途でファイルや写真データが使われる場合もある。一般的に、写真データなどのようなデータのアクセスはほとんどが読み出しであり、写真データの内容が書き換えられることは少ない。しかしながら、写真データを加工するプログラムが特定の写真データを扱う場合、加工中の写真データが頻繁に書き換えられることがある。このような場合、カラーリングテーブル 14 の静的書き込み頻度 SW_color と静的読み出し頻度 SR_color をユーザが書き換え可能であれば、特定のファイルを、より高速で書き換え回数に余裕のある領域に移動することが可能になる。

【0129】

このような動作を実現させるため、各データのカラーリング情報は、オペレーティングシステム 27 のソフトウェア上で書き換えられるように、オペレーティングシステム 27 のファイルシステムを設計することが好ましい。たとえば一般的なブラウザでファイルのプロパティを開けば、カラーリングテーブル 14 に相当する属性が GUI 画面上で見ることができるよう情報処理装置 100 が設計されており、その初期データをユーザが GUI 上で変更できるようオペレーティングシステム 27 を設計することが好ましい。

10

【0130】

次に、図 15 を参照して、動的カラー情報と静的カラー情報に基づいて動的書き込み頻度 DW_color と動的読み出し頻度 DR_color を算出する方法について説明する。図 15 は、動的カラー情報と静的カラー情報に基づいて動的書き込み頻度 DW_color と動的読み出し頻度 DR_color を算出する方法の一例を示す図である。図 15 において、横軸は時間であり、縦軸はアクセス回数（読み出し回数 DWC_color、又は書き込み回数 DRC_color）である。

20

【0131】

新たなデータがデータ生成時刻において生成されると、新たに生成されたデータに対してカラーリング情報（データ生成時刻を含む）が生成され、カラーリングテーブル 14 の新たなエントリに登録された上で、データは混成メインメモリ 12 に書き込まれる。データ生成時刻以降、このデータに対するアクセス（読み出し、書き込み）が発生することにより、時間の経過とともに、アクセス回数（書き込み回数 DWC_color、読み出し回数 DRC_color）が増加する。このアクセス回数の増加は、動的カラー情報管理部 25 によって行われる。メモリ管理装置 1 のアクセス頻度算出部 24 は、アクセス回数から動的書き込み頻度 DW_color、動的読み出し頻度 DR_color を算出する。

30

【0132】

現在時刻における、当該データの書き込み回数 DWC_color、データの読み出し回数 DRC_color は、カラーリングテーブル 14 を参照することにより求めることができる。現在時刻における、当該動的書き込み頻度 DW_color は、データ生成時刻 ST_color から現在時刻までの書き込み回数 DWC_color の時間平均（平均変化率）により求める。また、現在時刻における、当該動的読み出し頻度 DR_color は、データ生成時刻 ST_color から現在時刻までの読み出し回数 DRC_color の時間平均（平均変化率）により求める。これにより、動的カラー情報（書き込み回数 DWC_color、読み出し回数 DRC_color）から、当該データの動的書き込み頻度 DW_color と、動的読み出し頻度 DR_color とが算出される。

40

【0133】

次に、算出された動的書き込み頻度 DW_color と、動的読み出し頻度 DR_color とに基づいて、当該データに対するアクセスの頻度の高低が判断される。アクセス頻度の高低の判断は、例えば、当該データが書き込まれている混成メインメモリ 2 のメモリ固有情報 11、算出された動的書き込み頻度 DW_color 及び動的読み出し頻度 DR_color に基づいて行われる。

【0134】

図 15 においては、まず、式 A の傾きとして「アクセス可能上限回数 × 重み 1 / データ寿命」を設定し、式 B の傾きとして「アクセス可能上限回数 × 重み 2 / データ寿命」を設定する。ここで、重み 1 > 重み 2 である。重み 1、重み 2 は、動的書き込み頻度 DW_color、動的読み出し頻度 DR_color を算出する当該データを書き込む混成メインメモリ 2 に応じ

50

て、任意に設定することができる。

【0135】

平均変化率 < 式 A の傾き、が成り立つ場合、このデータの動的アクセス頻度は、高いと判断される。

【0136】

式 B の傾き < 平均変化率 式 A の傾き、が成り立つ場合、このデータの動的アクセス頻度は、中と判断される。

【0137】

平均変化率 式 B の傾き、が成り立つ場合、このデータの動的アクセス頻度は、低いと判断される。

【0138】

次に、図 16 を参照して、混成メインメモリ 2 からデータを読み出す処理について説明する。図 16 は、データの読み出し処理の一例を示すフローチャートである。

【0139】

まず、プロセッサ 3 a , 3 b , 3 c により実行されるプロセス 6 a , 6 b , 6 c が、データ（読み出し対象データ）の読み出し要求を発生させる（ステップ W 1 ）。

【0140】

次に、プロセッサ 3 a , 3 b , 3 c に備えられているページテーブル（図示せず）により、読み出し対象データを指定する仮想アドレスが論理アドレスに変換される（ステップ W 2 ）。

【0141】

次に、読み出し管理部 19 は、アドレス変換情報 13 の読み出し対象データに対応する論理アドレスのエントリの有効 / 無効フラグを参照する（ステップ W 3 ）。

【0142】

アドレス変換情報 13 の有効 / 無効フラグが 0 のとき（ステップ W 3 a ）、論理アドレスに対する書き込みが一度も発生していないのでデータは不定である。この場合、読み出し管理部 19 は読み出し要求サイズ分の 0 データを読み出したようにふるまい（ステップ W 8 ）、ステップ W 10 の処理に移る。

【0143】

アドレス変換情報 13 の有効 / 無効フラグが 1 のとき（ステップ W 3 a ）、論理アドレスに対するデータの書き込みが少なくとも一度発生している。この場合、読み出し管理部 19 は、アドレス変換情報 13 を参照し、論理アドレスに対応するデータが揮発性半導体メモリ 8 に記憶されているか判断する（ステップ W 4 ）。

【0144】

読み出し管理部 19 は、論理アドレスに対応するデータが揮発性半導体メモリ 8 に記憶されていると判断された場合（ステップ W 4 a ）、揮発性半導体メモリ 8 から読み出しを行うため、処理はステップ W 10 に移る。

【0145】

読み出し管理部 19 は、論理アドレスに対応するデータが揮発性半導体メモリ 8 に記憶されていないと判断された場合（ステップ W 4 a ）、カラーリングテーブル 14 を参照して、不揮発性半導体メモリ 9 , 10 からの読み出し対象データの読み出し方式を決定する（ステップ W 5 ）。読み出し方式の決定処理については後述する。

【0146】

次に、読み出し管理部 19 は、読み出し対象データが記憶されている不揮発性半導体メモリ 9 , 10 のメモリ固有情報 11 と、メモリ使用情報 12 を参照し、読み出し対象データの移動（再書き込み）の要否を判断する（ステップ W 6 ）。

【0147】

読み出し管理部 19 は、読み出し対象データの移動が不要であると判断された場合（ステップ W 6 a ）には、ステップ W 9 に移る。

【0148】

10

20

30

40

50

読み出し管理部 19 は、読み出し対象データの移動が必要であると判断された場合（ステップ W 6 a）には、読み出し対象データを不揮発性半導体メモリ 9, 10 の別の領域への移動を行い（ステップ W 7）、その後、処理はステップ W 9 に移る。

【0149】

ステップ W 9 において、メモリ使用情報管理部 22 は、不揮発性メモリ領域から読み出しを行った際に、メモリ使用情報 11 の読み出し回数をインクリメントする。ステップ W 10 において、動的カラー情報管理部 25 は、データの読み出しを行った際に、カラーリングテーブル 14 のデータの読み出し回数 DRC_color をインクリメントする。ステップ W 11 において、読み出し管理部 19 は、論理アドレスとアドレス変換情報 13 とから得られる物理アドレスに基づいてデータの読み出しを行う。

10

【0150】

次に、図 17 を参照して、データの読み出し方式の決定処理について説明する。図 17 は、データの読み出し方式の決定処理の一例を示すフローチャートである。読み出し方式の決定処理は不揮発性半導体メモリ 9, 10 のメモリ領域からデータを読み出す時に、揮発性半導体メモリ 8 のメモリ領域をキャッシュとして使用するか否かを判断する処理である。本処理は図 16 のステップ W 5 に該当する。

【0151】

前述のように、混成メインメモリ 2 は、揮発性半導体メモリ 8 と、不揮発性半導体メモリ 9, 10 とを具備する。本実施形態では、揮発性半導体メモリ 8 の一部を、キャッシュメモリとして用いることも可能である。混成メインメモリ 2 の不揮発性半導体メモリ 9, 10 からデータを読み出す場合には、読み出される頻度が高いデータは、揮発性半導体メモリ 8 にキャッシュされた上で、読み出される。一方、読み出される頻度が低いデータは、揮発性半導体メモリ 8 にキャッシュされずに、不揮発性半導体メモリ 9, 10 から直接読み出される。

20

【0152】

まず、読み出し管理部 19 は、カラーリングテーブル 14 を参照することにより、読み出し対象データの静的読み出し頻度 SR_color を参照する（ステップ V 1）。静的読み出し頻度 SR_color が大きい（例えば、SR_color = 5）場合には（ステップ V 1 a）、読み出し対象データを揮発性半導体メモリ 9, 10 から揮発性メインメモリ 8（DRAM 領域）にキャッシュするため、処理はステップ V 4 に移る。

30

【0153】

読み出し管理部 19 は、読み出し対象データの静的読み出し頻度 SR_color が小さい（例えば、SR_color ≤ 4）場合には（ステップ V 1 a）、アドレス変換情報 13 を参照することにより、読み出し対象データが書き込まれている領域を確認し（ステップ V 2）、さらに、アクセス頻度算出部 24 は、読み出し対象データの動的読み出し頻度 DR_color を算出する（ステップ V 3）。

【0154】

読み出し管理部 19 は、読み出し対象データの静的読み出し頻度 SR_color と動的読み出し頻度 DR_color とに対して「SR_color 3 又は DR_color が高い」が成り立つ場合には（ステップ V 3 a）、揮発性半導体メモリ 8（DRAM 領域）に読み出し対象データを書き込む空き領域があるか否かを確認する（ステップ V 4）。読み出し管理部 19 は、揮発性半導体メモリ 8 に、空き領域がある場合には（ステップ V 4 a）、読み出し対象データを揮発性半導体メモリ 9, 10 から揮発性半導体メモリ 8（DRAM 領域）にキャッシュする（ステップ V 5）。読み出し管理部 19 は、揮発性メモリ 8 に、空き領域がない場合には（ステップ V 4 a）、揮発性半導体メモリ 8 に記憶されているデータを不揮発性半導体メモリ 9, 10 にライトバックし、揮発性半導体メモリ 8 に記憶されているデータを消去することにより、空き領域を確保する（ステップ V 6）。ライトバック処理の後、読み出し管理部 19 は、揮発性半導体メモリ 8 の空き領域を再度確認する（ステップ V 7）。揮発性半導体メモリ 8 に空き領域が存在する場合（ステップ V 7 a）、処理はステップ V 5 に移り、存在しない場合（ステップ V 7 a）、処理はステップ V 8 に移る。

40

50

【 0 1 5 5 】

読み出し管理部 1 9 は、読み出し対象データの静的読み出し頻度SR_colorと動的読み出し頻度DR_colorとに対して「SR_color 3 又はDR_colorが高い」が成り立たない場合には（ステップV 3 a）、読み出し対象データを、揮発性半導体メモリ 8 にキャッシュせずに、不揮発性半導体メモリ 9 , 1 0 から直接読み出す（ステップV 8 ）。

【 0 1 5 6 】

以上のように、静的読み出し頻度SR_color、動的読み出し頻度DR_colorを参照することで、読み出し方式が決定される。

【 0 1 5 7 】

この図 1 7 においては、データ寿命SL_colorの判断は行われていない。この理由について説明する。後述するように、書き込み時においては、データ寿命SL_colorの短いデータは揮発性半導体メモリ 8 に配置される。このため、有効/無効フラグが 1 であり、データ寿命SL_colorが短いことを示すデータは、揮発性半導体メモリ 8 に記憶されることになる。この結果、図 1 7 において、データ寿命SL_colorに基づく判断は不要となる。

10

【 0 1 5 8 】

次に、データの図 9、図 1 0 に示すデータについての読み出し方式について具体的に説明する。図 9、図 1 0 に示すデータは、図 1 7 で説明したデータの読み出し方式の決定処理のフローチャートに従うことにより、以下のように読み出し方式が決定される。

【 0 1 5 9 】

まず、静的読み出し頻度SR_colorに 5、静的書き込み頻度SW_colorに 1 が設定されているカーネルのテキスト領域は、読み出しの頻度が高く、書き込みの頻度は低いと推測される。このカーネルのテキスト領域における第 1 のデータは、オペレーティングシステム 2 7 が様々な処理をする際に読み出されるため、読み出し回数は多くなり、さらに高速に読み出される必要がある。

20

【 0 1 6 0 】

メモリ管理装置 1 は、不揮発性半導体メモリ 9 , 1 0 から読み出された第 1 のデータを、プロセッサ 3 b の 2 次キャッシュメモリ 5 b 又は 1 次キャッシュメモリ 4 b に対して書き込むとともに、並行して、混成メインメモリ 2 内の揮発性半導体メモリ 8 のメモリ領域にも読み出された第 1 のデータを転送する。

【 0 1 6 1 】

再度同じ第 1 のデータが読み出される場合には、プロセッサ 3 b の 2 次キャッシュメモリ 5 b 又は 1 次キャッシュメモリ 4 b 上から、又はキャッシュヒットしない場合は混成メインメモリ 2 の揮発性半導体メモリ 8 のメモリ領域から、第 1 のデータの読み出しが行なわれる。混成メインメモリ 2 上の揮発性半導体メモリ 8 のメモリ領域に記憶された第 1 のデータは、揮発性半導体メモリ 8 のメモリ領域が枯渇しない限り、電源がオフされるまで揮発性半導体メモリ 8 上に保持される。

30

【 0 1 6 2 】

次に、静的読み出し頻度SR_colorに 5、静的書き込み頻度SW_colorに 5 が設定指定されているカーネルのデータ領域は、システム（情報処理装置 1 0 0）が起動するたびに新たに生成、初期化される領域である。このため、カーネルのデータ領域における第 2 のデータ寿命SL_colorは短いと推測される。メモリ管理装置 1 は、最初に第 2 のデータの寿命SL_colorを参照する。第 2 のデータは、揮発性半導体メモリ 8 のメモリ領域が枯渇しない限り、揮発性半導体メモリ 8 上に存在し、電源がオフされるとともに揮発性半導体メモリ 8 から消去される。

40

【 0 1 6 3 】

次に、静的読み出し頻度SR_colorに 4、静的書き込み頻度SW_colorに 1 が設定されているユーザプログラムの領域は、すべてのプロセスからリエントラントに呼び出されるカーネルと比べて、読み出しの頻度は低い。ユーザプログラムの領域における第 3 のデータは揮発性半導体メモリ 8 のメモリ領域に配置されるが、混成メインメモリ 2 の揮発性半導体メモリ 8 のメモリ領域が F U L L に埋まった場合、揮発性半導体メモリ 8 上から不揮発性

50

半導体メモリ 9, 10 のメモリ領域へのライトバック対象となる。ライトバックされる第 3 のデータの順番は、カラーリングテーブル 14 の情報に基づいて決定される。ライトバックされる場合には、読み出し回数が少ない順に、第 3 のデータが揮発性半導体メモリ 8 上から不揮発性半導体メモリ 9, 10 上に移される。

【0164】

静的書き込み頻度SR_colorに 4、静的読み出し頻度SW_colorに 4 が設定されている、プログラムによって動的に確保される領域における第 4 のデータのうち、データ寿命SL_colorが短いと指定された第 4 のデータは、カーネルのデータ領域と同様に、揮発性半導体メモリ 8 のメモリ領域が枯渇しない限り、揮発性半導体メモリ 8 上に存在し、電源がオフされるとともに揮発性半導体メモリ 8 から消去される。

10

【0165】

一方、データ寿命SL_colorが長いと設定されている第 4 のデータは、揮発性半導体メモリ 8 のメモリ領域に配置されるが、混成メインメモリ 2 の揮発性半導体メモリ 8 のメモリ領域がFULLに埋まった場合、揮発性半導体メモリ 8 上から不揮発性半導体メモリ 9, 10 のメモリ領域へのライトバック対象となる。

【0166】

次に、プロセスに参照されるファイルとして扱われるデータについて説明する。上記図 10 において、プロセスに参照されるファイルとして扱われるデータのデータ寿命SL_colorはすべて長いと設定されている。

【0167】

静的書き込み頻度SW_colorに 1、静的読み出し頻度SR_colorに 3 が設定されているファイル類に含まれる第 5 のデータは、書き込みの頻度が極めて低く、予測される読み出しの頻度が高いことがオペレーティングシステム 27 によって推測される。このとき、メモリ管理装置 1 は、第 5 のデータを揮発性半導体メモリ 8 のメモリ領域に配置するが、混成メインメモリ 2 の揮発性半導体メモリ 8 のメモリ領域がFULLに埋まった場合、揮発性半導体メモリ 8 上から不揮発性半導体メモリ 9, 10 のメモリ領域へのライトバック対象となる。

20

【0168】

静的書き込み頻度SW_colorに 1、静的読み出し頻度SR_colorに 2 が設定されているファイル類に含まれる第 6 のデータは、静的書き込み頻度SW_colorが極めて低く、予測される静的読み出し頻度SR_colorも低いことがオペレーティングシステム 27 によって推測される。このように、メモリ管理装置 1 は、静的読み出し頻度SR_colorが高いと判断されていない場合、読み出し時に揮発性半導体メモリ 8 のキャッシュを介さず、不揮発性半導体メモリ 9, 10 に直接アクセスする。

30

【0169】

静的書き込み頻度SW_colorに 1、静的読み出し頻度SR_colorに 1 が設定されているファイル類に含まれる第 7 のデータは、静的書き込み頻度SW_colorが極めて低く、予測される静的読み出し頻度SR_colorも極めて低いことがオペレーティングシステム 27 によって推測される。このように、メモリ管理装置 1 は、静的読み出し頻度が高いと判断されていない場合、読み出し時に揮発性半導体メモリ 8 のキャッシュを介さず、不揮発性半導体メモリ 9, 10 に直接アクセスする。

40

【0170】

以上のように、読み出し対象データの読み出し方式は、読み出し対象データのカラーリング情報に基づき決定される。これにより、読み出し対象データの特徴（静的読み出し頻度SR_color、静的書き込み頻度SW_color、データ寿命SL_color）に合った読み出し方式を用いることが可能となり、データの読み出し効率の向上が図られる。

【0171】

次に、図 18 を参照して、混成メインメモリ 2 へのデータの書き込み処理について説明する。図 18 は、データの書き込み処理の一例を示すフローチャートである。

【0172】

50

まず、プロセッサ 3 a , 3 b , 3 c により実行されるプロセス 6 a , 6 b , 6 c が、データ（書き込み対象データ）の書き込み要求を発生させる（ステップ X 1）。

【 0 1 7 3 】

次に、プロセッサ 3 a , 3 b , 3 c に備えられているページテーブル（図示せず）により、書き込み対象データを指定する仮想アドレスが論理アドレスに変換される（ステップ X 2）。

【 0 1 7 4 】

次に、書き込み管理部 2 0 は、カラーリングテーブル 1 4 を参照することにより、混成メインメモリ 2 のうちの書き込み対象のメモリ領域を決定する（ステップ X 3）。書き込み対象メモリ領域の選定については後述する。

【 0 1 7 5 】

書き込み管理部 2 0 は、ステップ X 3 により選択された書き込み対象メモリが揮発性半導体メモリ 8 か否か判断する（ステップ X 4）。判断の結果、選択された書き込み対象メモリが揮発性半導体メモリ 8 の場合（ステップ X 4 a）、ステップ X 7 の処理が実行され、書き込み対象メモリが不揮発性メモリの場合（ステップ X 4 a）、ステップ X 5 の処理が実行される。

【 0 1 7 6 】

ステップ X 5 において、書き込み管理部 2 0 は、メモリ使用情報 1 1 とカラーリングテーブル 1 4 を参照し、不揮発性半導体メモリ 9 , 1 0 のメモリ領域中の書き込み対象ブロック領域を決定する。ステップ X 6 において、アドレス管理部 1 8 は、書き込み対象ブロック中のページの物理アドレスに基づきアドレス変換情報 1 3 を更新する。不揮発性半導体メモリ 9 , 1 0 が NAND 型フラッシュメモリの場合、同一物理アドレスに対する上書きは行われないため、書き込みに伴う物理アドレスの更新が必要となる。

【 0 1 7 7 】

書き込み管理部 2 0 は、書き込み先物理アドレスが決定した後、データの書き込み処理を行う（ステップ X 7）。続いて、アドレス管理部 1 8 は、アドレス変換情報 1 3 の有効/無効フラグを 1 にセットする（ステップ X 8）。動的カラー情報管理部 2 5 はカラーリングテーブル 1 4 の書き込み回数 `DWC_color` をインクリメントし（ステップ X 9）、メモリ使用情報管理部 2 2 は、メモリ使用情報 1 1 の書き込み回数をインクリメントする（ステップ X 1 0）。

【 0 1 7 8 】

次に、図 1 9 を参照して、データの書き込み対象メモリ領域の決定処理について説明する。図 1 9 は、データの書き込み先領域の決定処理の一例を示すフローチャートである。

【 0 1 7 9 】

ステップ Y 1 において、書き込み管理部 2 0 は、書き込み対象データのデータ寿命 `SL_color` を参照する。

【 0 1 8 0 】

ステップ Y 2 において、書き込み管理部 2 0 は、データ寿命 `SL_color` が所定の値より長い場合、短い場合判断する。データ寿命 `SL_color` が所定の値以上の場合、処理は、ステップ Y 9 に移る。

【 0 1 8 1 】

データ寿命が所定の値より短い場合、ステップ Y 3 において、書き込み管理部 2 0 は、DRAM 領域の空き領域を確認し、ステップ Y 4 において、書き込み管理部 2 0 は、DRAM 領域に空き領域があるか否か判断する。

【 0 1 8 2 】

DRAM 領域に空き領域がある場合、ステップ Y 5 において、書き込み管理部 2 0 は、書き込み対象データを DRAM 領域に書き込む。

【 0 1 8 3 】

DRAM 領域に空き領域がない場合、ステップ Y 6 において、書き込み管理部 2 0 は、DRAM 領域から他の不揮発性半導体メモリへのライトバック処理を実行する。そして、

10

20

30

40

50

ステップ Y 7 において、書き込み管理部 2 0 は、D R A M 領域の空き領域を確認し、ステップ Y 8 において、書き込み管理部 2 0 は、D R A M 領域に空き領域があるか否か判断する。

【 0 1 8 4 】

D R A M 領域に空き領域がある場合、処理は、ステップ Y 5 に移り、書き込み管理部 2 0 は、書き込み対象データを D R A M 領域に書き込む。

【 0 1 8 5 】

D R A M 領域に空き領域がない場合、処理はステップ Y 9 に移る。

【 0 1 8 6 】

ステップ Y 9 において、書き込み管理部 2 0 は、カラーリングテーブル 1 4 で管理されている書き込み対象データの静的書き込み頻度 SW_color を参照する。 10

【 0 1 8 7 】

ステップ Y 1 0 において、書き込み管理部 2 0 は、静的書き込み頻度 SW_color に 5 が設定されているか否か（書き込み対象データの静的書き込み頻度 SW_color が高いか否か）、判断する。

【 0 1 8 8 】

静的書き込み頻度 SW_color に 5 が設定されている場合、処理は Y 1 3 に移り、書き込み管理部 2 0 は、書き込み対象データの書き込み先として B 領域を選択する。

【 0 1 8 9 】

静的書き込み頻度 SW_color に 5 ではない値（5 未満の値）が設定されている場合、ステップ Y 1 1 において、メモリ管理装置 1 は、カラーリングテーブル 1 4 で管理されている書き込み対象データの静的読み出し頻度 SR_color を参照する。 20

【 0 1 9 0 】

ステップ Y 1 2 において、書き込み管理部 2 0 は、静的読み出し頻度 SR_color に 1 ~ 5 のどの値が設定されているか判断する。

【 0 1 9 1 】

このステップ Y 1 2 において静的読み出し頻度 SR_color に 5 が設定されている場合、ステップ Y 1 3 において、書き込み管理部 2 0 は、書き込み対象データの書き込み先として、B 領域を選択する。

【 0 1 9 2 】

ステップ Y 1 2 において静的読み出し頻度 SR_color に 4 が設定されている場合、ステップ Y 1 4 において、書き込み管理部 2 0 は、書き込み対象データの書き込み先として、A 領域を選択する。 30

【 0 1 9 3 】

このステップ Y 1 2 において静的読み出し頻度 SR_color に 3 が設定されている場合、ステップ Y 1 5 において、書き込み管理部 2 0 は、データのカラーリング情報に基づいて、データの動的書き込み頻度 DW_color を算出する。次に、ステップ Y 1 6 において、書き込み管理部 2 0 は、カラーリングテーブル 1 4 で管理されている書き込み対象データの静的書き込み頻度 SW_color を参照する。

【 0 1 9 4 】

ステップ Y 1 7 において、書き込み管理部 2 0 は、「静的書き込み頻度 SW_color が 3 以上であるか、又は、データの動的書き込み頻度 DW_color が高レベルである」ことが成り立つか否か判断する。 40

【 0 1 9 5 】

このステップ Y 1 7 において「SW_color が 3 以上であるか、又は、データの動的書き込み頻度 DW_color が高レベルである」が成り立たない場合、処理はステップ Y 1 4 に移り、書き込み管理部 2 0 は、A 領域を選択する。

【 0 1 9 6 】

ステップ Y 1 7 において「SW_color が 3 以上であるか、又は、データの動的書き込み頻度 DW_color が高レベルである」が成り立つ場合、処理はステップ Y 1 8 に移り、書き込み 50

管理部 20 は、C 領域を選択する。

【0197】

上記ステップ Y 12 において静的読み出し頻度 SR_color に 2 が設定されている場合、ステップ Y 19 において、書き込み管理部 20 は、データのカラーリング情報に基づいて、データの動的書き込み頻度 DW_color を算出する。

【0198】

ステップ Y 20 において、書き込み管理部 20 は、カラーリングテーブル 14 で管理されている書き込み対象データの静的書き込み頻度 SW_color を参照する。

【0199】

ステップ Y 21 において、書き込み管理部 20 は、「SW_color が 3 以上であるか、又は、算出された動的書き込み頻度 DW_color が高レベルである」ことが成り立つか否か判断する。

10

【0200】

このステップ Y 21 において「SW_color が 3 以上であるか、又は、算出された動的書き込み頻度 DW_color が高レベルである」が成り立つ場合、処理はステップ Y 18 に移り、書き込み管理部 20 は、C 領域を選択する。

【0201】

ステップ Y 21 において「SW_color が 3 以上であるか、又は、算出された動的書き込み頻度 DW_color が高レベルである」が成り立たない場合、処理はステップ Y 22 に移る。

【0202】

ステップ Y 22 において、書き込み管理部 20 は、「SW_color が 2 以上であるか、又は、算出された動的書き込み頻度 DW_color が中レベルである」ことが成り立つか否か判断する。

20

【0203】

このステップ Y 22 において「SW_color が 2 以上であるか、又は、算出された動的書き込み頻度 DW_color が中レベルである」が成り立つ場合、処理はステップ Y 23 に移り、書き込み管理部 20 は、D 領域を選択する。

【0204】

ステップ Y 22 において「SW_color が 2 以上であるか、又は、算出された動的書き込み頻度 DW_color が中レベルである」が成り立たない場合、処理はステップ Y 24 に移り、書き込み管理部 20 は、E 領域を選択する。

30

【0205】

上記ステップ Y 12 において静的読み出し頻度 SR_color に 1 が設定されている場合、ステップ Y 25 において、書き込み管理部 20 は、データのカラーリング情報に基づいて、データの動的書き込み頻度 DW_color を算出する。

【0206】

ステップ Y 26 において、書き込み管理部 20 は、カラーリングテーブル 14 で管理されている書き込み対象データの静的読み出し頻度 SW_color を参照する。その後、処理はステップ Y 21 に移る。

【0207】

例えば、オペレーティングシステム 27 の開発者は、読み出し管理部 19 のデータ読み出し方式と書き込み管理部 20 データ書き込み方式の実装に対して、上記図 9 及び図 10 に示すような設定を行う。

40

【0208】

例えば、SR_color に 5、SW_color に 1 が設定されているカーネルのテキスト領域における第 1 のデータは読み出される回数が多く、書き込まれる回数は少ないと推測される。第 1 のデータは、上記図 17 に示されている読み出し方式の決定動作に基づいて、システム稼働中に揮発性半導体メモリ 8 に移され読み書きされる。このため、第 1 のデータが実際に不揮発性半導体メモリ 9、10 に書き込まれる頻度は低い。しかし、第 1 のデータの重要性は高いため、この図 19 において、書き込み管理部 20 は、第 1 のデータを、S L C

50

である不揮発性半導体メモリ9のB領域に書き込む。

【0209】

次に、SR_colorに5、SW_colorに5が設定されているカーネルのデータ領域は、情報処理装置100が起動するたびに新たに生成、初期化される領域なので、カーネルのデータ領域における第2のデータのデータ寿命は短いと推測される。書き込み管理部20は、最初に第2のデータのデータ寿命SL_colorを参照する。第2のデータは、情報処理装置100の稼働中に必ず揮発性半導体メモリ8上に存在し、電源がオフされるとともに揮発性半導体メモリ8から消去される。したがって、第2のデータは、不揮発性半導体メモリ9、10のメモリ領域に書き込まれない。

【0210】

次に、SR_colorに4、SW_colorに1が設定されているユーザプログラムの領域は、すべてのプロセスからリエントラントに呼び出されるカーネルと比べて、読み出し頻度は低い。ユーザプログラムの領域における第3のデータは、上記図16に示した読み出し方式によって長期にわたりアクセスされない場合にのみ不揮発性半導体メモリ9、10のメモリ領域に書き込まれる。したがって、第3のデータが不揮発性半導体メモリ9、10に書き込まれる頻度は低い。第3のデータは、カーネルのテキスト領域におけるデータと比較して重要度は低いため、図19ではMLC領域であるA領域に書き込まれる。

【0211】

SR_colorに4、SW_colorに4が設定されているプログラムに動的に確保される領域における第4のデータのうち、データ寿命SL_colorが短いと設定されている第4のデータは、カーネルのデータ領域と同様に、情報処理装置100稼働中に必ず揮発性半導体メモリ8上に存在する。書き込み管理部20は、最初にデータ寿命SL_colorを参照する。第4のデータは、システム稼働中に必ず揮発性半導体メモリ8上に存在し、電源がオフされるとともに揮発性半導体メモリ8から消去されるので不揮発性半導体メモリ9、10のメモリ領域に書き込まれない。

【0212】

一方、データ寿命SL_colorが長いと設定されている第4のデータは、揮発性半導体メモリ8のメモリ領域に配置されるが、混成メインメモリ2の揮発性半導体メモリ8のメモリ領域がFULLに埋まった場合、揮発性半導体メモリ8上から不揮発性半導体メモリ9、10のメモリ領域へのライトバック対象となる。プログラムのテキスト領域はデータの重要度が高いため、プログラムのテキスト領域におけるデータは、SLCであるC領域に書き込まれる。

【0213】

次にプロセスによって参照されるファイルとして扱われるデータについて説明する。図10では、プロセスによって参照されるファイルのデータ寿命SL_colorはすべて長いと設定されている。

【0214】

SW_colorに1、SR_colorに3が設定されているシステムファイル類における第5のデータは、書き込み頻度が極めて低く、予測される読み出し頻度が高いことがオペレーティングシステム27によって推測される。このとき、書き込み管理部20は、第5のデータを揮発性半導体メモリ8のメモリ領域に配置するが、混成メインメモリ2の揮発性半導体メモリ8のメモリ領域がFULLに埋まった場合、第5のデータは揮発性半導体メモリ8上から不揮発性半導体メモリ9、10のメモリ領域へのライトバック対象となる。第5のデータの書き込み頻度は低いと判断されるので書き込み管理部20は第5のデータをMLC領域へ配置する。

【0215】

SW_colorに3、SR_colorに3が設定されているファイル類は、書き込み頻度が極めて高く、予測される読み出し頻度も高いことがオペレーティングシステム27によって推測される。したがって、書き込み管理部20は、SW_colorに3、SR_colorに3が設定されているファイル類におけるデータをSLC領域へ配置する。

10

20

30

40

50

【0216】

SW_colorに1、SR_colorに2が設定されているファイル類に含まれる第6のデータは、書き込み頻度が極めて低く、予測される読み出し頻度も低いことがオペレーティングシステム27によって推測される。第6のデータは、ファイルとしての重要度も低いと判断されるため、書き込み管理部20は、第6のデータをMLC領域へ配置する。

【0217】

SW_colorに1、SR_colorに1が設定されているファイル類に含まれる第7のデータは、書き込み頻度が極めて低く、予測される読み出し頻度も極めて低いことがオペレーティングシステム27によって推測される。第7のデータについては、ファイルとしての重要度も低いと判断されるため、書き込み管理部20は、第7のデータをMLC領域へ配置する。

10

【0218】

上記の処理により書き込み対象のメモリ領域が決定された場合、書き込み管理部20は、書き込み先の物理アドレスを決定する。この場合、書き込み管理部20は、カラーリングテーブル14を参照し、書き込み先の物理アドレスを適切に選択することでウェアレベリングの発生を抑え、不要な消去処理を低減する。

【0219】

ここでウェアレベリングとは、例えば、消去回数が最大のブロックと、消去回数が最小のブロックとの消去回数の差が、所定の閾値以内に収まるように、ブロック間でデータの入れ替え(交換)を行うことを意味する。例えば、NAND型フラッシュメモリは消去処理なしでのデータ上書きができないため、データ移動先は未使用のブロックである必要があり、元々データを記憶していたブロックの消去処理が発生することになる。

20

【0220】

次に、図20を参照して、データに対する書き込み対象ブロックの決定処理について説明する。図20は、データに対する書き込み対象ブロックの決定処理について説明するための図である。

【0221】

不揮発性半導体メモリ9,10は、ブロック単位でデータの消去が行われる。不揮発性半導体メモリ9,10のブロック領域毎の消去回数ECは、メモリ使用情報11を参照することにより取得することができる。ブロック領域の消去回数の上限値(消去可能上限回数)に対する消去回数ECの割合を消耗率とする。

30

【0222】

ブロック領域の消去回数ECが、当該ブロック領域の消去可能上限回数に達している場合には、消耗率は100%である。消耗率が100%の場合には、当該ブロック領域へのデータの書き込みは行われない。

【0223】

ブロック領域の消去回数ECが、当該ブロック領域の消去回数の上限値に近い場合(例えば、90%)には、当該ブロック領域に対するデータの書き込みを少なくする。書き込み管理部20は、カラーリングテーブル14を参照することにより、書き込み頻度(静的書き込み頻度SW_color、動的書き込み頻度DW_color)の低い書き込み対象データ(例えば、SW_colorが1、DW_colorが「中」)を、消耗率の高いブロック領域(例えば、消耗率90%未満)に書き込む。

40

【0224】

一方、ブロック領域の消去回数ECが、当該ブロック領域の消去回数の上限値より低い場合(例えば、消耗率10%)には、当該ブロック領域に対するデータの書き込みは、多くてもよい。書き込み管理部20は、カラーリングテーブル14を参照することにより、書き込み頻度(静的書き込み頻度SW_color、動的書き込み頻度DW_color)の高い書き込み対象データ(例えば、SW_colorが5、DW_colorが「高」)を、消耗率の低いブロック領域(例えば、消耗率10%未満)に書き込む。

【0225】

50

以上のように、書き込み対象データを書き込むブロック領域は、書き込み対象データのカラーリング情報と、ブロック領域の消耗率に基づいて決定する。これにより、書き込み対象データの特徴（書き込み頻度）に合った書き込み対象ブロック領域を選択することができ、データの信頼性の向上が図れる。また、以下において説明するように、混成メインメモリの寿命の延ばすことが可能となる。

【0226】

次に、図21乃至図25を参照して、書き込み対象データを書き込むブロック領域を、書き込み対象データのカラーリング情報、メモリ使用情報11、メモリ固有情報12に基づいて決定する処理についての詳細と効果について説明する。

【0227】

図21は、不揮発性半導体メモリ9, 10の任意のブロック領域における消去回数の推移の一例を示すグラフである。この図21において、縦軸は消去回数、横軸は時間を表す。

【0228】

時間の経過により各ブロック領域における理想的な消去回数は変化する。例えばNAND型フラッシュメモリなどの不揮発性半導体メモリ9, 10を使用する情報処理装置1では、将来的に不揮発性半導体メモリ9, 10が劣化し、不揮発性半導体メモリ9, 10を交換する必要が生じる。メモリ交換期までに不揮発性半導体メモリ9, 10の多数のブロック領域を使用するためには、ウェアレベリングによる消去回数の平準化が必要である。図21では、不揮発性半導体メモリ9, 10の任意のブロック領域における消去回数の推移を示している。ブロック領域に対して期待されている寿命に達した時点で、ブロック領域の消去回数が消去可能上限回数に達することが好ましい。

【0229】

例えば、すべてのブロック領域が図21で示した消去回数の推移に従うためには、ウェアレベリングにおいて各ブロック領域の消去回数の差に対する閾値を小さく設定することも可能である。

【0230】

図22は、ウェアレベリングにおいて消去回数の差に対する閾値を小さく設定した場合の変化の一例を示すグラフである。

【0231】

図22における破線は各ブロック領域の消去回数のばらつきの範囲を示している。図22に示すように、閾値を小さくすることにより、各ブロック領域の消去回数のばらつきは小さくなるが、ウェアレベリングのための消去処理の発生回数が増加し、この結果、不揮発性半導体メモリ9, 10全体の寿命が短くなる可能性がある。

【0232】

書き込み管理部20は、消去回数の分散を低減させ、ウェアレベリングによる消去処理の発生回数を抑えるために、データを書き込む際に、メモリ使用情報11、メモリ固有情報12、カラーリングテーブル14に基づいた消去ブロック領域の選択を行う。

【0233】

図23は、消去回数に応じたブロック領域のグループ分けの一例を示すグラフである。

【0234】

図24は、消去回数に応じたブロック領域のグループ分けの判断基準を表す図である。

【0235】

本実施形態においては、ブロック領域毎に消去回数によるグループ分けが行われる。ブロック領域のグループ分けの結果を示す情報は、メモリ使用情報11として保存される。なお、ブロック領域のグループ分けの結果を示す情報は、メモリ固有情報12として保存されるとしてもよい。

【0236】

図23の太線は、最小の消去回数の推移を示しており、破線はウェアレベリングの閾値を表している。図23に示すように、各ブロック領域はウェアレベリングの閾値の範囲内

10

20

30

40

50

(ばらつきの範囲内)でそれぞれの消去回数のグループに分類される。

【0237】

メモリ使用情報管理部22は、あるブロック領域のデータが消去され、再度書き込み可能になったとき、図24に示すような判断表に基づいて、このブロック領域がどのグループに属するか判断し、メモリ使用情報11に記憶する。

【0238】

この図24の判断表では、全てのブロック領域の消去回数のうちの最小の消去回数と、この最小の消去回数とウェアレベリングを行うか否かを判断するための閾値とを加算した値との間が、グループの数で分割されている。グループは、分割された範囲の下から上に向けて、h, g, f, e, d, c, b, aと設定されている。そして、判断表には、各グループに対する上限の消去回数と下限の消去回数とが設定されている。

10

【0239】

図25は、ウェアレベリングにおけるブロック領域の検索の一例を示す図である。

【0240】

書き込み管理部20は、カラーリングテーブル14の情報に基づいて、書き込み対象データのブロック領域を検索する基準となるグループを決定する。例えば、書き込み対象データのアクセス頻度が高い場合には、消去回数の少ないグループが決定され、書き込み対象データのアクセス頻度が低い場合には、消去回数の多いグループが決定される。以下においては、書き込み対象データに対して、グループcが決定されたとして説明を行う。

【0241】

20

検索基準となる書き込み対象データのグループcが決定されると、図25に示すように、書き込み管理部20は、メモリ使用情報11に基づいて、決定された書き込み対象データのグループcに属するブロック領域を検索する。

【0242】

決定された書き込み対象データのグループcに属するブロック領域が存在する場合、このブロック領域が書き込み対象データの書き込み先として決定される。

【0243】

これに対して、決定された書き込み対象データのグループcに属するブロック領域が存在しない場合、書き込み管理部20は、決定された書き込み対象データのグループcの近傍のグループbに属するブロック領域を検索する。

30

【0244】

決定された書き込み対象データの近傍グループbに属するブロック領域が存在する場合、この近傍グループbに属するブロック領域が書き込み対象データの書き込み先として選択される。

【0245】

決定された書き込み対象データの近傍グループbに属するブロック領域が存在しない場合、以下同様に、ブロック領域が決定されるまで、さらに書き込み対象データのグループcに対する他の近傍グループdに対する検索が実行される。このような検索処理によってデータを書き込むブロック領域の物理アドレスが決定されると、書き込み管理部20は、データの書き込みを行い、アドレス管理部18はアドレス変換情報13を更新する。

40

【0246】

なお、書き込み管理部20は、他のブロック領域の検索方法を用いて書き込み先のアドレスを決定するとしてもよい。例えば、書き込み管理部20は、消去回数をキーとし、消去ブロック領域をノードとする木構造(B-Tree B+Tree RB-Tree等)で書き込み可能なブロック領域(消去処理済み)を管理し、メモリ固有情報12又はメモリ使用情報11に保存する。書き込み管理部20は、基準となる消去回数をキーにツリーを検索し、最も近い消去回数をもつブロック領域を抽出する。

【0247】

任意のプロセス3bによってデータが消去されると、オペレーティングシステム27はこのデータについてのカラーリングテーブル14の内容を消去する。アドレス管理部18

50

は、カラーリングテーブル 14 の内容が消去されたとき、アドレス変換情報 13 における消去対象データの論理アドレスに対応する物理アドレスを消去する。

【0248】

データが揮発性半導体メモリ 8 上に存在する場合は、揮発性半導体メモリ 8 上のデータが消去される。

【0249】

次に、図 26 を参照して、本実施形態に係るメモリ管理装置 1 にキャッシュメモリを備えた構成について説明する。図 26 は、本実施形態に係るメモリ管理装置 1 にさらにキャッシュメモリを備えたメモリ管理装置の一例を示すブロック図である。なお、この図 26 においては、プロセッサ 3a, 3b, 3c のうちプロセッサ 3b を代表として説明するが、他のプロセッサ 3a, 3c についても同様である。

10

【0250】

メモリ管理装置 1 は、さらに、キャッシュメモリ 28 を備えている。

【0251】

プロセッサ 3b は、1 次キャッシュメモリ 4b、2 次キャッシュメモリ 5b に加えて、キャッシュメモリ 28 を直接アクセス可能である。

【0252】

メモリ管理装置 28 は、1 次キャッシュメモリ 4b、2 次キャッシュメモリ 5b、キャッシュメモリ 28 のいずれかにおいて、ページイン又はページアウトが発生した場合に、混成メインメモリ 2 をアクセスする。

20

【0253】

メモリ管理装置 1、混成メインメモリ 2、プロセッサ 3a の実装例を、図 27 の例に基づいて説明する。

【0254】

図 27 (A) は、メモリ管理装置 1、混成メインメモリ 2、プロセッサ 3a の第 1 の実装例を示すブロック図である。図 27 (A) では、揮発性半導体メモリ 8 が、DRAM であり、不揮発性半導体メモリ 9, 10 が NAND 型フラッシュメモリである場合について説明するが、これに限定されない。

【0255】

プロセッサ 3a は、メモリコントローラ (MMU) 3ma と、1 次キャッシュメモリ 4a と、2 次キャッシュメモリ 4b とを備える。メモリ管理装置 1 は、DRAM コントローラを備える。プロセッサ 3a とメモリ管理装置 1 は同一基板 (例えば、SoC) 上に形成される。

30

【0256】

揮発性半導体メモリ 8 は、メモリ管理装置 1 が備える DRAM コントローラにより制御される。不揮発性半導体メモリ 9, 10 は、メモリ管理装置 1 により制御される。図 27 (A) の実装例では、揮発性半導体メモリ 8 が搭載されるメモリモジュールと、不揮発性半導体メモリ 9, 10 が搭載されるメモリモジュールとは、別モジュールである。

【0257】

図 27 (B) は、メモリ管理装置 1、混成メインメモリ 2、プロセッサ 3a の第 1 の実装例を示すブロック図である。図 27 (B) では、揮発性半導体メモリ 8 が、DRAM であり、不揮発性半導体メモリ 9, 10 が NAND 型フラッシュメモリである場合について説明するが、これに限定されない。図 27 (A) と同様の構成については、説明を省略する。

40

【0258】

図 27 (B) の例では、プロセッサ 3a が搭載されたチップに、メモリ管理装置 1 が外部から電氣的に接続される構成となっている。また、メモリ管理装置 1 に、揮発性半導体メモリ 8 が接続される構成となっている。メモリ管理装置 1 は、DRAM コントローラ (図示省略) を備える。

【0259】

50

次に、図 28 を参照して、本実施形態に係るメモリ管理装置 1 と情報処理装置 100 の別構成態様について説明する。図 1 に示したメモリ管理装置 1 と情報処理装置 100 では、データについての書き込み回数 DWC_color 、読み出し回数 RWC_color のカウント（インクリメント）は、メモリ管理装置 1 の動的カラー情報管理部 22 で管理する。これに対し、図 28 に示すメモリ管理装置 1 と情報処理装置 100 では、データについての書き込み回数 DWC_color 、読み出し回数 RWC_color のカウントは、プロセッサ 3a, 3b, 3c が備えるメモリコントローラ（MMU）3ma, 3mb, 3mc で行う。以下の説明において、メモリコントローラ 3ma, 3mb, 3mc のうちメモリコントローラ 3ma を代表として説明するが、他のメモリコントローラ 3mb, 3mc についても同様である。

【0260】

プロセッサ 3a に備えられているメモリコントローラ 3ma は、データについての書き込み回数 DWC_color 、読み出し回数 DRC_color のカウントを行うカウンタ cta を備える。さらに、メモリコントローラ 3ma は、データについての書き込み回数 DWC_color 、読み出し回数 DRC_color を管理するカウント情報 cia を含む。

【0261】

カウンタ cta は、例えば、プロセッサ 3a がデータに対してロード命令を発生させた場合、当該データに対する読み出し回数 DRC_color をカウント（インクリメント）し、カウント情報 cia を更新する。また、カウンタ cta は、例えば、プロセッサ 3a がデータに対してストア命令を発生させた場合、当該データに対する書き込み回数 DWC_color をカウント（インクリメント）し、カウント情報 cia を更新する。

【0262】

カウント情報 cia により管理される、データについての書き込み回数 DWC_color 、読み出し回数 DRC_color は、定期的に、当該データについてのメモリ管理装置 1 のカラーリングテーブル 14 の書き込み回数 DWC_color 、読み出し回数 DRC_color に反映される。

【0263】

この図 28 の構成態様においては、次の効果が得られる。すなわち、プロセッサ 3a の動作周波数は GHz オーダーであるのに対し、メモリ管理装置 1 の動作周波数は MHz オーダーである場合に、メモリ管理装置 1 では、プロセッサ 3a で発生する書き込み、読み出しをカウントすることが困難な場合が考えられる。これに対し、図 28 の構成態様の場合には、プロセッサ 3a のカウンタ cta で、書き込み、読み出しをカウントするため、高い動作周波数での読み出し回数、書き込み回数をカウントすることが可能となる。

【0264】

次に、図 29 を参照して、複数のメモリ管理装置 1 により、複数の不揮発性半導体メモリを管理する構成について説明する。図 29 は、複数の不揮発性半導体メモリを管理する複数のメモリ管理装置の一例を示す斜視図である。

【0265】

図 29 においては、一つのメモリ管理装置 1 と、複数の NAND 型フラッシュメモリ 29 とで、一つのメモリモジュール 30 が形成される。図 29 の例では、3つのメモリモジュール 30 が形成されている。

【0266】

複数の不揮発性半導体メモリ 29 は、例えば NAND 型フラッシュメモリであり、上記の不揮発性半導体メモリ 9, 10 として用いられる。

【0267】

メモリ管理装置 1 は、同じメモリモジュール 30 に属する複数の不揮発性半導体メモリ 29 に対するアクセスを管理する。

【0268】

さらに、複数のメモリモジュール 30 内に備えられている複数のメモリ管理装置 1 は、互いに連携して一つのメモリ管理装置のように動作する。

【0269】

メモリモジュール 30 のメモリ管理装置 1 は、メモリモジュール 30 内の複数の不揮発

10

20

30

40

50

性半導体メモリ 29 に対する E C C 機能及び R A I D 機能を備え、ミラーリング及びストライピングを行う。

【0270】

それぞれの不揮発性半導体メモリ 29 は、メモリモジュール 30 が通電中（動作中）であっても、ホットスワップ（交換）可能である。複数の不揮発性半導体メモリ 29 のそれぞれには、ボタン 31 が対応付けられている。

【0271】

ボタン 31 は、警告出力部（例えば L E D など）を備える。例えば、警告出力部が第 1 の色（緑）の場合は、正常状態を表し、第 2 の色（赤）の場合には交換必要な状態を表す。

10

【0272】

ボタン 31 が押されると、プロセス 6 a , 6 b , 6 c 及びオペレーティングシステム 27 に通知が送信され、アクセスなどが発生していない取り外し安全なときに、ボタン 31 は、第 3 の色（青）になり、このボタン 31 に対応する不揮発性半導体メモリ 29 は、ホットスワップ可能となる。

【0273】

ホットスワップ実行時には、ホットスワップを要求するボタン 31 が押された後、ライトバックが完了した時点で、交換可能であることを示すランプが点灯し、不揮発性半導体メモリ 29 の交換が行われる。

【0274】

メモリ管理装置 1 の処理部 15 は、情報記憶部 17 に記憶されているメモリ使用情報 11 とメモリ固有情報 12 とを参照し、各不揮発性半導体メモリ 29 の書き換え回数又は読み出し回数が、メモリ固有情報 12 に記述されているアクセス可能上限回数の所定割合に達したか否か判断する。そして、処理部 15 は、書き込み回数又は読み出し回数が、書き込み可能上限回数又は読み出し可能上限回数の所定割合に達している場合、メモリ交換を通知又は警告する。

20

【0275】

本実施形態において、不揮発性半導体メモリ 29 のページサイズ又はブロックサイズが大きい場合、プリロードが有効である。

【0276】

プリロードが行われる場合、メモリ管理装置 1 の処理部 15 は、不揮発性半導体メモリ 29 に記憶されているデータに対応するカラーリング情報を参照し、頻繁にアクセスされる可能性の高いデータを、予めキャッシュメモリ 28 にプリロードしておく。

30

【0277】

あるいは、処理部 15 は、周期性のあるデータであって、所定の時間にアクセスされる可能性の高いデータを、その所定時間の前にプリロードしておく。

【0278】

本実施形態においては、混成メインメモリ 2 の各メモリの耐久性に基づいてデータの配置が決定され、混成メインメモリ 2 の寿命を延ばすことができる。また、混成メインメモリ 2 に対する高速なアクセスを実現できる。

40

【0279】

本実施形態においては、混成メインメモリ 2 の各メモリの耐久性に基づいてデータが配置されるため、混成メインメモリ 2 における致命的なデータ欠損を防止することができる。

【0280】

本実施形態に係るメモリ管理装置 1 及び混成メインメモリ 2 を用いることにより、スワップをなくすことができる。

【0281】

本実施形態においては、不揮発半導体メモリ 9 , 10 がメインメモリとして用いられる。これにより、メインメモリの記憶容量を大容量化することができ、ハードディスク又は

50

SSD (Solid State Disk) を用いた 2 次記憶装置を使用しなくてもよい。

【0282】

本実施形態においては、不揮発性半導体メモリ 9, 10 をメインメモリとして用いるため、インスタント・オンを高速化できる。

【0283】

(第 2 の実施形態)

本実施形態は、上記第 1 の実施形態の変形例である。本実施形態においては、ネットワークを介して接続されているメモリをアクセスするメモリ管理装置について説明する。

【0284】

図 30 は、本実施形態に係るネットワークシステムの一例を示すブロック図である。

10

【0285】

ネットワークシステム 37 は、情報処理装置 37A と情報処理装置 37B とを具備する。情報処理装置 37A と情報処理装置 37B とは、ネットワーク 38 経由で接続されている。情報処理装置 37A と情報処理装置 37B とは、同等の機能を持つため、以下においては情報処理装置 37A について詳細に説明する。なお、ネットワークシステム 37 は、3 台以上の情報処理装置を備えるとしてもよい。

【0286】

情報処理装置 37A は、プロセッサ 3A、メモリ管理装置 32A、揮発性半導体メモリ 8A、不揮発性半導体メモリ 9A、ネットワークインタフェース装置 39A を具備する。

【0287】

プロセッサ 3A は、メモリ管理装置 32A を介して、揮発性半導体メモリ 8A、不揮発性半導体メモリ 9A、ネットワークインタフェース装置 39A と接続されている。

20

【0288】

このプロセッサ 3A は、内部にキャッシュメモリを備えるとしてもよいが、図 30 では説明を省略する。情報処理装置 37A は、複数のプロセッサ 3A を備えるとしてもよい。

【0289】

揮発性半導体メモリ 8A は、上記第 1 の実施形態の揮発性半導体メモリ 8 と同様である。不揮発性半導体メモリ 9A は、上記第 1 の実施形態の不揮発性半導体メモリ 9 又は不揮発性半導体メモリ 10 と同様である。

【0290】

本実施の形態において、揮発性半導体メモリ 8A と不揮発性半導体メモリ 9A とは、情報処理装置 37A のメインメモリとして用いられる。しかしながら、揮発性半導体メモリ 8A と不揮発性半導体メモリ 9A は、他の情報処理装置 37B のデータのうち、情報処理装置 37A にとってアクセス頻度の高いデータ又は重要度の高いデータを記憶することにより、情報処理装置 37A におけるキャッシュメモリとしての機能を果たす。この場合、揮発性半導体メモリ 8A は情報処理装置 37A における 1 次キャッシュメモリとして使用され、不揮発性半導体メモリ 9A は情報処理装置 37A における 2 次キャッシュメモリとして使用される。

30

【0291】

ネットワークインタフェース装置 39A は、ネットワーク 38 経由で、他の情報処理装置 37B のネットワークインタフェース装置 39A と、ネットワーク論理アドレス又はデータの送受信を行う。

40

【0292】

本実施形態に係るメモリ管理装置 32A について説明する。図 31 は、本実施形態に係るメモリ管理装置 32A の構成の一例を示すブロック図である。

【0293】

メモリ管理装置 32A の処理部 33A は、アドレス管理部 18、読み出し管理部 19、書き込み管理部 20、カラーリング情報管理部 21、メモリ使用情報管理部 22、再配置部 23 に加えて、ネットワークアドレス変換部 34 と、通信部 35 とを具備する。

【0294】

50

ネットワークアドレス変換部 34 は、プロセッサ 3A で用いられている短いアドレス長の論理アドレス（以下、「プロセッサ論理アドレス」という）を、ネットワークで接続されている複数の情報処理装置で用いられる長いアドレス長の論理アドレス（以下、「ネットワーク論理アドレス」という）に変換する。例えば、このアドレスの変換では、ハッシュ関数が用いられる。なお、プロセッサ論理アドレスは、レジスタに格納されるポインタである。

【0295】

作業メモリ 16 には、アドレス長変換テーブル AT が記憶されている。ネットワークアドレス変換部 34 は、アドレス長変換テーブル AT を参照し、プロセッサ論理アドレスをネットワーク論理アドレスに変換する。

10

【0296】

なお、アドレス長変換テーブル AT は、作業メモリ 16 に記憶されているが、情報記憶部 17 に記憶されるとしてもよい。

【0297】

通信部 35 は、ネットワーク論理アドレス及びネットワーク論理アドレスで指定されるデータを、ネットワークインタフェース装置 39A を用いて、ネットワーク 38 経由で送信及び受信する。

【0298】

本実施の形態において、メモリ使用情報 11 は、ネットワークシステム 37 全体（この図 31 の例では、メモリ使用情報 11 は、揮発性半導体メモリ 8A、不揮発性半導体メモリ 9A、揮発性半導体メモリ 8B、不揮発性半導体メモリ 9B）のメモリ領域の使用状態を表す。

20

【0299】

同様に、メモリ固有情報 12 は、ネットワークシステム 37 全体のメモリ領域の固有情報を表す。

【0300】

アドレス変換情報 13 は、ネットワークシステム 37 全体で使用されているネットワーク論理アドレスと物理アドレスとの関係を示す。

【0301】

カラーリングテーブル 14 は、ネットワークシステム 37 全体における各データのカラーリング情報を含む。

30

【0302】

ネットワークシステム 37 においては、全てのデータに対してユニークなアドレスが付される。ネットワークシステム 37 全体で共通のネットワーク論理アドレス空間を用いる場合、必要となるアドレスのビット数は、例えば、128 ビットなどのようになるとなる。しかしながら、このネットワークシステム 37 において、プロセッサ 3A、3B のレジスタは、32 ビット又は 64 ビットであるとする。この場合、レジスタのビット数のプロセッサ論理アドレスを、ネットワーク論理アドレスのビット数に変換することが必要である。メモリ管理装置 32A、32B に備えられているネットワークアドレス変換部 34 は、この変換処理を実行する。

40

【0303】

ネットワークシステム 37 によるネットワーク 38 経由でのデータ読み出しについて説明する。

【0304】

メモリ管理装置 32A は、プロセッサ 3A からプロセッサ論理アドレスを受け、このプロセッサ論理アドレスをネットワーク論理アドレスに変換する。そして、メモリ管理装置 32A は、ネットワーク論理アドレスに対応するデータが、情報処理装置 37A のメモリ（この図 31 では揮発性半導体メモリ 8A と不揮発性半導体メモリ 9A）のいずれにも記憶されていない場合に、ネットワークインタフェース装置 39A 及びネットワーク 38 経由で、他の情報処理装置 37B にネットワーク論理アドレスを送る。

50

【0305】

情報処理装置37Bのメモリ管理装置32Bは、情報処理装置37Aからネットワーク38及びネットワークインタフェース装置39B経由で、ネットワーク論理アドレスに対応するデータを受ける。

【0306】

メモリ管理装置32Bは、受信されたネットワーク論理アドレスが情報処理装置37Bのメモリ(この図31では揮発性半導体メモリ8B又は不揮発性半導体メモリ9B)に記憶されている場合に、アドレス変換情報13に基づいて、ネットワーク論理アドレスを物理アドレスに変換し、データを読み出す。

【0307】

メモリ管理装置32Bは、読み出されたデータを、ネットワークインタフェース装置39A、ネットワーク38経由で、情報処理装置37Aに送る。

【0308】

情報処理装置37Aのメモリ管理装置32Aは、情報処理装置37Bからネットワーク38及びネットワークインタフェース装置39A経由で、読み出されたデータを受ける。

【0309】

メモリ管理装置32Aは、読み出されたデータを、プロセッサ3Aに返す。

【0310】

また、メモリ管理装置32Aは、カラーリングテーブル14を参照し、読み出されたデータのアクセス頻度又は重要度が所定値以上の場合に、このデータを揮発性半導体メモリ8A又は不揮発性半導体メモリ9Aに書き込み、アドレス変換情報13を更新する。この書き込みは、上記第1の実施形態と同様の手法により、書き込み先を決定する。

【0311】

ネットワークシステム37によるネットワーク38経由でのデータ書き込みについて説明する。

【0312】

メモリ管理装置32Aは、プロセッサ3Aからプロセッサ論理アドレスと書き込み対象データを受け、このプロセッサ論理アドレスをネットワーク論理アドレスに変換する。そして、メモリ管理装置32Aは、ネットワーク論理アドレスが他の情報処理装置37Bを示す場合に、ネットワークインタフェース装置39A及びネットワーク38経由で、他の情報処理装置37Bにネットワーク論理アドレス及び書き込み対象データを送る。

【0313】

情報処理装置37Bのメモリ管理装置32Bは、情報処理装置37Aからネットワーク38及びネットワークインタフェース装置39B経由で、ネットワーク論理アドレス及び書き込み対象データを受ける。

【0314】

メモリ管理装置32Bは、アドレス変換情報13に基づいて、ネットワーク論理アドレスを物理アドレスに変換し、物理アドレスの示すメモリ領域に書き込み対象データを書き込む。

【0315】

上記図30に示すネットワークシステム37におけるデータD1のコピーについて説明する。

【0316】

情報処理装置37Aのメモリ管理装置32Aは、揮発性半導体メモリ8A、不揮発性半導体メモリ9A、さらに、揮発性半導体メモリ8B、不揮発性半導体メモリ9Bに対するメモリ使用情報11及びメモリ固有情報12を管理する。

【0317】

さらに、メモリ管理装置32Aは、揮発性半導体メモリ8A、不揮発性半導体メモリ9A、さらに、揮発性半導体メモリ8B、不揮発性半導体メモリ9Bに格納されている各データのカラーリング情報を、カラーリングテーブル14で管理する。

10

20

30

40

50

【0318】

メモリ管理装置32Aは、メモリ使用情報11、メモリ固有情報12、カラーリングテーブル14に基づいて、揮発性半導体メモリ8A及び不揮発性半導体メモリ9Aに加えて、ネットワーク38経由で接続されている揮発性半導体メモリ8B及び不揮発性半導体メモリ9Bに対しても、不揮発性半導体メモリ9A、9Bの寿命を延ばすように、書き込み先の決定を行う。

【0319】

ここで、情報処理装置37Aのメモリ管理装置32Aは、情報処理装置37Aから他の情報処理装置37Bに対するアクセスが発生する頻度の高い本体のデータD1を、情報処理装置37Aの揮発性半導体メモリ8A又は不揮発性半導体メモリ9Aにコピーし、データD1cとして記憶する。例えば、メモリ管理装置32Aは、カラーリングテーブル14を参照し、他の情報処理装置37Bに記憶されておりアクセス頻度が所定レベル以上のデータD1を、情報処理装置37Aの揮発性半導体メモリ8A又は不揮発性半導体メモリ9AにコピーされたデータD1cとして記憶する。

10

【0320】

他の情報処理装置37BにおけるデータD1に対するアクセス頻度よりも、情報処理装置37AにコピーされたデータD1cに対するアクセス頻度の方が所定レベル以上に大きい場合、メモリ管理装置32A、32Bは、情報処理装置37AにコピーされたデータD1cを本体として管理する。

【0321】

さらに、情報処理装置37Aにおいて、コピーされたデータD1cへの書き込みが発生した場合、メモリ管理装置32A、32Bは、情報処理装置37AのデータD1cを本体として管理する。

20

【0322】

このように、情報処理装置37AにコピーされたデータD1cが本体として管理される場合、情報処理装置37BのデータD1はそのまま維持され、データD1、D1cとで相互に異なるアドレス(ID)を割り当てるとしてよい。別のアドレスは、元のデータD1に対して割り当てられてもよく、コピーされたデータD1cに対して割り当てられてもよい。

【0323】

また、データD1cが本体として管理される場合、元のデータD1は消去されてもよい。

30

【0324】

メモリ管理装置32A、32Bとでは、データD1、D1cの衝突が発生しないように、例えば、キャッシュとして使用されているデータD1cに対する書き込みが発生した場合には、本体のデータD1を更新するなどの管理を行う。

【0325】

図32は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第1の関係を示すブロック図である。

【0326】

例えば、プロセッサアドレスP1の上位アドレスP1uは32ビットであり、下位アドレスP1dは32ビットである。

40

【0327】

例えば、ネットワーク論理アドレスN1の上位アドレスN1uと中位アドレスN1mとの組み合わせは128ビットであり、下位アドレスN1dは32ビットである。

【0328】

ネットワーク論理アドレスN1の上位アドレスN1uは例えば事業者を示し、ネットワーク論理アドレスN1の中位アドレスN1mは例えばプロセッサ固有の値であるとする。ネットワーク論理アドレスN1の上位アドレスN1uと中位アドレスN1mは、ネットワークに関係するアドレスであり、例えば、IPアドレス、IPv4などとする。

50

【0329】

ネットワーク論理アドレスN1の上位アドレスN1uと中位アドレスN1mとの組み合わせは、ハッシュ関数40によって変換される。この変換によって、ネットワーク論理アドレスN1の上位アドレスN1uと中位アドレスN1mよりもビット数の少ない、プロセッサ論理アドレスP1の上位アドレスP1uが求められる。このプロセッサ論理アドレスP1の上位アドレスP1uが、プロセッサ論理アドレスP1からネットワーク論理アドレスN1への変換におけるキーとして用いられる。

【0330】

ネットワーク論理アドレスN1uの下位アドレスN1dは、そのままプロセッサ論理アドレスP1の下位アドレスP1dとして用いられる。

10

【0331】

アドレス長変換テーブルAT1におけるプロセッサ論理アドレスP1の上位アドレスP1uの示す位置に、ネットワーク論理アドレスN1の上位アドレスN1uと中位アドレスN1mとが格納される。

【0332】

プロセッサ論理アドレスP1をネットワーク論理アドレスN1に変換する場合、ネットワークアドレス変換部34は、アドレス長変換テーブルAT1におけるプロセッサ論理アドレスP1の上位アドレスP1uの示す位置を参照し、この位置に格納されているネットワーク論理アドレスN1の上位アドレスN1u及び中位アドレスN1mを求める。

20

【0333】

そして、ネットワークアドレス変換部34は、求められたネットワーク論理アドレスN1の上位アドレスN1u及び中位アドレスN1mに、プロセッサ論理アドレスP1の下位アドレスP1dを組み合わせて、ネットワーク論理アドレスN1を求める。

【0334】

アドレス長変換テーブルAT1には、各エントリに対して、有効であるか否かを示すアドレス長変換フラグが付されている。

【0335】

ネットワークアドレス変換部34は、アドレス長変換テーブルAT1に対するエントリの登録時に、登録先のアドレス長変換フラグを参照する。ネットワークアドレス変換部34は、アドレス長変換フラグが無効の場合には、そのままエントリへの登録を行う。ネットワークアドレス変換部34は、アドレス長変換フラグが有効の場合には、例外処理を実行する。これにより、エントリへの重複登録を防止することができる。

30

【0336】

図33は、本実施の形態に係るプロセッサ論理アドレスP2とネットワーク論理アドレスN2との第2の関係を示すブロック図である。

【0337】

ネットワーク論理アドレスN2の中位アドレスN2mは、プロセッサ論理アドレスP2の上位アドレスP2uに用いられる。このプロセッサ論理アドレスP2の上位アドレスP2uが、プロセッサ論理アドレスP2からネットワーク論理アドレスN2への変換におけるキーとして用いられる。

40

【0338】

ネットワーク論理アドレスN2の下位アドレスN2dは、そのままプロセッサ論理アドレスP2の下位アドレスP2dとして用いられる。

【0339】

アドレス長変換テーブルAT2におけるプロセッサ論理アドレスP2の上位アドレスP2uの示す位置に、ネットワーク論理アドレスN2の上位アドレスN2uと中位アドレスN2mとが格納される。

【0340】

プロセッサ論理アドレスP2をネットワーク論理アドレスN2に変換する場合、ネットワークアドレス変換部34は、アドレス長変換テーブルAT2におけるプロセッサ論理ア

50

ドレス P 2 の上位アドレス P 2 u の示す位置を参照し、この位置に格納されているネットワーク論理アドレス N 2 の上位アドレス N 2 u 及び中位アドレス N 2 m を求める。

【 0 3 4 1 】

そして、ネットワークアドレス変換部 3 4 は、求められたネットワーク論理アドレス N 2 の上位アドレス N 2 u 及び中位アドレス N 2 m に、プロセッサ論理アドレス P 2 の下位アドレス P 2 d を組み合わせて、ネットワーク論理アドレス N 2 を求める。

【 0 3 4 2 】

図 3 4 は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 3 の関係を示すブロック図である。

【 0 3 4 3 】

ネットワーク論理アドレス N 3 の中位アドレス N 3 m 及び下位アドレス N 3 d は、プロセッサ論理アドレス P 3 の上位アドレス P 3 u 及び下位アドレス P 3 d に用いられる。プロセッサ論理アドレス P 3 の上位アドレス P 3 u は、プロセッサ論理アドレス P 3 からネットワーク論理アドレス N 3 への変換におけるキーとして用いられる。

【 0 3 4 4 】

アドレス長変換テーブル A T 3 におけるプロセッサ論理アドレス P 3 の上位アドレス P 3 u の示す位置に、ネットワーク論理アドレス N 3 の上位アドレス N 3 u が格納される。

【 0 3 4 5 】

プロセッサ論理アドレス P 3 をネットワーク論理アドレス N 3 に変換する場合、ネットワークアドレス変換部 3 4 は、アドレス長変換テーブル A T 3 におけるプロセッサ論理アドレス P 3 の上位アドレス P 3 u の示す位置を参照し、この位置に格納されているネットワーク論理アドレス N 3 の上位アドレス N 3 u を求める。

【 0 3 4 6 】

そして、ネットワークアドレス変換部 3 4 は、求められたネットワーク論理アドレス N 3 の上位アドレス N 3 u に、プロセッサ論理アドレス P 3 の上位アドレス P 3 u と下位アドレス P 3 d とを組み合わせて、ネットワーク論理アドレス N 3 を求める。

【 0 3 4 7 】

図 3 5 は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 4 の関係を示すブロック図である。

【 0 3 4 8 】

ネットワークアドレス変換部 3 4 は、ネットワーク論理アドレス N 4 の上位アドレス N 4 u と中位アドレス N 4 m との組み合わせから、n ビット間隔で値を抽出し、この抽出された値をプロセッサ論理アドレス P 4 の上位アドレス P 4 u とする。この変換によって、ネットワーク論理アドレス N 1 の上位アドレス N 4 u と中位アドレス N 4 m よりもビット数の少ない、プロセッサ論理アドレス P 4 の上位アドレス P 4 u が求められる。このプロセッサ論理アドレス P 4 の上位アドレス P 4 u は、プロセッサ論理アドレス P 4 からネットワーク論理アドレス N 4 への変換におけるキーとして用いられる。

【 0 3 4 9 】

ネットワーク論理アドレス N 4 とプロセッサ論理アドレス P 4 との他の関係、及び、プロセッサ論理アドレス P 4 からネットワーク論理アドレス N 4 への変換は、上記図 3 2 の場合と同様であるため、説明を省略する。

【 0 3 5 0 】

図 3 6 は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスとの第 5 の関係を示すブロック図である。

【 0 3 5 1 】

ネットワークアドレス変換部 3 4 は、ネットワーク論理アドレス N 5 の上位アドレス N 5 u と中位アドレス N 5 m との組み合わせを、値 P (例えば素数) で割った余りの値をプロセッサ論理アドレス P 5 の上位アドレス P 5 u とする。この変換によって、ネットワーク論理アドレス N 5 の上位アドレス N 5 u と中位アドレス N 5 m よりもビット数の少ない、プロセッサ論理アドレス P 5 の上位アドレス P 5 u が求められる。このプロセッサ論理

10

20

30

40

50

アドレス P 5 の上位アドレス P 5 u は、プロセッサ論理アドレス P 5 からネットワーク論理アドレス N 5 への変換におけるキーとして用いられる。

【 0 3 5 2 】

ネットワーク論理アドレス N 5 とプロセッサ論理アドレス P 5 との他の関係、及び、プロセッサ論理アドレス P 5 からネットワーク論理アドレス N 5 への変換は、上記図 3 2 の場合と同様であるため、説明を省略する。

【 0 3 5 3 】

なお、ネットワークアドレス変換部 3 4 は、ハッシュ関数 4 0 の代わりに変換テーブルを用いて、ネットワーク論理アドレス N 1 ~ N 5 の一部をプロセッサ論理アドレス P 1 ~ P 5 の一部に変換し、このプロセッサ論理アドレス P 1 ~ P 5 の一部をアドレス長の変換のキーとして用いてもよい。

10

【 0 3 5 4 】

また、ネットワークアドレス変換部 3 4 は、ネットワーク論理アドレス N 1 ~ N 5 の一部又は全部を登録するテーブルを作成し、このテーブルのアドレスを、プロセッサ論理アドレス P 1 ~ P 5 からネットワーク論理アドレス N 1 ~ N 5 への変換で用いるキーとしてもよい。この変換方法においては、複数の情報処理装置 3 7 A , 3 7 B のそれぞれがテーブルを管理してもよい。より好ましくは、ネットワーク 3 8 に接続される複数の情報処理装置 3 7 A , 3 7 B の間でテーブルを共有させ、情報処理装置 3 7 A , 3 7 B のそれぞれは、このテーブルのコピーをキャッシュメモリなどにローカルに格納するとしてもよい。

20

【 0 3 5 5 】

上記のアドレスの変換においては、ネットワーク論理アドレス N 1 ~ N 5 の下位アドレス N 1 d ~ N 5 d とプロセッサ論理アドレス P 1 ~ P 5 の下位アドレス P 1 d ~ P 5 d は変換されることなく使用されているが、このネットワーク論理アドレス N 1 ~ N 5 の下位アドレス N 1 d ~ N 5 d とプロセッサ論理アドレス P 1 ~ P 5 の下位アドレス P 1 d ~ P 5 d を変換させるとしてもよい。

【 0 3 5 6 】

図 3 7 は、本実施の形態に係るネットワークシステム 3 7 の仮想アドレス空間の一例を示すブロック図である。

【 0 3 5 7 】

本実施の形態においては、ネットワークシステム 3 7 の全てのデータにユニークなネットワーク論理アドレスが割り当てられるため、各情報処理装置 3 7 A , 3 7 B に共通の仮想アドレス空間 4 1 を形成することができる。

30

【 0 3 5 8 】

図 3 8 は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスの構成の第 1 の例を示すブロック図である。

【 0 3 5 9 】

プロセッサ論理アドレス 4 2 は、変換キーと、ファイルアドレス及びオフセットとを含む。

【 0 3 6 0 】

ネットワークアドレス変換部 3 4 は、プロセッサ論理アドレス 4 2 をネットワーク論理アドレス 4 3 に変換する。

40

【 0 3 6 1 】

ネットワーク論理アドレス 4 3 は、プロセッサ識別情報（例えば、事業者及び情報処理装置の識別情報）と、ファイルアドレス及びオフセットとを含む。

【 0 3 6 2 】

メモリ管理装置 3 2 A は、ネットワーク論理アドレス 4 2 をネットワーク 3 8 経由でメモリ管理装置 3 2 B に送信する。すると、メモリ管理装置 3 2 B は、このネットワーク論理アドレス 4 3 のファイルアドレスとオフセットとによって指定されるデータを読み出し、メモリ管理装置 3 2 A に返す。

【 0 3 6 3 】

50

図 39 は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスの構成の第 2 の例を示すブロック図である。

【0364】

プロセッサ論理アドレス 44 は、変換キーとオフセットとを含む。

【0365】

ネットワークアドレス変換部 34 は、プロセッサ論理アドレス 44 をネットワーク論理アドレス 45 に変換する。

【0366】

ネットワーク論理アドレス 45 は、プロセッサ識別情報及びファイルアドレスと、オフセットとを含む。

10

【0367】

メモリ管理装置 32A は、メモリ管理装置 32A は、ネットワーク論理アドレス 45 をネットワーク 38 経由でメモリ管理装置 32B に送信する。すると、メモリ管理装置 32B は、このネットワーク論理アドレス 45 のファイルアドレスとオフセットとによって指定されるデータを読み出し、メモリ管理装置 32A に返す。

【0368】

図 40 は、本実施の形態に係るプロセッサ論理アドレスとネットワーク論理アドレスの構成の第 3 の例を示すブロック図である。

【0369】

プロセッサ論理アドレス 46 は、変換キーと、ファイルアドレスとを含む。

20

【0370】

ネットワークアドレス変換部 34 は、プロセッサ論理アドレス 46 をネットワーク論理アドレス 47 に変換する。

【0371】

ネットワーク論理アドレス 46 は、プロセッサ識別情報とファイルアドレスとを含む。

【0372】

メモリ管理装置 32A は、ネットワーク論理アドレス 47 をネットワーク 38 経由でメモリ管理装置 32B に送信する。すると、メモリ管理装置 32B は、このネットワーク論理アドレス 47 のファイルアドレスとによって指定されるファイルデータを読み出し、メモリ管理装置 32A に返す。

30

【0373】

上記のようなアドレス変換の技術的意義について以下に説明する。

【0374】

例えば、8ビットCPU (Central Processing Unit) は、プロセッサ 3A として一般的に使用されている。この8ビットCPUのビット数は、8ビットのレジスタを備える。また、一般的に使用されている8ビットCPUにおいて、アドレスのビット数は16ビットである。

【0375】

例えば、16ビットCPUは、16ビットのレジスタを備える。一般的に使用されている16ビットCPUにおいて、アドレスのビット数は20ビットである。

40

【0376】

ゼネラルレジスタには、数値とアドレスのどちらも格納される。したがって、数値のビット数とアドレスのビット数とは一致していることが望ましい。しかしながら、上述したように、レジスタのビット数とアドレスのビット数とは一致していない場合がある。

【0377】

現状においては、64ビットCPUが普及しつつある。64ビットCPUは十分な演算精度を提供することができる。このため、レジスタのビット数が64ビットを超える必要性は低い。また、CPUの加算器のキャリー処理の観点から、CPUに64ビットを超えるレジスタを備えることは、困難と考えられる。

【0378】

50

これに対して、アドレスのビット数を増やす必要性は高いと考えられる。その一例としてSingle Level Store (S L S) について説明する。

【 0 3 7 9 】

S L S では、二次記憶装置を含む各種の記憶装置に対して、仮想アドレスが割り付けられる。近年、ネットワークを介して接続されていないローカルの記憶装置は、Tbyteオーダーであるため、仮想アドレスのサイズは、32ビットでは不足し、64ビットであれば足りる。

【 0 3 8 0 】

しかしながら、ネットワーク環境で使用される例えば (N A S) などのような記憶装置が使用される場合、又は、ネットワークに接続されている多数の記憶装置にアドレスを割り当てる場合には、仮想アドレスのサイズを例えば128ビットなどのように大きくする必要がある。

【 0 3 8 1 】

図41は、ネットワークに接続される多数の機器に記憶されるデータをアクセスするために必要なアドレスのビット数を推定する計算の一例を示す図である。

【 0 3 8 2 】

この図41に示すように、世界中の人間がある程度のデータを記憶することを想定すると、82ビットのネットワーク論理アドレスを用いることでこれらのデータにアクセスすることができる。

【 0 3 8 3 】

したがって、上述したように、ネットワークシステム37において、プロセッサ3A, 3Bのレジスタのビット数と同じプロセッサ論理アドレスから、よりビット数の多いネットワーク用のネットワーク論理アドレスを求めることの意義は大きい。

【 0 3 8 4 】

例えば、本実施の形態において、ネットワーク論理アドレスは、128ビットとすることで、ネットワークシステムの全データにアドレスを割り当てることができる。

【 0 3 8 5 】

以上説明した本実施の形態においては、ネットワークシステム37で使用される全てのデータに対して、アドレスを割り当てることができる。

【 0 3 8 6 】

本実施の形態においては、ネットワークシステム37に備えられている揮発性半導体メモリ8A及び不揮発性半導体メモリ9Aと、揮発性半導体メモリ8B及び不揮発性半導体メモリ9Bとの間で、例えば、アドレス変換、書き込み先決定、などのような基本的なメモリ管理及びメモリアクセスを共通した方法によって行うことができる。すなわち、本実施の形態に係る各情報処理装置37A, 37Bは、アクセス方法、アクセス回数、アクセス頻度などの管理において、自装置に備えられているメモリと、ネットワーク38を介して接続されているメモリとを区別しなくてもよい。

【 0 3 8 7 】

本実施の形態においては、情報処理装置37A, 37Bによってアクセスされる頻度の高いデータは、その装置内に記憶されるため、ネットワーク38を介した送受信によるアクセス遅延、ネットワークの切断によるアクセスの失敗を防止することができる。

【 0 3 8 8 】

本実施の形態においては、ネットワークシステム38上の揮発性半導体メモリ8A及び不揮発性半導体メモリ9Aと、揮発性半導体メモリ8B及び不揮発性半導体メモリ9Bを、メインメモリとして用いることができる。さらに、本実施の形態に係る各情報処理装置37A, 37Bは、自装置内のメモリを、他の装置に記憶されているデータを記憶しておくキャッシュメモリとして用いることができる。

【 0 3 8 9 】

本実施の形態においては、プロセッサ3A, 3Bのレジスタのビット数よりも大きいビット数のアドレスを用いることができ、広大なメモリ空間を使用することができる。

10

20

30

40

50

【0390】

一般的に、ネットワーク経由で行われないアクセスは、記憶装置へのリード、ライトが行われ、ネットワーク経由で行われるアクセスは、ソケット通信により行われている。リード及びライトと、ソケット通信とでは、アクセス方法が異なっている。また、ネットワーク経由のWebアクセスでは、例えばURLなどを用いた特別なアクセス方法が用いられている。これに対して、本実施の形態においては、ネットワーク経由でアクセスされるか否かに関係なく、ネットワーク論理アドレスに基づいて記憶装置に対するアクセスが行われ、同一のアクセス方法が用いられる。

【0391】

本実施の形態においては、アドレス長変換テーブルAT, AT1~AT5に、アドレス長変換フラグが付されており、これにより重複登録を防止することができる。

10

【0392】

上記各実施形態において説明した各構成要素は、自由に組み合わせることができ、自由に分割することができる。

【0393】

本発明は、上記実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。

【符号の説明】

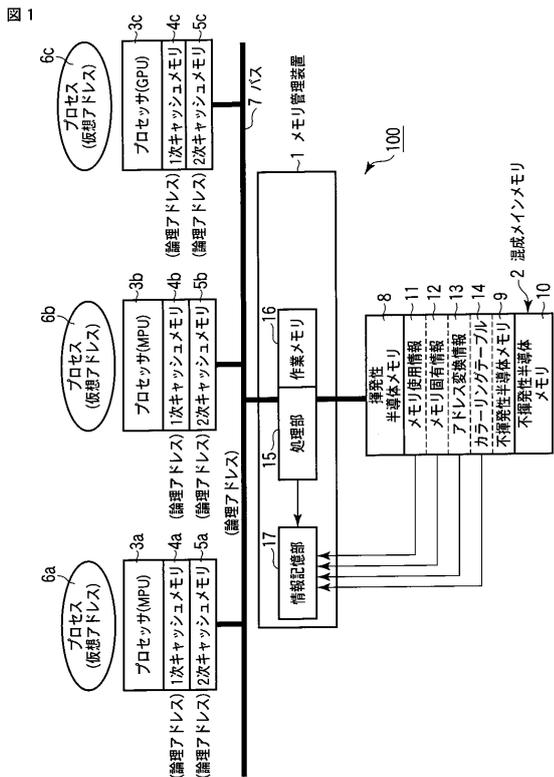
20

【0394】

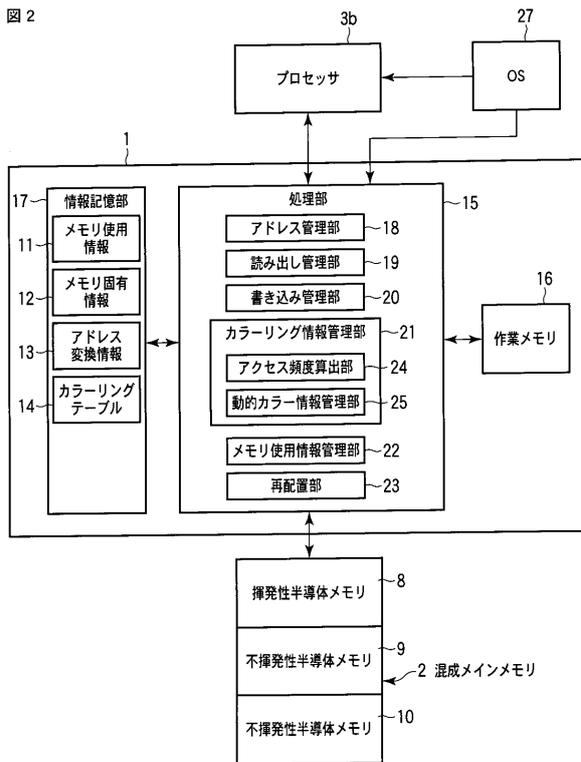
1...メモリ管理装置、2...混成メインメモリ、3a~3b...プロセッサ、4a~4c...1次キャッシュメモリ、5a~5c...2次キャッシュメモリ、6a~6c...プロセス、7...バス、8...揮発性半導体メモリ、9, 10, 29...不揮発性半導体メモリ、11...メモリ使用情報、12...メモリ固有情報、13...アドレス変換情報、14...カラーリングテーブル、15...処理部、16...作業メモリ、17...情報記憶部、18...アドレス管理部、19...読み出し管理部、20...書き込み管理部、21...カラーリング情報管理部、22...メモリ使用情報管理部、23...再配置部、24...アクセス頻度算出部、25...動的カラー情報管理部、27...オペレーティングシステム、28...キャッシュメモリ、3ma~3mc...メモリ管理ユニット、cta~ctc...カウンタ、cia~cic...カウント情報、30...メモリモジュール、31...ボタン、3A, 3B...プロセッサ、8A, 8B...揮発性半導体メモリ、9A, 9B...不揮発性半導体メモリ、32A, 32B...メモリ管理装置、33A...処理部、34...ネットワークアドレス変換部、35...通信部、37...ネットワークシステム、37A, 37B...情報処理装置、38...ネットワーク、39A, 39B...ネットワークインタフェース装置、AT, AT1~AT5...アドレス長変換テーブル。

30

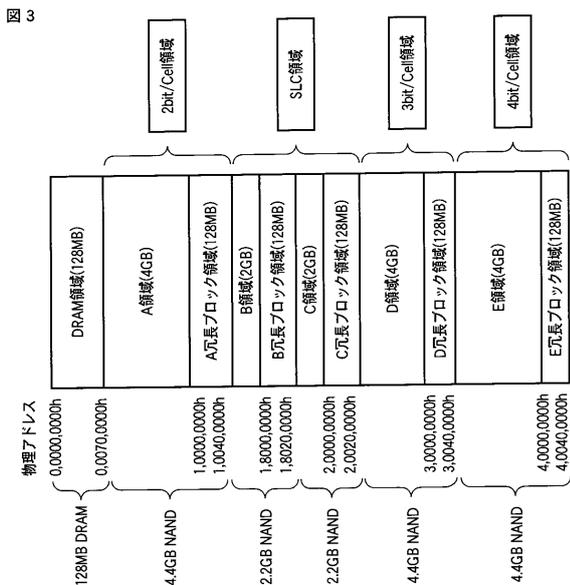
【図1】



【図2】



【図3】

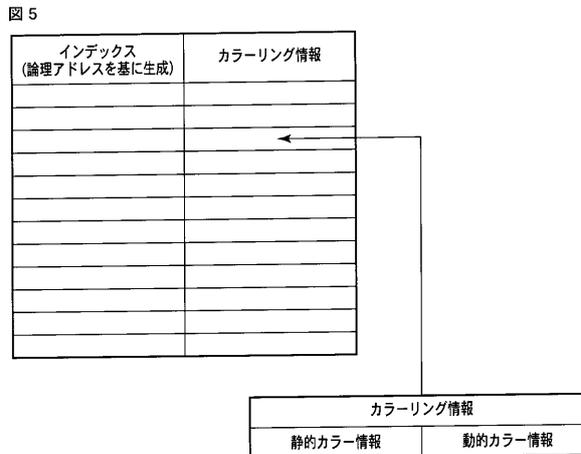


【図4】

Figure 4 is a table with the following structure:

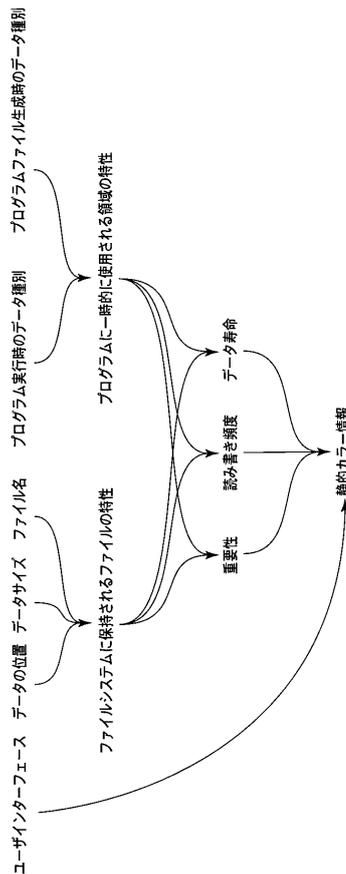
論理アドレス	揮発性半導体メモリの物理アドレス	不揮発性半導体メモリの物理アドレス	有効/無効フラグ
			1
			0
			0

【図5】



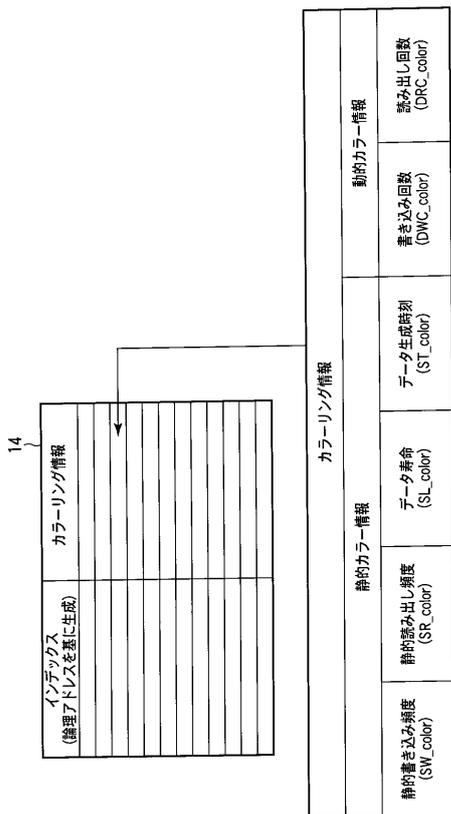
【 図 6 】

図 6



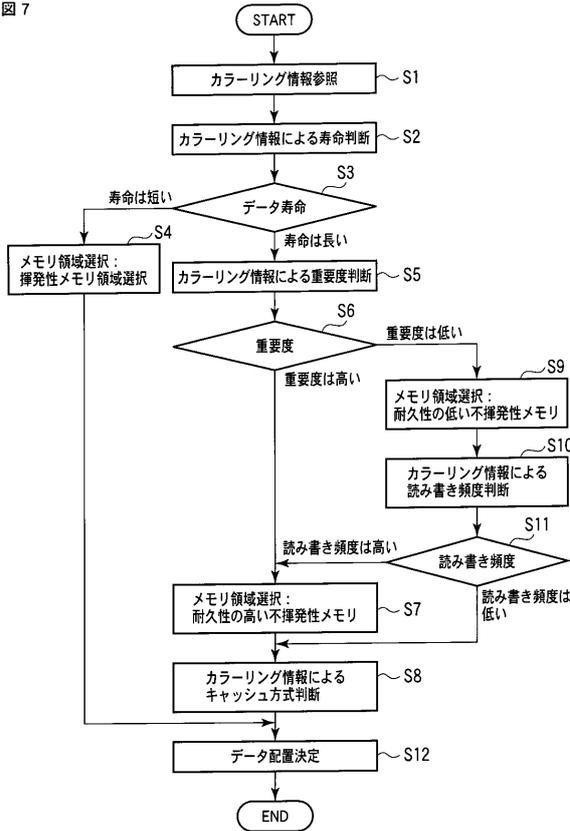
【 図 8 】

図 8



【 図 7 】

図 7



【 図 9 】

図 9

データ形式	データ寿命	SW_color	SR_color	備考
カーネルが動的に確保するデータ (カーネルスタック・ドライバライバ等により動的に確保される領域)	SHORT(S)	5	5	システム起動中に読み出し・書き込みの頻度は高いと考えられる
カーネルのテキスト・領域 (静的に確保されるデータを含む)	LONG(L)	1	5	システム起動中に読み出しの頻度は高いと考えられる
プロセスが動的に確保するデータ	S	4	4	プロセスに動的に確保される領域の内、プロセス終了時に不要になるデータ・プロセスの専らに読み出し・書き込みが多発する。プロセスが終了した後はデータ自体廃棄される。
プログラムのスタック領域	S	4	4	プロセスに動的に確保されるデータの内、auto変数等を使用される領域(スタック領域)に読み出し・書き込みが多発する。プロセスの終了後はデータ自体廃棄される。
プログラムのテキスト領域	L	1	4	プロセスの実行時に読み出しが多発する。プロセスが休止している状態、プロセスが終了した後は読み出しの頻度は急激に下がる。
システムファイル(SYS, dll, DRV)	L	1	3	OSにより参照されるファイルは、システム起動中に読み出しの頻度は高いと考えられる。

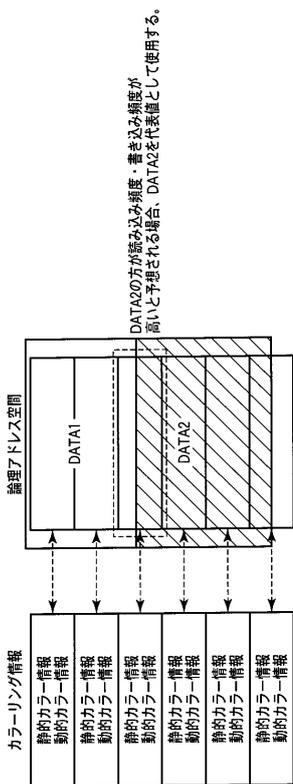
【 図 1 0 】

図 10

データ形式	データ寿命	SW_color	SR_color	備考
音楽データ(MP3)	L	1	2	プロセスにより参照されるファイルは、プロセスの実行時にアクセスされる。実行時にアクセスされるファイルは書き込み頻度が低いと見られる。
動画データ(MPEG2)	L	1	2	プロセスにより参照されるファイルは、プロセスの実行時にアクセスされる。動画データプログラムを使用するユーザは少なく、書き込み頻度は低いと考えられる。
テキストファイル(txt)	L	3	3	プロセスにより参照されるファイルは、プロセスの実行時にアクセスされる。テキストを編集するプログラムを使用するユーザは多いので書き込み、読み出しともにメタファイルより頻度は高いとする。
ブラウザキャッシュファイル	L	1	3	プロセスにより参照されるファイルは、プロセスの実行時にアクセスされる。ウェブブラウザを使用するユーザは多いので、アクセス頻度は、メタファイル以上とする。
アクセス頻度の低いディレクトリに配置されているファイル(ごみ箱等)	L	1	1	

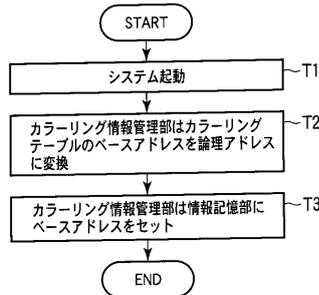
【 図 1 3 】

図 13



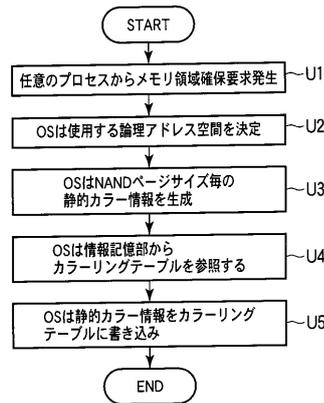
【 図 1 1 】

図 11



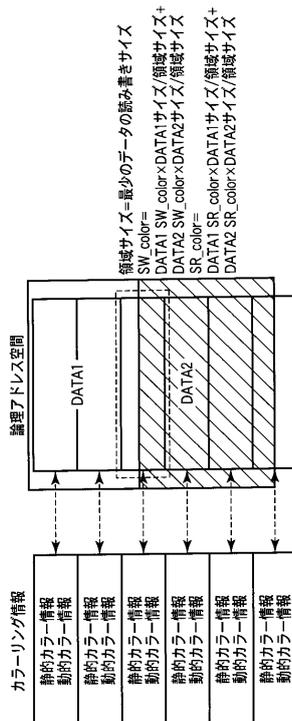
【 図 1 2 】

図 12



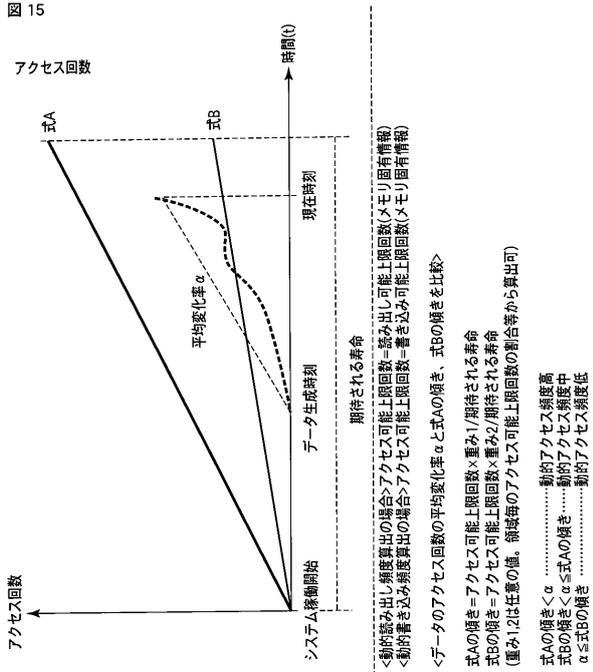
【 図 1 4 】

図 14



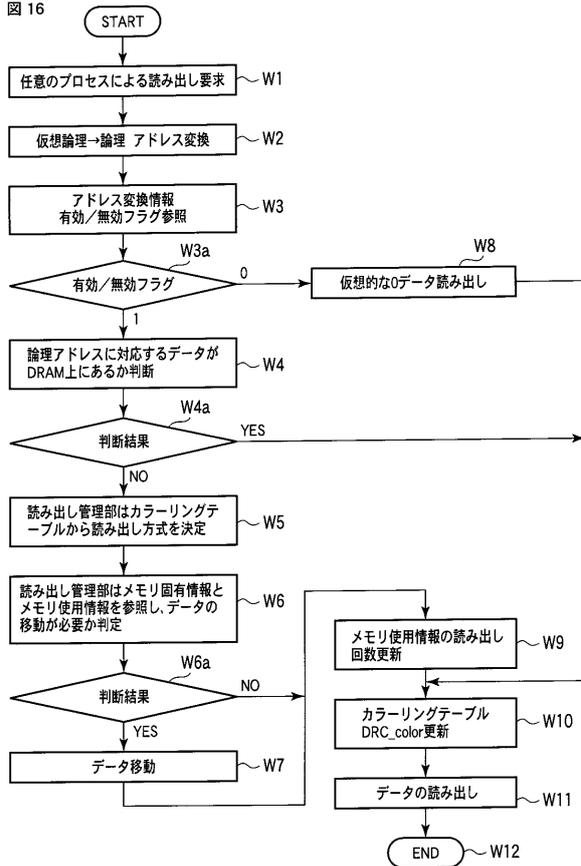
【図15】

図15



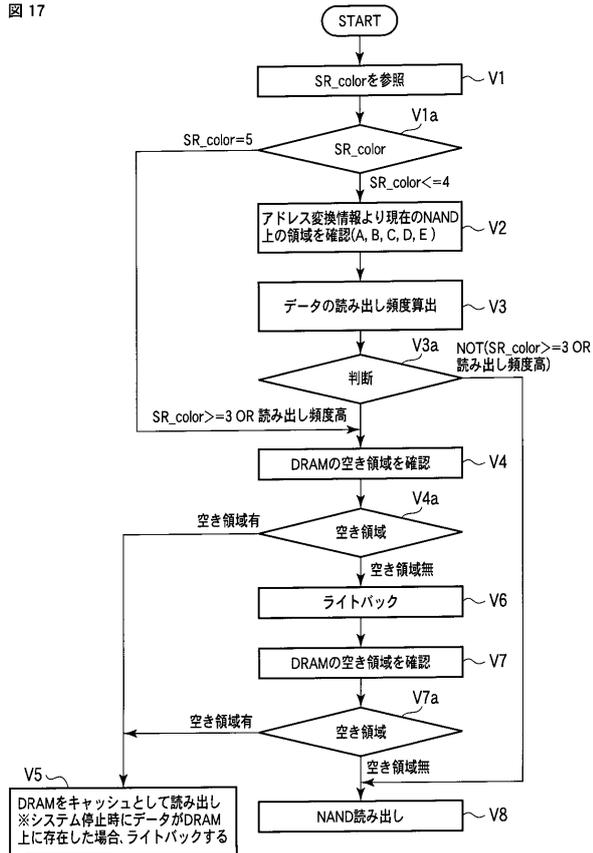
【図16】

図16



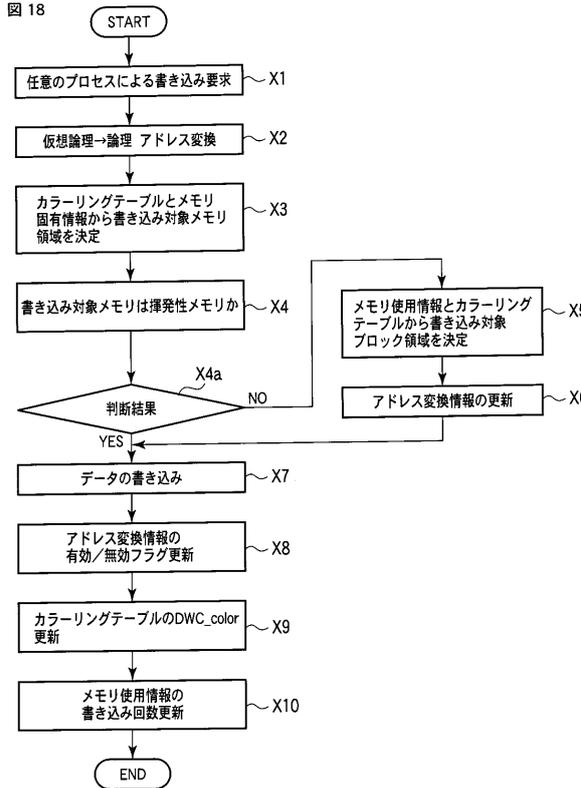
【図17】

図17



【図18】

図18



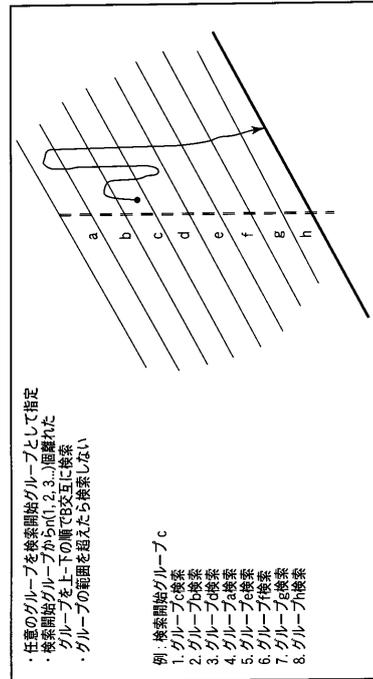
【 図 2 4 】

図 24

Group	EC上線	EC下線
a	現時点で最小のEC+THRESHOLD未滿	現時点で最小のEC+THRESHOLD×7/8以上
b	現時点で最小のEC+THRESHOLD×7/8未滿	現時点で最小のEC+THRESHOLD×6/8以上
c	現時点で最小のEC+THRESHOLD×6/8未滿	現時点で最小のEC+THRESHOLD×5/8以上
d	現時点で最小のEC+THRESHOLD×5/8未滿	現時点で最小のEC+THRESHOLD×4/8以上
e	現時点で最小のEC+THRESHOLD×4/8未滿	現時点で最小のEC+THRESHOLD×3/8以上
f	現時点で最小のEC+THRESHOLD×3/8未滿	現時点で最小のEC+THRESHOLD×2/8以上
g	現時点で最小のEC+THRESHOLD×2/8未滿	現時点で最小のEC+THRESHOLD×1/8以上
h	現時点で最小のEC+THRESHOLD×1/8未滿	なし

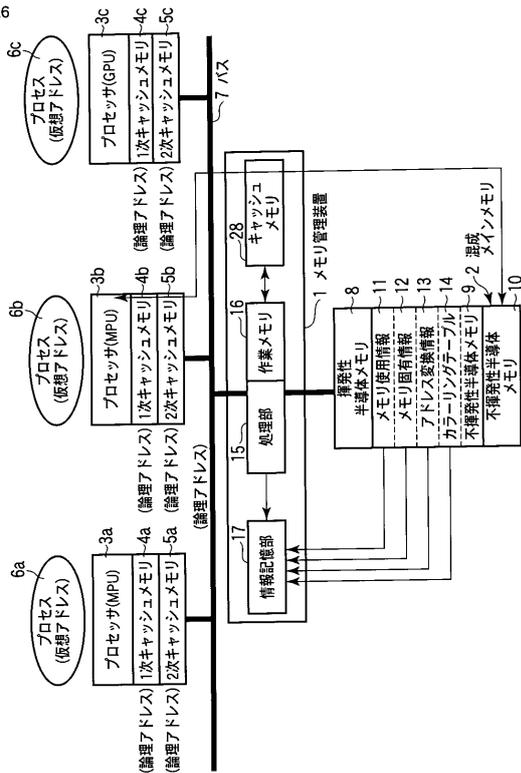
【 図 2 5 】

図 25



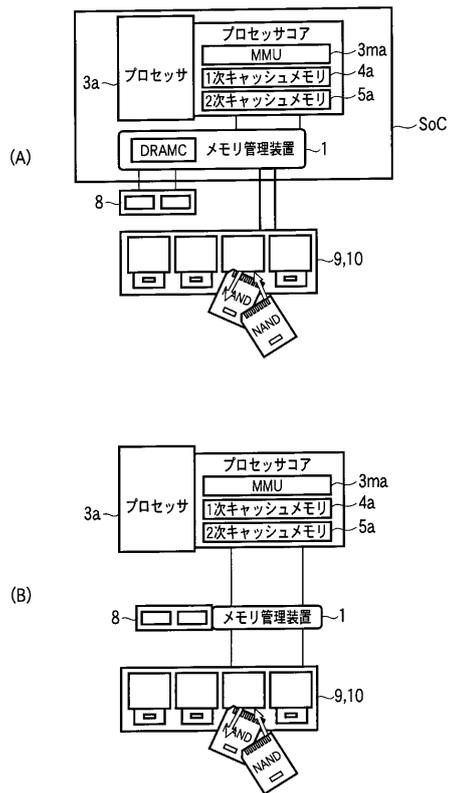
【 図 2 6 】

図 26

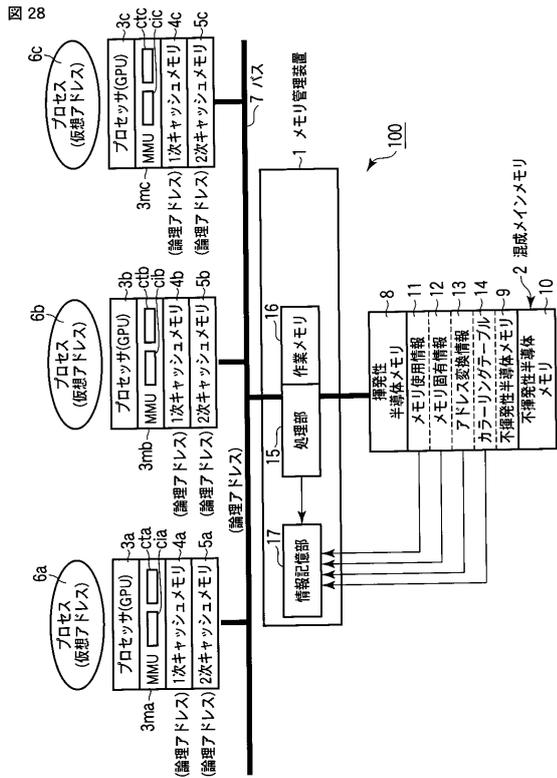


【 図 2 7 】

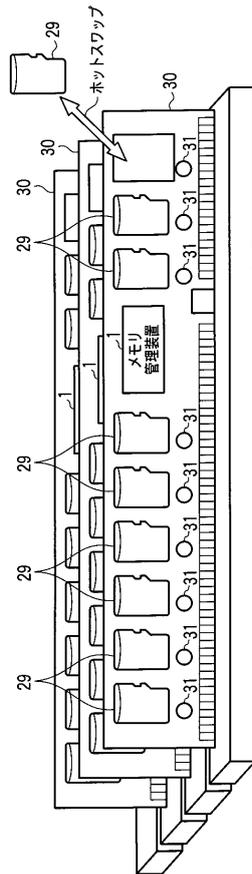
図 27



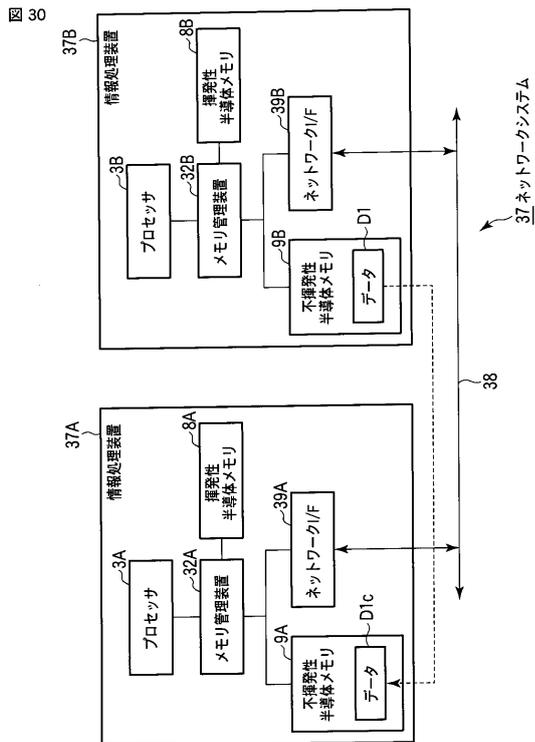
【 図 2 8 】



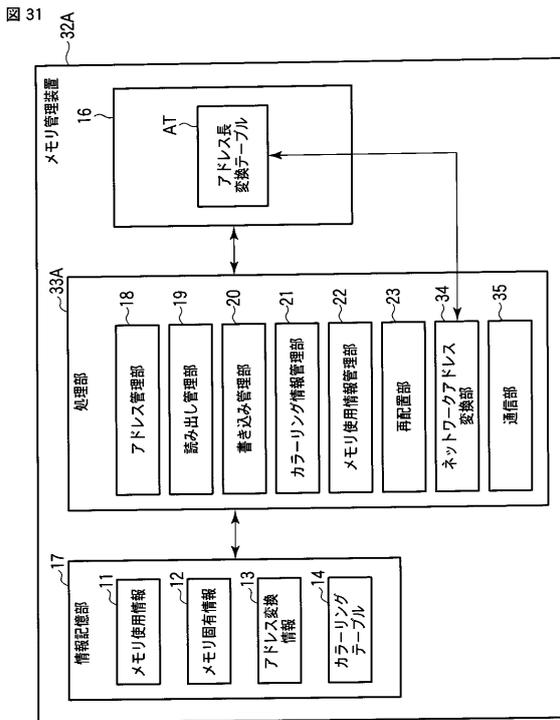
【 図 2 9 】



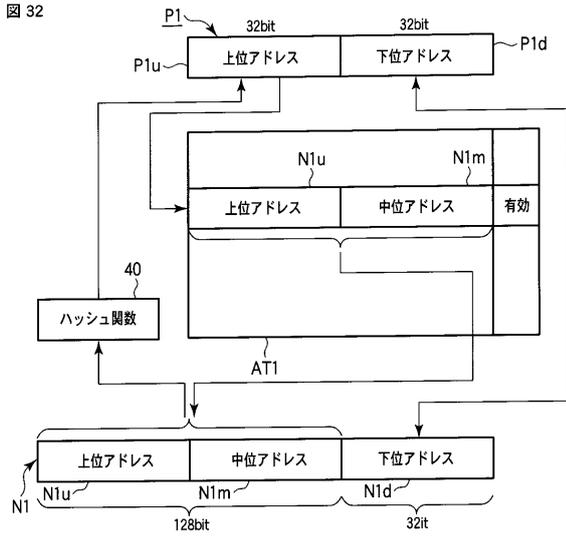
【 図 3 0 】



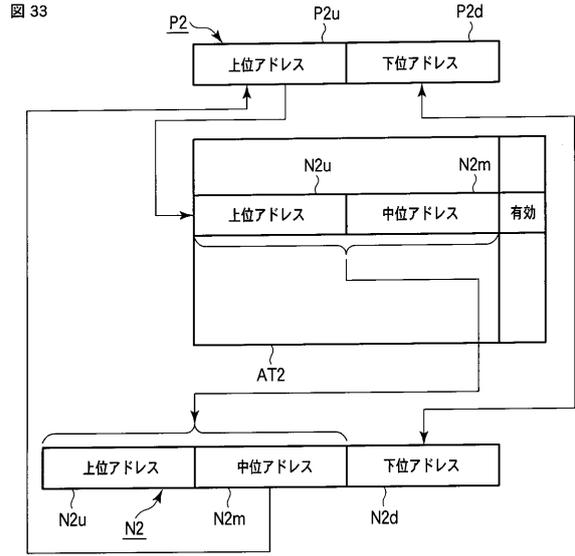
【 図 3 1 】



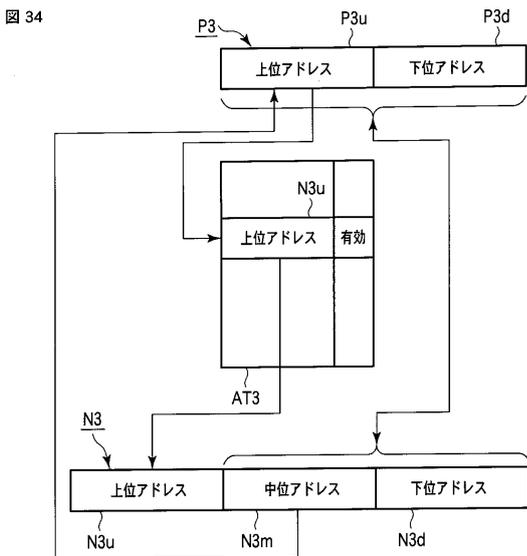
【 図 3 2 】



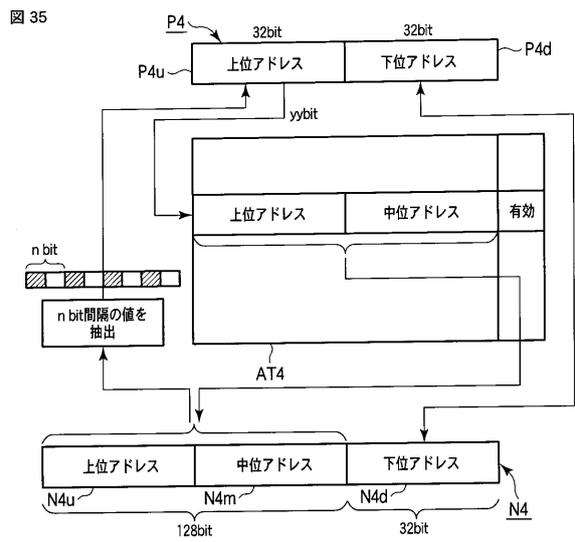
【 図 3 3 】



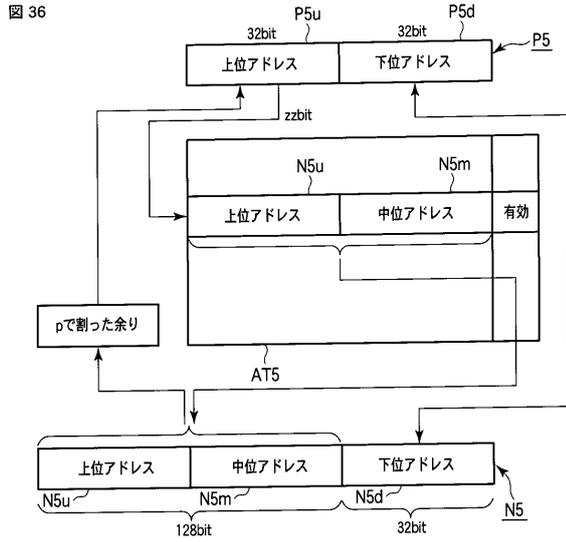
【 図 3 4 】



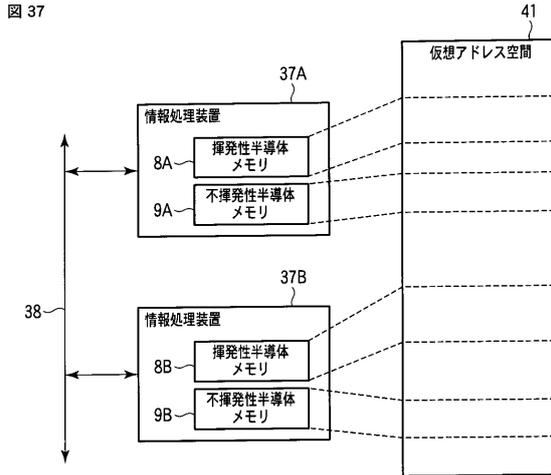
【 図 3 5 】



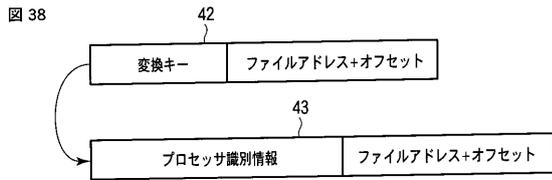
【 図 3 6 】



【 図 3 7 】



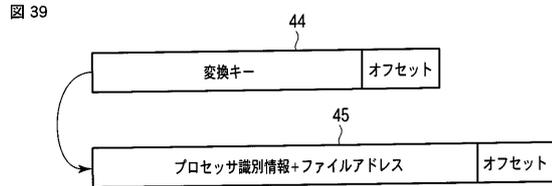
【 図 3 8 】



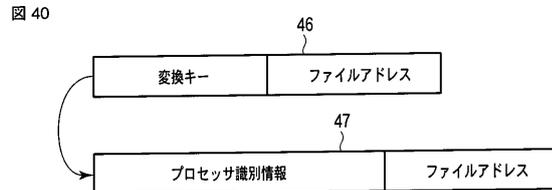
【 図 4 1 】

- 図 41
- 1秒間に1MBの記録をしたとする
 - 1時間で~4GB
 - 1日(昼)で~50GB
 - 1年で~15TB
 - 50年(一生)で~750TB~1pB
 - 100億人(全世界)で1028
 - ~ $(2^3)^{28}$
 - ~ 2^{84}
 - 84bitあれば上記の任意の情報にアクセス可能
 - 128bitあれば上記全ての 2^{44} 世代(新たに生まれる人を含む)分
 - 96(64+32)bitでも 2^{12} 世代分ある

【 図 3 9 】



【 図 4 0 】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 前田 賢一
神奈川県川崎市幸区小向東芝町 1 番地 東芝リサーチコンサルティング株式会社内
- (72)発明者 坂本 広幸
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
- (72)発明者 畦崎 勉
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
- F ターム(参考) 5B060 AB26 MM03 MM16