



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월19일
(11) 등록번호 10-1094246
(24) 등록일자 2011년12월08일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2009-0022227
(22) 출원일자 2009년03월16일
심사청구일자 2010년10월05일
(65) 공개번호 10-2010-0104074
(43) 공개일자 2010년09월29일

(56) 선행기술조사문헌

JP2004056048 A*
KR1020070009591 A
JP2008028678 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

이재웅

경기도 양평군 용문면 다문리 647번지 심미아파트 101동 302호

(주) 지안

경기도 하남시 광암동 180-1

(72) 발명자

이재웅

경기도 양평군 용문면 다문리 647번지 심미아파트 101동 302호

조준희

충청북도 청주시 흥덕구 복대동 3029번지 현대2차 아파트 201동 807호

최중범

서울특별시 동대문구 전농4동 189-5

(74) 대리인

신용길

전체 청구항 수 : 총 7 항

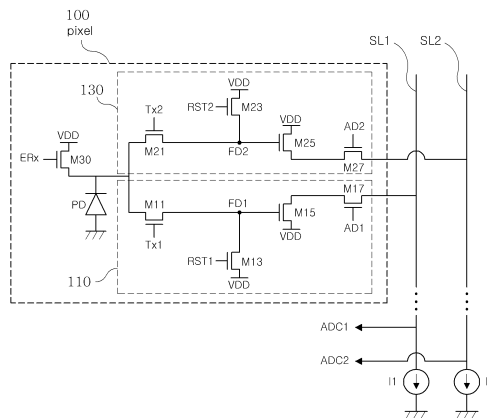
심사관 : 황재연

(54) 넓은 동적범위를 갖는 씨모스 이미지 센서

(57) 요약

넓은 동적범위를 갖는 씨모스 이미지 센서 및 그 센싱 방법이 개시된다. 본 발명의 씨모스 이미지 센서의 각 단위 픽셀은 복수 개의 처리부를 포함하여, 한 개 영상 프레임의 이미지 생성을 위한 하나의 셔터링 구간을 복수 개의 구간으로 나누어 각 처리부별로 별도로 셔터링하고 별도로 샘플링한다. 이를 통해, 본 발명의 이미지 센서는 일련의 복수의 셔터링 동작이 복수 개의 처리부에서 각각 이루어지도록 함과 동시에, 셔터링 동작에 따른 각각의 플로팅 디퓨전 전압을 복수 개의 처리부로 하여금 별도로 샘플링함으로써 넓은 동적범위를 구현한다.

대표도 - 도1



특허청구의 범위

청구항 1

단위 픽셀의 어레이를 포함하는 씨모스 이미지 센서에 있어서,

상기 어레이의 열(Column)별로 마련된 제1 출력 신호선 및 제2 출력 신호선에 연결되는 상기 단위 픽셀은,
포토다이오드;

상기 포토다이오드에 연결되어, 제1 노출적분시간동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 제1 플로팅 디퓨전(Floating Diffusion) 전압을 증폭하여 상기 제1 출력 신호선으로 출력하는 제1 처리부;

상기 포토다이오드에 연결되어, 상기 제1 노출적분시간과 구분되는 제2 노출적분시간 동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 제2 플로팅 디퓨전 전압을 증폭하여 상기 제2 출력 신호선으로 출력하는 제2 처리부; 및

상기 포토다이오드와 전원전압 사이에 마련되어, 상기 제1 노출적분시간 및 제2 노출적분시간 이외의 시간에 상기 포토다이오드에 축적된 전자들을 배출시켜 리셋하는 이레이징 트랜스퍼 게이트(Erasing Transfer Gate)트랜지스터를 포함하는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 2

제1항에 있어서,

상기 제1 처리부 및 제2 처리부의 출력 신호는 열 별로 마련된 상기 제1 출력 신호선 및 제2 출력 신호선에 동시에 전달되는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 3

단위 픽셀의 어레이를 포함하는 씨모스 이미지 센서에 있어서,

상기 어레이의 열별로 마련된 하나의 출력 신호선에 연결되는 상기 단위 픽셀은,
포토다이오드;

상기 포토다이오드에 연결되어, 제1 노출적분시간동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 제1 플로팅 디퓨전 전압을 증폭하여 상기 출력신호선으로 출력하는 제1 처리부;

상기 포토다이오드에 연결되어, 상기 제1 노출적분시간과 구분되는 제2 노출적분시간 동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 제2 플로팅 디퓨전 전압을 증폭하여 상기 출력신호선으로 출력하는 제2 처리부; 및

상기 포토다이오드와 전원전압 사이에 마련되어, 상기 제1 노출적분시간 및 제2 노출적분시간 이외의 시간에 상기 포토다이오드에 축적된 전자들을 배출시켜 리셋하는 이레이징 트랜스퍼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 4

제3항에 있어서,

상기 제1 처리부 및 제2 처리부에 대응되는 2개의 아날로그 디지털 컨버터와 상기 출력 신호선 사이에 마련된 2개의 스위치를 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 5

제1항에 있어서,

상기 제1 처리부는,

상기 포토다이오드에 축적된 상기 전자들을 전달 받아서 저장하는 상기 제1 플로팅 디퓨전;

상기 포토다이오드에 축적된 상기 전자들을 상기 제1 플로팅 디퓨전으로 전달하는 것을 제어하는 제1 트랜스퍼

게이트 트랜지스터;

상기 제1 플로팅 디퓨전의 전압 값을 리셋 시키는 제1 리셋 트랜지스터;

상기 제1 플로팅 디퓨전의 전압 값을 증폭하여 출력하는 제1 소스 팔로워 트랜지스터; 및

상기 제1 소스 팔로워 트랜지스터의 출력을 상기 제1 출력 신호선에 연결하는 제1 어드레스 트랜지스터를 포함하고,

상기 제2 처리부는,

상기 포토다이오드에 축적된 상기 전자들을 전달 받아서 저장하는 상기 제2 플로팅 디퓨전;

상기 포토다이오드에 축적된 상기 전자들을 상기 제2 플로팅 디퓨전으로 전달하는 것을 제어하는 제2 트랜스퍼 게이트 트랜지스터;

상기 제2 플로팅 디퓨전의 전압 값을 리셋 시키는 제2 리셋 트랜지스터;

상기 제2 플로팅 디퓨전의 전압 값을 증폭하여 출력하는 제2 소스 팔로워 트랜지스터; 및

상기 제2 소스 팔로워 트랜지스터의 출력을 상기 제2 출력 신호선에 연결하는 제2 어드레스 트랜지스터를 포함하는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 6

제1항에 있어서,

상기 단위 픽셀은,

상기 포토다이오드에 연결되어, 상기 제1 노출적분시간 및 제2 노출적분시간과 구분되는 다른 노출적분시간 동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 자신의 플로팅 디퓨전 전압을 증폭하는 적어도 하나의 처리부를 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 7

제3항에 있어서,

상기 단위 픽셀은,

상기 포토다이오드에 연결되어, 상기 제1 노출적분시간 및 제2 노출적분시간과 구분되는 다른 노출적분시간 동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 자신의 플로팅 디퓨전 전압을 증폭하여 상기 출력 신호선으로 출력하는 적어도 하나의 처리부를 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은, 빛의 밝기에 대하여 넓은 동적범위를 가지는 씨모스 이미지 센서 및 그 센싱 방법에 관한 것이다.

배경기술

- [0002] CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서는 CMOS 제조 기술을 이용하여 제작된 센서로서, 센서의 각 픽셀(pixel)로 입사되는 빛을 포토 다이오드를 이용하여 전자들로 바꾼 후에, 전자들의 개수에 비례하는 전압신호를 출력함으로써 이미지화 하는 센서이다.
- [0003] 일반적인 CMOS 이미지 센서가 빛의 밝기에 반응하는 동적범위는 대략 60 dB 정도이다. 다시 말해, 센싱 가능한 최소 밝기의 빛에서 약 1000배 정도 밝은 빛까지 정상적으로 반응하여 신호를 출력할 수 있다. 종래에도 CMOS 이미지 센서의 동적범위를 넓히기 위한 다양한 방법이 제시되고 있었다.
- [0004] 예컨대, 미국등록특허 US 7443427호는 빛에 대하여 대수적(Logarithmic)인 동적범위를 가지는 픽셀구조를 개시하고 있으며, 미국등록특허 US 7442910호 및 US 7209166호는 픽셀 내부에 전자의 저장장소인 커패시터를 스위치 조작을 통하여 변화시킴으로써 동적범위를 증가 시키는 방법을 제시하고 있다.
- [0005] 또한, 대한민국특허 제0835894호, 제0865111호 및 미국등록특허 US 7489352호는 크고 작은 두 개의 포토다이오드를 구성하고 그들로부터 빛에 대한 반응도가 다른 두 신호를 출력하는 방법을 개시하고 있다.
- [0006] 일반적으로 사용되고 있는 4-트랜지스터 구조의 픽셀에서 신호를 획득하는 과정에서 트랜스퍼 게이트(Transfer Gate)나 리셋(Reset) 트랜지스터를 여러 차례 동작 시킴으로써 센서의 동적범위를 확장시킨 방법 등도 발표되고 있다.
- [0007] 이러한 다양한 해결 방법들은 그 장점과 단점이 대비되어 어느 것이 뚜렷하게 우세한 기술이라 할 수 없는 정도이다.

발명의 내용

해결 하고자하는 과제

- [0008] 본 발명의 목적은, 픽셀에서 각각 다른 노출적분 시간들에 대응하는 출력신호를 2 개 이상 일시에 출력함으로써 넓은 동적 범위를 구현하기 위하여 픽셀 외부에 별도의 외부 메모리가 필요하지 않고 영상처리가 비교적 간단한 씨모스 이미지 센서 및 그 센싱 방법을 제공함에 있다.
- [0009] 본 발명의 다른 목적은, 롤링 셔터링(Rolling Shuttering)과 글로벌 셔터링(Global Shuttering) 방식 모두에서 넓은 동적 범위를 가지는 씨모스 이미지 센서 및 그 센싱 방법을 제공함에 있다.
- [0010] 본 발명의 또 다른 목적은, 넓은 동적범위를 가지는 CMOS 이미지 센서의 픽셀을 제작하기 위하여 종래의 4-트랜지스터 CMOS 이미지 센서 픽셀을 제작하기 위한 공정 이외에 어떠한 추가적인 공정이 필요 없는 씨모스 이미지 센서 및 그 센싱 방법을 제공함에 있다.

과제 해결수단

- [0011] 상기 목적을 달성하기 위해 본 발명에 따라 단위 픽셀의 어레이를 포함하는 씨모스 이미지 센서의 상기 단위 픽셀은 상기 어레이의 열(Column) 별로 마련된 제1 출력 신호선 및 제2 출력 신호선에 연결된다.
- [0012] 또한, 상기 단위 픽셀은 포토다이오드; 상기 포토다이오드에 연결되어, 제1 노출적분시간동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 제1 플로팅 디퓨전 전압을 증폭하여 상기 제1 출력 신호선으로 출력하는 제1 처리부; 상기 포토다이오드에 연결되어, 상기 제1 노출적분시간에 이어지는 제2 노출적분시간 동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 제2 플로팅 디퓨전 전압을 증폭하여 상기 제2 출력 신호선으로 출력하는 제2 처리부; 및 상기 포토다이오드와 전원전압 사이에 마련되어, 상기 제1 노출적분시간 및 제2 노출적분시간 경과 후에 상기 포토다이오드에 축적된 전자들을 배출시켜 리셋하는 이레이징 트랜스퍼 게이트(Erasing Transfer Gate)트랜지스터를 포함한다.
- [0013] 이 경우, 상기 제1 처리부 및 제2 처리부의 출력 신호는 열(Column)별로 마련된 상기 제1 출력 신호선 및 제2 출력 신호선에 동시에 전달되는 것이 바람직하다.
- [0014] 본 발명의 다른 실시 예에 따라, 단위 픽셀의 어레이를 포함하는 씨모스 이미지 센서의 상기 단위 픽셀은, 상기 어레이의 열별로 마련된 하나의 출력 신호선에 연결될 수 있다. 이 경우, 상기 제1 처리부 및 제2 처리부는 동일한 출력 신호선에 연결된다.
- [0015] 여기서, 본 발명의 씨모스 이미지 센서는 상기 제1 처리부 및 제2 처리부에 대응되는 2개의 아날로그 디지털 컨버터와 상기 출력 신호선 사이에 마련된 2개의 스위치를 더 포함할 수 있다.

- [0016] 이러한 실시 예에서, 상기 제1 처리부 및 제2 처리부는 어떠한 구조라도 적용될 수 있다. 예컨대, 상기 제1 처리부는, 상기 포토다이오드에 축적된 상기 전자들을 전달 받아서 저장하는 상기 제1 플로팅 디퓨전; 상기 포토다이오드에 축적된 상기 전자들을 상기 제1 플로팅 디퓨전으로 전달하는 것을 제어하는 제1 트랜스퍼게이트 트랜지스터; 상기 제1 플로팅 디퓨전의 전압 값을 리셋 시키는 제1 리셋 트랜지스터; 상기 제1 플로팅 디퓨전의 전압 값을 증폭하여 출력하는 제1 소스 팔로워 트랜지스터; 및 상기 제1 소스 팔로워 트랜지스터의 출력을 상기 제1 출력 신호선에 연결하는 제1 어드레스 트랜지스터를 포함하는 4-트랜지스터 구조를 가질 수 있다.
- [0017] 이상에서 단위 픽셀에 제1 처리부 및 제2 처리부가 포함된 예만을 설명하였다. 그러나, 상기 단위 픽셀은, 상기 포토다이오드에 연결되어, 상기 제1 노출적분시간 및 제2 노출적분시간과 구분되는 다른 노출적분시간 동안 상기 포토다이오드에 축적된 전자를 제공받아 형성된 자신의 플로팅 디퓨전 전압을 증폭하는 적어도 하나의 처리부를 더 포함할 수 있다.
- [0018] 본 발명의 또 다른 실시 예에 따라, 단위 픽셀의 어레이를 포함하는 씨모스 이미지 센서의 센싱방법은, 한 개 영상 프레임의 이미지를 획득하기 위한 셔터링 구간을 제1 노출적분시간과 제2 노출적분시간으로 구분하는 단계; 상기 제1 노출적분시간 동안 포토다이오드에 축적된 전자를 제공받아 제1 플로팅 디퓨전에 저장한 다음, 상기 제2 노출적분시간 동안 포토다이오드에 축적된 전자를 제공받아 제2 플로팅 디퓨전에 저장하는 과정을 상기 픽셀 어레이의 모든 픽셀에 대해 동시에 수행하는 이중 셔터링 단계; 상기 단위 픽셀이 상기 이중 셔터링 단계를 통해 상기 제1 플로팅 디퓨전 및 제2 플로팅 디퓨전에 저장된 전자에 따른 전압을 이중 샘플링(Double Sampling) 방법에 따라 각각 읽어, 상기 단위 픽셀에 연결된 출력 신호선에 전달하는 샘플링단계; 및 상기 샘플링 단계를 상기 픽셀 어레이의 각 행별로 순차적으로 반복하되, 상기 각 행의 모든 단위 픽셀에 대해 동시에 수행되는 단계를 포함하여 이중 노출적분시간 글로벌 셔터링 이미지 획득 방법을 구현할 수 있다.
- [0019] 다른 실시 예에 따라, 단위 픽셀의 어레이를 포함하는 씨모스 이미지 센서의 센싱방법은, 한 개 영상 프레임의 이미지를 획득하기 위한 셔터링 구간을 제1 노출적분시간과 제2 노출적분시간으로 구분하는 단계; 상기 제1 노출적분시간 동안 포토다이오드에 축적된 전자를 제공받아 제1 플로팅 디퓨전에 저장한 다음, 상기 제2 노출적분시간 동안 포토다이오드에 축적된 전자를 제공받아 제2 플로팅 디퓨전에 저장하는 이중 셔터링 단계; 상기 이중 셔터링 단계를 통해 상기 제1 플로팅 디퓨전에 저장된 전자에 따른 전압을 이중 샘플링 방법에 따라 읽고 상기 제2 플로팅 디퓨전에 저장된 전자에 따른 전압을 상관 이중 샘플링 (Correlated Double Sampling)방법에 따라 읽어, 상기 단위 픽셀에 연결된 출력 신호선으로 전달하는 샘플링 단계; 및 연속적으로 이어지는 상기 이중 셔터링 단계 및 샘플링 단계를 상기 픽셀 어레이의 각 행별로 순차적으로 반복하는 단계를 포함하여 이중 노출적분시간 롤링 셔터링 이미지 획득 방법을 구현할 수 있다.
- [0020] 여기서, 상기 샘플링 단계는, 상기 제1 플로팅 디퓨전 및 제2 플로팅 디퓨전에 저장된 전자에 따른 전압이 상기 단위 픽셀 어레이의 각 열 별로 마련된 2개의 출력 신호선으로 각각 동시에 전달되는 것이 바람직하다.

효 과

- [0021] 본 발명에 따른 씨모스 이미지 센서는 하나의 포토 다이오드를 이용하여 빛의 노출에 의해 생기는 전자들을 여러 번에 나누어 적분시키고, 그 노출적분에 따른 출력신호들을 한 픽셀의 복수 개의 신호로서 병렬적으로 출력하는 단위 픽셀을 포함하여 이미지 센서의 빛의 밝기에 반응하는 동적범위가 크게 개선되었다.
- [0022] 나아가, 본 발명의 씨모스 이미지 센서는 넓은 동적범위를 위해, 픽셀 어레이 외부에 별도의 메모리를 구비할 필요 없으며, 그 영상처리도 비교적 간단하다.
- [0023] 본 발명의 씨모스 이미지 센서는, 글로벌 셔터링(global shuttering)방식과 롤링 셔터링(rolling shuttering)방식의 동작 모두에서 넓은 동적범위를 획득할 수 있다.
- [0024] 또한, 본 발명의 씨모스 이미지 센서의 픽셀의 제작을 위해, 종래의 일반적인 4-트랜지스터 이미지 센서 픽셀을 제작하기 위한 공정 이외에 어떠한 추가적인 공정 개발이 필요 없다.

발명의 실시를 위한 구체적인 내용

- [0025] 이하 도면을 참조하여 본 발명을 더욱 상세히 설명한다.
- [0026] 도 1은 본 발명의 일 실시 예에 따른 씨모스 이미지 센서의 단위 픽셀 회로도이고, 도 2는 도 1의 단위 픽셀로 이루어진 본 발명의 씨모스 이미지 센서 구조의 개념도이다.

- [0027] 본 발명의 픽셀은 하나의 영상 프레임을 위한 서터링 구간동안 포토다이오드에 축적되는 전자를 복수 개(K)의 처리부가 복수 개의 구간으로 나누어 서터링하고 샘플링함으로써, 빛에 반응하는 픽셀의 동적범위를 넓힌다.
- [0028] 본 발명의 이미지 센서의 각 픽셀은, 서터링에 의해 획득한 신호를 읽어가는 샘플링 과정을 별도의 회로를 통해 수행하는 것과 더불어, 처리부의 개수(K)만큼의 출력 신호선을 구비하여 샘플링 신호의 출력이 동시에 이루어지도록 한다. 도 1은 2 개의 처리부를 포함하고, 2 개의 처리부에 대응되는 2개의 출력 신호선을 구비한 예(K=2)이다.
- [0029] 도 1을 참조하면, 본 발명의 CMOS 이미지 센서 픽셀(100)은 빛 신호를 전자로 바꾸는 한 개의 포토다이오드(Photodiode)(PD)와, 포토다이오드(PD)에 축적된 전자를 제공받아 형성된 전압을 증폭한 신호 V1을 출력하는 제1 처리부(110)와, 포토다이오드(PD)에 축적된 전자를 제공받아 형성된 전압을 증폭한 신호 V2을 출력하는 제2 처리부(130)와, 전원전압 VDD와 포토다이오드(PD) 사이에 연결된 이레이징 트랜스퍼게이트(ERx: Erasing Transfergate) 트랜지스터(이하 간단히 이레이징 트랜스퍼게이트'라 함)(M30)를 포함한다. 이레이징 트랜스퍼게이트(M30)는 신호 ERx에 의해 동작하여 포토다이오드(PD)에 축적된 전자들을 배출하고 포토다이오드(PD)를 리셋한다.
- [0030] 제1 처리부(110)는 제1 출력 신호선(SL1)에 연결되고, 제2 처리부(130)는 제2 출력 신호선(SL2)에 연결된다.
- [0031] 제1 처리부(110) 및 제2 처리부(130)는 동일한 회로 구조를 가지는 것이 바람직하다. 도 1의 제1 처리부(110) 및 제2 처리부(130)는 4-트랜지스터 구조의 예를 제시하고 있으나, 광노출에 따라 포토다이오드(PD)에 축적된 전자를 제공받아 형성된 전압을 증폭하여 출력하는 어떠한 구조의 씨모스 회로도 가능하다.
- [0032] 제1 처리부(110)는 제1 플로팅 디퓨전(Floating Diffusion)(FD1), 제1 트랜스퍼 게이트 트랜지스터(이하 간단히 '트랜스퍼 게이트'라 함)(M11), 제1 리셋 트랜지스터(M13), 제1 소스 팔로워(Source Follower) 트랜지스터(M15) 및 제1 어드레스 트랜지스터(M17)를 포함한다.
- [0033] 제1 플로팅 디퓨전은 포토다이오드(PD)에서 전달 받은 전자를 저장하며 저장된 전자의 개수에 따라서 그 전압이 변화한다.
- [0034] 제1 트랜스퍼 게이트(M11)는 포토다이오드(PD)와 제1 플로팅 디퓨전(FD1) 사이에 연결되며, 트랜스퍼 게이트(Transfer Gate) 신호 Tx1에 의해 동작하여 포토다이오드(PD)의 전하를 제1 플로팅 디퓨전(FD1)으로 전달한다.
- [0035] 제1 리셋 트랜지스터(M13)는 제1 플로팅 디퓨전과 전원전압 VDD 사이에 연결되며, 리셋신호 RST1에 의해 동작하여 제1 플로팅 디퓨전(FD1)에 저장된 전압을 리셋시킨다. 제1 소스 팔로워 트랜지스터(M15)는 제1 플로팅 디퓨전(FD1)의 전압을 게이트 단자로 입력 받아서 소스(Source) 단자로 증폭된 신호 V1을 출력한다. 제1 어드레스 트랜지스터(M17)는 어드레스 신호 AD1에 의해 동작하여, 제1 소스 팔로워 트랜지스터(M15)의 소스 단자를 제1 출력 신호선(SL1)에 연결하여 신호 V1을 출력한다.
- [0036] 제1 처리부(110)와 동일한 구조를 가지는 제2 처리부(130)는, 제2 플로팅 디퓨전(FD2), 트랜스퍼 게이트 신호 Tx2에 의해 동작하는 제2 트랜스퍼 게이트(M21)와, 리셋신호 RST2에 의해 동작하는 제2 리셋 트랜지스터(M23)와, 소스 팔로워로 동작하여 출력 신호 V2를 출력하는 제2 소스 팔로워 트랜지스터(M25)와 및 어드레스 신호 AD2에 의해 동작하여 출력신호 V2를 제2 출력선(SL2)에 전달하는 제2 어드레스 트랜지스터(M27)를 포함한다. 도 1의 예에 따른 제2 처리부(130)의 각 트랜지스터(M21 내지 M27)는 제1 처리부(110)의 각 트랜지스터(M11 내지 M17)에 대응되며 별도로 언급하는 사항을 제외하고는 동일하게 설명될 수 있다.
- [0037] 제1 출력 신호선(SL1)과 연결되어 있는 제1 전류원(I1)은 제1 소스 팔로워 트랜지스터(M15)와 함께 소스 팔로워 증폭기를 형성하며, 제2 출력 신호선(SL2)과 연결되어 있는 제2 전류원(I2)은 제2 소스 팔로워 트랜지스터(M25)와 함께 소스 팔로워 증폭기를 형성한다.
- [0038] 이상에서 설명된 도 1의 구성을 가지는 픽셀(100)들이 어레이를 형성하면서 본 발명의 씨모스 이미지 센서를 형성하게 된다. 도 2는 그 일 예로서, 도 1의 픽셀을 단위 픽셀로 하여 이루어진 $N_r \times N_c$ 어레이의 씨모스 이미지 센서(200)이다.
- [0039] 도 2를 참조하면, 각 픽셀(100)은 열(Column)마다 별도로 마련된 2 개의 제1 출력 신호선(SL1) 및 제2 출력 신호선(SL2)과 연결되며, 행(row)마다 마련된 제어신호선(CLs)과 연결된다. 하나의 컬럼에 두 개의 제1 출력 신호선(SL1) 및 제2 출력 신호선(SL2)를 포함하므로, $N_c \times 2$ 개의 열의 이미지 센서의 경우, $N_c \times 2$ 개의 출력 신호선을 포함한다.

- [0040] 제어신호선(CLs)은 신호 ERx와, 트랜스퍼 게이트 신호 Tx1, Tx2와, 리셋신호 RST1, RST2와, 어드레스 신호 AD1, AD2를 포함하며 각 행의 픽셀들에 공통된다. 제어신호선(CLs)은 이미지 센서(200)의 특정 행(row)을 지정하여 해당 행의 픽셀들을 제어한다.
- [0041] 부가적으로 씨모스 이미지 센서(200)는 도 2와 같이 Nv 개의 수직 블랭크(Vertical Blank) 및 Nh 개의 수평 블랭크(Horizontal Blank)를 더 포함할 수 있다. 수직 블랭크 및 수평 블랭크는 시간에 따른 이미지 센서의 동작상의 필요에 따라 삽입하는 가상의 픽셀 어레이로서 물리적 실체가 없이 클럭 카운팅(Clock Counting)만 할당된다. 예를 들어서 수평 블랭크는 픽셀 어레이의 한 개의 행(Row)에 해당하는 동작 시간을 조절하고, 수직 블랭크는 한 개의 프레임에 해당하는 시간을 조절하는 데 사용된다.
- [0042] 본 발명의 픽셀(100)이 포토다이오드(PD)의 광노출을 통해 이미지 신호를 획득하는 과정은 셔터링 동작과 셔터링에 의해 획득한 신호를 읽어오는 샘플링 과정을 포함한다.
- [0043] 픽셀(100)은 복수 개의 처리부를 포함할 수 있으며, 한 개 영상 프레임을 위한 셔터링 구간은 처리부의 개수에 대응되는 복수 개의 구간으로 나누어진다. 셔터링은 각 처리부에 의해 복수 개 구간별로 별도로 이루어진다. 나아가 이미지 센서(200)는 열(Column) 마다 각 처리부의 개수만큼의 출력 신호선을 구비하여 동시에 샘플링하거나, 하나의 출력 신호선을 구비하여 순차적으로 샘플링할 수 있다.
- [0044] 도 1의 픽셀(100)은 2개의 처리부(110, 130)를 포함하고 있으므로, 한 개 영상 프레임의 노출적분시간은 제1 노출적분시간(Exposure Integration Time)(T1) 및 제2 노출적분시간(T2)으로 구분된다. 제1 노출적분시간(T1)은 제1 처리부(110)를 위한 노출적분시간이고, 제2 노출적분시간(T2)은 제2 처리부(130)를 위한 노출적분시간에 해당한다. 넓은 동적범위의 이미지 센싱을 위해, 제1 노출적분시간(T1)과 제2 노출적분시간(T2)의 차이는 크게 설정되는 것이 바람직하다.
- [0045] 제1 처리부(110) 및 제2 처리부(130)는 각각의 노출 적분시간 동안 빛에 노출된 포토다이오드(PD)에 축적된 전자들의 개수에 비례하는 출력 전압신호 V1과 V2를 동시에 제1 출력 신호선(SL1)과 제2 출력 신호선(SL2)으로 출력한다. 픽셀(100)로부터 동시에 출력된 출력 신호 V1과 V2는 각각 아날로그 디지털 컨버터 ADC1(미도시)과 ADC2(미도시)에게 전달되어 픽셀(100)의 디지털 영상 신호 값들로 변환된다.
- [0046] 도 2의 씨모스 이미지 센서(200)는 글로벌 셔터링(Global shuttering) 방식과 롤링 셔터링(Rolling shuttering) 방식에도 적용할 수 있다.
- [0047] 이하에서는 도 2 내지 도 4를 참조하여, 이중 노출적분에 의한 본 발명의 이미지 센서(200)의 동작을 설명한다. 도 3은 글로벌 셔터링 동작의 설명에 제공되는 타이밍 다이어그램이고, 도 4는 롤링 셔터링 동작의 설명에 제공되는 타이밍 다이어그램이다.
- [0048] 도 3 및 도 4의 타이밍 다이어그램은 도 1의 픽셀(100)이 N형 트랜지스터로 구현된 경우의 예이다. 나아가 이하에서는, N형 트랜지스터를 기준으로 각 신호 ERx, Tx1, Tx2, RST1, RST2, AD1 및 AD2가 해당 트랜지스터를 턴 온(Turn On)시킬 때의 전압을 '논리 하이(High)'라 하고, 턴 오프(Turn Off)시킬 때의 전압을 '논리 로우(Low)'라 한다. 당연히, 도 1의 픽셀(100)이 P형 트랜지스터로 구현될 경우, 해당 트랜지스터가 턴 온되기 위해서 신호는 논리 로우가 되어야 할 것이다.
- [0049] 먼저, 도 3을 참조하여 글로벌 셔터링(global shuttering) 방식의 동작을 설명한다. 글로벌 셔터링 방식에 의하면, 셔터링 동작은 전체 픽셀 어레이에 대하여 동시에 수행되고, 셔터링 동작 후의 이중 샘플링에 의한 디지털 코드화 과정은 한 행(row)씩 순차적으로 수행된다.
- [0050] 현재의 영상프레임(F)에서 마지막 수직 블랭크인 v-blank Nv를 읽고 난 시각을 $t(F, \text{end}) = t(F+1, \text{start})$ 라고 가정한다. 현재 영상프레임(F) 정보를 샘플링하는 중에 다음 영상프레임(F+1)을 위한 셔터링이 진행되며, 제1 노출적분시간(T1)에 의한 1차 셔터링과 제2 노출적분시간(T2)에 의한 2차 셔터링으로 구분된다. 도 3은 제1 노출적분시간(T1)과 제2 노출적분시간(T2)이 바로 이어서 진행되는 경우를 도시하고 있으나, 제1 노출적분시간(T1)과 제2 노출적분시간(T2)은 반드시 연속적으로 이어져 진행될 필요는 없다.
- [0051] 다음 영상 프레임(F+1)을 얻기 위해, $t(F, \text{end}) - T1 - T2$ 시각에 신호 ERx가 논리 하이 상태에서 로우 상태로 변함에 따라 이레이징 트랜스퍼게이트(M30)가 턴 오프되고 포토다이오드(PD)가 광전변환에 따른 신호전자들을 축적하기 시작한다.
- [0052] 먼저, $t(F, \text{end}) - T2$ 에 도달하기 전에, 리셋 신호 RST1에 의해 제1 리셋 트랜지스터(M13)가 먼저 턴 오프되어 제1 플로팅 디퓨전(FD1)을 플로팅시키고, 트랜스퍼 게이트 신호 Tx1에 의해 제1 트랜스퍼 게이트(M11)가 턴 온

되어 제1 노출적분시간(T1) 동안 포토다이오드(PD)에 의해 적분된 신호전자들을 제1 플로팅 디퓨전(FD1)으로 전달을 시작한다.

- [0053] t(F, end) - T2 시각에, 제1 트랜스퍼 게이트(M11)가 다시 턴 오프되어 포토다이오드(PD)와 제1 플로팅 디퓨전(FD1)을 분리시킴으로써 제1 처리부(110)의 1차 셔터링이 완료된다. 이로써, 제1 노출적분시간(T1) 동안 적분된 신호전자가 제1 플로팅 디퓨전(FD1)에 저장되고, 포토다이오드(PD)는 신호전자 없이 비워진 상태가 된다.
- [0054] 신호 ERx에 의해 이레이징 트랜스퍼게이트(M30)는 턴 오프 상태를 t(F, end) 시각까지 유지함으로써, 포토다이오드(PD)는 제1 노출적분시간(T1)에 이어지는 제2 노출적분시간(T2) 동안 다시 신호전자들을 축적한다.
- [0055] 제2 처리부(130)의 제2 셔터링은 제1 처리부(110)의 제1 셔터링과 동일하게 이루어진다.
- [0056] t(F, end)에 도달하기 전에, 리셋신호 RST2에 의해 제2 리셋 트랜지스터(M23)가 먼저 턴 오프됨에 따라 제2 플로팅 디퓨전(FD2)이 플로팅되고, 제2 트랜스퍼 게이트(M21)가 트랜스퍼 게이트 신호 Tx2에 의해 턴 온되어 제2 노출적분시간(T2) 동안 포토다이오드(PD)에 의해 적분된 신호전자들을 제2 플로팅 디퓨전(FD2)으로 전달한다. 이후 t(F, end)에서, 제2 트랜스퍼 게이트(M21)가 다시 턴 오프되어 포토다이오드(PD)와 제2 플로팅 디퓨전(FD2)이 분리된다. 이로써 제2 노출적분시간 동안 적분된 신호전자가 제2 플로팅 디퓨전(FD2)에 저장되는 2차 셔터링이 완료된다. 트랜스퍼 게이트 신호 Tx1 또는 Tx2가 논리 하이로 유지하는 시간은 포토다이오드 PD에 적분된 전자가 제1 플로팅 디퓨전(FD1) 또는 제2 플로팅 디퓨전(FD2)으로 완전히 전달되는 시간 정도이면 충분하다.
- [0057] 영상 프레임(F+1)의 신호를 얻기 위하여, t(F, end)- T1 - T2 시각부터 수행되는 이상의 셔터링 동작이 이미지 센서(200)의 제i 행(Row i) 및 제i+1 행(Row i+1)을 포함하는 모든 픽셀에 대하여 동시에 수행된다. 즉 모든 픽셀의 포토다이오드가 동시에 신호전자들을 축적하고 축적된 신호전자들이 동시에 플로팅 디퓨전으로 전달되어 저장됨으로써, 글로벌 셔터링이 이루어진다. 여기서 주목하여야 할 점은 영상 프레임(F+1)을 위한 글로벌 셔터링 동작이 영상 프레임(F)의 신호를 파손시키지 않기 위해서는 Nv개의 수직 블랭크 모두에 할당된 시간 Tv가 제2 노출적분시간(T2) 이상으로 길어야 한다.
- [0058] 이하에서는, 글로벌 셔터링에서의 이중 샘플링에 의한 디지털 코드화과정을 설명한다. 영상 프레임 F+1의 시작 시각인 t(F+1, start)부터, Nr개의 행이 순차적으로 한 행씩 동작하면서 출력 신호를 읽는다. 다만, 각 행에 속한 모든 픽셀에 대하여 평행적으로 출력신호를 읽는다. 도 3의 제i 행(Row i)은 i 번째로 이루어짐에 따라 t(F+1, start) 시각으로부터 소정 시간 경과한 후에 이중 샘플링에 의한 디지털 코드화 과정이 수행됨을 보인다.
- [0059] 제1 처리부(110)의 제1 어드레스 트랜지스터(M17)가 어드레스 신호 AD1에 의해 턴 온되어 제1 소스 팔로워 트랜지스터(M15)의 출력 단자를 제1 출력 신호선(SL1)에 연결시킨다. 제1 플로팅 디퓨전(FD1)의 전압이 제1 소스 팔로워 트랜지스터(M15)에 의해 증폭되고, 증폭된 전압 V1(a)가 제1 출력 신호선(SL1)으로 출력된다.
- [0060] 이어서 리셋신호 RST1이 다시 논리 하이 상태로 됨에 따라 제1 리셋 트랜지스터(M13)가 제1 플로팅 디퓨전(FD1)을 리셋하게 되고, 리셋된 제1 플로팅 디퓨전(FD1)의 전압 V1(b)도 제1 소스 팔로워 트랜지스터(M15)를 통하여 제1 출력 신호선(SL1)으로 출력된다. 이러한 이중 샘플링(Double Sampling) 과정을 통해 전압 V1(a) 및 V1(b)이 출력되는 동안, 어드레스 신호 AD1은 논리 하이로 유지한다. 아날로그 디지털 컨버터 ADC1은 이중 샘플링에 의한 전압 V1(a)와 V1(b)의 차이 $V1=[V1(b)-V1(a)]$ 를 디지털 코드 값으로 최종 변환한다.
- [0061] 제2 처리부(130)의 이중 샘플링에 의한 디지털 코드화 과정은 제1 처리부(110)와 동시에 병렬적으로 처리된다. 다시 말해, 샘플링을 하는 동안 리셋신호 RST2와 어드레스 신호 AD2는 리셋신호 RST1 및 어드레스 신호 AD1과 동일한 상태 변화를 가진다. 이에 따라, 제1 처리부(110)의 샘플링 동작과 동시에 병렬적으로, 제2 플로팅 디퓨전(FD2)의 전압도 V2(a) 및 V2(b)로 이중 샘플링되어 제2 출력 신호선(SL2)에 전달한다. 따라서 신호처리를 진행하는 시간에 대한 부담이 감소된다.
- [0062] 마찬가지로, 아날로그 디지털 컨버터 ADC2는 이중 샘플링에 의한 전압 V2(a)와 V2(b)의 차이 $V2=[V2(b)-V2(a)]$ 를 디지털 코드 값으로 최종 변환한다.
- [0063] 이상의 이중 샘플링은 각 행에 속하는 픽셀 전체에 대해 동시에 이루어진다. 따라서 도 3과 같이 제i 행(Row i)의 이중 샘플링이 완료되면, 바로 제i+1 행(Row i+1)의 이중 샘플링이 수행된다.
- [0064] 이하에서는 도 4를 참조하여, 롤링 셔터링(rolling shutter) 방식의 동작방법을 설명한다. 여기서도 마찬가지로, 넓은 동적범위의 이미지 센싱을 위해, 제1 노출적분시간(T1)과 제2 노출적분시간(T2)의 차이는 크게 설정

되는 것이 바람직하다.

- [0065] 룰링 서터링 방식에서, 서터링 동작과 샘플링 동작은 글로벌 서터링과 달리, 한 행씩 순차적으로 노출적분되어 진행된다. 예를 들어서 제i+1 행(Row i+1)의 모든 동작들(서터링 및 샘플링)은 제i 행(Row i)의 모든 동작들과 동일하며, 다만 동일한 시간적 차이를 두고 후행(後行)된다.
- [0066] 제i 행(Row i)의 신호를 외부로 출력해서 읽는 시각을 $t(i, \text{read})$ 라고 가정한다. $t(i, \text{read})-T1-T2$ 시각에서, 신호 ERx가 논리 하이에서 로우로 변함에 따라 이레이징 트랜스퍼게이트(M30)가 턴 오프되고 포토다이오드(PD)가 광전변환에 따른 신호전자들을 축적하기 시작한다.
- [0067] $t(i, \text{read})-T2$ 에 도달하기 전, 리셋신호 RST1이 논리 로우로 변함에 따라, 제1 처리부(110)의 제1 리셋 트랜지스터(M13)가 턴 오프되어 제1 플로팅 디퓨전(FD1)이 플로팅되고, 트랜스퍼 게이트 신호 Tx1에 의해 제1 트랜스퍼 게이트(M11)가 턴 온되어 제1 노출적분시간(T1) 동안 포토다이오드(PD)에 의해 적분된 신호전자들을 제1 플로팅 디퓨전(FD1)으로 전달한다. $t(i, \text{read})-T2$ 에서, 제1 트랜스퍼 게이트(M11)이 다시 턴 오프되어 포토다이오드(PD)와 제1 플로팅 디퓨전(FD1)이 분리된다. 이로써, 제1 노출적분시간 동안 적분된 신호전자가 제1 플로팅 디퓨전(FD1)에 저장되고, 포토다이오드(PD)는 신호전자가 없는 비워진 상태가 된다.
- [0068] 이레이징 트랜스퍼게이트(M30)는 턴 오프상태를 $t(i, \text{read})$ 시각까지 유지함으로써, 제2 노출적분시간(T2) 동안 포토다이오드(PD)는 다시 신호전자들을 축적한다. 제2 노출적분시간(T2)에 따른 제2 처리부(130)의 서터링 과정이 $t(i, \text{read})$ 에서 완료된다.
- [0069] 이미지 센서(200)의 각 행에서의 룰링 서터링은 서터링 동작과 출력 신호를 읽어가는 샘플링 동작이 일련의 동작으로 연속적으로 이루지는 점에서, 신호를 읽어가는 동작이 서터링 동작과 분리되는 글로벌 서터링과 다르다. 룰링 서터링에서는 제1 처리부(110)의 출력 신호를 이중 샘플링으로 읽어오고, 제2 처리부(130)의 출력신호를 상관 이중 샘플링(CDS: Correlated Double Sampling) 과정을 통해 읽어온다.
- [0070] $t(i, \text{read})$ 에 도달하기 전 $t(i, \text{read})-t_a$ 에서, 제1 처리부(110)의 제1 어드레스 트랜지스터(M17)가 어드레스 신호 AD1에 의해 턴 온되어 제1 소스 팔로워 트랜지스터(M15)의 출력 단자를 제1 출력 신호선(SL1)에 연결시킨다. 리셋신호 RST1은 여전히 논리 로우 상태이므로, 이미 플로팅되어 포토다이오드(PD)로부터 전달받은 전자에 의해 형성된 제1 플로팅 디퓨전(FD1)의 전압이 제1 소스 팔로워 트랜지스터(M15)에 의해 증폭되고, 증폭된 전압 $V1(a)$ 가 t_b 구간동안 제1 출력 신호선(SL1)으로 출력된다.
- [0071] 그리고 $t(i, \text{read})$ 에서 리셋신호 RST1이 다시 논리 하이상태로 전환됨에 따라, 제1 리셋 트랜지스터(M13)에 의해 리셋된 제1 플로팅 디퓨전(FD1)의 전압이 제1 소스 팔로워 트랜지스터(M15)에 의해 증폭되고, 증폭된 전압 $V1(b)$ 가 t_c 구간동안 제1 소스 팔로워 트랜지스터(M15)를 통하여 제1 출력 신호선(SL1)으로 출력된다. 이러한 이중 샘플링 (Double Sampling) 과정을 통해 전압 $V1(a)$ 및 $V1(b)$ 이 출력되는 동안, 어드레스 신호 AD1은 논리 하이로 유지한다. 아날로그 디지털 컨버터 ADC1은 이중 샘플링에 의한 전압 $V1(a)$ 와 $V1(b)$ 의 차이 $V1=[V1(b)-V1(a)]$ 를 디지털 코드 값으로 최종 변환한다.
- [0072] 제2 처리부(130)는 제1 처리부(110)의 $V1(a)$ 및 $V1(b)$ 출력과 동시에 출력신호 $V2(a)$ 및 $V2(b)$ 를 제2 출력 신호선(SL2)으로 출력하기 위해, 상관 이중 샘플링을 수행한다.
- [0073] 어드레스 신호 AD2는 어드레스 신호 AD1이 논리 로우에서 하이로 변하는 시점에서 함께 논리 하이로 변하지만, 제2 노출적분시간(T2)이 종료되지 않았으므로 리셋신호 RST2는 논리 하이로 유지한다. 이에 따라, 제2 처리부(130)의 제2 어드레스 트랜지스터(M27)는 턴 온되어 제2 소스 팔로워 트랜지스터(M25)의 출력 단자를 제2 출력 신호선(SL2)에 연결시킴으로써 리셋 상태를 유지하는 제2 플로팅 디퓨전(FD2)의 전압 $V2(a)$ 를 t_b 시간동안 제2 출력 신호선(SL2)으로 출력한다.
- [0074] 이후 $t(i, \text{read})-t_a+t_b$ 에서 리셋신호 RST2가 논리 하이에서 로우상태로 변함에 따라 리셋 트랜지스터(M23)이 턴 오프되어 제2 플로팅 디퓨전(FD2)을 플로팅시킨 다음, 제2 트랜스퍼 게이트(M21)가 턴 온되어 $t(i, \text{read})$ 까지 포토다이오드(PD)와 제2 플로팅 디퓨전(FD2)을 연결하여 제2 노출적분시간(T2) 동안 포토다이오드(PD)에 축적된 신호전자들을 제2 플로팅 디퓨전(FD2)으로 전달한다. 제2 플로팅 디퓨전(FD2)의 전압 $V2(b)$ 는 $t(i, \text{read})$ 부터 $t(i, \text{read})+t_c$ 구간동안 제2 소스 팔로워 트랜지스터(M25)에 의해 증폭되어 제2 출력 신호선(SL2)으로 출력된다.
- [0075] 이와 같이 상관 이중 샘플링(CDS) 과정을 거쳐서 출력한 두 개의 전압 $V2(a)$ 와 $V2(b)$ 의 차이 $V2=[V2(a)-V2(b)]$ 를 아날로그 디지털 컨버터 ADC2에서 디지털 코드 값으로 변환한다.

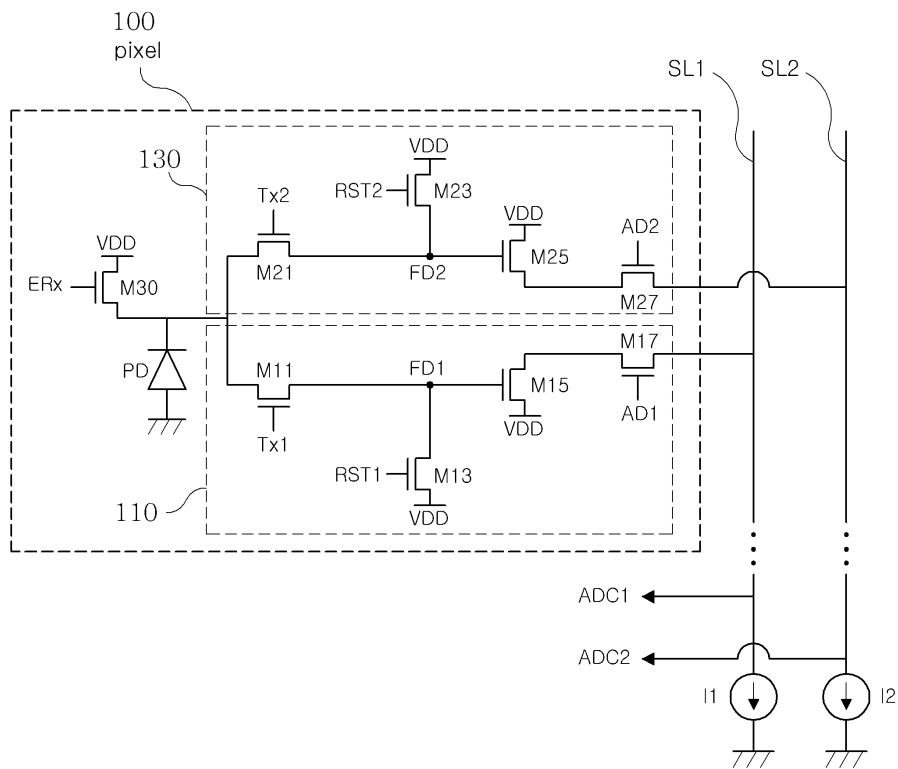
- [0076]
- [0077] [다른 실시 예]
- [0078] 도 5는 본 발명의 다른 실시 예에 따른 씨모스 이미지 센서의 단위 픽셀 회로도로서, 도 1의 제1 출력 신호선(SL1) 및 제2 출력 신호선(SL2)을 대신하여 하나의 출력 신호선(SL)이 마련된 예이다.
- [0079] 대신에, 제1 어드레스 트랜지스터(M17)과 위상 차 없이 동기되어 동작하는 제1 스위치(SW1)가 출력신호선(SL)과 아날로그 디지털 컨버터 ADC1(미도시) 사이에 마련되고, 제2 어드레스 트랜지스터(M27)과 위상 차 없이 동기되어 동작하는 제2 스위치(SW2)가 출력신호선(SL)과 아날로그 디지털 컨버터 ADC2(미도시) 사이에 마련된다.
- [0080] 도 5의 예는 도 1처럼 픽셀에 연결되는 출력 신호선이 두 개인 경우와 비교하여 픽셀 어레이의 면적이 줄어드는 효과가 있다. 그러나 두 개의 신호 V1, V2를 픽셀로부터 완전히 동시에 병행하여 출력하지 못하고 약간의 시간 차이를 두고 처리해야 한다.
- [0081] 실시 예에 따라, 도 5의 예에서 하나의 출력 신호선(SL)과 하나의 아날로그 디지털 컨버터 ADC를 구비하면서 제1 스위치(SW1)와 제2 스위치(SW2)를 포함하지 아니할 수 있으며, 도 6은 그 예이다.
- [0082] 픽셀(100)로부터 나오는 두 개의 신호는 제1 어드레스 트랜지스터(M17)와 제2 어드레스 트랜지스터(M27)에 동시에 동작하지 아니하고 시간을 나누어 순차적으로 하나의 아날로그 디지털 컨버터 ADC에 연결된다. 이러한 구조를 이용하면 픽셀 어레이 면적과 신호처리 회로 부분의 면적을 줄일 수가 있다. 그러나 한 행에 할당된 시간을 둘로 나누어서 픽셀로부터 나오는 두 개의 신호처리에 사용해야 하는 시간상의 신호처리 속도에 부담이 있다.
- [0083] 도 7은 4개의 처리부(110 내지 170)를 포함하는 픽셀(700)의 예이다. 각 처리부(110 내지 170)는 4개의 노출적 분시간 T1, T2, T3 및 T4에 해당하는 신호 전자들을 4개의 플로팅 디퓨전(FD1, FD2, FD3, FD4)에 각각 저장하고, 이에 해당하는 전압 신호들을 외부로 출력할 수 있다. 본 픽셀 구조에서는 글로벌 셔터링 및 롤링 셔터링 방식의 동작 모두가 가능한 구조이다.
- [0084] 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특징의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

도면의 간단한 설명

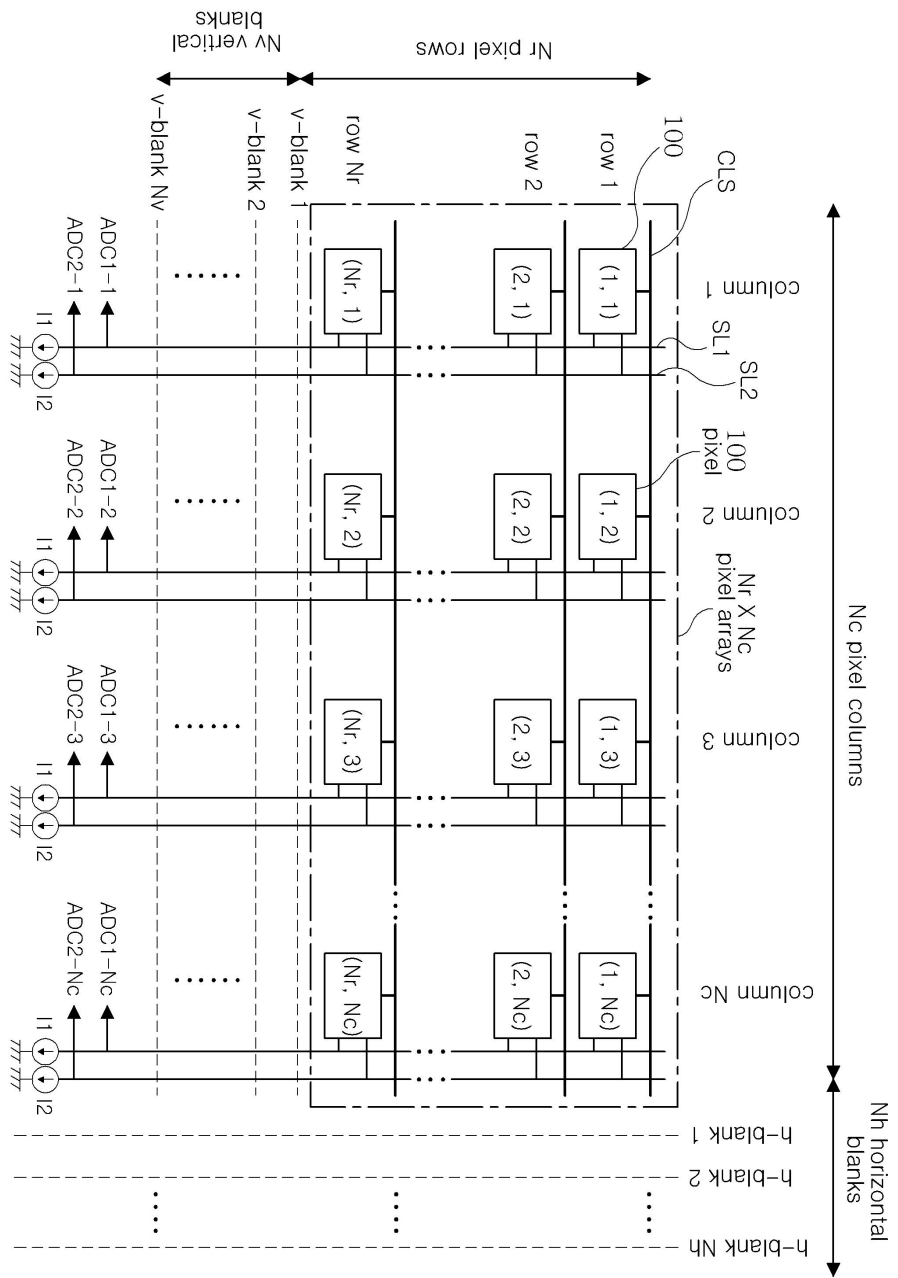
- [0085] 도 1은 본 발명의 일 실시 예에 따른 씨모스 이미지 센서의 단위 픽셀 회로도,
- [0086] 도 2는 도 1의 단위 픽셀로 이루어진 씨모스 이미지 센서 구조의 개념도,
- [0087] 도 3은 글로벌 셔터링 동작의 설명에 제공되는 타이밍 다이어그램,
- [0088] 도 4는 롤링 셔터링 동작의 설명에 제공되는 타이밍 다이어그램, 그리고
- [0089] 도 5 내지 도 7은 본 발명의 다른 실시 예에 따른 씨모스 이미지 센서의 단위 픽셀 회로도이다.

도면

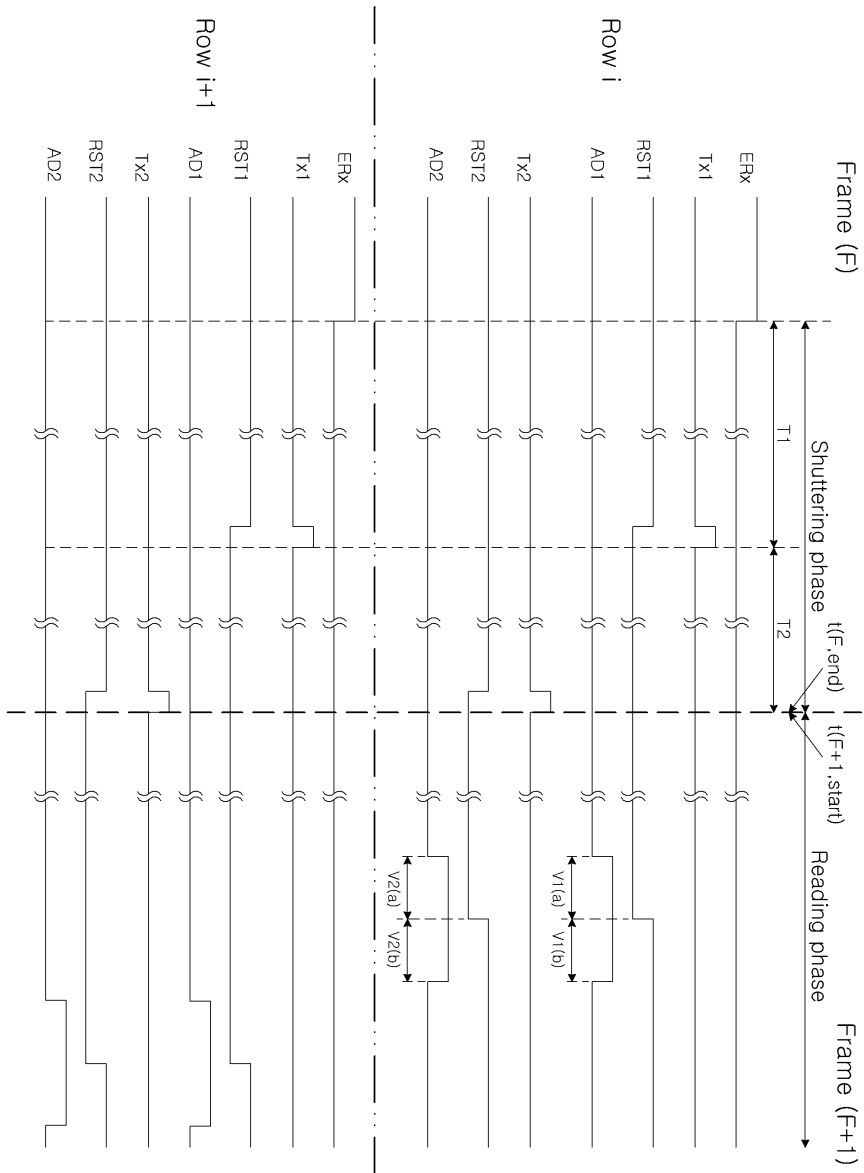
도면1



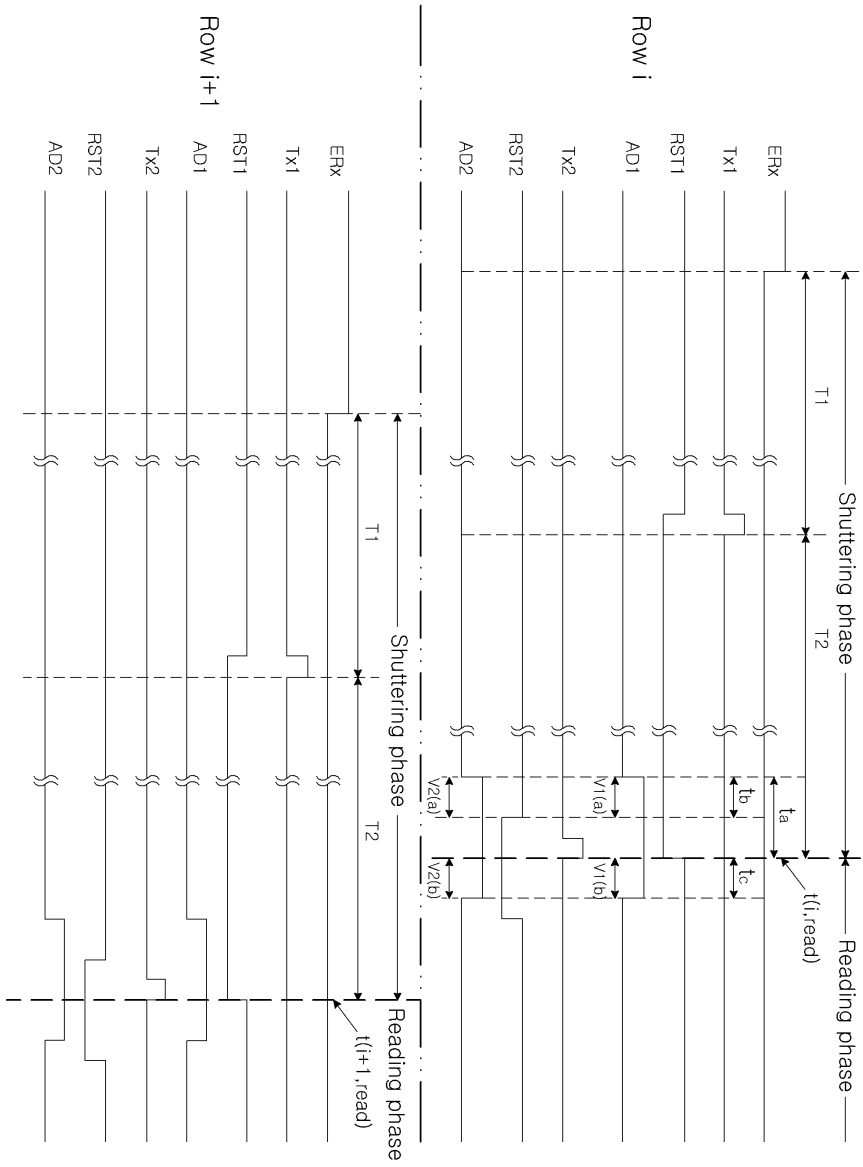
도면2



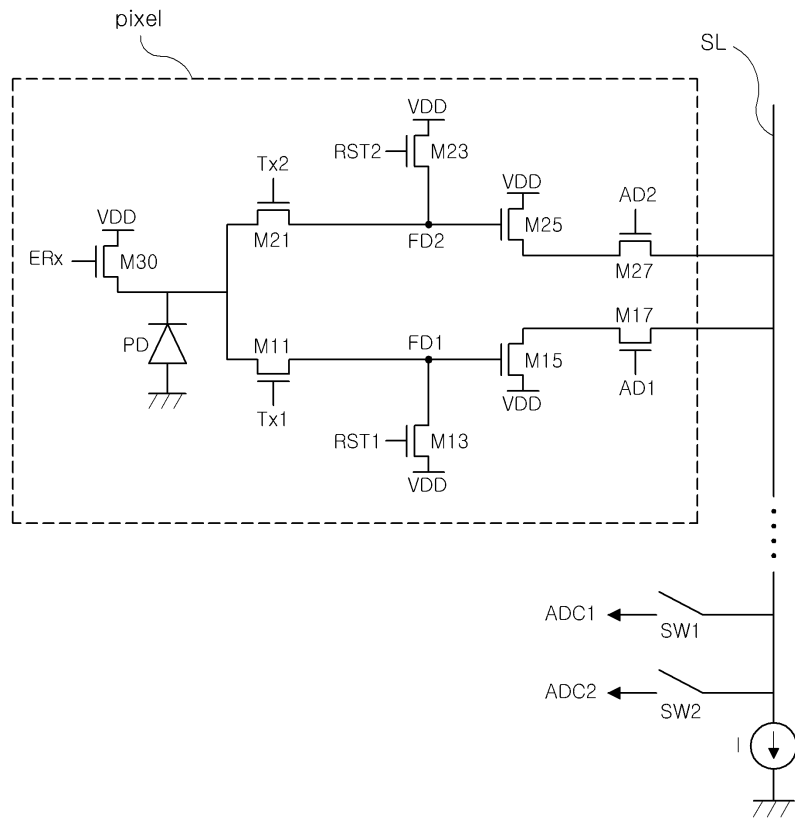
도면3



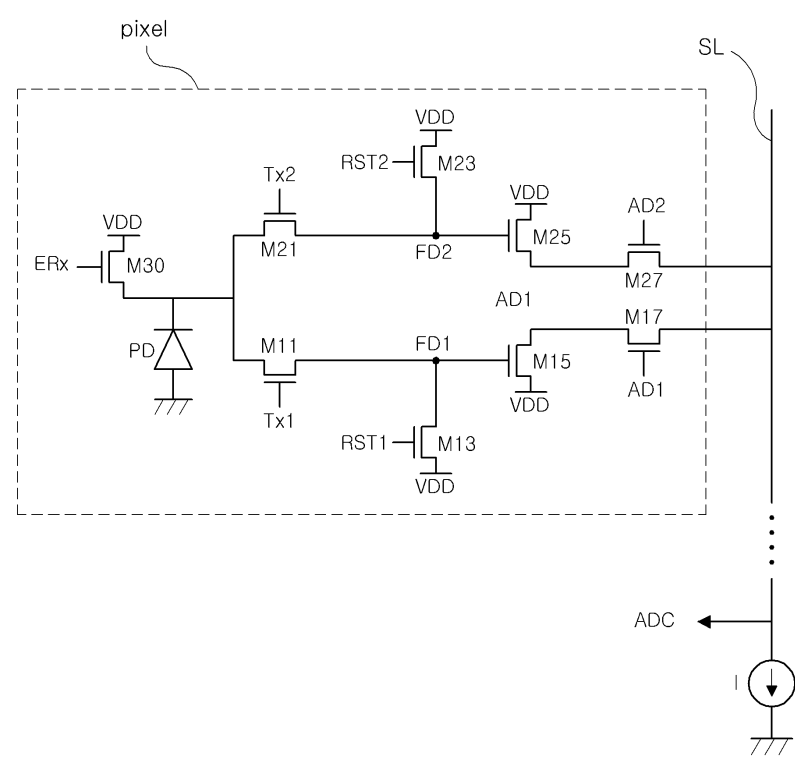
도면4



도면5



도면6



도면7

