

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5794231号
(P5794231)

(45) 発行日 平成27年10月14日(2015.10.14)

(24) 登録日 平成27年8月21日(2015.8.21)

(51) Int.Cl.		F I	
HO 1 L 21/82	(2006.01)	HO 1 L 21/82	A
HO 1 L 27/105	(2006.01)	HO 1 L 27/10	4 4 8
HO 1 L 45/00	(2006.01)	HO 1 L 45/00	Z
HO 1 L 49/00	(2006.01)	HO 1 L 49/00	Z

請求項の数 9 (全 49 頁)

(21) 出願番号	特願2012-520452 (P2012-520452)	(73) 特許権者	000004237
(86) (22) 出願日	平成23年6月14日 (2011.6.14)		日本電気株式会社
(86) 国際出願番号	PCT/JP2011/063567		東京都港区芝五丁目7番1号
(87) 国際公開番号	W02011/158821	(74) 代理人	100123788
(87) 国際公開日	平成23年12月22日 (2011.12.22)		弁理士 官崎 昭夫
審査請求日	平成26年5月15日 (2014.5.15)	(74) 代理人	100127454
(31) 優先権主張番号	特願2010-137369 (P2010-137369)		弁理士 緒方 雅昭
(32) 優先日	平成22年6月16日 (2010.6.16)	(72) 発明者	多田 宗弘
(33) 優先権主張国	日本国(JP)		東京都港区芝五丁目7番1号 日本電気株式会社社内
		(72) 発明者	官村 信
			東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

(54) 【発明の名称】 半導体装置、および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

多層配線と、

前記多層配線の間設けられ、第1電極、第2電極およびこれらの電極に挟まれた抵抗変化素子膜を含む2つの抵抗変化素子と、を有し、

前記2つの抵抗変化素子のそれぞれの前記第1電極および前記第2電極のうち、いずれか一方の電極種が一体化して構成され、

前記2つの抵抗変化素子は、

信号経路中に設けられ、前記2つの抵抗変化素子の同一極性電極同士が接続され、該2つの抵抗変化素子の未接続の2つの電極のうち、一方の電極が入力端子であり、他方の電極が出力端子である電気素子であることを特徴とする半導体装置。

10

【請求項2】

請求項1記載の半導体装置において、

前記2つの抵抗変化素子は、バイポーラ型の抵抗変化素子であり、直列に接続されていることを特徴とする半導体装置。

【請求項3】

請求項1または2記載の半導体装置において、

前記電気素子をスイッチ素子とするクロスバースイッチを有することを特徴とする半導体装置。

【請求項4】

20

請求項 1 から 3 のいずれか 1 項記載の半導体装置において、
前記 2 つの抵抗変化素子がバイポーラ型の抵抗変化素子であり、
前記第 1 電極が金属イオンの供給源となる材料を含み、
前記第 2 電極が前記第 1 電極よりもイオン化しにくい材料で構成され、
前記抵抗変化素子膜は前記金属イオンが伝導可能なイオン伝導層であることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、
前記 2 つの抵抗変化素子の前記第 1 電極が前記多層配線のいずれか 1 層の配線層により一体化して形成された構成であり、
前記 2 つの抵抗変化素子の前記第 1 電極と前記抵抗変化素子膜との間に、2 つの開口部を有する絶縁性バリア膜が設けられ、
前記 2 つの抵抗変化素子の前記第 1 電極が前記 2 つの開口部を介して前記抵抗変化素子膜と接していることを特徴とする半導体装置。

10

【請求項 6】

請求項 4 記載の半導体装置において、
前記 2 つの抵抗変化素子の前記第 2 電極が一体化された構成であり、
前記 2 つの抵抗変化素子の前記第 1 電極が前記多層配線のいずれか 1 層の配線層により形成され、
前記 2 つの抵抗変化素子の前記第 1 電極と前記抵抗変化素子膜との間に、2 つの開口部を有する絶縁性バリア膜が設けられ、
前記 2 つの抵抗変化素子の前記第 1 電極のそれぞれが前記 2 つの開口部のそれぞれを介して前記抵抗変化素子膜と接していることを特徴とする半導体装置。

20

【請求項 7】

請求項 4 記載の半導体装置において、
前記 2 つの抵抗変化素子の前記第 2 電極が一体化された構成であり、
前記 2 つの抵抗変化素子の前記第 1 電極が前記多層配線のいずれか 1 層の配線層により形成され、
前記 2 つの抵抗変化素子の前記第 1 電極と前記抵抗変化素子膜との間に、1 つの開口部を有する絶縁性バリア膜が設けられ、
前記開口部を介して、前記抵抗変化素子膜が前記 2 つの抵抗変化素子の前記第 1 電極のそれぞれと接していることを特徴とする半導体装置。

30

【請求項 8】

多層配線を有する半導体装置の製造方法であって、
前記多層配線に含まれる配線層のうち、1 つの配線層に設けられた 2 つの第 1 配線の上に、絶縁性バリア膜を形成する工程と、
前記 2 つの第 1 配線から垂直方向に離れるにしたがって広がるテーパ面を壁面に備え、該 2 つの第 1 配線の上面の少なくとも一部を露出する第 1 の開口部を前記絶縁性バリア膜に形成する開口部工程と、
少なくとも前記第 1 の開口部の底面および壁面を含む面に前記抵抗変化素子膜を形成する抵抗変化素子膜形成工程と、
前記抵抗変化素子膜の上に第 2 電極を形成する第 2 電極形成工程と、
前記多層配線のうち、前記 2 つの第 1 配線が形成された配線層とは異なる配線層により、前記第 2 電極に接続するための第 2 配線を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

40

【請求項 9】

請求項 8 記載の半導体装置の製造方法において、
前記開口部形成工程において、該第 1 の開口部が、前記 2 つの第 1 配線のそれぞれの上面の一部を露出し、前記 2 つの第 1 配線が設けられた層間絶縁膜の内部にまで達する構造であることを特徴とする半導体装置の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、抵抗変化型不揮発性素子（以下では、「抵抗変化素子」と称する）を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体デバイス（特に、シリコンデバイス）は、微細化（スケーリング則：Mooreの法則）によってデバイスの集積化・低電力化が進められ、3年で4倍のペースで集積化および低電力化の開発が進められてきた。近年、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）のゲート長は20nm以下となり、リソグラフィプロセスの高騰（装置価格およびマスクセット価格）、およびデバイス寸法の物理的限界（動作限界・ばらつき限界）により、これまでのスケーリング則とは異なるアプローチでのデバイス性能の改善が求められている。

【0003】

近年、ゲートアレイとスタンダードセルの中間的な位置づけとしてFPGA（Field Programmable Gate Array：FPGA）と呼ばれる再書き換え可能なプログラマブルロジックデバイスが開発されている。FPGAは、顧客自身がチップの製造後に任意の回路構成を行うことを可能とするものである。FPGAは、抵抗変化素子を有し、顧客自身が任意に配線の電氣的接続をできるようにしたものである。このようなFPGAを搭載した半導体装置を用いることで、回路の自由度を向上させることができるようになる。抵抗変化素子としては、遷移金属酸化物を用いたReRAM（Resistance Random Access Memory）や、イオン伝導体を用いたNanoBridge（NEC社の登録商標）などがある。

【0004】

抵抗変化素子の動作特性として、ユニポーラ型とバイポーラ型の2種類がある。ユニポーラ型抵抗変化素子は、印加電圧極性に依存せず、印加電圧レベルで抵抗が変化する。バイポーラ型抵抗変化素子は、印加電圧レベルと印加電圧極性によって抵抗が変化する。バイポーラ型抵抗変化素子はReRAMおよびNanoBridge（登録商標）で用いることが可能であり、ユニポーラ型抵抗変化素子はReRAMで用いることが可能である。

【0005】

ユニポーラ型抵抗変化素子の動作を説明する。図1A～図1Dはユニポーラ型抵抗変化素子の動作特性を示す図である。ここでは、ユニポーラ型抵抗変化素子は、第1電極と、第2電極と、これら2つの電極に挟まれた抵抗変化素子とを有する構成である。

【0006】

第1電極に正電圧を印加すると、図1Aに示すように、所望のセット電圧を閾値電圧として、抵抗変化素子は、OFF状態からON状態へ遷移する。OFF状態は2つの電極間の抵抗値が高い状態（高抵抗状態）を意味し、ON状態は2つの電極間の抵抗値が低い状態（低抵抗状態）を意味する。閾値電圧は、抵抗変化層の膜厚、組成、密度などに依存する。

【0007】

続いて、ON状態の抵抗変化素子において、再び第1電極に正電圧を印加すると、図1Bに示すように、所望の閾値電圧（リセット電圧）において、ON状態からOFF状態へ遷移する。さらに、第1電極に正電圧の印加を続けると、セット電圧に達し、抵抗変化素子は、再びOFF状態からON状態へ遷移する。

【0008】

一方、第1電極に負電圧を印加すると、図1Cに示すように、所望のセット電圧を閾値電圧として、OFF状態（高抵抗状態）からON状態（低抵抗状態）へ遷移する。続いて、ON状態の抵抗変化素子において、再び第1電極に負電圧を印加すると、図1Dに示すように、所望の閾値電圧（リセット電圧）において、ON状態からOFF状態へ遷移する

10

20

30

40

50

。

【0009】

このように、この抵抗変化素子は、図1A - 図1Bの動作と図1C - 図1Dの動作が対称であり、電圧の印加方向（極性）には依存せず、電圧のレベルにのみ依存して抵抗変化特性を示す。このような素子をユニポーラ型抵抗変化素子と定義する。

【0010】

次に、バイポーラ型抵抗変化素子の動作を説明する。図2A ~ 図2Dはバイポーラ型抵抗変化素子の動作特性を示す図である。ここでは、比較のために、バイポーラ型抵抗変化素子の構成が上述のユニポーラ型抵抗変化素子と同様であり、バイポーラ型抵抗変化素子に、ユニポーラ型抵抗変化素子の場合と同じ電圧を印加したときの電圧 - 電流特性を示す

10

。

【0011】

第1電極に正電圧を印加すると、図2Aに示すように、所望のセット電圧を閾値電圧として、抵抗変化素子はOFF状態（高抵抗状態）からON状態（低抵抗状態）へ遷移する。続いて、ON状態の抵抗変化素子において、再び第1電極に正電圧を印加した場合には、ユニポーラ型抵抗変化素子で見られた抵抗変化が生じることなく、図2Bに示すように、抵抗変化素子はオーミックな電流 - 電圧特性を示す。

【0012】

一方、第1電極に負電圧を印加すると（図2C）、所望のセット電圧を閾値電圧として、ON状態（低抵抗状態）からOFF状態（高抵抗状態）へ遷移する。続いて、OFF状態の抵抗変化素子において、再び第1電極に正電圧を印加すると、図2Dに示すように、所望の閾値電圧（セット電圧）において、OFF状態からON状態へ遷移する。

20

【0013】

このように、この抵抗変化素子は、第1電極に正電圧を印加した場合にのみ、OFF状態からON状態へ遷移し、第1電極に負電圧を印加した場合にのみ、ON状態からOFF状態への遷移が生じる。このような素子をバイポーラ型抵抗変化素子と定義する。

【0014】

ここで、バイポーラ型抵抗変化素子に用いられる電極について、次のように定義する。図2A ~ 図2Dで説明したように、正電圧を印加した場合にOFF状態からON状態に遷移する電極を「第1の電極」または「活性電極」と定義する。逆に正電圧を印加した場合にON状態からOFF状態に遷移する電極を「第2の電極」または「不活性電極」と定義する。

30

【0015】

また、上述した電極の定義に基づいて、2つの抵抗変化素子を直列に接続する場合における、電極の接続の仕方を、次のように定義する。2つの抵抗変化素子の電極同士を電気的に接続する際、活性電極同士、もしくは、不活性電極同士が電気的に接続されている、または、それら2つの電極が一体化していることを、「同一極性同士の電極の接続」と定義する。

【0016】

一方、電極の接続の仕方として、一方の抵抗変化素子の活性電極と他方の抵抗変化素子の不活性電極とが接続されている場合を「異種極性での電極の接続」と定義する。

40

【0017】

上述した特性を示す可能性の高いバイポーラ型抵抗変化素子の一例が、非特許文献1に開示されている。非特許文献1には、イオン伝導体（イオンが電界などの印加によって自由に動くことのできる固体）中における金属イオン移動と電気化学反応とを利用したスイッチング素子が開示されている。非特許文献1に開示されたスイッチング素子は、イオン伝導層と、イオン伝導層を挟んで対向して設けられた第1電極および第2電極とを有する構成である。このうち、第1電極はイオン伝導層に金属イオンを供給するための役割を果たしている。第2電極からはイオン伝導層に金属イオンは供給されない。

【0018】

50

このスイッチング素子の動作を簡単に説明する。第1電極を接地して第2電極に負電圧を印加すると、第1電極の金属が金属イオンになってイオン伝導層に溶解する。そして、イオン伝導層中の金属イオンがイオン伝導層中に金属になって析出し、析出した金属により第1電極と第2電極を接続する金属架橋が形成される。金属架橋で第1電極と第2電極が電氣的に接続することで、スイッチがオン状態になる。一方、上記オン状態で第1電極を接地して第2電極に正電圧を印加すると、金属架橋の一部が切れる。これにより、第1電極と第2電極との電氣的接続が切れ、スイッチがオフ状態になる。なお、電氣的接続が完全に切れる前の段階から第1電極および第2電極間の抵抗が大きくなったり、電極間容量が変化したりするなど電気特性が変化し、最終的に電氣的接続が切れる。また、上記オフ状態からオン状態にするには、再び第1電極を接地して第2電極に負電圧を印加すればよい。

10

【0019】

また、非特許文献1では、イオン伝導体を介して2個の電極が配置され、それらの間の導通状態を制御する2端子型のスイッチング素子の場合の構成および動作が開示されている。

【0020】

このようなスイッチング素子は、半導体スイッチ(MOSFETなど)よりもサイズが小さく、オン抵抗が小さいという特徴がある。そのため、プログラマブルロジックデバイスへの適用に、そのスイッチング素子が有望であると考えられている。また、このスイッチング素子においては、その導通状態(オンまたはオフ)は印加電圧をオフにしてもそのまま維持されるので、不揮発性のメモリ素子としての応用も考えられる。例えば、トランジスタなどの選択素子1個とスイッチング素子1個とを含むメモリセルを基本単位として、このメモリセルを縦方向と横方向にそれぞれ複数配列する。このように配列することで、ワード線およびビット線で複数のメモリセルの中から任意のメモリセルを選択することが可能となる。そして、選択したメモリセルのスイッチング素子の導通状態をセンスし、スイッチング素子のオンまたはオフの状態から情報「1」または「0」のいずれの情報も格納されているかを読み取ることが可能な不揮発性メモリを実現できる。

20

【0021】

上記非特許文献1を以下に示す。

【先行技術文献】

30

【非特許文献】

【0022】

【非特許文献1】Shunichi Kaeriyama et al., "A Nonvolatile Programmable Solid-Electrolyte Nanometer Switch", IEEE Journal of Solid-State Circuits, Vol.40, No.1, pp.168-176, January 2005.

【発明の概要】

【0023】

上述した2端子型抵抗変化素子を半導体素子と同一基板上に設ける場合、一般的な素子の動作保障年数としては、半導体素子と同じ10年以上が要求される。しかしながら、2端子型抵抗変化素子において、印加される電圧が閾値以下であっても、経時劣化によって、別の状態に移ってしまう誤動作の問題があった。この誤動作による問題は、ディスタープ不良と呼ばれている。

40

【0024】

ディスタープ不良を、具体例を用いて説明する。例えば、図2Aにおいて、OFF状態からON状態へ遷移するためには、抵抗変化素子にセット電圧(閾値電圧)以上の電圧を印加することが必要となる。ここでは、閾値電圧が5Vであるとする。また、一般的なULSIの動作電圧は0.9~1.2V付近である。半導体デバイスの使用開始時にOFF状態に遷移させた抵抗変化素子に、ULSIの動作電圧として約1Vの電圧が印加されても、その抵抗変化素子は、OFF状態からON状態に遷移することはない。しかし、約1Vの電圧が連続的に印加され続けた、OFF状態の抵抗変化素子は、半導体素子の保障年

50

数以下（例えば、5年間程度）で、経時劣化によりOFF状態からON状態へ遷移する誤動作が生じてしまう。

【0025】

本発明の目的の一つは、高信頼性かつ高密度化が可能な抵抗変化素子を搭載した半導体装置およびその製造方法を提供することである。

【0026】

本発明の一側面の半導体装置は、多層配線と、多層配線の間に設けられ、第1電極、第2電極およびこれらの電極に挟まれた抵抗変化素子膜を含む2つの抵抗変化素子と、を有し、上記2つの抵抗変化素子のそれぞれの第1電極および第2電極のうち、いずれか一方の電極種が一体化して構成され、上記2つの抵抗変化素子は信号経路中に設けられ、上記2つの抵抗変化素子の同一極性電極同士が接続され、上記2つの抵抗変化素子の未接続の2つの電極のうち、一方の電極が入力端子であり、他方の電極が出力端子である電気素子であることを特徴とする。

10

【0027】

本発明の一側面の半導体装置の製造方法は、多層配線を有する半導体装置の製造方法であって、多層配線に含まれる配線層のうち、1つの配線層に設けられた2つの第1配線の上に、絶縁性バリア膜を形成する工程と、上記2つの第1配線から垂直方向に離れるにしたがって広がるテーパ面を壁面に備え、これら2つの第1配線の上面の少なくとも一部を露出する第1の開口部を絶縁性バリア膜に形成する開口部工程と、少なくとも第1の開口部の底面および壁面を含む面に抵抗変化素子膜を形成する抵抗変化素子膜形成工程と、抵抗変化素子膜の上に第2電極を形成する第2電極形成工程と、多層配線のうち、上記2つの第1配線が形成された配線層とは異なる配線層により、第2電極に接続するための第2配線を形成する工程と、を有するものである。

20

【図面の簡単な説明】

【0028】

【図1A】図1Aはユニポーラ型抵抗変化素子の動作特性を示す図である。

【図1B】図1Bはユニポーラ型抵抗変化素子の動作特性を示す図である。

【図1C】図1Cはユニポーラ型抵抗変化素子の動作特性を示す図である。

【図1D】図1Dはユニポーラ型抵抗変化素子の動作特性を示す図である。

【図2A】図2Aはバイポーラ型抵抗変化素子の動作特性を示す図である。

30

【図2B】図2Bはバイポーラ型抵抗変化素子の動作特性を示す図である。

【図2C】図2Cはバイポーラ型抵抗変化素子の動作特性を示す図である。

【図2D】図2Dはバイポーラ型抵抗変化素子の動作特性を示す図である。

【図3】図3は第1の実施形態の半導体装置に用いられる抵抗変化素子の一構成例を示す図である。

【図4】図4は第1の実施形態の半導体装置の一構成例を示す図である。

【図5】図5は図4に示した電気素子とは異なる構成の電気素子の一例を示す図である。

【図6】図6は実施例1の半導体装置の一構成例を示す図である。

【図7】図7は実施例2の半導体装置の一構成例を示す図である。

【図8】図8は実施例3の半導体装置の一構成例を示す図である。

40

【図9】図9は第2の実施形態の半導体装置の一構成例を示す断面図である。

【図10】図10は第3の実施形態の半導体装置の一構成例を示す断面図である。

【図11】図11は実施例4の半導体装置の一構成例を示す断面図である。

【図12】図12は実施例5の半導体装置の一構成例を示す断面図である。

【図13A】図13Aは第4の実施形態におけるクロスバースイッチの構成例を示す回路図である。

【図13B】図13Bは第4の実施形態におけるクロスバースイッチの他の構成例を示す回路図である。

【図14】図14は第4の実施形態のクロスバースイッチのレイアウト図である。

【図15】図15は第5の実施形態の半導体装置の一構成例を示す断面図である。

50

【図 1 6 A】図 1 6 A は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 6 B】図 1 6 B は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 6 C】図 1 6 C は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 7 A】図 1 7 A は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 7 B】図 1 7 B は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

10

【図 1 7 C】図 1 7 C は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 8 A】図 1 8 A は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 8 B】図 1 8 B は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 8 C】図 1 8 C は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 1 9 A】図 1 9 A は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

20

【図 1 9 B】図 1 9 B は第 5 の実施形態の半導体装置の製造方法を模式的に示す断面図である。

【図 2 0】図 2 0 は実施例 6 の半導体装置の一構成例を示す断面図である。

【図 2 1】図 2 1 は実施例 7 の半導体装置の一構成例を示す断面図である。

【図 2 2】図 2 2 は実施例 8 の半導体装置の一構成例を示す断面図である。

【図 2 3】図 2 3 は実施例 9 の半導体装置の一構成例を示す断面図である。

【図 2 4 A】図 2 4 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 4 B】図 2 4 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 4 C】図 2 4 C は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 5 A】図 2 5 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

30

【図 2 5 B】図 2 5 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 5 C】図 2 5 C は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 6 A】図 2 6 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 6 B】図 2 6 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 6 C】図 2 6 C は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 7 A】図 2 7 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 7 B】図 2 7 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 8 A】図 2 8 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 8 B】図 2 8 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 2 9 A】図 2 9 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

40

【図 2 9 B】図 2 9 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 3 0 A】図 3 0 A は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 3 0 B】図 3 0 B は実施例 9 の半導体装置の製造方法を模式的に示す断面図である。

【図 3 1】図 3 1 は実施例 9 の半導体装置の書き込み動作を説明するための模式図である。

【図 3 2 A】図 3 2 A は図 3 1 に示す電気素子の各端子に電圧を印加した場合の電圧 - 電流特性を示すグラフである。

【図 3 2 B】図 3 2 B は図 3 1 に示す電気素子の各端子に電圧を印加した場合の電圧 - 電流特性を示すグラフである。

【図 3 2 C】図 3 2 C は図 3 1 に示す電気素子の各端子に電圧を印加した場合の電圧 - 電

50

流特性を示すグラフである。

【図 3 3 A】図 3 3 A は実施例 9 の半導体装置の信頼性に関する測定結果を示すグラフである。

【図 3 3 B】図 3 3 B は実施例 9 の半導体装置の信頼性に関する測定結果を示すグラフである。

【図 3 4】図 3 4 は実施例 10 の半導体装置の構成を模式的に示した部分断面図である。

【発明を実施するための形態】

【0029】

(第1の実施形態)

本実施形態の半導体装置に用いられる抵抗変化素子の構成を説明する。

10

【0030】

図3は本実施形態の半導体装置に用いられる抵抗変化素子の一構成例を示す図である。

【0031】

図3に示す抵抗変化素子100はバイポーラ型抵抗変化素子である。抵抗変化素子100は、不活性電極101と、活性電極102と、これらの電極に挟まれた抵抗変化素子膜とを有する構成である。抵抗変化素子膜は、例えば、非特許文献1に開示されたイオン伝導体である。

【0032】

次に、図3に示した抵抗変化素子100を用いた半導体装置の構成を説明する。

【0033】

図4は本実施形態の半導体装置の一構成例を示す図である。

20

【0034】

図4に示す半導体装置は、少なくとも2つのバイポーラ型の抵抗変化素子103a、103bを含む電気素子131を有する。抵抗変化素子103a、103bのそれぞれは図3に示した抵抗変化素子100に相当する。電気素子131は、抵抗変化素子103a、103bのそれぞれの活性電極同士が接続されており、同一極性電極同士が接続されている。電気素子131において、抵抗変化素子103aの不活性電極が入力側となり、抵抗変化素子103bの不活性電極が出力側となる。抵抗変化素子103aの不活性電極が半導体装置の入力端子121に接続され、抵抗変化素子103bの不活性電極が半導体装置の出力端子122に接続されている。

30

【0035】

図4に示す半導体装置では、スイッチング用トランジスタ(以下では、単にトランジスタと称する)113が設けられ、電気素子131にスイッチング用トランジスタ(本実施形態では、単にトランジスタと称する)113が接続されている。また、図4に示すように、半導体装置に、トランジスタ111、115が設けられていてもよい。

【0036】

図4に示す構成では、トランジスタ111、113、115はNMOSトランジスタである。トランジスタ113のドレイン電極が抵抗変化素子103a、103bのそれぞれの活性電極に接続されている。トランジスタ111のドレイン電極が入力端子121と抵抗変化素子103aとの間に接続されている。トランジスタ115のドレイン電極が出力端子122と抵抗変化素子103bとの間に接続されている。

40

【0037】

トランジスタ111のソース電極を端子V1とし、トランジスタ113のソース電極を端子V2とし、トランジスタ115のソース電極を端子V3とする。なお、図4では、トランジスタ111、113、115のゲート電極を図に示すことを省略している。また、ここでは、各トランジスタのドレイン電極を抵抗変化素子103a、103bと接続し、ソース電極に電圧または接地電位を印加しているが、ドレイン電極とソース電極とが入れ替わった構成であってもよい。このことは、後述する実施例1~3についても同様である。

【0038】

50

次に、図 4 に示した半導体装置のプログラミング方法を説明する。各トランジスタのゲート電極に電圧を印加して各トランジスタを低抵抗状態にさせるが、ここでは、その説明を省略する。

【 0 0 3 9 】

入力端子 1 2 1 から出力端子 1 2 2 へ電気信号を伝達する場合、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を ON 状態（低抵抗状態）へ遷移させる必要がある。この場合、端子 V 1 および端子 V 3 をグラウンドに接地し、端子 V 2 に抵抗変化素子の閾値電圧（セット電圧）以上の正電圧を印加し、トランジスタ 1 1 1、1 1 3、1 1 5 を低抵抗状態にする。これにより、半導体装置に対して、所望の ON 状態への遷移を実現することができる。

10

【 0 0 4 0 】

一方、入力端子 1 2 1 から出力端子 1 2 2 への電気信号を遮断したい場合には、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を OFF 状態（高抵抗状態）へ遷移させる必要がある。この場合、端子 V 2 をグラウンドに接地し、端子 V 1 と端子 V 3 に抵抗変化素子の閾値電圧（リセット電圧）以上の正電圧を印加し、スイッチ用トランジスタ 1 1 1、1 1 3、1 1 5 を低抵抗状態にする。これにより、半導体装置に対して、所望の OFF 状態への遷移を実現することができる。

【 0 0 4 1 】

次に、本実施形態の半導体装置によって、ディスタープ不良が改善されることを説明する。

20

【 0 0 4 2 】

ディスタープ不良は OFF 状態から ON 状態へ誤動作によって遷移してしまう不良である。このことから、初期段階で、抵抗変化素子 1 0 3 a および抵抗変化素子 1 0 3 b の状態が高抵抗状態であるものとする。ここで、入力端子 1 2 1 に閾値電圧（セット電圧）以下の正電圧が印加され、出力端子 1 2 2 がグラウンドに接地されているとする。

【 0 0 4 3 】

電気素子 1 3 1 の両端に電圧が印加されているが、抵抗変化素子 1 0 3 a には OFF 状態から ON 状態へ遷移する方向に電圧が印加されているのに対し、抵抗変化素子 1 0 3 b には ON 状態から OFF 状態へ遷移する方向に電圧が印加されている。すなわち、抵抗変化素子 1 0 3 a は電圧の印加方向が ON 状態へ遷移する方向なので、閾値電圧以下の電圧が印加された場合に誤動作して ON 状態へ遷移する可能性があるが、抵抗変化素子 1 0 3 b は OFF 状態へ遷移する電圧印加方向なので、誤動作が生じない。

30

【 0 0 4 4 】

一方、ここで出力端子 1 2 2 に閾値電圧（セット電圧）以下の正電圧が印加され、入力端子 1 2 1 がグラウンドに接地されている場合、抵抗変化素子 1 0 3 b には OFF 状態から ON 状態へ遷移する方向に電圧が印加されているのに対し、抵抗変化素子 1 0 3 a には ON 状態から OFF 状態へ遷移する方向に電圧が印加されている。すなわち、抵抗変化素子 1 0 3 a は電圧の印加方向が ON 状態へ遷移する方向なので、閾値電圧以下の電圧が印加された場合に誤動作して ON 状態へ遷移する可能性があるが、抵抗変化素子 1 0 3 b は OFF 状態へ遷移する電圧印加方向なので、誤動作が生じない。

40

【 0 0 4 5 】

また、抵抗変化素子 1 0 3 a および抵抗変化素子 1 0 3 b に印加される電圧は、抵抗変化素子 1 0 3 a および抵抗変化素子 1 0 3 b のそれぞれの抵抗値によって、抵抗分割されて半分程度になることから、ディスタープ不良を防ぐことができる。

【 0 0 4 6 】

上述したように、いずれの信号形態が伝達された場合にも、入力端子 1 2 1 から出力端子 1 2 2 への信号を遮断するためには、抵抗変化素子 1 0 3 a および抵抗変化素子 1 0 3 b のうち、少なくとも一方が OFF 状態を維持できればよい。回路として誤動作を防止することができる。このような抵抗変化素子を用いることで、半導体回路の誤動作による不良をなくし、高信頼な半導体装置を実現することができるようになる。

50

【 0 0 4 7 】

図 4 に示した、少なくとも 2 つのバイポーラ型の抵抗変化素子を有し、抵抗変化素子の同一極性電極同士が接続され、かつ、未接続の 2 つの電極から入出力がなされる電気素子 1 3 1 を、以下では、相補型抵抗変化素子と称する。

【 0 0 4 8 】

なお、図 4 に示した半導体装置では、抵抗変化素子 1 0 3 a、1 0 3 b の不活性電極同士が電氣的に接続された電気素子 1 3 1 を用いる場合を説明したが、電気素子 1 3 1 の代わりに、図 5 に示すように、電気素子 1 3 2 を用いてもよい。電気素子 1 3 2 は、抵抗変化素子 1 0 3 a、1 0 3 b の活性電極同士が電氣的に接続された構成である。抵抗変化素子 1 0 3 a の不活性電極が入力端子 1 2 1 に接続され、抵抗変化素子 1 0 3 b の不活性電極が出力端子 1 2 2 に接続されている。

10

【 0 0 4 9 】

図 5 に示した半導体装置のプログラミング方法を簡単に説明する。

【 0 0 5 0 】

抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を ON 状態（低抵抗状態）へ遷移させる場合、端子 V 2 をグラウンドに接地し、端子 V 1 および端子 V 3 に抵抗変化素子の閾値電圧（セット電圧）以上の正電圧を印加し、トランジスタ 1 1 1、1 1 3、1 1 5 を低抵抗状態にする。一方、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を OFF 状態（高抵抗状態）へ遷移させる場合、端子 V 1 と端子 V 3 をグラウンドに接地し、端子 V 2 に抵抗変化素子の閾値電圧（リセット電圧）以上の正電圧を印加し、スイッチ用トランジスタ 1 1 1、1 1 3、1 1 5 を低抵抗状態にする。

20

【 0 0 5 1 】

図 5 に示した半導体装置の場合でも、ディスタープ不良を改善し、電気素子 1 3 1 を用いた場合と同様の効果が得られる。

【 実施例 1 】

【 0 0 5 2 】

本実施形態の半導体装置の実施例 1 を説明する。図 6 は実施例 1 の半導体装置の一構成例を示す図である。

【 0 0 5 3 】

図 6 に示す半導体装置は、図 4 に示した電気素子 1 3 1 と、トランジスタ 1 1 1 ~ 1 1 6 とを有する構成である。図 6 に示す構成では、トランジスタ 1 1 1、1 1 3、1 1 5 は、図 4 および図 5 に示した半導体装置の場合とは異なり、PMOS トランジスタである。トランジスタ 1 1 1、1 1 3、1 1 5 が PMOS トランジスタであることを除いて、図 4 および図 5 に示した構成と同様であるため、これらの構成についての詳細な説明を省略する。

30

【 0 0 5 4 】

トランジスタ 1 1 2、1 1 4、1 1 6 は、NMOS トランジスタである。トランジスタ 1 1 4 のドレイン電極が抵抗変化素子 1 0 3 a、1 0 3 b のそれぞれの活性電極に接続されている。トランジスタ 1 1 2 のドレイン電極が入力端子 1 2 1 と抵抗変化素子 1 0 3 a との間に接続されている。トランジスタ 1 1 6 のドレイン電極が出力端子 1 2 2 と抵抗変化素子 1 0 3 b との間に接続されている。

40

【 0 0 5 5 】

トランジスタ 1 1 2 のソース電極を端子 V 4 とし、トランジスタ 1 1 4 のソース電極を端子 V 5 とし、トランジスタ 1 1 6 のソース電極を端子 V 6 とする。なお、図 6 では、各トランジスタのゲート電極を図に示すことを省略している。

【 0 0 5 6 】

抵抗変化素子 1 0 3 a の不活性電極には、トランジスタ 1 1 1、トランジスタ 1 1 2 および入力端子 2 1 が電氣的に接続されている。抵抗変化素子 1 0 3 b の不活性電極には、トランジスタ 1 1 5、トランジスタ 1 1 6 および出力端子 1 2 2 が電氣的に接続されている。

50

【 0 0 5 7 】

次に、本実施例の半導体装置のプログラミング方法を説明する。図 6 に示す端子 V 1、V 2、V 3 に抵抗変化素子の閾値電圧（セット電圧）以上の正電圧が印加され、端子 V 4、V 5、V 6 がグラウンドに接地されている。

【 0 0 5 8 】

入力端子 1 2 1 から出力端子 1 2 2 へ電気信号を伝達する場合には、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を ON 状態（低抵抗状態）へ遷移させる必要がある。2 つの抵抗変化素子 1 0 3 a、1 0 3 b を ON 状態へ遷移させるには、トランジスタ 1 1 1、1 1 2、1 1 5、1 1 6 のゲート電極に“ H i g h ”信号を入力し、トランジスタ 1 1 3、1 1 4 のゲート電極に“ L o w ”信号を入力する。その結果、抵抗変化素子 1 0 3 a、1 0 3 b の活性電極には閾値（セット電圧）以上の正電圧が印加され、抵抗変化素子 1 0 3 a、1 0 3 b の非活性電極がグラウンドに接地される。これにより、半導体装置に対して、所望の ON 状態への遷移を実現することができる。

10

【 0 0 5 9 】

一方、入力端子 1 2 1 から出力端子 1 2 2 への電気信号を遮断したい場合には、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を OFF 状態（高抵抗状態）へ遷移させる必要がある。2 つの抵抗変化素子 1 0 3 a、1 0 3 b を OFF 状態へ遷移させるには、トランジスタ 1 1 1、1 1 2、1 1 5、1 1 6 のゲート電極に“ L o w ”信号を入力し、トランジスタ 1 1 3、1 1 4 のゲート電極に“ H i g h ”信号を入力する。その結果、抵抗変化素子 1 0 3 a、1 0 3 b の活性電極がグラウンドに接地され、抵抗変化素子 1 0 3 a、1 0 3 b の非活性電極には閾値（リセット電圧）以上の正電圧が印加される。これにより、半導体装置に対して、所望の OFF 状態への遷移を実現することができる。

20

【 実施例 2 】

【 0 0 6 0 】

本実施形態の半導体装置の実施例 2 を説明する。図 7 は実施例 2 の半導体装置の一構成例を示す図である。

【 0 0 6 1 】

図 7 に示す半導体装置は、図 4 に示した電気素子 1 3 1 と、図 6 に示したトランジスタ 1 1 1 ~ 1 1 4、1 1 6 とを有する構成である。本実施例では、図 6 に示したトランジスタ 1 1 5 を設けない代わりに、抵抗変化素子 1 0 3 a、1 0 3 b のそれぞれの不活性電極同士を接続した構成である。

30

【 0 0 6 2 】

本実施例の半導体装置のプログラミング方法は、図 4 を参照して説明した方法と同様であるため、その詳細な説明を省略する。

【 0 0 6 3 】

図 6 に示した半導体装置では、2 つの抵抗変化素子に対して、6 個のトランジスタを用いてプログラミングする場合を説明したが、本実施例では、2 つの抵抗変化素子の不活性電極同士を電氣的に接続することで、スイッチング用のトランジスタ 1 1 5 を省略することが可能となる。

【 実施例 3 】

40

【 0 0 6 4 】

本実施形態の半導体装置の実施例 3 を説明する。図 8 は実施例 3 の半導体装置の一構成例を示す図である。

【 0 0 6 5 】

図 8 に示す半導体装置は、図 5 に示した電気素子 1 3 2 と、図 6 に示したトランジスタ 1 1 1 ~ 1 1 5 とを有する構成である。本実施例では、図 6 に示したトランジスタ 1 1 6 を設けない代わりに、抵抗変化素子 1 0 3 a、1 0 3 b のそれぞれの活性電極同士を接続した構成である。

【 0 0 6 6 】

本実施例の半導体装置のプログラミング方法を説明する。図 8 に示す端子 V 1、V 2、

50

V 3 に抵抗変化素子の閾値電圧（セット電圧）以上の正電圧が印加され、端子 V 4、V 5 がグラウンドに接地されている。

【 0 0 6 7 】

抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を O N 状態（低抵抗状態）へ遷移させるには、トランジスタ 1 1 1、1 1 2、1 1 5 のゲート電極に “ L o w ” 信号を入力し、トランジスタ 1 1 3、1 1 4 のゲート電極に “ H i g h ” 信号を入力すればよい。

【 0 0 6 8 】

一方、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を O F F 状態（高抵抗状態）へ遷移させるには、トランジスタ 1 1 1、1 1 2、1 1 5 のゲート電極に “ H i g h ” 信号を入力し、トランジスタ 1 1 3、1 1 4 のゲート電極に “ L o w ” 信号を入力すればよい。

10

【 0 0 6 9 】

図 6 に示した半導体装置では、2 つの抵抗変化素子に対して、6 個のトランジスタを用いてプログラミングする場合を説明したが、本実施例では、2 つの抵抗変化素子の活性電極同士を電氣的に接続することで、スイッチング用のトランジスタ 1 1 6 を省略することが可能となる。

【 0 0 7 0 】

（第 2 の実施形態）

本実施形態の半導体装置を説明する。本実施形態の半導体装置は、活性電極同士が電氣的に接続された、2 つの抵抗変化素子を有する。

20

【 0 0 7 1 】

図 9 は第 2 の実施形態の半導体装置の一構成例を示す断面図である。

【 0 0 7 2 】

本実施形態の半導体装置は、抵抗変化素子 2 2 a、2 2 b と、第 1 配線 5 および第 2 配線 1 8 を含む多層配線とを有する。抵抗変化素子 2 2 a は、下部電極と、上部電極 1 0 a と、これらの電極に挟まれた抵抗変化素子膜 9 a とを有する。抵抗変化素子 2 2 b は、下部電極と、上部電極 1 0 b と、これらの電極に挟まれた抵抗変化素子膜 9 b とを有する。抵抗変化素子 2 2 a、2 2 b の下部電極は図 9 に示す第 1 配線 5 に相当し、抵抗変化素子 2 2 a、2 2 b は下部電極を共用している。抵抗変化素子 2 2 a、2 2 b は、活性電極同士が接続された構成である。ここでは、第 1 配線 5 は銅配線である。

30

【 0 0 7 3 】

図 9 に示すように、半導体基板（不図示）上に層間絶縁膜 2 が形成され、層間絶縁膜 2 の上にバリア絶縁膜 3 および層間絶縁膜 4 が形成されている。層間絶縁膜 4 の上面からバリア絶縁膜 3 を貫通して層間絶縁膜 2 の上面に達する溝に第 1 配線 5 が設けられ、第 1 配線 5 の側面および底面がバリアメタル 6 で覆われている。層間絶縁膜 4 の上に絶縁性バリア膜 7 および保護絶縁膜 1 4 が形成されている。絶縁性バリア膜 7 および保護絶縁膜 1 4 には、基板の表面に対して垂直上方から見て逆テーパの溝が 2 つ形成されている。2 つの溝のうち、一方の溝には抵抗変化素子膜 9 a および上部電極 1 0 a が積層して設けられ、他方の溝には抵抗変化素子膜 9 b および上部電極 1 0 b が積層して設けられている。

【 0 0 7 4 】

40

保護絶縁膜 1 4 の上に層間絶縁膜 1 5、層間絶縁膜 1 7 およびバリア絶縁膜 2 1 が順に形成されている。層間絶縁膜 1 5 の上面から上部電極 1 0 a、1 0 b のそれぞれに達する開口が形成され、それぞれの開口にはプラグ 1 9 が設けられている。プラグ 1 9 の側面および底面はバリアメタル 2 0 で覆われている。層間絶縁膜 1 7 の上面から層間絶縁膜 1 5 の上面に達する溝が 2 つ形成され、それぞれの溝に第 2 配線 1 8 が設けられている。第 2 配線 1 8 の側面はバリアメタル 2 0 で覆われている。第 2 配線 1 8 の底面はプラグ 1 9 と接続され、第 2 配線 1 8 の上面はバリア絶縁膜 2 1 で覆われている。

【 0 0 7 5 】

なお、図 9 に示す断面図においては、プラグ 1 9 と第 1 配線 5 との間に抵抗変化素子膜 9 a、9 b および上部電極 1 0 a、1 0 b が設けられているが、このような構造とは別に

50

、プラグ19と第1配線とが直接に接続される構造が、本実施形態の半導体装置に設けられていてもよい。

【0076】

ここで、多層配線の構造を含む多層配線層について説明する。

【0077】

第1配線5は、バリア絶縁膜3および層間絶縁膜4に設けられ、これらの絶縁膜で同一配線層に設けられた他の配線と絶縁性が保たれる。また、第1配線5の底面側は層間絶縁膜2によって下層配線と絶縁性が保たれ、第1配線5の上面側は絶縁性バリア膜7によって上層配線と絶縁性が保たれる。プラグ19は、保護絶縁膜14および層間絶縁膜15に設けられ、これらの絶縁膜で同一導電層に設けられた他のプラグと絶縁性が保たれる。第2配線18は、層間絶縁膜17に設けられ、この絶縁膜で同一配線層に設けられた他の配線と絶縁性が保たれる。また、第2配線18の底面側は層間絶縁膜15によって第1配線と絶縁性が保たれ、第2配線18の上面側はバリア絶縁膜21によって上層配線と絶縁性が保たれる。

10

【0078】

以下では、第1配線5が形成された絶縁膜、プラグ19が形成された絶縁膜、および第2配線18が形成された絶縁膜と、これらの配線およびプラグの絶縁性を保つための絶縁膜も含めて「多層配線層」と称する。

【0079】

図9に示す構造では、層間絶縁膜2、バリア絶縁膜3、層間絶縁膜4、絶縁性バリア膜7、保護絶縁膜14、層間絶縁膜15、層間絶縁膜17およびバリア絶縁膜21が順に積層した絶縁膜積層体が多層配線層に相当する。この多層配線層では、層間絶縁膜17に形成された配線溝に第2配線18が埋め込まれ、層間絶縁膜15および保護絶縁膜14に形成された開口にプラグ19が埋め込まれ、第2配線18とプラグ19とが一体となっており、第2配線18およびプラグ19からなる導電性一体構造の側面および底面がバリアメタル20で覆われている。本実施形態では、抵抗変化素子22a、22bが多層配線層内に設けられていることになる。

20

【0080】

本実施形態では、第1配線5を抵抗変化素子22a、22bの下部電極とすることで、第1配線5が抵抗変化素子22a、22bの下部電極を兼ねている。第1配線と下部電極を別の工程で形成する場合に比べて、工程数の増加を抑制してプロセスを簡略化するとともに、下部電極の抵抗を下げるができる。また、抵抗変化素子22a、22bの下部電極が一体化されているため、2つの抵抗変化素子を小型化することが可能となる。抵抗変化素子の構造を小型化することで、抵抗変化素子の高密度な配置が可能となり、高性能かつ高信頼な半導体装置を実現できる。

30

【0081】

さらに、第1配線5を通常のCuダマシン配線プロセスで形成する場合、2回のリソグラフィ工程を追加するだけで、抵抗変化素子を多層配線層内に形成することができる。上述したように、下部電極の抵抗を低減し、かつ、工程数の増加を抑制するだけでなく、2回のリソグラフィ工程に必要なマスクセットを準備すればよいので、素子の低抵抗化と低コスト化を同時に達成することができる。

40

【0082】

抵抗変化素子22a、22bは、抵抗変化型不揮発素子であり、例えば、イオン伝導体中における金属イオン移動と電気化学反応とを利用したスイッチング素子である。抵抗変化素子22aは、下部電極となる第1配線5と、プラグ19と電氣的に接続された上部電極10aとの間に抵抗変化素子膜9aが介在した構成である。抵抗変化素子22bは、下部電極となる第1配線5と、プラグ19と電氣的に接続された上部電極10bとの間に抵抗変化素子膜9bが介在した構成である。抵抗変化素子22a、22bは、絶縁性バリア膜7に形成された開口部で抵抗変化素子膜9a、9bのそれぞれが第1配線5と直接接しており、上部電極10a、10bはそれぞれ別のプラグ19とバリアメタル20を介して

50

電氣的に接続されている。

【0083】

抵抗変化素子22aは、下部電極もしくは上部電極10aに電圧を印加する、または、下部電極もしくは上部電極10aから電流を流すことでON/OFFの制御を行う。抵抗変化素子22aは、例えば、抵抗変化素子膜9a中への第1配線5からの金属の電界拡散を利用してON/OFFの制御を行う。抵抗変化素子22bによるON/OFF制御の動作も、抵抗変化素子22aと同様である。上部電極10a、10bおよびバリアメタル20は同一の材料で構成されている。これらの材料を同一にすることで、プラグ19のバリアメタル20と上部電極10a、10bとが一体化し、材料が異なる場合に比べて、接触抵抗が低減し、かつ、密着性の向上により信頼性の向上を実現することができる。

10

【0084】

半導体基板（不図示）には、MOSトランジスタなどの半導体素子（不図示）が形成されている。半導体基板として、例えば、シリコン基板、単結晶基板、SOI（Silicon on Insulator）基板、TFT（Thin Film Transistor）基板、液晶製造用基板等の基板を用いることが可能である。後述の半導体基板1も、この半導体基板と同様な構成であり、以下では、その説明を省略する。

【0085】

層間絶縁膜2は半導体基板上に形成された絶縁膜である。層間絶縁膜2として、例えば、シリコン酸化膜、または、シリコン酸化膜よりも比誘電率の低い膜である低誘電率膜（例えば、SiOCH膜）等を用いることが可能である。層間絶縁膜2は、単層に限らず、複数の絶縁膜を積層したものであってもよい。

20

【0086】

バリア絶縁膜3は、層間絶縁膜2および層間絶縁膜4の間に設けられた、バリア性を有する絶縁膜である。バリア絶縁膜3は、第1配線5用の配線溝の加工時にエッチングストップ層としての役割を有する。バリア絶縁膜3として、例えば、SiN膜、SiC膜、SiCN膜等を用いることが可能である。バリア絶縁膜3には、第1配線5を埋め込むための配線溝が設けられ、この配線溝にバリアメタル6を介して第1配線5が埋め込まれている。バリア絶縁膜3は、配線溝のエッチング条件のエッチング選択比によっては、設けられていなくてもよい。つまり、層間絶縁膜2と層間絶縁膜4のエッチング選択比が極端に大きければ、バリア絶縁膜3がなくても、層間絶縁膜4をエッチングして第1配線5用の配線溝を形成する際、層間絶縁膜2のエッチング量が抑制されるからである。

30

【0087】

層間絶縁膜4は、バリア絶縁膜3上に形成された絶縁膜である。層間絶縁膜4として、例えば、シリコン酸化膜または低誘電率膜（例えば、SiOCH膜）等を用いることが可能である。層間絶縁膜4は、単層に限らず、複数の絶縁膜を積層したものであってもよい。層間絶縁膜4には、第1配線5を埋め込むための配線溝が設けられ、その配線溝にバリアメタル6を介して第1配線5が埋め込まれている。

【0088】

第1配線5は、層間絶縁膜4およびバリア絶縁膜3に形成された配線溝にバリアメタル6を介して埋め込まれた配線である。なお、第1配線5と抵抗変化素子膜9a、9bとの間に、電極層などの導電性部材が設けられていてもよい。第1配線5と抵抗変化素子膜9a、9bとの間に電極層を形成する場合、電極層と抵抗変化素子膜9a、9bを連続工程で堆積し、連続工程で加工することで、工程を増やさずに電極層と抵抗変化素子9a、9bをすることが可能である。また、抵抗変化素子膜9a、9bの下部がコンタクトプラグを介して下層配線に接続されることはない。第1配線5には、抵抗変化素子膜9において拡散またはイオン電導可能な金属が用いられている。第1配線5として、例えば、Cu等を用いることが可能である。第1配線5は、Alと合金化されていてもよい。

40

【0089】

バリアメタル6は、第1配線5に含まれる金属が層間絶縁膜4や下層へ拡散することを防止するために配線の側面および底面を被覆する、バリア性を有する導電性膜である。バ

50

リアメタル6には、例えば、第1配線5がCuを主成分とする金属元素からなる場合には、タンタル(Ta)、窒化タンタル(TaN)、窒化チタン(TiN)、炭窒化タングステン(WCN)のような高融点金属、もしくは、その窒化物等、またはそれらの積層膜を用いることができる。

【0090】

絶縁性バリア膜7は、第1配線5を含む層間絶縁膜4上に形成され、第1配線5に含まれる金属(例えば、Cu)の酸化を防いだり、第1配線5に含まれる金属が層間絶縁膜15中へ拡散するのを防いだり、電極10a、10bおよび抵抗変化素子膜9a、9bの加工時にエッチングストップ層としての役割を有する。絶縁性バリア膜7として、例えば、SiC膜、SiCN膜、SiN膜、およびそれらの積層構造等を用いることが可能である。絶縁性バリア膜7は、保護絶縁膜14と同一材料であることが好ましい。

10

【0091】

絶縁性バリア膜7は、第1配線5上に開口部を有する。絶縁性バリア膜7の開口部においては、第1配線5と抵抗変化素子膜9a、9bが接している。絶縁性バリア膜7の開口部は、第1配線5の領域内に形成されている。このような構造にすることで、凹凸の小さい第1配線5の表面上に抵抗変化素子22a、22bを形成することが可能となる。絶縁性バリア膜7の開口部の壁面は、第1配線5から離れるにしたがって広くなるテーパ面になっている。絶縁性バリア膜7の開口部のテーパ面は、第1配線5の上面に対し85°以下に設定されている。このような構造にすることで、第1配線5と抵抗変化素子膜9a、9bの接続部の外周(絶縁性バリア膜7の開口部の外周部付近)における電界集中が緩和され、絶縁耐性を向上させることができる。

20

【0092】

抵抗変化素子膜9a、9bは、上述したように、条件によって抵抗が変化する性質をもった膜である。抵抗変化素子膜9a、9bは、第1配線5(下部電極)に含まれる金属の作用(拡散またはイオン伝導など)により抵抗が変化する材料が用いられる。抵抗変化素子22a、22bの抵抗変化を金属イオンの析出によって行う場合には、抵抗変化素子膜9a、9bにイオン伝導可能な膜が用いられ、例えば、Taを含む酸化物絶縁膜であって、Ta₂O₅、TaSiO等を用いることが可能である。

【0093】

また、抵抗変化素子膜9a、9bは、基板に近い側からTa₂O₅およびTaSiOの順に積層した積層構造であってもよい。このような積層構造とすることで、抵抗変化素子膜9a、9bをイオン伝導層として用いた場合、低抵抗時(ON時)にイオン伝導層内部に形成される金属イオン(例えば、銅イオン)による架橋をTa₂O₅層で分断することで、OFF時に金属イオンを容易に回収することが可能となり、スイッチング特性を向上させることができる。抵抗変化素子膜9a、9bは、第1配線5の上面、絶縁性バリア膜7の開口部のテーパ面、および絶縁性バリア膜7の上面にまたがって形成されている。抵抗変化素子膜9a、9bにおける、第1配線5との接続部の外周部分は、少なくとも絶縁性バリア膜7の開口部のテーパ面上に沿って配置されている。

30

【0094】

上部電極10a、10bは抵抗変化素子膜9a、9bと直接接している。上部電極10a、10bは、第1配線5に含まれる金属よりもイオン化しにくく、抵抗変化素子膜9a、9bにおいて拡散またはイオン電導しにくい金属であって、抵抗変化素子膜9a、9bに含まれる金属成分(Ta)よりも酸化の自由エネルギーの絶対値が小さい金属材料であることが好ましい。上部電極10a、10bとして、例えば、Pt、Ru等を用いることが可能である。また、上部電極10a、10bは、PtまたはRu等の金属材料を主成分として酸素を添加した材料であってもよく、PtまたはRu等の金属材料を主成分とした層と酸素を添加した層との積層構造であってもよい。

40

【0095】

保護絶縁膜14は、その膜形成が抵抗変化素子22a、22bにダメージを与えることなく、また、抵抗変化素子膜9a、9bからの酸素の脱離を防ぐ機能を有する絶縁膜であ

50

る。保護絶縁膜 14 として、例えば、SiN 膜または SiCN 膜等を用いることが可能である。保護絶縁膜 14 は絶縁性バリア膜 7 と同一材料であることが好ましい。これらの膜が同一材料である場合には、保護絶縁膜 14 および絶縁性バリア膜 7 が一体化して、これらの膜の界面の密着性が向上し、抵抗変化素子 22a、22b に対する保護性能が向上する。

【0096】

層間絶縁膜 15 は、保護絶縁膜 14 上に形成された絶縁膜である。層間絶縁膜 15 として、例えば、シリコン酸化膜、SiOC 膜、または低誘電率膜（例えば、SiOCH 膜）などを用いることが可能である。層間絶縁膜 15 は、単層に限らず、複数の絶縁膜を積層したものであってもよい。層間絶縁膜 15 は層間絶縁膜 17 と同一材料であってもよい。層間絶縁膜 15 には、プラグ 19 を埋め込むための開口が設けられ、その開口にバリアメタル 20 を介してプラグ 19 が埋め込まれている。

10

【0097】

層間絶縁膜 17 は、層間絶縁膜 15 上に形成された絶縁膜である。層間絶縁膜 17 として、例えば、シリコン酸化膜、SiOC 膜、または低誘電率膜（例えば、SiOCH 膜）などを用いることが可能である。層間絶縁膜 17 は、単層に限らず、複数の絶縁膜を積層したものであってもよい。層間絶縁膜 17 は層間絶縁膜 15 と同一材料であってもよい。層間絶縁膜 17 には、第 2 配線 18 を埋め込むための配線溝が設けられ、その配線溝にバリアメタル 20 を介して第 2 配線 18 が埋め込まれている。

20

【0098】

第 2 配線 18 は、層間絶縁膜 17 に形成された配線溝にバリアメタル 20 を介して埋め込まれた配線である。第 2 配線 18 はプラグ 19 と一体になっている。プラグ 19 は、層間絶縁膜 15 および保護絶縁膜 14 に設けられた開口にバリアメタル 20 を介して埋め込まれている。プラグ 19 は、バリアメタル 20 を介して上部電極 10a、10b と電気的に接続されている。第 2 配線 18 およびプラグ 19 の材料として、例えば、Cu を用いることが可能である。プラグ 19 と上部電極 10a とが接する領域、厳密に言うとバリアメタル 20 と上部電極 10a とが接する領域（直径 R2 の円とする）の面積は、開口へのめっきの埋め込み不良を抑制するため、第 1 配線 5 と抵抗変化素子膜 9a とが接する領域（直径 R1 の円とする）の面積よりも小さくなるように設定されている。つまり、 $R2 < R1$ の関係にある。上部電極 10b および抵抗変化素子膜 9b についても、それらの面積の

30

【0099】

バリアメタル 20 は、第 2 配線 18 およびプラグ 19 を含む導電性一体構造に含まれる金属が層間絶縁膜 15、17 や下層へ拡散することを防止するために導電性一体構造の側面および底面を被覆する、バリア性を有する導電性膜である。バリアメタル 20 として、例えば、第 2 配線 18 およびプラグ 19 が Cu を主成分とする金属元素を材料とする場合には、タンタル (Ta)、窒化タンタル (Ta₃N₅)、窒化チタン (TiN)、炭窒化タングステン (WCN) のような高融点金属、もしくはその窒化物等、またはそれらの積層膜を用いることが可能である。

【0100】

バリア絶縁膜 21 は、第 2 配線 18 を含む層間絶縁膜 17 上に形成され、第 2 配線 18 に含まれる金属（例えば、Cu）の酸化を防ぐだけでなく、第 2 配線 18 に含まれる金属が上層（不図示）に拡散するのを防ぐ役割を有する絶縁膜である。バリア絶縁膜 21 として、例えば、SiC 膜、SiCN 膜、SiN 膜、およびそれらの積層構造等を用いることが可能である。

40

【0101】

なお、本実施形態の半導体装置の製造方法は、第 1 配線層、第 2 配線層およびこれらの配線層の配線を接続するプラグを有する多層配線層の製造方法において、第 1 配線層とプラグの間に抵抗変化素子膜および上部電極を形成する工程を追加すればよい。その詳細な説明は、後述の第 5 の実施形態と同様となるため、本実施形態ではその説明を省略する。

50

【0102】

本実施形態によれば、抵抗変化素子の同一極性電極同士が接続され、かつ、未接続の2つの電極から入出力がなされる電気素子を有する半導体装置とすることで、閾値電圧以下の電圧が印加された場合の抵抗変化素子の誤書き込み、および誤動作を防止できるようになる。

【0103】

(第3の実施形態)

本実施形態の半導体装置の構成を説明する。本実施形態の半導体装置は、不活性電極同士が電氣的に接続された、2つの抵抗変化素子を有する。

【0104】

図10は第3の実施形態の半導体装置の一構成例を示す断面図である。なお、第2の実施形態と同様な構成については同一の符号を付し、その詳細な説明を省略し、第2の実施形態と異なる点を詳細に説明する。

【0105】

本実施形態の半導体装置は、第2の実施形態で説明した多層配線層内に、抵抗変化素子22c、22dが設けられた構成である。ただし、図10に示す多層配線層には、バリア絶縁膜21と層間絶縁膜17の間にエッチングストッパ膜16が設けられている。

【0106】

抵抗変化素子22cは、下部電極となる第1配線5aと、上部電極10と、これらの電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22dは、下部電極となる第1配線5bと、上部電極10と、これらの電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22c、22dは、抵抗変化素子22a、22bと同様な構成であるため、その詳細な説明を省略する。

【0107】

上部電極10は、図9に示した抵抗変化素子22a、22bの上部電極10a、10bが一体となった構成である。抵抗変化素子22c、22dの不活性電極同士が接続された構成になっている。上部電極10の構成は、上部電極10a、10bと同様であるため、その詳細な説明を省略する。また、下部電極となる第1配線5a、5bは、図9に示した第1配線5が2つに分割された構成である。第1配線5a、5bの構成は、第1配線5と同様であるため、その詳細な説明を省略する。

【0108】

本実施例では、抵抗変化素子22c、22dが抵抗変化素子膜9を共用している。このように共用できる理由は、抵抗変化の状態がそれぞれの下部電極と上部電極との間に記録されるからである。抵抗変化素子膜9は、図9に示した抵抗変化素子膜9a、9bが一体になったものであり、その構成は、第2の実施形態で説明したのと同様であるため、その詳細な説明を省略する。

【0109】

本実施形態の半導体装置では、多層配線層内に、不活性電極同士が電氣的に接続された、2つの抵抗変化素子が設けられた構造により、上部電極が一体化しているため、第2の実施形態と同様な効果が得られる。

【0110】

なお、本実施形態の半導体装置の製造方法は、第1配線層、第2配線層およびこれらの配線層の配線を接続するプラグを有する多層配線層の製造方法において、第1配線層とプラグの間に抵抗変化素子膜および上部電極を形成する工程を追加すればよい。その詳細な説明は、後述の第5の実施形態と同様となるため、本実施形態ではその説明を省略する。

【実施例4】

【0111】

第3の実施形態の半導体装置における実施例を説明する。本実施例の半導体装置は、不活性電極同士が電氣的に接続される構造において、図10で説明した構成よりも小型化が可能な構造である。

10

20

30

40

50

【0112】

図11は実施例4の半導体装置の一構成例を示す断面図である。なお、第2または第3の実施形態と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0113】

本実施例の半導体装置は、第2の実施形態で説明した多層配線層内に、抵抗変化素子22e、22fが設けられた構成である。ただし、本実施例においても、図10と同様にバリア絶縁膜21と層間絶縁膜17の間にエッチングストッパ膜16が設けられている。

【0114】

抵抗変化素子22eは、下部電極となる第1配線5aと、上部電極10と、これらの電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22fは、下部電極となる第1配線5bと、上部電極10と、これらの電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22e、22fは、抵抗変化素子22a、22bと同様な構成であるため、その詳細な説明を省略する。

【0115】

本実施例では、抵抗変化素子22e、22fが抵抗変化素子膜9を共用しているだけでなく、抵抗変化素子膜9は絶縁性バリア膜7に設けられた開口を介して、2つの独立した活性電極と接続された構成である。

【0116】

図10に示した断面図と図11に示す断面図を見比べると、図の左右方向について、抵抗変化素子膜9のパターンの長さは、本実施例の方が短い。また、図10に示した構成では、2つのプラグ19が設けられているが、本実施例ではプラグ19の数が1つである。

【0117】

本実施例の半導体装置では、抵抗変化素子22e、22fの上部電極10が一定化しているだけでなく、図10に示した半導体装置に比べて、抵抗変化素子膜9のパターンを小さくできるので、2つの抵抗変化素子を小型化することが可能である。抵抗変化素子の構造を小型化することで、抵抗変化素子をより高密度に配置することが可能となる。

【0118】

なお、本実施例の半導体装置の製造方法は、第1配線層、第2配線層およびこれらの配線層の配線を接続するプラグを有する多層配線層の製造方法において、第1配線層とプラグの間に抵抗変化素子膜および上部電極を形成する工程を追加すればよい。その詳細な説明は、後述の第5の実施形態と同様となるため、本実施形態ではその説明を省略する。

【実施例5】

【0119】

第3の実施形態の半導体装置における、別の実施例を説明する。本実施例の半導体装置は、不活性電極同士が電氣的に接続される構造の一例である。

【0120】

図12は実施例5の半導体装置の一構成例を示す断面図である。なお、第2または第3の実施形態と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0121】

本実施例の半導体装置は、第2の実施形態で説明した多層配線層内に、抵抗変化素子22g、22hが設けられた構成である。ただし、本実施例においても、図10と同様にバリア絶縁膜21と層間絶縁膜17の間にエッチングストッパ膜16が設けられている。

【0122】

抵抗変化素子22gは、下部電極となる第1配線5aと、上部電極10と、これらの電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22hは、下部電極となる第1配線5bと、上部電極10と、これらの電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22g、22hは、抵抗変化素子22a、22bと同様な構成であるため、その詳細な説明を省略する。

【0123】

本実施例においても、抵抗変化素子22g、22hが抵抗変化素子膜9を共用している

10

20

30

40

50

。また、抵抗変化素子膜 9 は絶縁性バリア膜 7 に設けられた開口を介して、2 つの独立した活性電極と接続されているが、本実施例では、その開口が層間絶縁膜 4 の内部にまで達している構成である。

【 0 1 2 4 】

抵抗変化素子膜 9 が形成される開口が層間絶縁膜 4 の内部にまで達する構造にすると、第 1 配線 5 a、5 b の側面の上部において、バリアメタル 6 a、6 b が抵抗変化素子膜 9 と接触している。そのため、第 1 配線 5 a、5 b はバリアメタル 6 a、6 b を介して抵抗変化素子膜 9 との間で導通可能となる。

【 0 1 2 5 】

本実施例の半導体装置では、実施例 4 に比べて、抵抗変化素子の下部電極および抵抗変化素子膜間の抵抗が低減する。

【 0 1 2 6 】

なお、本実施例の半導体装置の製造方法は、第 1 配線層、第 2 配線層およびこれらの配線層の配線を接続するプラグを有する多層配線層の製造方法において、第 1 配線層とプラグの間に抵抗変化素子膜および上部電極を形成する工程を追加すればよい。その詳細な説明は、後述の第 5 の実施形態と同様となるため、本実施形態ではその説明を省略する。

【 0 1 2 7 】

(第 4 の実施形態)

本実施形態の半導体装置は、第 2 の実施形態で説明した抵抗変化素子をスイッチ素子に適用したクロスバースイッチである。本実施形態のクロスバースイッチは、第 2 の実施形態で説明した、2 つの抵抗変化素子とトランジスタを含む構成を単位としたセルが複数設けられた構成である。図 5 を参照して説明すると、セルは、抵抗変化素子 1 0 3 a、1 0 3 b およびトランジスタ 1 1 3 を有する。セルは 3 つの端子を有していることから、この 3 つの端子を MOS トランジスタのソース電極 (S o u r c e)、ドレイン電極 (D r a i n) およびゲート電極 (G a t e) に対応させている。

【 0 1 2 8 】

図 1 3 A は本実施形態におけるクロスバースイッチの構成例を示す回路図である。

【 0 1 2 9 】

図 1 3 A に示すように、セル 2 0 0 a、2 0 0 b が直線状に配置されている。セル 2 0 0 a、2 0 0 b の抵抗変化素子 1 0 3 a の活性電極が配線 D a i n 1 に接続されている。セル 2 0 0 a の抵抗変化素子 1 0 3 b の活性電極が配線 S o u r c e 1 に接続され、セル 2 0 0 b の抵抗変化素子 1 0 3 b の活性電極が配線 S o u r c e 2 に接続されている。トランジスタ 1 1 3 a、1 1 3 b のゲート電極が配線 G a t e 1 に接続されている。

【 0 1 3 0 】

配線 D a i n 1 にはトランジスタ 2 1 3 が設けられ、配線 G a t e 1 にはトランジスタ 2 1 1 が設けられている。配線 S o u r c e 1 にはトランジスタ 2 2 1 が設けられ、配線 S o u r c e 2 にはトランジスタ 2 2 1 が設けられている。トランジスタ 2 1 3 が図 5 に示したトランジスタ 1 1 1 に相当する。トランジスタ 2 2 1、2 2 3 が図 5 に示したトランジスタ 1 1 5 に相当する。

【 0 1 3 1 】

次に、図 1 3 A に示すクロスバースイッチの書き込み方法を説明する。ここでは、セル 2 0 0 a の場合を説明する。

【 0 1 3 2 】

セル 2 0 0 a の抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を ON 状態 (低抵抗状態) へ遷移させる場合、配線 G a t e 1 をグラウンドに接地し、配線 D r a i n 1 および配線 S o u r c e 1 に閾値電圧 (セット電圧) 以上の正電圧を印加し、トランジスタ 2 1 1、2 1 3、2 2 1 をオンさせ、トランジスタ 1 1 3 a をオンにする。一方、抵抗変化素子 1 0 3 a と抵抗変化素子 1 0 3 b の双方を OFF 状態 (高抵抗状態) へ遷移させる場合、配線 D r a i n 1 および配線 S o u r c e 1 をグラウンドに接地し、配線 G a t e 1 に閾値電圧 (リセット電圧) 以上の正電圧を印加し、スイッチ用トランジスタ 2 1 1、

10

20

30

40

50

2 1 3、2 2 1をオンさせ、トランジスタ 1 1 3 aをオンにする。

【 0 1 3 3 】

セル 2 0 0 b に書き込みを行う場合には、トランジスタ 2 2 1 の代わりにトランジスタ 2 2 3 を用い、配線 2 3 1 の代わりに配線 2 3 3 を用いて、セル 2 0 0 a の場合と同様にして、各トランジスタを動作させ、各配線に所定の電位をかければよい。

【 0 1 3 4 】

図 1 3 B は本実施形態におけるクロスバースイッチの他の構成例を示す回路図である。

【 0 1 3 5 】

図 1 3 A では、複数のセルが直線状に配置されていたが、図 1 3 B に示すクロスバースイッチでは、複数のセル 2 0 0 a ~ 2 0 0 d が格子状に配置されている。セル 2 0 0 a、
2 0 0 b については、図 1 3 A で説明した構成と同様なため、ここでは、図 1 3 A と異なる点について説明する。

【 0 1 3 6 】

セル 2 0 0 c、2 0 0 d の抵抗変化素子 1 0 3 a の活性電極が配線 D a i n 2 に接続されている。セル 2 0 0 c の抵抗変化素子 1 0 3 b の活性電極が配線 S o u r c e 1 に接続され、セル 2 0 0 b の抵抗変化素子 1 0 3 b の活性電極が配線 S o u r c e 2 に接続されている。トランジスタ 1 1 3 c、1 1 3 d のゲート電極が配線 G a t e 2 に接続されている。

【 0 1 3 7 】

配線 D a r i n 2 にはトランジスタ 2 1 4 が設けられ、配線 G a t e 2 にはトランジスタ 2 1 1 が設けられている。トランジスタ 2 1 4 が図 5 に示したトランジスタ 1 1 1 に相当する。配線 2 3 1 にはトランジスタ 2 2 0 が設けられ、配線 2 3 3 にはトランジスタ 2 2 2 が設けられている。トランジスタ 2 2 0 ~ 2 2 3 の各ゲート電極が配線 2 4 3 で接続されている。トランジスタ 2 1 1、2 1 2 のゲート電極が配線 2 4 1 に接続され、トランジスタ 2 1 3、2 1 4 のゲート電極が配線 2 4 2 に接続されている。

【 0 1 3 8 】

また、各セルへの書き込み方法は、図 1 3 A で説明した方法と同様なため、その詳細な説明を省略する。

【 0 1 3 9 】

次に、本実施形態のクロスバースイッチのレイアウトの一例を説明する。

【 0 1 4 0 】

図 1 4 は本実施形態のクロスバースイッチのレイアウト図である。図 1 3 B に示した回路図に対応させている。ただし、抵抗変化素子のパターンにトランジスタのレイアウトを重ねると抵抗変化素子に接続された配線等のパターンが見にくくなるため、ここでは、トランジスタを図に示すことを省略している。

【 0 1 4 1 】

図 1 3 B および図 1 4 の左右方向を X 軸とし、上下方向を Y 軸とすると、図 1 3 B の回路図と図 1 4 に示すレイアウト図では、配線方向について、X 軸と Y 軸が逆になっている。図 1 4 に示す破線枠は、図 1 3 B に示したセル 2 0 0 b のセルサイズを示す。図 1 4 に示すレイアウトでは、セルサイズは、約 $8 F^2$ である。図 1 4 においては、図 1 3 B に示さなかった配線 2 5 1、2 5 2 が配線 D r a i n 1 および配線 D r a i n 2 と同一層に設けられている。配線 2 5 1、2 5 2、配線 D r a i n 1 および配線 D r a i n 2 が第 2 配線 1 8 に相当する。

【 0 1 4 2 】

また、図 1 3 B に示さなかった配線 2 5 3 が配線 S o r c e 1 および配線 S o u r c e 2 と同一層に設けられ、配線 2 5 4 が配線 2 3 1、2 3 3 と同一層に設けられている。配線 S o r c e 1、S o u r c e 2 および配線 2 5 3 は第 1 配線 5 a (下部電極) に相当する。配線 2 5 4、2 3 1、2 3 3 は上部電極 1 0 に相当する。セル 2 0 0 b に注目すると、配線 D r a i n 1 がプラグ 1 9 を介して抵抗変化素子 1 9 3 a の活性電極に接続されている。この活性電極が第 1 配線 5 b (下部電極) に相当する。

10

20

30

40

50

【 0 1 4 3 】

第2配線18と同一層の配線252はプラグ19aを介して配線231(上部電極10に相当)と接続され、配線231はコンタクトプラグ532bを介して、半導体基板に形成されたトランジスタ(不図示)と接続されている。また、配線Source1もコンタクトプラグ532bを介して、半導体基板に形成されたトランジスタ(不図示)と接続されている。

【 0 1 4 4 】

なお、本実施形態では、2つの抵抗変化素子の活性電極同士を接続する構成の場合で説明したが、非活性電極同士を接続する構成に本実施形態を適用してもよい。

【 0 1 4 5 】

(第5の実施形態)

本実施形態は、第4の実施形態で説明したクロスバースイッチに用いられる抵抗変化素子に関するものである。本実施形態の半導体装置は、2つの抵抗変化素子の不活性電極同士が電氣的に接続された構成である。

【 0 1 4 6 】

図15は、本実施形態の半導体装置の一構成例を示す断面図である。なお、上述の実施形態または実施例と同様な構成については同一の符号を付し、その詳細な説明を省略し、上述の実施形態または実施例と異なる点を詳細に説明する。

【 0 1 4 7 】

本実施形態の半導体装置は、第2の実施形態で説明した多層配線層内に、抵抗変化素子22i、22jが設けられた構成である。ただし、本実施形態においても、第3の実施形態と同様にバリア絶縁膜21と層間絶縁膜17の間にエッチングストッパ膜16が設けられている。

【 0 1 4 8 】

抵抗変化素子22iは、下部電極となる第1配線5aと、第1上部電極10および第2上部電極11からなる上部電極と、下部電極および上部電極に挟まれた抵抗変化素子膜9とを有する。抵抗変化素子22jは、下部電極となる第1配線5bと、第1上部電極10および第2上部電極11からなる上部電極と、下部電極および上部電極に挟まれた抵抗変化素子膜9とを有する。本実施例においても、抵抗変化素子22i、22jが抵抗変化素子膜9を共用している。

【 0 1 4 9 】

本実施形態においても、抵抗変化素子膜9は絶縁性バリア膜7に設けられた開口を介して、2つの独立した活性電極と接続されているが、その開口が層間絶縁膜4の内部にまで達している構成である。この構成により、実施例5と同様な効果が得られる。

【 0 1 5 0 】

また、本実施形態では、抵抗変化素子22i、22jの上部電極は、第1上部電極10と第2上部電極11とが順に積層された構成である。抵抗変化素子22i、22jは、上部電極が2つの導電層が積層した構成であることを除いて、抵抗変化素子22a、22bと同様な構成であるため、その詳細な説明を省略する。

【 0 1 5 1 】

本実施形態の多層配線層では、絶縁性バリア膜7に形成された開口部において、下部電極となる第1配線5の上面、絶縁性バリア膜7の開口部の壁面、および絶縁性バリア膜7の上面に、抵抗変化素子膜9、第1上部電極10および第2上部電極11が順に積層して形成された抵抗変化素子22i、22jが設けられている。また、この多層配線層では、第2上部電極11上にハードマスク膜12が形成されている。さらに、この多層配線層では、抵抗変化素子膜9、第1上部電極10、第2上部電極11、およびハードマスク膜12からなる積層体の上面および側面が保護絶縁膜14で覆われている。

【 0 1 5 2 】

なお、図15に示す断面部分では、図12に示したバリアメタル20、プラグ19および第2配線18が表示されていないが、本実施形態の半導体装置には、バリアメタル20

10

20

30

40

50

、プラグ 19 および第 2 配線 18 が設けられている。

【0153】

次に、本実施形態の半導体装置に用いられる構成について、上述の実施形態および実施例で説明していない点について説明する。

【0154】

絶縁性バリア膜 7 は、保護絶縁膜 14 およびハードマスク膜 12 と同一材料であることが好ましい。

【0155】

第 1 上部電極 10 は、抵抗変化素子 22 i、22 j の上部電極における下層側の電極であり、抵抗変化素子膜 9 と直接接している。第 1 上部電極 10 は、第 1 配線 5 a、5 b に含まれる金属よりもイオン化しにくく、抵抗変化素子膜 9 において拡散またはイオン電導しにくい金属であって、抵抗変化素子膜 9 に含まれる金属成分 (Ta) よりも酸化の自由エネルギーの絶対値が小さい金属材料とすることが好ましい。第 1 上部電極 10 として、例えば、Pt、Ru 等を用いることが可能である。また、第 1 上部電極 10 は、Pt または Ru 等の金属材料を主成分として酸素を添加した材料であってもよく、Pt または Ru 等の金属材料を主成分とした層と酸素を添加した層との積層構造であってもよい。

10

【0156】

第 2 上部電極 11 は、抵抗変化素子 22 i、22 j の上部電極における上層側の電極であり、第 1 上部電極 10 上に形成されている。第 2 上部電極 11 は、第 1 上部電極 10 を保護する役割を有する。すなわち、第 2 上部電極 11 が第 1 上部電極 10 を保護することで、プロセス中の第 1 上部電極 10 へのダメージを抑制し、抵抗変化素子 22 i、22 j のスイッチング特性を維持することができる。第 2 上部電極 11 として、例えば、Ta、Ti、W、Al などの金属、または、それらの窒化物等を用いることが可能である。

20

【0157】

ハードマスク膜 12 は、第 2 上部電極 11、第 1 上部電極 10、および抵抗変化素子膜 9 をエッチングする際のハードマスクとなる膜である。ハードマスク膜 12 として、例えば、SiN 膜等を用いることが可能である。ハードマスク膜 12 は、保護絶縁膜 14、および絶縁性バリア膜 7 と同一材料であることが好ましい。これらの膜を同一材料にすれば、抵抗変化素子 22 i、22 j の周囲を全て同一材料で囲むことで材料界面が一体化され、外部からの水分などの浸入を防ぐとともに、抵抗変化素子 22 i、22 j 自身からの酸素の脱離を防ぐことができる。

30

【0158】

保護絶縁膜 14 は、ハードマスク膜 12 および絶縁性バリア膜 7 と同一材料であることが好ましい。これらの膜が同一材料である場合には、保護絶縁膜 14、絶縁性バリア膜 7 およびハードマスク膜 12 が一体化して、これらの膜の界面の密着性が向上し、抵抗変化素子 22 i、22 j に対する保護性能が向上する。

【0159】

エッチングストップ膜 16 は、層間絶縁膜 17 およびバリア絶縁膜 21 の間に介在した絶縁膜である。エッチングストップ膜 16 として、例えば、SiN 膜、SiC 膜、または SiCN 膜等を用いることが可能である。なお、エッチングストップ膜 16 を、層間絶縁膜 15 および層間絶縁膜 17 間に設けてもよい。この場合、エッチングストップ膜 16 は、第 2 配線 18 用の配線溝の加工時にエッチングストップ層としての役割を果たす。

40

【0160】

次に、本実施形態の半導体装置の製造方法を説明する。ここで説明する製造方法は、上述の実施形態および実施例のそれぞれの半導体装置を製造する際の一例である。

【0161】

図 16 A から図 19 B は本実施形態の半導体装置の製造方法を模式的に示す断面図である。

【0162】

図に示さない半導体基板に半導体素子を形成した後、この半導体基板の上に層間絶縁膜

50

2を堆積する。層間絶縁膜2は、例えば、シリコン酸化膜であり、膜厚が300nmである。その後、層間絶縁膜2上にバリア絶縁膜3および層間絶縁膜4を順に堆積する。バリア絶縁膜3は、例えば、SiN膜で、膜厚が30nmである。層間絶縁膜4は、例えば、シリコン酸化膜であり、膜厚が200nmである。

【0163】

その後、リソグラフィ法（フォトレジスト形成、ドライエッチング、およびフォトレジスト除去を含む）を用いて、層間絶縁膜4およびバリア絶縁膜3に配線溝を形成する。続いて、形成した配線溝にバリアメタル6を介して銅を埋め込んで、第1配線5a、5bを形成する（図16A参照）。バリアメタル6は、例えば、Ta₂N₅/Taの積層膜であり、膜厚が5nm/5nmである。層間絶縁膜2の形成から第1配線5a、5bを形成するまでの工程を、ステップA1とする。

10

【0164】

ステップA1において、層間絶縁膜2、4は、プラズマCVD（Chemical Vapor Deposition）法によって形成することが可能である。ここで、プラズマCVD法とは、例えば、気体原料、あるいは液体原料を気化させることで減圧下の反応室に連続的に供給し、プラズマエネルギーによって、分子を励起状態にし、気相反応、あるいは基板表面反応などによって基板上に連続膜を形成する手法である。

【0165】

ステップA1における第1配線5a、5bの形成方法の具体例を説明する。例えば、PVD（Physical Vapor Deposition）法によってバリアメタル6（例えば、Ta₂N₅/Taの積層膜）とCuシード層を形成した後、電解めっき法によって銅を配線溝内に埋設する。その後、銅に対して200℃以上の温度で熱処理を行った後、CMP（Chemical Mechanical Polishing）法によって、配線溝内の銅以外の、余剰分の銅を除去する。このようにして、第1配線5a、5bが形成される。

20

【0166】

この一連の、銅配線の形成方法は、説明した方法に限らず、本発明の技術分野における一般的な手法を用いることが可能である。ここで、CMP法について簡単に説明する。CMP法とは、研磨液をウェハ表面に流しながら、回転する研磨パッドをウェハ表面に接触させてウェハ表面を研磨することによって、多層配線形成プロセス中に生じるウェハ表面の凹凸を平坦化する方法である。CMP法によって、溝に埋め込まれない余剰の銅を研磨することによって埋め込み配線（ダマシン配線と呼ばれている）を形成したり、層間絶縁膜を研磨することで平坦化を行ったりする。

30

【0167】

ステップA1の後、第1配線5a、5bを含む層間絶縁膜4上に絶縁性バリア膜7を形成する（図16B参照）。絶縁性バリア膜7は、例えば、SiCN膜であり、膜厚が30nmである。絶縁性バリア膜7は、プラズマCVD法によって形成することが可能である。絶縁性バリア膜7の膜厚は、10nm～50nm程度であることが好ましい。絶縁性バリア膜7を形成する工程をステップA2とする。

【0168】

次に、絶縁性バリア膜7上にハードマスク膜8を形成する（図16C参照）。ハードマスク膜8は、例えば、シリコン酸化膜である。ハードマスク膜8は、絶縁性バリア膜7のドライエッチング加工において、絶縁性バリア膜7およびハードマスク膜8のエッチング選択比を大きくするという観点から、絶縁性バリア膜7とは異なる材料であることが好ましい。エッチング選択比が大きければ、ハードマスク膜8は、絶縁膜であっても導電性膜であってもよい。ハードマスク膜8として、例えば、シリコン酸化膜、シリコン窒化膜、TiN、Ti、Ta、Ta₂N₅等を用いてもよく、SiN/SiO₂の積層体を用いてもよい。ハードマスク膜8を形成する工程をステップA3とする。

40

【0169】

次に、ハードマスク膜8上にフォトレジスト（不図示）を形成し、所定のマスクを用いた露光処理を行って、そのフォトレジストに開口部をパターンニングする。続いて、そのフ

50

フォトレジストをマスクにして、ハードマスク膜 8 をドライエッチングすることにより、ハードマスク膜 8 に開口部パターンを形成する。その後、酸素プラズマアッシング等によってフォトレジストを剥離する（図 17 A 参照）。このとき、ドライエッチングが、必ずしも絶縁性バリア膜 7 の上面で停止している必要はなく、絶縁性バリア膜 7 の内部にまで到達したところで停止してもよい。ハードマスク膜 8 上にフォトレジストを形成してからフォトレジストを除去するまでの工程をステップ A 4 とする。

【 0 1 7 0 】

次に、図 17 A に示すハードマスク膜 8 をマスクとして、ハードマスク膜 8 の開口部に露出する絶縁性バリア膜 7 をエッチバック（ドライエッチング）する。このエッチングにより、絶縁性バリア膜 7 に開口部 150 を形成し、開口部 150 から第 1 配線 5 a、5 b のそれぞれの上面の一部を露出させる。このとき、開口部 150 は層間絶縁膜 4 の内部にまで達していてもよい。その後、アミン系の剥離液などで有機剥離処理を行うことで、第 1 配線 5 a、5 b の露出面に形成された酸化銅を除去するとともに、エッチバック時に発生したエッチング複生成物などを除去する（図 17 B 参照）。ドライエッチングから有機剥離処理までの工程をステップ A 5 とする。

【 0 1 7 1 】

ステップ A 5 において、図 17 A に示したハードマスク膜 8 は、エッチバック中に完全に除去されることが好ましいが、絶縁材料である場合にはそのまま残存してもよい。また、開口部 150 の形状は、円形、正方形、四角形のいずれであってもよい。開口部 150 の形状が円の場合には、その直径を 20 nm から 500 nm とすることが可能であり、開口部 150 の形状が四角形の場合には、その一辺の長さを 20 nm から 500 nm とすることが可能である。

【 0 1 7 2 】

また、ステップ A 5 において、絶縁性バリア膜 7 に対するエッチバック処理に反応性ドライエッチングを用いれば、開口部 150 の壁面をテーパ形状にすることが可能である。反応性ドライエッチングでは、エッチングガスとしてフルオロカーボンを含むガスを用いることが可能である。

【 0 1 7 3 】

次に、第 1 配線 5 a、5 b の露出面および絶縁性バリア膜 7 の上に抵抗変化素子膜 9 を堆積する（図 17 C 参照）。抵抗変化素子膜 9 は、例えば、 $Si_1C_3O_1$ 、 $TaSiO$ 、 Ta_2O_5 、 ZrO 、または HfO である。また、抵抗変化素子膜 9 の膜厚は、例えば、6 nm である。抵抗変化素子膜 9 は、 SiO_xCy 、 $TaSiO_x$ 、 TaO_x 、 ZrO_x 、 HfO_x 、 SiO_x 、 TiO_x 、 $CxHy$ 、 $CxHySi_aO_b$ 、または、有機膜であってもよい。ただし、添字の x 、 y 、 a 、 b は 1 以上の整数であり、実現可能な結合状態で決まる数字とする。抵抗変化素子膜 9 は PVD 法や CVD 法を用いて形成することが可能であり、例えば、有機シリカ原料を用いたプラズマ CVD 法である。抵抗変化素子膜 9 の形成工程をステップ A 6 とする。

【 0 1 7 4 】

ステップ A 6 では、絶縁性バリア膜 7 の開口部 150 はステップ A 5 の有機剥離処理によって水分などが付着しているため、抵抗変化素子膜 9 の堆積前に 250 ~ 350 程度の温度にて、減圧下で熱処理を加えて脱ガスしておくことが好ましい。その際、銅表面を再度酸化させないように、その熱処理を、真空下、または、窒素雰囲気で行うなどの注意が必要である。

【 0 1 7 5 】

また、ステップ A 6 では、抵抗変化素子膜 9 の堆積前に、絶縁性バリア膜 7 の開口部 150 に露出する第 1 配線 5 a、5 b に対して、 H_2 ガスを用いた、ガスクリーニング処理、または、プラズマクリーニング処理を行ってもよい。このクリーニング処理により、抵抗変化素子膜 9 を形成する際、第 1 配線 5 a、5 b の材料である銅の酸化を抑制でき、プロセス中の銅の熱拡散（物質移動）を抑制できる。

【 0 1 7 6 】

また、ステップA6では、抵抗変化素子膜9の堆積前に、PVD法を用いて薄膜のTi(不図示)を基板表面に堆積することで、第1配線5a、5bの材料である銅の酸化を抑制してもよい。Tiの膜厚は、例えば、2nm以下である。薄膜のTi層は抵抗変化素子膜9の形成中に酸化されて、チタン酸化物となる。

【0177】

また、抵抗変化素子22i、22jが、抵抗変化素子膜9にイオン伝導層を用いたタイプではなく、遷移金属酸化物(例えば、TiO、NiO等)を用いたタイプである場合、ステップA6において、抵抗変化素子膜9を堆積する前に、第1配線5a、5bの上に第2下部電極(不図示)を形成してもよい。第2下部電極として、例えば、Ti、TiN、W、WN、Ta、Ta₂N₅、Ru、RuO_x等を用いてもよく、それらの膜の積層構造であってもよい。積層構造とは、例えば、Ta₂N₅(下層)/Ru(上層)である。このとき、積層構造の合計膜厚は、抵抗変化素子膜9を絶縁性バリア膜7の内部に形成する都合上、素子段差と表面ラフネスを低減するため、絶縁性バリア膜7よりも薄いことが必要であり、好ましくは10nm以下であるとよい。

【0178】

また、ステップA6では、抵抗変化素子膜9を段差のある開口部150にカバレッジよく埋め込む必要があるため、プラズマCVD法を用いて抵抗変化素子膜9を形成することが好ましい。

【0179】

次に、抵抗変化素子膜9上に第1上部電極10を形成するための第1導電性膜152および第2上部電極11を形成するための第2導電性膜154を順に形成する(図18A参照)。第1導電性膜152は、例えば、Ruであり、膜厚が10nmである。第2導電性膜154は、例えば、Taであり、膜厚が50nmである。抵抗変化素子膜9の形成時と同様に、段差のある開口部150にボイドを発生させることなく電極材料を埋め込むために、例えば、ALD(Atomic Layer Deposition)法により第1導電性膜152を形成することが好ましい。第1導電性膜152がRuである場合、有機金属Ru原料を用いたプラズマALD法で形成することが可能である。第1導電性膜152および第2導電性膜154を形成する工程をステップA7とする。

【0180】

次に、第2導電性膜154の上にハードマスク膜12およびハードマスク膜13を順に形成する(図18B参照)。ハードマスク膜12は、例えば、SiN膜であり、膜厚が30nmである。ハードマスク膜13は、例えば、SiO₂膜であり、膜厚が200nmである。ハードマスク膜12およびハードマスク膜13を形成する工程をステップA8とする。

【0181】

ステップA8において、ハードマスク膜12およびハードマスク膜13は、プラズマCVD法を用いて成膜することが可能である。ハードマスク膜12、13は、本発明の技術分野における、一般的なプラズマCVD法を用いて形成することが可能である。また、ハードマスク膜12とハードマスク膜13とは異なる種類の膜であることが好ましい。一例として、ハードマスク膜12をSiN膜とし、ハードマスク膜13をSiO₂膜とする構成が考えられる。また、ハードマスク膜12は、保護絶縁膜14および絶縁性バリア膜7と同一材料であることが好ましい。その理由は、上述したように、抵抗変化素子の周囲を全て同一材料で囲むことで材料界面を一体化し、外部からの水分などの浸入を防ぐとともに、抵抗変化素子自身からの酸素の脱離を防げるからである。

【0182】

ハードマスク膜12をプラズマCVD法によって形成する場合、成膜前には反応室内を減圧下に維持する必要があるため、このとき抵抗変化素子膜9から酸素が脱離すると、酸素欠陥によってイオン伝導層のリーク電流が増加する問題が生じてしまう。その問題を抑制するためには、成膜温度を350℃以下にするのが好ましく、成膜温度を250℃以下にすればより好ましい。さらに、成膜前に減圧下で抵抗変化素子膜9が成膜ガスに曝されるた

10

20

30

40

50

め、還元性のガスを用いないことが好ましい。例えば、ハードマスク膜12に、 SiH_4 / N_2 の混合ガスを高密度プラズマによって形成した SiN 膜などを用いることが好ましい。

【0183】

次に、ハードマスク膜13上に抵抗変化素子部をパターニングするためのフォトレジスト(不図示)を形成し、続いて、そのフォトレジストをマスクにして、ハードマスク膜12が表れるまでハードマスク膜13に対してドライエッチングを行う。その後、酸素プラズマアッシングと有機剥離を用いてフォトレジストを除去する(図18C参照)。ハードマスク膜13上にフォトレジストを除去してからハードマスク膜13をパターニングし、フォトレジストを除去するまでの工程をステップA9とする。

10

【0184】

ステップA9の後、図18Cに示したハードマスク膜13をマスクにして、ハードマスク膜12、第2導電性膜154、第1導電性膜152および抵抗変化素子膜9に対して連続的にドライエッチングを行う。これにより、第2上部電極11および第1上部電極10が形成される(図19A参照)。このとき、図19Aに示すように、ハードマスク膜13は、ドライエッチング中に完全に除去されることが好ましいが、残存してもよい。ハードマスク膜13をマスクにしてドライエッチングを行うことで、ハードマスク膜12、第2上部電極11、第1上部電極10および抵抗変化素子膜9をパターニングする工程をステップA10とする。

【0185】

ステップA10において、例えば、第2上部電極11がTaの場合には、 Cl_2 系ガスによるRIE(Reactive Ion Etching)で加工することが可能であり、第1上部電極10がRuの場合には Cl_2/O_2 の混合ガスによるRIEで加工することが可能である。また、抵抗変化素子膜9をエッチングする際、下面の絶縁性バリア膜7上でドライエッチングを停止させる必要がある。抵抗変化素子膜9がTaを含む酸化物であり、絶縁性バリア膜7が SiN 膜や SiCN 膜である場合には、 CF_4 系、 CF_4/Cl_2 系、 $\text{CF}_4/\text{Cl}_2/\text{Ar}$ 系などの混合ガスでエッチング条件を調節することで、抵抗変化素子膜9をRIEで加工するとともに、絶縁性バリア膜7のエッチング量を抑制できる。このように、ハードマスク膜を用いてRIEを行うハードマスクRIE法を用いることで、フォトレジストを用いるパターニング方法に比べて、抵抗変化素子部をレジスト除去の際の酸素プラズマアッシングに曝すことなく、抵抗変化素子部を加工することができる。また、加工後に酸素プラズマによって酸化処理する場合には、フォトレジストの剥離時間に依存することなく酸素プラズマを抵抗変化素子部に照射することができる。

20

30

【0186】

次に、ハードマスク膜12、第2上部電極11、第1上部電極10および抵抗変化素子膜9を覆う保護絶縁膜14を絶縁性バリア膜7上に堆積する(図19B参照)。絶縁性バリア膜7は、例えば、 SiN 膜であり、膜厚が30nmである。保護絶縁膜14を形成する工程をステップA11とする。

【0187】

ステップA11において、保護絶縁膜14は、プラズマCVD法によって形成することが可能であるが、成膜前には反応室内を減圧下に維持する必要がある。このとき抵抗変化素子膜9の側面から酸素が脱離し、イオン伝導層のリーク電流が増加してしまうという問題が生じる。その問題を抑制するためには、保護絶縁膜14の成膜温度を250以下とすることが好ましい。さらに、成膜前に減圧下で抵抗変化素子膜9が成膜ガスに曝されるため、還元性のガスを用いないことが好ましい。例えば、保護絶縁膜14に、 SiH_4/N_2 の混合ガスを高密度プラズマによって、基板温度200で形成した SiN 膜などを用いることが好ましい。

40

【0188】

次に、保護絶縁膜14上に層間絶縁膜15および層間絶縁膜17を順に堆積する。層間絶縁膜15の材料は、例えば、 SiOC である。ハードマスク17は、例えば、シリコン

50

酸化膜である。その後、層間絶縁膜 15 にプラグ（不図示）用の開口を形成し、層間絶縁膜 17 に第 2 配線（不図示）用の配線溝を形成する。続いて、銅デュアルダマシン配線プロセスを用いて、配線溝および開口内にバリアメタル（不図示）を介して第 2 配線およびプラグを同時に形成する。バリアメタルは、例えば、 Ta_N （下層）/ Ta （上層）の積層膜である。第 2 配線およびプラグの材料は、例えば、 Cu である。その後、第 2 配線を含む層間絶縁膜 17 上に絶縁性バリア膜 21 を堆積する（図 15 参照）。絶縁性バリア膜 21 は、例えば、 SiN 膜である。層間絶縁膜 15 を形成してから絶縁性バリア膜 21 を形成するまでの工程をステップ A 12 とする。

【0189】

ステップ A 12 において、第 2 配線（不図示）の形成は、第 1 配線 5a、5b を形成した際に用いられたプロセスと同様のプロセスを用いることが可能である。このとき、バリアメタル（不図示）と第 2 上部電極 11 を同一材料とすることで、プラグ（不図示）と第 2 上部電極 11 の間の接触抵抗を低減し、素子性能を向上させることができるようになる。素子性能の向上とは、例えば、ON 状態における抵抗変化素子 22i、22j の抵抗が低減することである。

【0190】

また、ステップ A 12 において、層間絶縁膜 15 および層間絶縁膜 17 はプラズマ CVD 法で形成することが可能である。

【0191】

また、ステップ A 12 において、抵抗変化素子 22i、22j によって形成される段差を解消するため、層間絶縁膜 15 を厚く堆積し、CMP 法によって層間絶縁膜 15 の上面を削り込んで平坦化することで、層間絶縁膜 15 を所望の膜厚に形成してもよい。

【0192】

本実施形態では、第 2 の実施形態と同様に、第 1 配線 5 を抵抗変化素子 22i、22j の下部電極とすることで、第 1 配線 5 が抵抗変化素子 22i、22j の下部電極を兼ねている。そのため、抵抗変化素子 22i、22j の小型化による高密度化を実現するとともに、相補型の抵抗変化素子を形成することができるため、信頼性を向上させることができる。

【0193】

また、第 1 配線と下部電極を別の工程で形成する場合に比べて、工程数の増加を抑制してプロセスを簡略化するとともに、下部電極の抵抗を下げることもできる。また、第 1 配線 5 を通常の Cu ダマシン配線プロセスで形成する場合、2 回のリソグラフィ工程を追加するだけで、抵抗変化素子を多層配線層内に形成することができる。上述したように、下部電極の抵抗を低減し、かつ、工程数の増加を抑制するだけでなく、2 回のリソグラフィ工程に必要なマスクセットを準備すればよいので、素子の低抵抗化と低コスト化を同時に達成することができる。

【0194】

さらに、銅配線によって構成される最先端のデバイスの内部にも抵抗変化素子 22i、22j を搭載して、装置の性能を向上させることができる。

【実施例 6】

【0195】

第 5 の実施形態の半導体装置における実施例を説明する。本実施例は、図 15 には表示されていなかったプラグ 19 および第 2 配線 18 を有する部分の断面構造に関する。

【0196】

図 20 は実施例 6 の半導体装置の一構成例を示す断面図である。なお、上述の実施形態または実施例と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0197】

図 20 に示すように、層間絶縁膜 15 および層間絶縁膜 17 には、プラグ 19 および第 2 配線 18 が設けられ、プラグ 19 および第 2 配線 18 からなる導電性一体構造の側面および底面がバリアメタル 20 で覆われている。そして、プラグ 19 がバリアメタル 20 を

10

20

30

40

50

介して第2上部電極11と接触している。

【0198】

図20に示す例では、層間絶縁膜15および層間絶縁膜17が一体構造として表わされ、これらの膜の境界面が図に示されていない。プラグ19および第2配線18も、一体構造として表わされ、プラグ19と第2配線18の境界面が図に示されていない。

【0199】

バリアメタル20は、第2上部電極11と同一材料であることが好ましい。例えば、バリアメタル20がTa₂N(下層)/Ta(上層)の積層構造である場合には、下層材料であるTa₂Nを第2上部電極11の材料に用いることが好ましい。バリアメタル20がTi(下層)/Ru(上層)である場合は、下層材料であるTiを第2上部電極11の材料に用いることが好ましい。

10

【0200】

第2上部電極11は、上述したように、バリアメタル20と同一材料であることが好ましい。第2上部電極11は、バリアメタル20を介してプラグ19と電氣的に接続されている。プラグ19と第2上部電極11とが接する領域、厳密に言うとバリアメタル20と第2上部電極11とが接する領域(直径R2の円とする)の面積は、第1配線5a、5bと抵抗変化素子膜9aとが接する領域(直径R1の円とする)の水平面の面積よりも小さくなるように設定されている。つまり、 $R2 < R1$ の関係にある。このようにすることで、第2上部電極11とプラグ19との接続部となる層間絶縁膜15に形成された開口へのめっき(例えば、銅めっき)の埋め込み不良が抑制され、ボイドの発生を抑制することができるようになる。

20

【0201】

なお、本実施例の半導体装置の製造方法は、図16Aから図19Bを参照して説明した製造方法と同様であるため、その詳細な説明を省略する。

【実施例7】

【0202】

第5の実施形態の半導体装置における、別の実施例を説明する。本実施例の半導体装置は、抵抗変化素子の上部電極と第2配線とをプラグを介さずに接続した構成である。

【0203】

図21は実施例7の半導体装置の一構成例を示す断面図である。なお、上述の実施形態または実施例と同様な構成については同一の符号を付し、その詳細な説明を省略する。

30

【0204】

図21に示すように、本実施例の半導体装置では、実施例6に比べて、第1上部電極11および第2配線18のそれぞれの膜厚を厚くしている。第1上部電極11が第2配線と、プラグを介さずに、バリアメタル20だけを介して接続されている。

【0205】

本実施例によれば、プラグの形成工程を省略することが可能となる。なお、本実施例の半導体装置の製造方法は、図16Aから図19Bを参照して説明した製造方法と同様であるため、その詳細な説明を省略する。

【実施例8】

40

【0206】

第5の実施形態の半導体装置における、別の実施例を説明する。本実施例の半導体装置は、抵抗変化素子の上部電極と第2配線とをプラグを介さずに接続した構成において、実施例7とは異なる構成である。

【0207】

図22は実施例8の半導体装置の一構成例を示す断面図である。なお、上述の実施形態または実施例と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0208】

図22に示すように、本実施例の半導体装置では、実施例6に比べて、層間絶縁膜14の膜厚を厚くすることで、層間絶縁膜14に形成される開口が深くなっている。その開口

50

に第1上部電極11の材料を埋め込むことで、第1上部電極11が第2配線と、プラグを介さずに接続されている。

【0209】

本実施例においても、プラグの形成工程を省略することが可能となる。なお、本実施例の半導体装置の製造方法は、図16Aから図19Bを参照して説明した製造方法と同様であるため、その詳細な説明を省略する。

【実施例9】

【0210】

第5の実施形態の半導体装置における、別の実施例を説明する。本実施例の半導体装置は、第2配線がプラグおよび第1配線を介して抵抗変化素子と接続された構成を含むものである。

10

【0211】

図23は、本実施例の半導体装置の一構成例を示す断面図であり、図14に示したレイアウト図の線分A-A'における断面構造を示す図である。なお、上述の実施形態または実施例と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0212】

図23に示すように、本実施例の半導体装置は、図15に示した半導体装置において、第1配線5bがバリアメタル20およびプラグ19を介して第2配線18と接続されている。第1配線5bにおいて、図23に示す左右方向において、第1配線5bのパターンの長さが、図15に示した第1配線5bよりも長くなっている。これは、第1配線5bを抵抗変化素子膜9に接続させるとともに、第1配線5bをプラグ19に接続させるために、第1配線5bの上面の面積を確保するためである。

20

【0213】

第1配線5aの側面および底面がバリアメタル6aで覆われ、第1配線5bの側面および底面がバリアメタル6bで覆われている。バリアメタル6a、6bは、第2の実施形態で説明したバリアメタル6と同様な構成であるため、その詳細な説明を省略する。第2配線18は層間絶縁膜17およびエッチングストップ膜16に設けられた配線溝に形成され、プラグ19は層間絶縁膜15に設けられた開口に形成されている。プラグ19および第2配線18からなる導電性一体構造は、その側面および底面がバリアメタル20で覆われている。

30

【0214】

次に、本実施例の半導体装置の製造方法を説明する。なお、第5の実施形態で説明した製造方法と同様な処理については、その詳細な説明を省略する。図24Aから図30Bは実施例9の半導体装置の製造方法を模式的に示す断面図である。圧力の単位Torrは、 $1\text{ Torr} = 133.3\text{ Pa}$ である。

【0215】

図に示さない半導体基板に半導体素子を形成した後、この半導体基板の上に層間絶縁膜2を堆積する。層間絶縁膜2は、例えば、シリコン酸化膜であり、膜厚が300nmである。その後、層間絶縁膜2上にバリア絶縁膜3および層間絶縁膜4を順に堆積する。バリア絶縁膜3は、例えば、SiCN膜で、膜厚が30nmである。層間絶縁膜4は、例えば、シリコン酸化膜であり、膜厚が200nmである。

40

【0216】

その後、リソグラフィ法（フォトリソ形成、ドライエッチング、およびフォトリソ除去を含む）を用いて、層間絶縁膜4およびバリア絶縁膜3に配線溝を形成する。続いて、形成した配線溝にバリアメタル6を介して銅を埋め込んで、第1配線5a、5bを形成する（図24A参照）。バリアメタル6は、例えば、Ta₂N₅/Taの積層膜であり、膜厚が5nm/5nmである。

【0217】

続いて、第1配線5a、5bを含む層間絶縁膜4上に絶縁性バリア膜7を形成する（図24B参照）。絶縁性バリア膜7は、例えば、SiCN膜であり、膜厚が30nmである

50

。さらに、絶縁性バリア膜 7 上にハードマスク膜 8 を形成する (図 2 4 C 参照) 。ハードマスク膜 8 は、例えば、シリコン酸化膜である。

【 0 2 1 8 】

次に、ハードマスク膜 8 上にフォトレジスト (不図示) を形成し、所定のマスクを用いた露光処理を行って、そのフォトレジストに開口部をパターニングする。続いて、そのフォトレジストをマスクにして、ハードマスク膜 8 をドライエッチングすることにより、ハードマスク膜 8 に開口部パターンを形成する。その後、酸素プラズマアッシング等によってフォトレジストを剥離する (図 2 5 A 参照) 。

【 0 2 1 9 】

次に、図 2 5 A に示すハードマスク膜 8 をマスクとして、ハードマスク膜 8 の開口部に露出する絶縁性バリア膜 7 をエッチバック (反応性ドライエッチング) する。このエッチングにより、絶縁性バリア膜 7 に開口部 1 6 0 を形成し、開口部 1 6 0 から第 1 配線 5 a、5 b のそれぞれの上面の一部を露出させる。その後、アミン系の剥離液などで有機剥離処理を行うことで、第 1 配線 5 a、5 b の露出面に形成された酸化銅を除去するとともに、エッチバック時に発生したエッチング複生成物などを除去する。続いて、減圧下、3 5 0 の雰囲気において、基板を 1 分間、加熱することで、有機成分や水分を除去する。その後、 H_2 / He の混合ガスによるプラズマクリーニングによって、第 1 配線 5 a の表面の酸化物を除去する (図 2 5 B 参照) 。ここまでの処理は、第 5 の実施形態と同様な処理が多い。詳細な説明を必要とする処理が少ないので、層間絶縁膜 2 の形成からプラズマクリーニングまでの処理をステップ B 1 とする。

【 0 2 2 0 】

また、ステップ B 1 において、絶縁性バリア膜 7 の開口部 1 6 0 を形成する際の反応性ドライエッチング (エッチバック) は、ガス流量 $CF_4 / Ar = 25 : 50 \text{ sccm}$ 、圧力 4 mTorr 、ソース電力 400 W 、基板バイアス電力 90 W の条件で行うことが可能である。このとき、絶縁性バリア膜 7 の膜厚 30 nm に対して、 55 nm 相当 (約 80% オーバー) のエッチングを実施することで、層間絶縁膜 4 の内部にまで達する開口部を形成することが可能である。

【 0 2 2 1 】

また、ステップ B 1 において、減圧下、3 5 0 での加熱は、スパッタリング装置内に搭載されているヒートチャンバにて行うことが可能である。

【 0 2 2 2 】

なお、ステップ B 1 の処理後では、第 1 配線 5 b の上面は、開口部 1 6 0 において露出しているが、開口部 1 6 0 以外は絶縁性バリア膜 7 で覆われたままである。

【 0 2 2 3 】

次に、第 1 配線 5 a、5 b の露出面および絶縁性バリア膜 7 の上に抵抗変化素子膜 9 をプラズマ CVD によって堆積する (図 2 5 C 参照) 。抵抗変化素子膜 9 は、例えば、材料が SiO_2 や Si_3N_4 であり、膜厚が 6 nm である。続いて、抵抗変化素子膜 9 上に第 1 導電性膜 1 5 2 および第 2 導電性膜 1 5 4 を順に形成する (図 2 6 A 参照) 。第 1 導電性膜 1 5 2 は、例えば、材料が Ru であり、膜厚が 10 nm である。第 2 導電性膜 1 5 4 は、例えば、材料が Ta であり、膜厚が 50 nm である。抵抗変化素子膜 9 の形成から第 2 導電性膜 1 5 4 の形成までの工程をステップ B 2 とする。

【 0 2 2 4 】

ステップ B 2 において、抵抗変化素子膜 9 の成膜工程では、化学式 [化 1] に示す有機シロキサン原料を流量 65 sccm で、キャリアガスとして He を用いて成膜装置のチャンバーに導入し、RF 電力 88 W 、温度 350 、圧力 4.5 Torr の条件により、抵抗変化素子膜 9 を形成することが可能である。

【 0 2 2 5 】

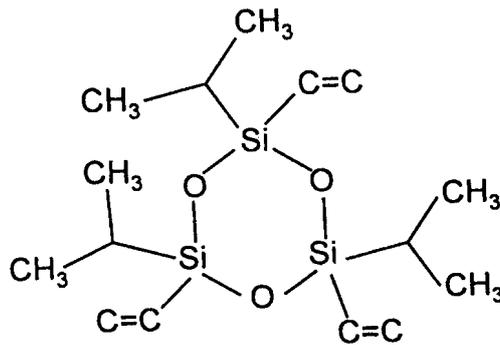
10

20

30

40

【化1】



10

また、ステップB2において、第1導電性膜152は、Ruをターゲットとして、DCパワー0.2kW、Arガス、圧力2mTorrの条件で、DC(Direct Current:直流)スパッタリングにより形成することが可能である。第2導電性膜154は、ターゲットにTaを用いる以外は、他の条件を第1導電性膜152の場合と同様にして、DCスパッタリングにより形成することが可能である。いずれの導電性膜も減圧下で形成されるため、抵抗変化素子膜9から酸素が脱離してしまうおそれがあるが、抵抗変化素子膜9からの酸素の脱離を抑制するために、それらの導電性膜を室温で形成している。

【0226】

20

第1導電性膜152の別の形成方法を説明する。ステップB2において、第1導電性膜152は、300以下の基板温度にて、ALD法により、有機金属Ru原料を用いて形成することも可能である。有機金属Ru原料としては、例えば、エチルシクロペンタジエニルルテニウムを用いることが可能である。段差のある形状に対して埋め込みを行う必要がある場合には、段差形状の側面への被覆性を考慮して、DCスパッタリング法よりもALD法を選択することが可能である。第1導電性膜152にRuを用いる場合、Ruの膜厚は10nm以下、好ましくは2~10nmの範囲であることが好ましい。

【0227】

ALD法において、膜内の炭素量を減少させるため、有機金属Ru原料を供給下の後に、H₂プラズマ処理を行う方法が知られている。この方法はPEALD(Plasma Enhanced ALD)法と呼ばれており、第1導電性膜152の形成にPEALD法を用いてもよい。PEALD法を用いて第1導電性膜152を形成する際、下地の抵抗変化素子膜9(例えば、材料がSiOC)にダメージを与えずにRu膜を形成する条件としては、N₂:H₂=1:2の混合ガス比にてプラズマ処理を行うことが好ましい。RFパワーは200W程度にすることが好ましいが、抵抗変化素子膜9に対するダメージは、原料の供給量、チャンパーの構成などに依存する。そのため、Ru膜のシート抵抗が100μcm以下、好ましくは50μcm程度になるようにRFパワーを調整することが好ましい。このような条件に設定することで、Ru膜について、約0.05nm/cycle程度の成長速度が得られた。プラズマ処理の用いるガスは、H₂に限らず、He、Ar、N₂のうち、いずれかを用いてもよい。

30

40

【0228】

また、第1導電性膜152と同様に、有機Ta原料を用いたPEALD法により第2導電性膜154を形成してもよい。

【0229】

一方、一般的なALD法で形成したRu膜と絶縁膜との密着性が極めて悪いことが知られている。抵抗変化素子膜9と第1導電性膜152との密着性を向上させるために、次のいずれかの方法を用いることが好ましい。1つ目の方法は、抵抗変化素子膜9を形成した後、基板を大気開放することなくPEALD法でRuを抵抗変化素子膜9の上に成長させる方法である。2つ目の方法は、基板を大気開放することなく抵抗変化素子膜9の表面に上述のH₂/N₂プラズマ処理を実施した後、PEALD法にてRuを抵抗変化素子

50

膜 9 の上に成長させる方法である。

【 0 2 3 0 】

なお、ステップ B 2 の処理後では、第 1 配線 5 b の上面は絶縁性バリア膜 7 または抵抗変化素子膜 9 で覆われ、抵抗変化素子膜 9 の上には第 1 導電性膜 1 5 2 および第 2 導電性膜 1 5 4 が形成されている。

【 0 2 3 1 】

次に、第 2 導電性膜 1 5 3 の上にハードマスク膜 1 2 およびハードマスク膜 2 3 を順に形成する（図 2 6 B 参照）。ハードマスク膜 1 2 は、例えば、SiN 膜であり、膜厚が 30 nm である。ハードマスク膜 2 3 は、例えば、SiO₂ 膜であり、膜厚が 200 nm である。ハードマスク膜 1 2 およびハードマスク膜 2 3 を形成する工程をステップ B 3 とする。ハードマスク膜 1 2 およびハードマスク膜 2 3 は、プラズマ CVD 法を用いて成膜することが可能である。ハードマスク膜 1 2 およびハードマスク膜 2 3 は、本発明の技術分野における、一般的なプラズマ CVD 法を用いて形成することが可能である。本実施例では、成長温度を 350 とした。

10

【 0 2 3 2 】

ハードマスク膜 2 3 は、ハードマスク膜 1 2 をエッチングする際のハードマスクとなる膜である。ハードマスク膜 2 3 は、ハードマスク膜 1 2 と異なる種類の膜であることが好ましい。上述の例のように、ハードマスク膜 1 2 が SiN 膜であれば、ハードマスク膜 2 3 を SiO₂ 膜とすることが可能である。

【 0 2 3 3 】

なお、ステップ B 2 の処理後では、第 1 配線 5 b の上面は絶縁性バリア膜 7 または抵抗変化素子膜 9 で覆われ、抵抗変化素子膜 9 の上には第 1 導電性膜 1 5 2、第 2 導電性膜 1 5 4、ハードマスク膜 1 2 およびハードマスク膜 2 3 が形成されている。

20

【 0 2 3 4 】

次に、ハードマスク膜 2 3 上に抵抗変化素子部をパターニングするためのフォトレジスト（不図示）を形成し、続いて、そのフォトレジストをマスクにして、ハードマスク膜 1 2 が表れるまでハードマスク膜 2 3 に対してドライエッチングを行う。その後、酸素プラズマアッシングと有機剥離を用いてフォトレジストを除去する（図 2 6 C 参照）。続いて、ハードマスク膜 1 3 をマスクにして、ハードマスク膜 1 2、第 2 導電性膜 1 5 4、第 1 導電性膜 1 5 2 および抵抗変化素子膜 9 に対して連続的にドライエッチングを行う。これにより、第 2 上部電極 1 1 および第 1 上部電極 1 0 が形成される（図 2 7 A 参照）。ハードマスク膜 2 3 上にフォトレジストを形成する工程から第 2 上部電極 1 1 および第 1 上部電極 1 0 を形成するまでの工程をステップ B 4 とする。

30

【 0 2 3 5 】

ステップ B 4 において、ハードマスク膜 2 3 のドライエッチングは、ハードマスク膜 1 2 の上面または内部で停止していることが好ましい。このとき、抵抗変化素子膜 9 はハードマスク膜 1 2 によってカバーされているため、そのドライエッチング中の酸素プラズマに暴露されることはない。なお、ハードマスク膜 2 3 のドライエッチングには、一般的な平行平板型のドライエッチング装置を用いることが可能である。

【 0 2 3 6 】

ステップ B 4 において、ハードマスク膜 1 2、第 2 導電性膜 1 5 4、第 1 導電性膜 1 5 2、および抵抗変化素子膜 9 のそれぞれのエッチングは、平行平板型のドライエッチャーを用いることが可能である。ハードマスク膜 1 2（例えば、SiN 膜）に対するエッチングは、CF₄ / Ar = 25 / 50 sccm、圧力 4 mTorr、ソース電力 400 W、基板バイアス電力 90 W の条件で行うことが可能である。

40

【 0 2 3 7 】

第 2 導電性膜 1 5 4（例えば、Ta 膜）に対するエッチングは、Cl₂ = 50 sccm、圧力 4 mTorr、ソース電力 400 W、基板バイアス電力 60 W の条件で行うことが可能である。第 1 導電性膜 1 5 2（例えば、Ru 膜）に対するエッチングは、Cl₂ / O₂ = 5 / 40 sccm、圧力 4 mTorr、ソース電力 900 W、基板バイアス電力 10

50

0 Wの条件で行うことが可能である。

【0238】

抵抗変化素子膜9（例えば、SiOC膜）に対するエッチングは、 $CF_4 / Ar = 15 / 15$ sccm、圧力10 mTorr、ソース電力800 W、基板バイアス電力60 Wの条件で行うことが可能である。このような条件を用いることで、サブトレッチなどの発生を抑制しながら加工をすることが可能である。このとき、第1配線5a、5b上の絶縁性バリア膜7の残膜の膜厚が40 nmとなるようにエッチング条件を調節した。これらの膜のエッチングの際、図27Aに示すように、ハードマスク膜23はエッチング中に完全に除去されることが好ましいが、残存してもよい。

【0239】

次に、ハードマスク膜12、第2上部電極11、第1上部電極10および抵抗変化素子膜9を覆う保護絶縁膜24を絶縁性バリア膜7上に堆積する（図27B参照）。保護絶縁膜24を形成する工程をステップB5とする。

【0240】

保護絶縁膜24は、抵抗変化素子22i、22jにダメージを与えることなく、さらに抵抗変化素子膜9からの酸素の脱離を防ぐ機能を有する絶縁膜である。保護絶縁膜24には、例えば、SiN膜またはSiCN膜等を用いることが可能である。ステップB5において、保護絶縁膜24は、 SiH_4 と N_2 を原料ガスとし、基板温度200にて、高密度プラズマを用いて形成することが可能である。 NH_3 や H_2 などの還元系のガスを用いないため、成膜直前の成膜ガス安定化工程において、抵抗変化素子膜9（例えば、SiOC膜）の還元を抑制することができる。

【0241】

保護絶縁膜24は、ハードマスク膜12および絶縁性バリア膜7と同一材料であることが好ましい。絶縁性バリア膜7、保護絶縁膜24およびハードマスク膜12が同一材料である場合、例えば、SiN膜である場合、これらの膜の界面の密着性が向上することで、これらの膜が一体化して抵抗変化素子22i、22jの周囲を保護する。その結果、抵抗変化素子膜9の吸湿性、耐水性、および酸素脱離耐性が向上し、素子の歩留まりと信頼性を向上することができるようになる。

【0242】

次に、保護絶縁膜24上に、プラズマCVD法を用いて層間絶縁膜15を堆積する（図28A参照）。層間絶縁膜15は、例えば、シリコン酸化膜であり、膜厚が500 nmである。層間絶縁膜15を形成する工程をステップB6とする。

【0243】

次に、CMP法を用いて層間絶縁膜15の上面を平坦化する（図28B参照）。ここで、層間絶縁膜15の平坦化では、層間絶縁膜15の頂面から約350 nmを削り取り、残膜を約150 nmとすることが可能である。このとき、層間絶縁膜15に対するCMP処理では、一般的な、コロイダルシリカまたはセリア系のスラリーを用いて層間絶縁膜15を研磨することが可能である。層間絶縁膜15の上面を平坦化する工程をステップB7とする。

【0244】

次に、層間絶縁膜15上に層間絶縁膜17およびエッチングストッパ膜16を順に堆積する（図29A参照）。層間絶縁膜17は、例えば、シリコン酸化膜であり、膜厚が300 nmである。層間絶縁膜17およびエッチングストッパ膜16を形成する工程をステップB8とする。ステップB8において、層間絶縁膜17は、プラズマCVD法を用いて堆積することが可能である。

【0245】

次に、デュアルダマシン法による、第2配線18およびプラグ19の形成方法を説明する。デュアルダマシン法には、トレッチファースト法およびビアファースト法など複数のタイプがあるが、ここでは、ビアファースト法を用いて、第2配線18およびプラグ19を形成する方法を説明する。

10

20

30

40

50

【0246】

ビアファースト法では、まず、プラグ19用の開口を形成するためのフォトレジスト（不図示）をエッチングストッパ膜16上に形成し、その後、そのフォトレジストをマスクにして、エッチングストッパ膜16、層間絶縁膜17および層間絶縁膜15に対してドライエッチングを行う。これにより、エッチングストッパ膜16および層間絶縁膜17に開口71aが形成されるとともに、層間絶縁膜15にプラグ19用の開口71が形成される。その後、酸素プラズマアッシングと有機剥離を行うことで、フォトレジストを除去する（図29B参照）。プラグ19用の開口を形成するためのフォトレジストを形成してから、開口71、71aを形成し、フォトレジストを除去するまでの工程をステップB9とする。

10

【0247】

ステップB9において、ドライエッチングが絶縁性バリア膜24で停止するように、エッチング条件と時間を調節する。

【0248】

次に、第2配線18用の配線溝を形成するためのフォトレジスト（不図示）をエッチングストッパ膜16上に形成し、続いて、そのフォトレジストをマスクにして、エッチングストッパ膜16および層間絶縁膜17に対してドライエッチングを行う。これにより、エッチングストッパ膜16および層間絶縁膜17に第2配線18用の仮配線溝72aが形成される。その後、酸素プラズマアッシングと有機剥離を行うことで、フォトレジストを除去する（図30A参照）。図30Aに示すように、仮配線溝72aの底には、層間絶縁膜17が残っている。第2配線18用の配線溝を形成するためのフォトレジストを形成してから、仮配線溝72aを形成し、フォトレジストを除去するまでの工程をステップB10とする。

20

【0249】

ステップB10において、開口71の底にARC（Anti-Reflection Coating；反射防止膜）などを埋め込んでおいてもよい。この場合、層間絶縁膜17に対するエッチングの際、開口71の底の突き抜けを防止することができる。

【0250】

また、ステップB10において、開口71の底は保護絶縁膜24の上面に相当し、第1配線5bの上面が保護絶縁膜24および絶縁性バリア膜7で保護されているため、第1配線5bは酸素プラズマアッシングによる酸化ダメージを受けない。

30

【0251】

次に、エッチングストッパ膜16をマスクにして、配線溝72aの底の層間絶縁膜17をエッチングするとともに、開口71の底の保護絶縁膜24および絶縁性バリア膜7をエッチングすることで、配線溝72に層間絶縁膜15を露出させ、開口71に第1配線5bを露出させる（図30B参照）。

【0252】

その後、配線溝72および開口71内にバリアメタル20を介して第2配線18およびプラグ19を同時に形成する。バリアメタル20は、例えば、材料がTaであり、膜厚が5nmである。第2配線18およびプラグ19の材料は、例えば、Cuである。さらに、第2配線18およびエッチングストッパ膜16の上に絶縁性バリア膜21を堆積する（図23参照）。絶縁性バリア膜21は、例えば、SiN膜である。配線溝72aの形成から絶縁性バリア膜21を形成するまでの工程をステップB11とする。

40

【0253】

本実施例によれば、第5の実施形態と同様な効果を奏するとともに、プラグ19および第2配線18を形成するデュアルダマシン工程において、第1配線5bにプラグ19を接続することができる。

【0254】

次に、本実施例の半導体装置の書き込み動作を説明する。図31は本実施例の半導体装置の書き込み動作を説明するための模式図である。ここでは、本実施形態の半導体装置に

50

M O S トランジスタの3つの端子を適用し、図23に示した抵抗変化素子22iの第1配線5aをソース電極（以下では、S o u r c e と表記）とし、抵抗変化素子22jの第1配線5bをドレイン電極（以下では、D r a i n と表記）とし、第1上部電極10をゲート電極（以下では、G a t e と表記）とする。

【0255】

図4に示した電気素子131と対応させて説明すると、図4に示した入力端子121がS o u r c e に相当し、出力端子122がD r a i n に相当し、制御用の電圧が印加される端子V2がG a t e に相当する。ここでは、図4に示したトランジスタ113が常にO N 状態になっているものとする。

【0256】

図32A～図32Cは、図31に示す電気素子の各端子に電圧を印加した場合の電圧 - 電流特性を示すグラフである。縦軸がS o u r c e - D r a i n 間の電流を示し、横軸が2つの電極間に印加される電圧を示す。初期状態においては、抵抗変化素子22i、22jは高抵抗状態であるため、S o u r c e - D r a i n 間の抵抗値は、図32Cに示す“O F F 1”のように、 10^8 である。抵抗変化素子22i、22jは高抵抗状態になっている。

【0257】

抵抗変化素子22i、22jを高抵抗状態から低抵抗状態へ遷移させるために、G a t e - D r a i n（以下では、G D と表記する）間およびG a t e - S o u r c e（以下では、G S と表記する）間のそれぞれに電圧を印加する。G a t e をグラウンドに固定した場合、S o u r c e およびD r a i n に正電圧を印加することで、抵抗変化素子22i、22jにフォーミング動作を行うことができる。フォーミング動作を行ったときの、D r a i n - S o u r c e 間の電流I d s と、G a t e - S o u r c e 間の電流I g s を、図32Aに示す。このとき、図32Aを見てわかるように、閾値電圧は2Vである。なお、過剰な電流が流れないように、セット電流はトランジスタによって100uAに制御されている。

【0258】

続いて、抵抗変化素子22i、22jが低抵抗状態へ遷移したかを確認するため、S o u r c e - D r a i n 間の電圧 - 電流特性を測定すると、図32Cに示す“O N”のように、約600 であった。抵抗変化素子22i、22jは低抵抗状態になっている。

【0259】

一方、抵抗変化素子22i、22jを低抵抗状態から高抵抗状態へ遷移させるために、G D 間およびG S 間のそれぞれに電圧を印加する。S o u r c e およびD r a i n をグラウンドに固定した場合、G a t e に正電圧を印加することで、抵抗変化素子22i、22jにリセット動作を行うことができる。リセット動作を行ったときの、電流I d s と電流I g s を図32Bに示す。電圧が印加されると1V付近から、それぞれの電流が減少する。つまり、抵抗値が増加している。

【0260】

続いて、抵抗変化素子22i、22jが高抵抗状態へ遷移したかを確認するため、S o u r c e - D r a i n 間の電圧 - 電流特性を測定すると、図32Cに示す“O F F 2”のように、約 10^8 であった。抵抗変化素子22i、22jは高抵抗状態になっている。

【0261】

以上のことから、G a t e に電圧を印加することで、抵抗変化素子22i、22jに対して、図32Cに示した“O F F 1”および“O F F 2”のような高抵抗状態と、図32Cに示した“O N”のような低抵抗状態との間で変化可能なだけでなく、変化させた状態を不揮発性で記録可能なことが確認できた。

【0262】

次に、本実施例の半導体装置の信頼性に関する測定結果を説明する。ここで言う信頼性とは、いわゆるディスタブ特性のことである。図33Aおよび図33Bは本実施例の半導体装置の信頼性に関する測定結果を示すグラフであり、温度125 での高抵抗状態の

10

20

30

40

50

抵抗変化素子における電流 - 電圧特性を示すグラフである。縦軸は電流値で、横軸は電圧値である。

【0263】

図33AはDrain - Source間に電圧を印加した場合の電流 I_{ds} を示すグラフである。図33Aを見ると、電圧4V付近で絶縁破壊が生じていることがわかる。図33BはGate - Source間に電圧を印加した場合の電流 I_{gs} を示すグラフである。図33Bを見ると、電圧2V付近で、抵抗変化素子 $22i$ 、 $22j$ が低抵抗状態へ遷移していることがわかる。

【0264】

これらの測定結果から、Drain - Source間の耐圧はプログラミング電圧よりも大きくなっており、信頼性が改善していることがわかる。

10

【0265】

ここで、ディスタープ特性を改善する際に注意すべき点について述べる。Drain - Source間の絶縁信頼性を確保するためには、GS間およびGD間のそれぞれの絶縁抵抗(オフ抵抗)ができるだけ同等であることが好ましい。これらの絶縁抵抗の値が異なると、印加される電圧の配分が不均衡になり、DrainおよびSourceのうち、どちらか一方にだけ高い電圧が印加される可能性があるためである。すなわち、図25Bに示した開口部160は、できるだけDrain - Source間の中央に形成することが好ましい。

【実施例10】

20

【0266】

本実施例は、実施例6に示した半導体装置をロジックCMOSデバイスの多層配線層内に設けた構成である。

【0267】

本実施例の半導体装置について図面を参照して説明する。図34は本実施例の半導体装置の構成を模式的に示した部分断面図である。なお、上述の実施形態または実施例と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0268】

本実施例の半導体装置は、半導体基板1上に設けられた半導体素子と、8層の配線層を含む多層配線層と、実施例6で説明した抵抗変化素子 $22i$ 、 $22j$ とを有する構成である。半導体素子は、例えば、MOSFETであり、図34には、抵抗変化素子 $22i$ 、 $22j$ を選択するためのトランジスタとして選択トランジスタ70が示されている。

30

以下に、本実施例の半導体装置における多層配線層の構成を説明する。

【0269】

多層配線層は、半導体基板1上に、層間絶縁膜2、バリア絶縁膜3、層間絶縁膜4、絶縁性バリア膜7、保護絶縁膜14、層間絶縁膜15、バリア絶縁膜21、層間絶縁膜514、バリア絶縁膜524、層間絶縁膜515、バリア絶縁膜525、層間絶縁膜516、バリア絶縁膜526、層間絶縁膜517、バリア絶縁膜527、層間絶縁膜518、バリア絶縁膜528、層間絶縁膜519および保護絶縁膜520が順に積層した絶縁積層体を有する。

40

【0270】

層間絶縁膜2に設けられた開口には、バリアメタル531としてTiN膜を介してコンタクトプラグ532が埋め込まれている。コンタクトプラグ532の材料は、例えば、タングステンである。バリア絶縁膜3および層間絶縁膜4に設けられた配線溝にバリアメタル6を介して第1配線5が埋め込まれている。絶縁性バリア膜7、保護絶縁膜14および層間絶縁膜15に設けられた開口にはバリアメタル20を介してプラグ19が埋め込まれている。層間絶縁膜15に設けられた配線溝にバリアメタル20を介して第2配線18が埋め込まれている。第2配線18とプラグ19が一体構造となっており、その一体構造の側面と底面がバリアメタル20で覆われている。

【0271】

50

バリア絶縁膜 2 1 および層間絶縁膜 5 1 4 に設けられた開口にはバリアメタル 5 3 7 を介してプラグ 5 6 2 が埋め込まれている。層間絶縁膜 5 1 4 に設けられた配線溝にバリアメタル 5 3 7 を介して配線 5 3 8 が埋め込まれている。配線 5 3 8 とプラグ 5 6 2 が一体構造となっており、その一体構造の側面と底面がバリアメタル 5 3 7 で覆われている。バリア絶縁膜 5 2 4 および層間絶縁膜 5 1 5 に設けられた開口にはバリアメタル 5 3 9 を介してプラグ 5 6 3 が埋め込まれている。層間絶縁膜 5 1 5 に設けられた配線溝にバリアメタル 5 3 9 を介して配線 5 4 0 が埋め込まれている。配線 5 4 0 とプラグ 5 6 3 が一体構造となっており、その一体構造の側面と底面がバリアメタル 5 3 9 で覆われている。

【 0 2 7 2 】

バリア絶縁膜 5 2 5 および層間絶縁膜 5 1 6 に設けられた開口にはバリアメタル 5 4 1 を介してプラグ 5 6 4 が埋め込まれている。層間絶縁膜 5 1 6 に設けられた配線溝にバリアメタル 5 4 1 を介して配線 5 4 2 が埋め込まれている。配線 5 4 2 とプラグ 5 6 4 が一体構造となっており、その一体構造の側面と底面がバリアメタル 5 4 1 で覆われている。バリア絶縁膜 5 2 6 および層間絶縁膜 5 1 7 に設けられた開口にはバリアメタル 5 4 3 を介してプラグ 5 6 5 が埋め込まれている。層間絶縁膜 5 1 7 に設けられた配線溝にバリアメタル 5 4 3 を介して配線 5 4 4 が埋め込まれている。配線 5 4 4 とプラグ 5 6 5 が一体構造となっており、その一体構造の側面と底面がバリアメタル 5 4 3 で覆われている。

【 0 2 7 3 】

バリア絶縁膜 5 2 7 および層間絶縁膜 5 1 8 に設けられた開口にはバリアメタル 5 4 5 を介してプラグ 5 6 6 が埋め込まれている。層間絶縁膜 5 1 8 に設けられた配線溝にバリアメタル 5 4 5 を介して配線 5 4 6 が埋め込まれている。配線 5 4 6 とプラグ 5 6 6 が一体構造となっており、その一体構造の側面と底面がバリアメタル 5 4 5 で覆われている。バリア絶縁膜 5 2 8 および層間絶縁膜 5 1 9 に設けられた開口の上に、バリアメタル 5 4 7 およびバリアメタル 5 4 9 で挟まれた配線 5 4 8 が形成されている。そして、バリアメタル 5 4 7、バリアメタル 5 4 9 および配線 5 4 8 を覆う保護絶縁膜 5 2 0 が層間絶縁膜 5 1 9 の上に形成されている。

【 0 2 7 4 】

選択トランジスタ 7 0 のソース電極およびドレイン電極は、コンタクトプラグ 5 3 2、プラグ 1 9、5 6 2 ~ 5 6 6、ならびに、第 1 配線 5、第 2 配線 1 8、および配線 5 3 8、5 4 0、5 4 2、5 4 4、5 4 6 を介して最上部の配線 5 4 8 に電氣的に接続されている。

【 0 2 7 5 】

絶縁性バリア膜 7 は、第 1 配線 5 上にて開口部を有する。絶縁性バリア膜 7 の開口部の壁面は、第 1 配線 5 から離れるにしたって広くなるテーパ面となっている。

【 0 2 7 6 】

次に、抵抗変化素子 2 2 i、2 2 j について説明する。なお、図 3 4 に示す多層配線層全体の図では、抵抗変化素子 2 2 i、2 2 j の構成が細くなるため、構成を示す符号を一部省略しており、ここでは、実施例 6 の図も参照して説明する。

【 0 2 7 7 】

多層配線層において、抵抗変化素子 2 2 i、2 2 j は、絶縁性バリア膜 7 に形成された開口部に、下部電極となる第 1 配線 5 a、5 b 上に抵抗変化素子膜 9、第 1 上部電極 1 0 および第 2 上部電極 1 1 が順に積層された構成である。第 2 上部電極 1 1 上にはハードマスク膜 1 2 が形成され、抵抗変化素子膜 9、第 1 上部電極 1 0、第 2 上部電極 1 1 およびハードマスク膜 1 2 からなる積層体の上面および側面が保護絶縁膜 1 4 で覆われている。

【 0 2 7 8 】

抵抗変化素子 2 2 i、2 2 j は、下部電極となる第 1 配線 5 a、5 b と、プラグ 1 9 を介して第 2 配線 1 8 と電氣的に接続された第 1 上部電極 1 0 および第 2 上部電極 1 1 との間に抵抗変化素子膜 9 が介在した構成となっている。抵抗変化素子膜 9 は、第 1 配線 5 a、5 b の上面、絶縁性バリア膜 7 の開口部のテーパ面、および絶縁性バリア膜 7 の上面の上に形成されている。抵抗変化素子 2 2 i、2 2 j では、絶縁性バリア膜 7 に形成された

10

20

30

40

50

開口部の領域にて抵抗変化素子膜 9 と第 1 配線 5 a、5 b のそれぞれが直接接しており、第 2 上部電極 1 1 上にてプラグ 1 9 と第 2 上部電極 1 1 とがバリアメタル 2 0 を介して接続されている。プラグ 1 9 は、層間絶縁膜 1 5、保護絶縁膜 1 4 およびハードマスク膜 1 2 に形成された開口にバリアメタル 2 0 を介して埋め込まれている。

【 0 2 7 9 】

配線 5 3 8、5 4 0、5 4 2、5 4 4、5 4 6 の材料は、例えば、銅である。プラグ 5 6 2 ~ 5 6 6 の材料は、例えば、銅である。バリアメタル 5 3 7、5 3 9、5 4 1、5 4 3、5 4 5 は、例えば、Ta / TaN の積層膜である。また、層間絶縁膜 5 1 4 ~ 5 1 8 は、例えば、比誘電率 3 以下の SiOCH 膜である。第 1 配線 5 上の絶縁性バリア膜 7 には SiN 膜を用い、絶縁性バリア膜 7 以外のバリア絶縁膜 5 2 4 ~ 5 2 8 には、比誘電率の低い SiCN 膜を用いることが可能である。

10

【 0 2 8 0 】

最上層の配線 5 4 8 の材料は、例えば、Al - Cu である。バリアメタル 5 4 7、5 4 9 は、Ti / TiN の積層膜である。層間絶縁膜 5 1 9 は、例えば、シリコン酸化膜である。保護絶縁膜 5 2 0 は、例えば、シリコン窒化酸化膜である。

【 0 2 8 1 】

なお、本実施例の半導体装置における抵抗変化素子 2 2 i、2 2 j は、第 5 の実施形態、または、実施例 9 で説明した製造方法と同様な製造方法により形成することが可能であり、説明を省略している処理については、本発明の技術分野における一般的な手法を用いることが可能である。また、配線 5 3 8 から配線 5 4 6 までの配線およびプラグの形成方法についても、第 1 配線 5、プラグ 1 9 および第 2 配線 1 8 と同様なため、その詳細な説明を省略する。

20

【 0 2 8 2 】

また、本実施例では、実施例 6 で説明した半導体装置と同様な構成の抵抗変化素子 2 2 i、2 2 j を適用した場合を説明したが、これに限定されるものではなく、他の実施形態または実施例で説明した抵抗変化素子を適用してもよい。

【 0 2 8 3 】

本実施例によれば、第 2 の実施形態と同様な効果を奏するとともに、抵抗変化素子の構造を実施例 6 のような構造にすることで、最先端の ULSI ロジック製品の多層銅配線内部に抵抗変化素子を搭載することが可能となる。

30

【 0 2 8 4 】

なお、本発明の一実施形態として、信号経路中に挿入された少なくとも 2 つのバイポーラ型抵抗変化素子を有し、これらの抵抗変化素子の同一極性電極同士が接続され、かつ、未接続の 2 つの電極から入出力がなされる電気素子を有していれば、どのようなデバイスにも適用することが可能であり、その利用の可能性において何ら限定するものではない。また、相補型抵抗変化素子の構造は、他の膜との積層構造を用いることによっても本発明はなんら限定されることはない。本発明の一実施形態の構成は、少なくとも 2 つのバイポーラ型抵抗変化素子を有し、抵抗変化素子の同一極性電極同士が接続され、かつ、未接続の 2 つの電極から入出力がなされる電気素子を有していることである。

40

【 0 2 8 5 】

また、上述の実施形態および実施例では、バイポーラ型抵抗変化素子の場合を説明したが、ユニポーラ型の抵抗変化素子を適用しても、2 つの抵抗変化素子を小型化することが可能となり、抵抗変化素子の高密度な配置が可能となる。

【 0 2 8 6 】

上記のことを、以下に、具体的に述べる。上述の実施形態および実施例では、本発明の適用例として、本願発明者によってなされた発明の背景となった利用分野である CMOS 回路を有する半導体製造装置技術に関して詳しく説明し、半導体基板上の銅多層配線内部に抵抗変化素子を形成する構成について説明した。しかし、本発明はその技術に限定されるものではなく、例えば、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリ、FRAM (Ferro Electric Ra

50

ndom Access Memory)、M R A M (Magnetic Random Access Memory)、抵抗変化型メモリ、バイポーラトランジスタ等のようなメモリ回路を有する半導体製品、マイクロプロセッサなどの論理回路を有する半導体製品、あるいはそれらを同時に掲載したボードやパッケージの銅配線上へも適用することができる。また、本発明は半導体装置への、電子回路装置、光回路装置、量子回路装置、マイクロマシン、M E M S (Micro Electro Mechanical Systems)などの接合にも適用することができる。また、上述の実施形態および実施例では、スイッチ機能での実施例を中心に説明したが、不揮発性と抵抗変化特性の双方を利用したメモリ素子などに用いることもできる。

【0287】

また、製造後のデバイスからも本発明による抵抗変化素子の構造を確認することが可能である。具体的には、観察対象のデバイスの断面をT E M (Transmission Electron Microscope: 透過型電子顕微鏡)観察することで、多層配線に銅配線が用いられていることを確認し、抵抗変化素子が搭載されている場合には、抵抗変化素子の下面が銅配線であり、銅配線が下部電極を兼ねており、2つの異なる下層配線の間には開口部を有しているかを観察することで確認することができ、本発明に記載の構造であるかを確認できる。さらに、T E Mに加えE D X (Energy Dispersive X-ray Spectroscopy; エネルギー分散型X線分光法)、E E L S (Electron Energy-Loss Spectroscopy; 電子エネルギー損失分光法)などの組成分析を行うことで、本発明に含まれる材料であるかを確認することができる。

10

【0288】

本発明の効果の一例として、抵抗変化素子の閾値電圧以下の電圧が印加された場合の抵抗変化素子の誤書き込みおよび誤動作を防止できる。また、本発明の効果の一例として、抵抗変化素子の構造を小型化することで、抵抗変化素子の高密度な配置が可能となる。したがって、高性能かつ高信頼な半導体装置を実現できる。

20

【0289】

以上、実施形態および実施例を参照して本願発明を説明したが、本願発明は上記実施形態および実施例に限定されるものではない。本願発明の構成や詳細には、本願発明のスコープ内で当業者が理解し得る様々な変更をすることができる。例えば、当業者であれば、上述の実施形態および実施例の説明を読めば、これらの実施形態および実施例に含まれる内容と等価な構成要素や技術による数多くの変更および置換が容易であるが、このような変更および置換は、本願発明のスコープに属する。

30

【0290】

(付記1)多層配線と、前記多層配線の間には設けられ、第1電極、第2電極およびこれらの電極に挟まれた抵抗変化素子膜を含む2つの抵抗変化素子と、を有し、前記2つの抵抗変化素子のそれぞれの前記第1電極および前記第2電極のうち、いずれか一方の電極種が一体化して構成されていることを特徴とする半導体装置。

【0291】

(付記2)前記2つの抵抗変化素子がバイポーラ型の抵抗変化素子であり、前記第1電極が金属イオンの供給源となる材料を含み、前記第2電極が前記第1電極よりもイオン化しにくい材料で構成され、前記抵抗変化素子膜は前記金属イオンが伝導可能なイオン伝導層であることを特徴とする付記1記載の半導体装置。

40

【0292】

(付記3)前記2つの抵抗変化素子の前記第2電極が一体化された構成であり、前記2つの抵抗変化素子の前記第1電極が前記多層配線のいずれか1層の配線層により形成され、前記2つの抵抗変化素子の前記第1電極と前記抵抗変化素子膜との間に、1つの開口部を有する絶縁性バリア膜が設けられ、前記開口部を介して、前記抵抗変化素子膜が前記2つの抵抗変化素子の前記第1電極のそれぞれと接していることを特徴とする付記2記載の半導体装置。

【0293】

(付記4)前記抵抗変化素子膜が前記2つの抵抗変化素子の前記第1電極のそれぞれの

50

上面および側面と接していることを特徴とする付記 3 記載の半導体装置。

【0294】

(付記 5) 前記イオン伝導層は、 SiO_xCy 、 TaSiO_x 、 TaO_x 、 ZrO_x 、 HrO_x 、 SiO_x 、 TiO_x 、 CxHy 、 CxHySi aOb 、および有機膜のうち、いずれか 1 つを含むことを特徴とする付記 2 記載の半導体装置。

【0295】

(付記 6) 前記第 1 電極の材料の主成分が Cu であり、前記第 2 電極の材料の主成分が Ru または Pt であることを特徴とする付記 2 記載の半導体装置。

【0296】

(付記 7) 前記絶縁性バリア膜の材料が、 SiC 、 SiCN 、および SiN のうち、い

10

ずれかであることを特徴とする付記 3 記載の半導体装置。

【0297】

(付記 8) 前記第 2 電極は、前記抵抗変化素子膜の上に第 1 上部電極および第 2 上部電極が順に積層された構成であり、前記第 1 上部電極の材料が Ru または Pt であり、前記第 2 上部電極の材料が、 Ta 、 Ti 、 TaN 、 TiN 、 W 、および Al のうち、いずれかであることを特徴とする付記 2 記載の半導体装置。

【0298】

(付記 9) 多層配線を有する半導体装置の製造方法であって、前記多層配線に含まれる配線層のうち、1 つの配線層に設けられた 2 つの第 1 配線の上に、絶縁性バリア膜を形成する工程と、前記 2 つの第 1 配線から垂直方向に離れるにしたがって広がるテーパ面を壁面に備え、該 2 つの第 1 配線の上面の少なくとも一部を露出する第 1 の開口部を前記絶縁性バリア膜に形成する開口部工程と、少なくとも前記第 1 の開口部の底面および壁面を含む面に前記抵抗変化素子膜を形成する抵抗変化素子膜形成工程と、前記抵抗変化素子膜の上に第 2 電極を形成する第 2 電極形成工程と、前記多層配線のうち、前記 2 つの第 1 配線が形成された配線層とは異なる配線層により、前記第 2 電極に接続するための第 2 配線を形成する工程と、を有することを特徴とする半導体装置の製造方法。

20

【0299】

(付記 10) 前記開口部形成工程は、前記絶縁性バリア膜上に第 2 の開口部を有するハードマスク膜を形成する工程と、前記ハードマスク膜をマスクとして前記第 2 の開口部に露出する前記絶縁性バリア膜に対して反応性ドライエッチングを行うことにより、前記絶縁性バリア膜に前記第 1 の開口部を有する工程と、を含むものであることを特徴とする付記 9 記載の半導体装置の製造方法。

30

【0300】

(付記 11) 前記抵抗変化素子膜形成工程は、有機シリカ原料を用いたプラズマ CVD 法を含み、前記第 2 電極形成工程は、有機金属 Ru 原料を用いたプラズマ ALD 法を含み、前記抵抗変化素子膜形成工程と前記第 2 電極形成工程との間に、少なくとも前記抵抗変化素子膜が大気にさらることがないことを特徴とする付記 9 記載の半導体装置の製造方法。

【0301】

(付記 12) 前記抵抗変化素子膜形成工程と前記第 2 電極形成工程との間に、 H_2 、 He 、 Ar 、 N_2 のいずれか 1 つのガスを用いたプラズマ処理を前記抵抗変化素子膜に対して行うことを特徴とする付記 11 記載の半導体装置の製造方法。

40

【0302】

なお、この出願は、2010年6月16日に提出された日本出願の特願2010-137369の内容が全て取り込まれており、この日本出願を基礎として優先権を主張するものである。

【符号の説明】

【0303】

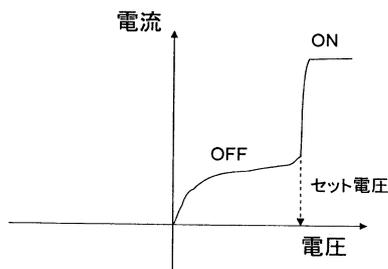
2、4、15、17 層間絶縁膜

3、21 バリア絶縁膜

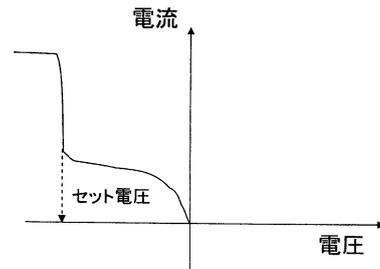
50

- 5、5 a、5 b 第 1 配線
- 6、6 a、6 b、2 0 バリアメタル
- 7 絶縁性バリア膜
- 9、9 a、9 b 抵抗変化素子膜
- 1 0 第 1 上部電極 (上部電極)
- 1 1 第 2 上部電極
- 1 2 ハードマスク膜
- 1 4、2 4 保護絶縁膜
- 1 8 第 2 配線
- 1 9 プラグ
- 2 2 a ~ 2 2 j、1 0 3 a、1 0 3 b 抵抗変化素子
- 7 0 選択トランジスタ
- 1 1 1 ~ 1 1 6 トランジスタ
- 1 3 1、1 3 2 電気素子

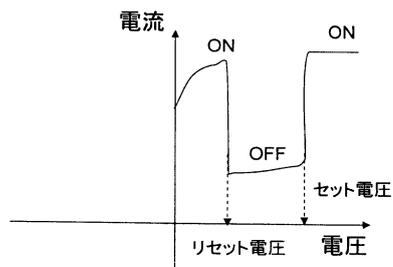
【図 1 A】



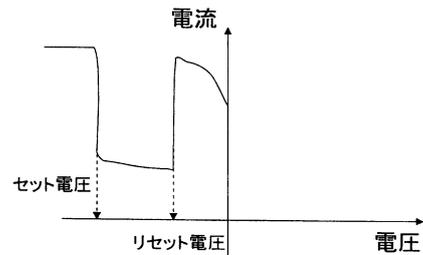
【図 1 C】



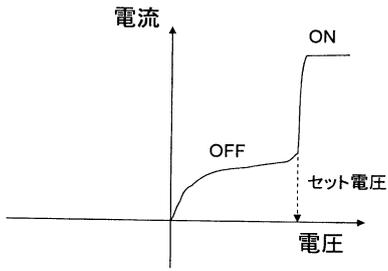
【図 1 B】



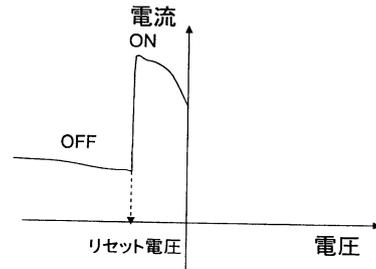
【図 1 D】



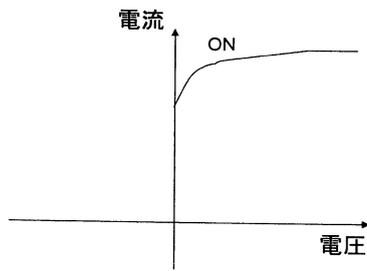
【図 2 A】



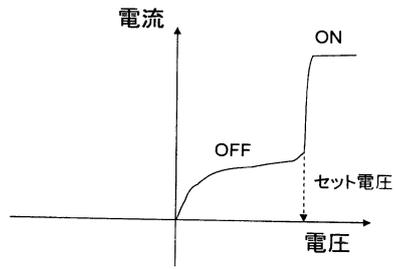
【図 2 C】



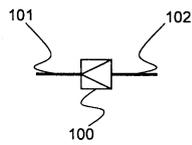
【図 2 B】



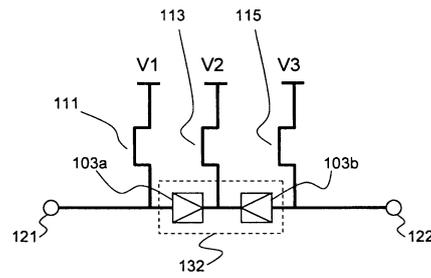
【図 2 D】



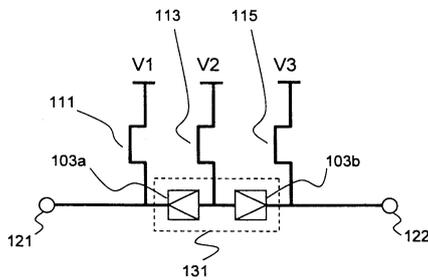
【図 3】



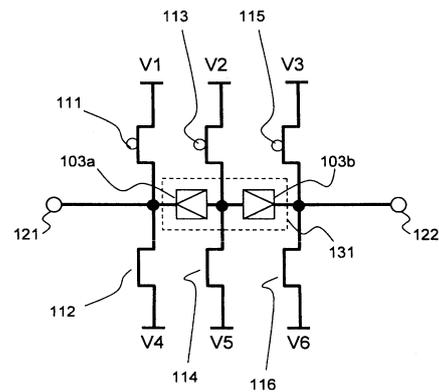
【図 5】



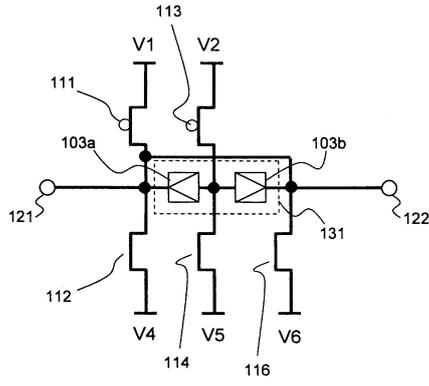
【図 4】



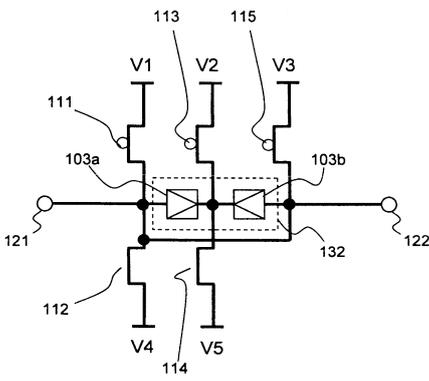
【図 6】



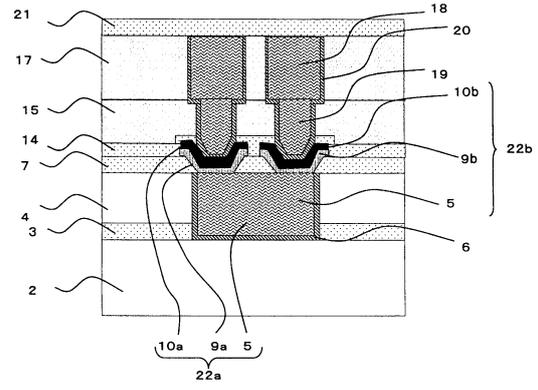
【図7】



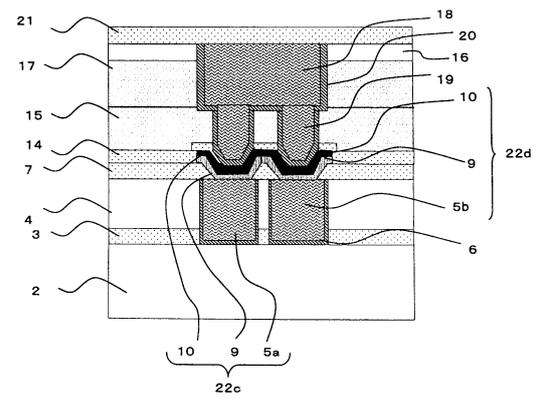
【図8】



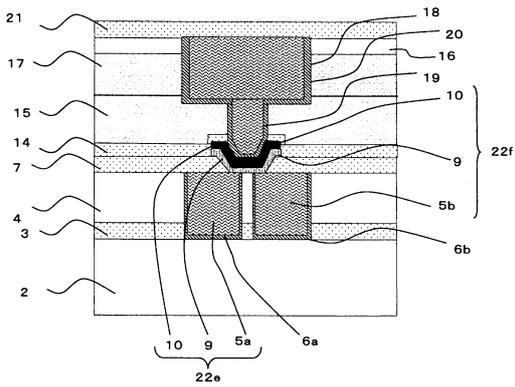
【図9】



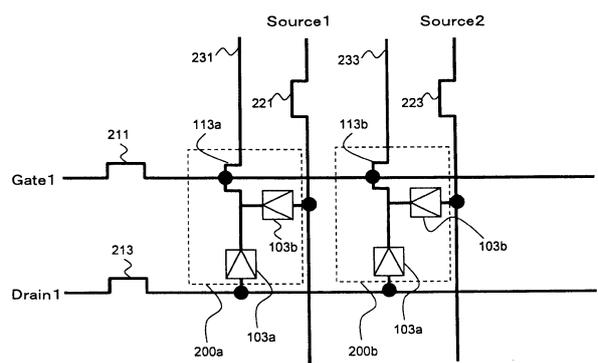
【図10】



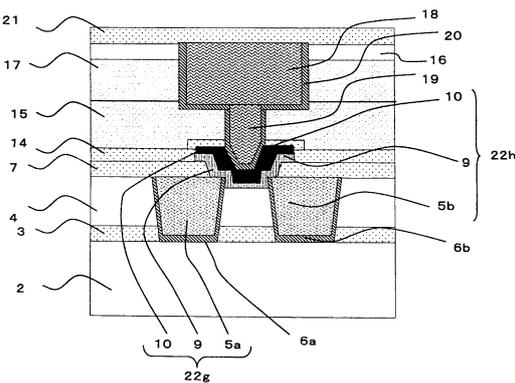
【図11】



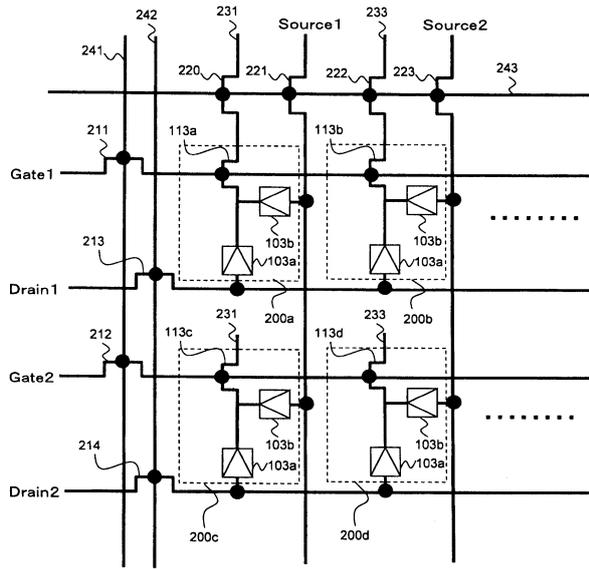
【図13A】



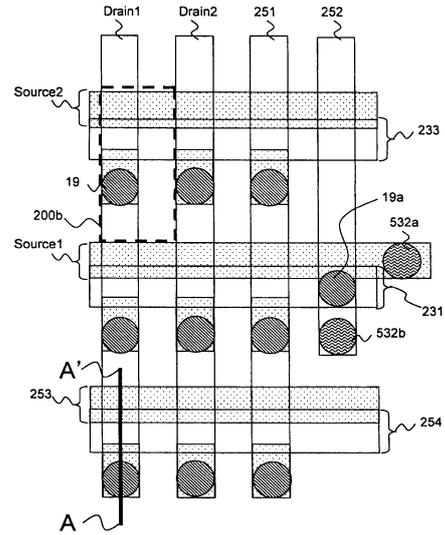
【図12】



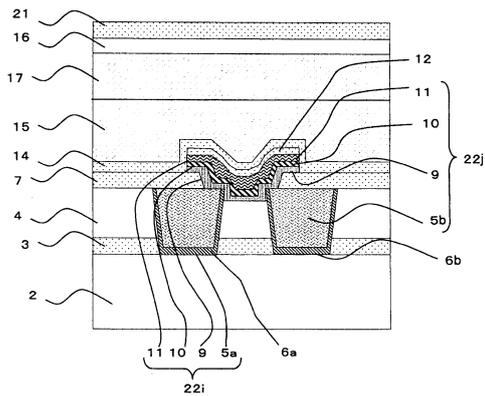
【 13 B 】



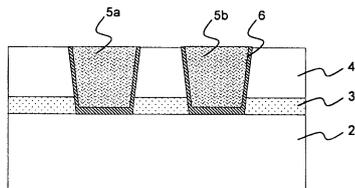
【 14 】



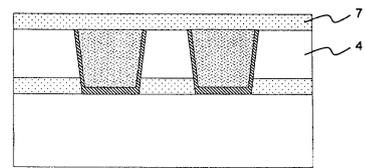
【 15 】



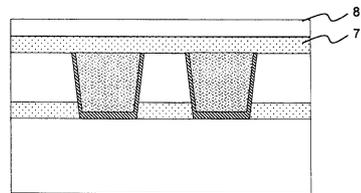
【 16 A 】



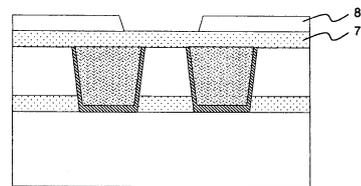
【 16 B 】



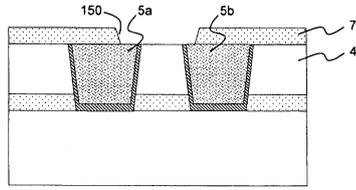
【 16 C 】



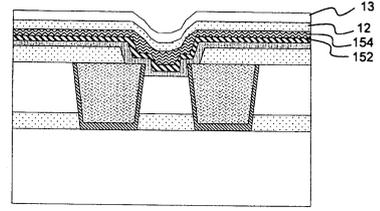
【 17 A 】



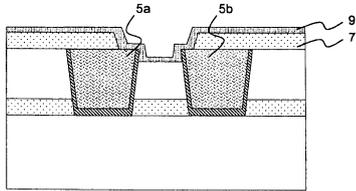
【図17B】



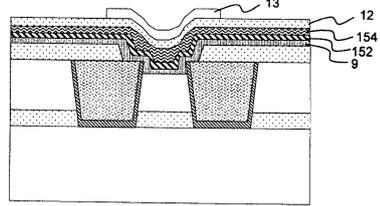
【図18B】



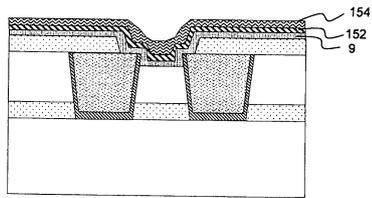
【図17C】



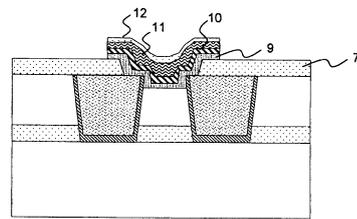
【図18C】



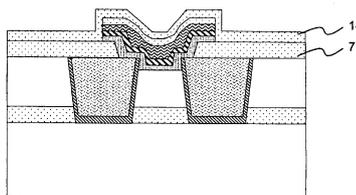
【図18A】



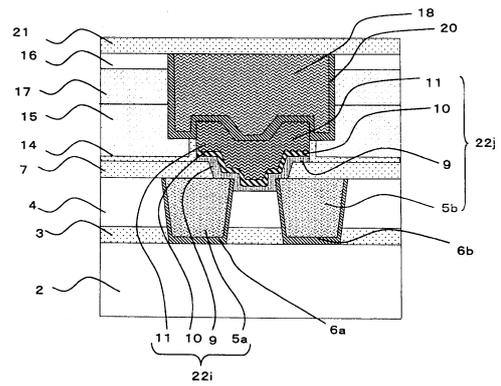
【図19A】



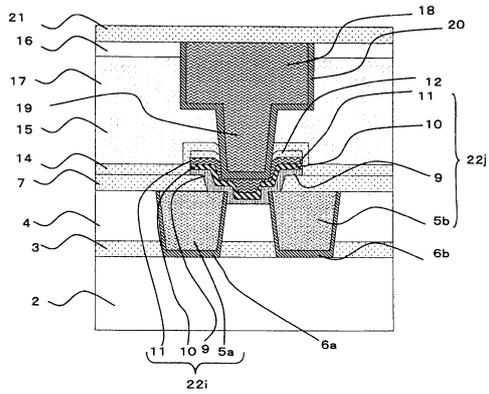
【図19B】



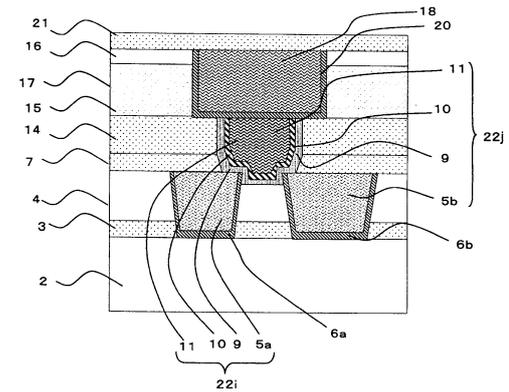
【図21】



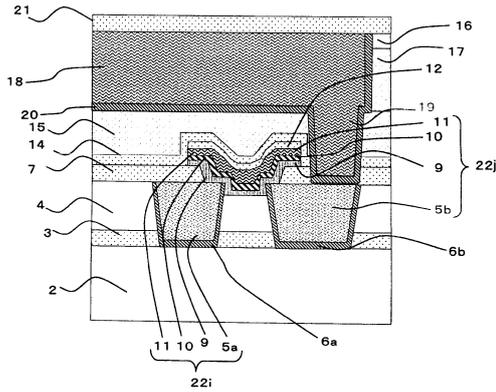
【図20】



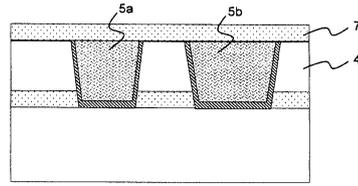
【図22】



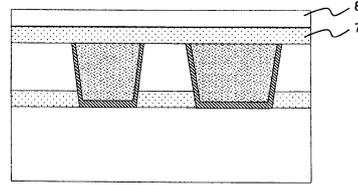
【図23】



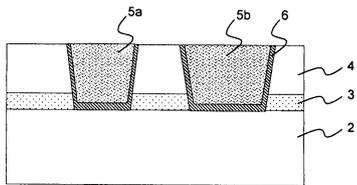
【図24B】



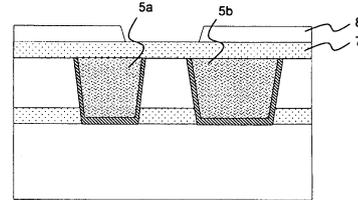
【図24C】



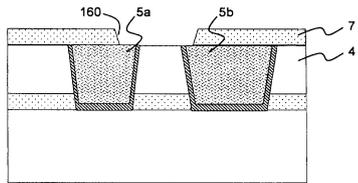
【図24A】



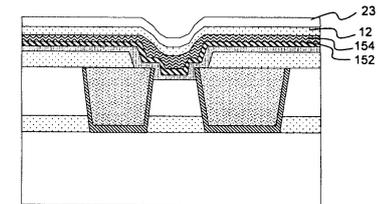
【図25A】



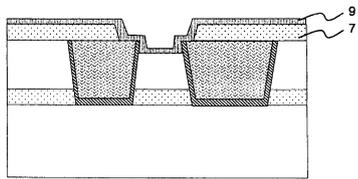
【図25B】



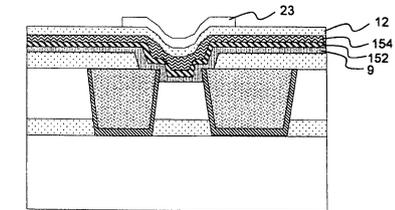
【図26B】



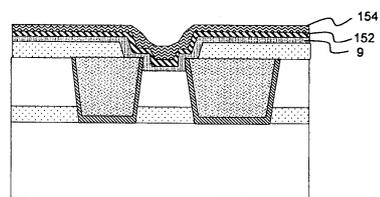
【図25C】



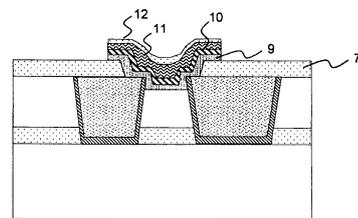
【図26C】



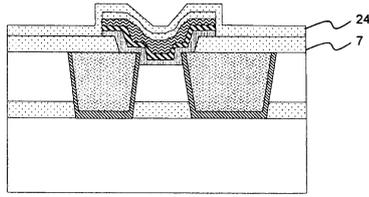
【図26A】



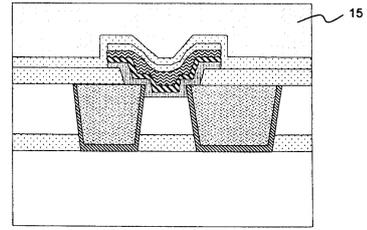
【図27A】



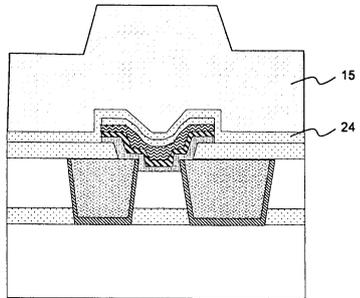
【図 27 B】



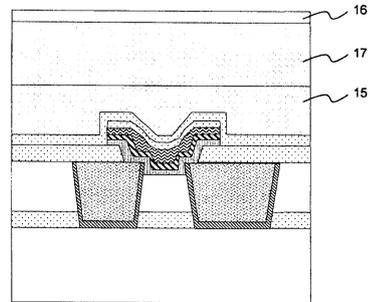
【図 28 B】



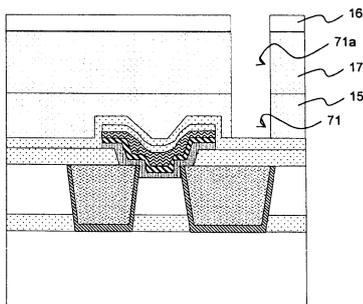
【図 28 A】



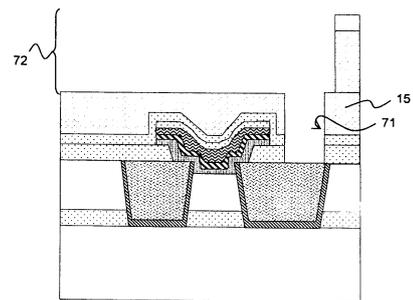
【図 29 A】



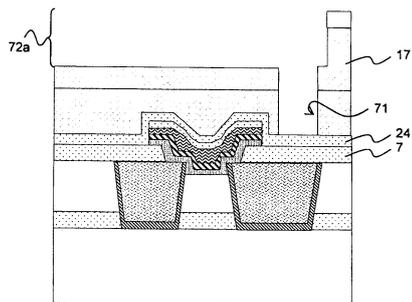
【図 29 B】



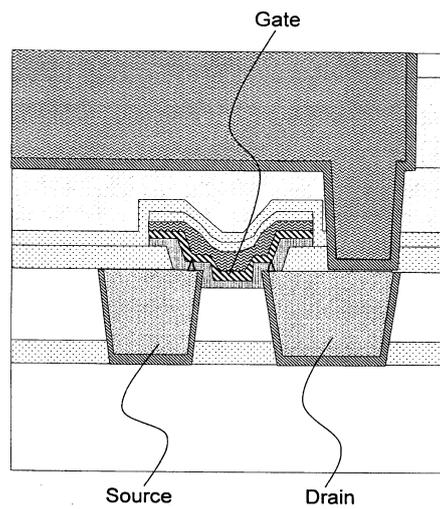
【図 30 B】



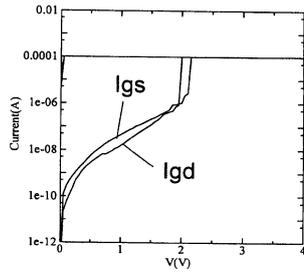
【図 30 A】



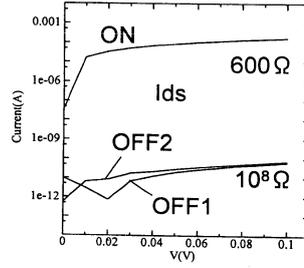
【図 31】



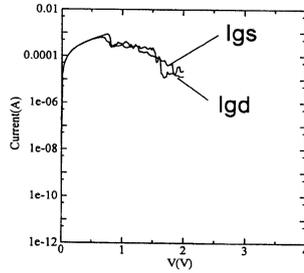
【 3 2 A 】



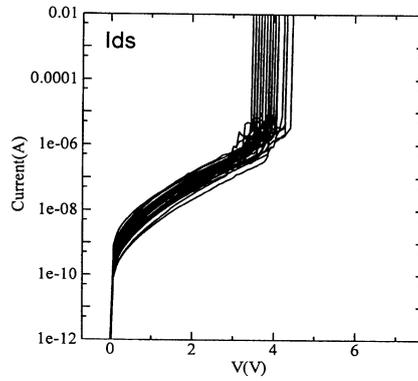
【 3 2 C 】



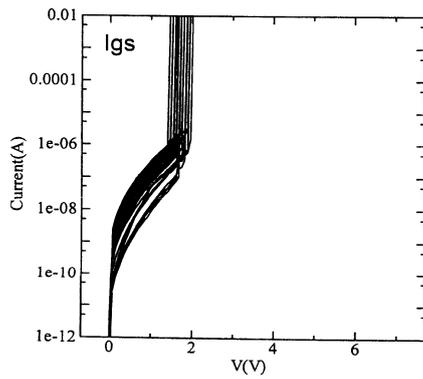
【 3 2 B 】



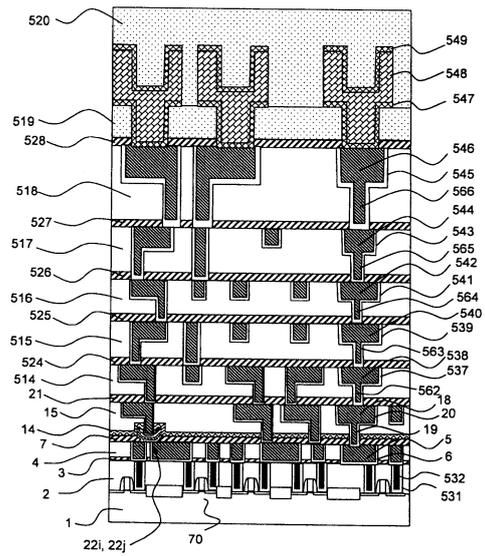
【 3 3 A 】



【 3 3 B 】



【 3 4 】



フロントページの続き

(72)発明者 波田 博光
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 宇多川 勉

(56)参考文献 特開2006-140224(JP,A)
国際公開第2007/023569(WO,A1)
特開2009-105383(JP,A)
特開2008-034057(JP,A)
特開2010-092568(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/82
H01L 27/105
H01L 45/00
H01L 49/00