

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5022093号  
(P5022093)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int. Cl. F I  
 HO 1 L 21/60 (2006.01) HO 1 L 21/60 3 1 1 Q  
 HO 1 L 25/04 (2006.01) HO 1 L 25/04 Z  
 HO 1 L 25/18 (2006.01)

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2007-114686 (P2007-114686)	(73) 特許権者	000005821
(22) 出願日	平成19年4月24日 (2007.4.24)		パナソニック株式会社
(65) 公開番号	特開2008-270672 (P2008-270672A)		大阪府門真市大字門真1006番地
(43) 公開日	平成20年11月6日 (2008.11.6)	(74) 代理人	100087767
審査請求日	平成22年1月25日 (2010.1.25)		弁理士 西川 恵清
		(72) 発明者	中筋 威
			大阪府門真市大字門真1048番地 松下
			電工株式会社内
		(72) 発明者	田中 健一郎
			大阪府門真市大字門真1048番地 松下
			電工株式会社内
		(72) 発明者	鎌倉 將有
			大阪府門真市大字門真1048番地 松下
			電工株式会社内

最終頁に続く

(54) 【発明の名称】 実装方法

(57) 【特許請求の範囲】

【請求項1】

複数個のチップを1枚の実装基板に実装する実装方法であって、実装基板における各チップそれぞれの搭載位置にチップ接続用電極を形成するチップ接続用電極形成工程および実装基板への搭載前の複数個のチップを載置するチップ支持用基板において前記搭載位置に対応する各位置にチップを当該チップの実装用電極を上面側として載置するチップ載置工程を含む接合準備工程と、接合準備工程の後にチップ支持用基板と実装基板とを対応する実装用電極とチップ接続用電極とが離間して向かい合うように対向配置してから各チップの実装用電極および実装基板の各チップ接続用電極それぞれの表面を一括して活性化させる活性化工程と、活性化工程の後にチップ支持用基板と実装基板とを近づけて対応する実装用電極とチップ接続用電極とを常温下で接合する接合工程と、接合工程の後にチップ支持用基板を各チップから引き離す引離工程とを備え、チップ載置工程では、チップ支持用基板として各チップそれぞれを位置決めする位置決め凹所を一面側に有する基板を用いるようにし、基板として位置決め凹所の内側面がテーパ状であり且つ内底面の面積がチップのチップ面積よりも小さなものを用いることを特徴とする実装方法。

【請求項2】

前記チップにおける前記実装用電極がAuにより形成されており、前記チップ接続用電極形成工程では、前記チップ接続用電極をAuにより形成することを特徴とする請求項1記載の実装方法。

【請求項3】

前記チップ接続用電極形成工程では、前記チップ接続用電極の外形寸法を、前記チップの外周縁よりも内側に前記チップ接続用電極の外周縁が位置するように設定することを特徴とする請求項 1 または請求項 2 記載の実装方法。

【請求項 4】

前記チップ接続用電極形成工程では、前記チップ接続用電極としてバンパを形成することを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の実装方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数個のチップを 1 枚の実装基板に実装する実装方法に関するものである。

10

【背景技術】

【0002】

従来から、複数個のチップを 1 枚のウェハからなる実装基板に実装する実装方法として、実装基板における各チップそれぞれの搭載領域の所定位置にボンディングパッド部を形成してから、ボンディングパッド部にフラックスを塗布し、その後、半田バンパを形成した各チップ（半導体チップ）を半田バンパがボンディングパッド部に重なるように実装基板に対して 1 個ずつ位置合わせしてから、リフローを行うことによりチップと実装基板とを接合し、続いて、フラックス残渣を除去するようにした実装方法が提案されている（例えば、特許文献 1 参照）。

【特許文献 1】特開平 6 - 151701 号公報（段落〔0013〕 - 〔0016〕および図 1）

20

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記特許文献 1 に開示された実装方法では、1 枚の実装基板に複数個のチップを 1 個ずつ位置合わせしているため、例えばチップの小型化などに伴って 1 枚の実装基板に実装するチップの個数が増えるにつれて 1 枚の実装基板当たりの実装タクトタイムが増大してしまう。また、上述の実装方法では、半田バンパをリフローにより加熱する必要があるため、チップと実装基板との線膨張率差に起因して実装後にチップと実装基板との接合部に残留応力が生じ、チップの特性劣化を招く可能性がある。

30

【0004】

本発明は上記事由に鑑みて為されたものであり、その目的は、実装タクトタイムを短縮でき、且つ、チップの特性劣化を防止できる実装方法を提供することにある。

【課題を解決するための手段】

【0005】

請求項 1 の発明は、複数個のチップを 1 枚の実装基板に実装する実装方法であって、実装基板における各チップそれぞれの搭載位置にチップ接続用電極を形成するチップ接続用電極形成工程および実装基板への搭載前の複数個のチップを載置するチップ支持用基板において前記搭載位置に対応する各位置にチップを当該チップの実装用電極を上面側として載置するチップ載置工程を含む接合準備工程と、接合準備工程の後にチップ支持用基板と実装基板とを対応する実装用電極とチップ接続用電極とが離間して向かい合うように対向配置してから各チップの実装用電極および実装基板の各チップ接続用電極それぞれの表面を一括して活性化させる活性化工程と、活性化工程の後にチップ支持用基板と実装基板とを近づけて対応する実装用電極とチップ接続用電極とを常温下で接合する接合工程と、接合工程の後にチップ支持用基板を各チップから引き離す引離工程とを備え、チップ載置工程では、チップ支持用基板として各チップそれぞれを位置決めする位置決め凹所を一面側に有する基板を用いるようにし、基板として位置決め凹所の内側面がテーパ状であり且つ内底面の面積がチップのチップ面積よりも小さなものを用いることを特徴とする。

40

【0006】

この発明によれば、実装基板における各チップそれぞれの搭載位置にチップ接続用電極

50

を形成するチップ接続用電極形成工程および実装基板への搭載前の複数個のチップを載置するチップ支持用基板において前記搭載位置に対応する各位置にチップを当該チップの実装用電極を上面側として載置するチップ載置工程を含む接合準備工程の後に、チップ支持用基板と実装基板とを対応する実装用電極とチップ接続用電極とが離間して向かい合うように対向配置してから各チップの実装用電極および実装基板の各チップ接続用電極それぞれの表面を一括して活性化させる活性化工程を行い、その後、チップ支持用基板と実装基板とを近づけて対応する実装用電極とチップ接続用電極とを常温下で接合する接合工程を行い、続いて、チップ支持用基板を各チップから引き離す引離工程を行うので、チップ支持用基板に載置した複数個のチップを一括して1枚の実装基板に実装することができるから、実装タクトタイムを短縮でき、しかも、接合工程では、表面が活性化された実装用電極と表面が活性化されたチップ接続用電極とを常温下で接合するので、リフローのような加熱処理を行うことなく実装用電極とチップ接続用電極とを接合することができ、実装基板とチップとの線膨張率差に起因したチップの特性劣化を防止できる。

10

【0008】

また、この発明によれば、チップ載置工程では、チップ支持用基板として各チップそれぞれを位置決めする位置決め凹所を一面側に有する基板を用いるので、チップ支持基板への各チップの位置合わせが容易になるとともに、実装基板に対する各チップの位置精度を高めることが可能になる。

【0010】

また、この発明によれば、チップ載置工程では、基板として位置決め凹所の内側面がテーパ状であり且つ内底面の面積がチップのチップ面積よりも小さなものを用いるので、位置決め凹所の内底面の表面あらさや位置決め凹所の深さ寸法のばらつきに起因したチップの高さばらつきを小さくすることができる。

20

【0011】

請求項2の発明は、請求項1の発明において、前記チップにおける前記実装用電極がAuにより形成されており、前記チップ接続用電極形成工程では、前記チップ接続用電極をAuにより形成することを特徴とする。

【0012】

この発明によれば、前記チップ接続用電極と前記実装用電極とを常温下で容易に接合することができる。

30

【0013】

請求項3の発明は、請求項1または請求項2の発明において、前記チップ接続用電極形成工程では、前記チップ接続用電極の外形寸法を、前記チップの外周縁よりも内側に前記チップ接続用電極の外周縁が位置するように設定することを特徴とする。

【0014】

この発明によれば、前記チップの外周部にダイシングに起因したバリが存在する場合でも前記チップ接続用電極と前記チップの前記実装用電極とを接合することが可能となる。

【0015】

請求項4の発明は、請求項1ないし請求項3の発明において、前記チップ接続用電極形成工程では、前記チップ接続用電極としてバンブを形成することを特徴とする。

40

【0016】

この発明によれば、前記実装基板への実装後の前記各チップの高さばらつきを低減できる。

【発明の効果】

【0017】

請求項1の発明は、実装タクトタイムを短縮でき、且つ、チップの特性劣化を防止できるという効果がある。

【発明を実施するための最良の形態】

【0018】

(実施形態1)

50

以下、本実施形態の実装方法は、複数個のチップ10を1枚の実装基板20に実装する実装方法であって、図1(a)の右側に示すように実装基板20における各チップ10それぞれの搭載位置にチップ接続用電極21を形成するチップ接続用電極形成工程および図1(a)の左側に示すように実装基板20への搭載前の複数個のチップ10を載置するチップ支持用基板30において上記搭載位置に対応する各位置にチップ10を当該チップ10の実装用電極11を上面側として載置するチップ載置工程を含む接合準備工程と、接合準備工程の後に図1(b)に示すようにチップ支持用基板30と実装基板20とを対応する実装用電極11とチップ接続用電極21とが離間して向かい合うように対向配置してから各チップ10の実装用電極11および実装基板20の各チップ接続用電極21それぞれの表面を一括して活性化させる活性化工程と、活性化工程の後に図1(c)に示すようにチップ支持用基板30と実装基板20とを近づけて対応する実装用電極11とチップ接続用電極21との全部を常温下で接合する接合工程と、接合工程の後に図1(d)に示すようにチップ支持用基板30を各チップ10から引き離す引離工程とを備えている。

10

#### 【0019】

ところで、本実施形態では、上述のチップ10として、チップサイズが0.3mmで青色光を放射する発光ダイオードチップ(以下、LEDチップと称す)を用いており、チップ10は、厚み方向の一表面側に形成されたアノード電極が実装用電極11を構成するとともに、他表面側に形成されたカソード電極が表面側電極12を構成しており、実装用電極11および表面側電極12が、下層側のNi膜と上層側のAu膜との積層膜により構成されている。

20

#### 【0020】

なお、チップ10として用いるLEDチップは、青色光を放射するLEDチップに限らず、赤色光を放射するLEDチップ、緑色光を放射するLEDチップ、紫外光を放射するLEDチップなどでもよい。また、チップ10としては、チップサイズが1mmのLEDチップを用いてもよい。また、上述のチップ10は、LEDチップに限らず、例えば、レーザダイオードチップ、フォトダイオードチップ、MEMSチップ(例えば、加速度センサチップ、圧力センサチップなど)、半導体チップ(例えば、ICチップなど)などでもよく、チップサイズも特に限定するものではなく、例えば0.3mm~5mm程度のものを用いればよい。また、チップ10の厚みも特に限定するものではなく、例えば0.1~0.5mm程度のものを用いればよい。

30

#### 【0021】

実装基板20としては、直径が100~150mm、厚みが200~525μm程度のSi基板(Siウエハ)の表面にSiO<sub>2</sub>膜からなる絶縁膜を形成したのを用い、チップ支持用基板30としては、直径が100~150mm、厚みが200~525μm程度でサイズが実装基板20と同じサイズのSi基板(Siウエハ)を用いるが、実装基板20およびチップ支持用基板30それぞれの材料は特に限定するものではなく、実装基板20の基板材料とチップ支持用基板30の基板材料とが異種材料でもよい。

#### 【0022】

以下、上述の各工程について詳細に説明する。

#### 【0023】

接合準備工程のチップ接続用電極形成工程では、実装基板20の一表面側の全面にTi膜とAu膜との積層膜を例えばスパッタ法などにより成膜し、その後、フォトリソグラフィ技術およびエッチング技術を利用して上記積層膜をパターニングすることにより、各チップ10それぞれの搭載位置に上記積層膜の一部からなるチップ接続用電極21を形成する。ここにおいて、チップ接続用電極21は、接合用のAu膜と絶縁膜との間に密着性改善用のTi膜を介在させてある。言い換えれば、チップ接続用電極21は、絶縁膜上に形成されたTi膜と当該Ti膜上に形成されたAu膜との積層構造を有している。なお、チップ接続用電極21は、Ti膜の膜厚を15~50nm、Au膜の膜厚を500nmに設定してあるが、これらの数値は一例であって特に限定するものではない。また、本実施形態では、Au膜と絶縁膜との間に密着性改善用の密着層としてTi膜を介在させてあるが

40

50

、密着層の材料はTiに限らず、例えば、Cr、Nb、Zr、TiN、Ta<sub>2</sub>Nなどでもよい。

【0024】

接合準備工程のチップ載置工程で用いるチップ支持用基板30には、上記搭載位置に対応する各位置に位置決めマーク31が形成されている。ここにおいて、各位置決めマーク31の形成にあたっては、例えば、チップ支持用基板30の基礎となるSi基板の一表面側の全面にAu膜を例えばスパッタ法などにより成膜し、その後、フォトリソグラフィ技術およびエッチング技術を利用してAu膜をパターニングすることにより、それぞれ上記Au膜の一部からなる位置決めマーク31を形成すればよい。なお、位置決めマーク31の材料はAuに限らず、成膜方法もスパッタ法に限らず、例えば、蒸着法などの表面平滑性の良い膜の成膜が可能な成膜方法であればよい。

10

【0025】

チップ載置工程では、各チップ10を各位置決めマーク31上に直接載置しているが、各チップ10をグリースや接着剤などにより各位置決めマーク31上に仮止めしてもよい。なお、チップ支持用基板30の各位置に形成された位置決めマーク31上に各チップ10を載置するにあたっては、ダイボンド装置を利用しているが、ピックアップツールなどを用いて手作業で載置するようにしてもよい。また、位置決めマーク31の平面サイズは、チップ10のチップサイズと同じに設定してあるが、チップ10のチップサイズよりも小さく設定してもよい。

【0026】

20

なお、接合準備工程では、チップ接続用電極形成工程とチップ載置工程との順番は特に限定するものではなく、例えば、チップ接続用電極形成工程とチップ載置工程とを並行して行うようにしてもよい。ただし、チップ接続用電極形成工程については、複数の実装基板20に対して上記積層膜の成膜工程や、上記積層膜のエッチング工程をバッチ処理することで実装タクトタイムの大幅な短縮を図れる。

【0027】

活性化工程では、チャンバ内においてチップ支持用基板30と実装基板20とを実装基板20が上側となるように対向配置してから、チャンバ内を規定真空度（例えば、 $1 \times 10^{-5}$  Pa）以下となるように真空排気し、その後、真空中で、チップ支持用基板30に支持されている各チップ10の実装用電極11の表面および実装基板20の各チップ接続用電極21の表面をスパッタエッチングすることで清浄・活性化する。ここにおいて、活性化工程では、各実装用電極11の表面および各チップ接続用電極21の表面に対してイオン源40からArのイオンビームを所定時間（例えば、300秒）だけ照射して各表面を清浄・活性化する。なお、活性化工程では、Arのイオンビームに限らず、Arのプラズマ若しくは原子ビームを照射するようにしてもよい。また、イオン源40から照射するイオンもArのイオンに限らず、例えば、He、Neなどのイオンでもよい。同様に、Arのプラズマや原子ビームに限らず、He、Neなどのプラズマや原子ビームを利用してよい。

30

【0028】

接合工程では、活性化工程の後に上記チャンバ内でチップ支持用基板30と実装基板20とを近づけて対応する実装用電極11とチップ接続用電極21との全部を常温（例えば、25℃）下で接合する。ここにおいて、接合工程では、表面が活性化された実装用電極11と表面が活性化されたチップ接続用電極21との表面同士を突き合わせてから、実装基板20の他表面側から適宜の荷重（例えば、 $2 \sim 50$  kg/cm<sup>2</sup>）を規定時間（例えば、10秒～2分）だけ印加することにより、厚み方向において重なり合っている実装用電極11とチップ接続用電極21との全部がAu-Auの組み合わせの常温接合により接合される。ここにおいて、上述のようにチップ10としてLEDチップを採用している場合には、実装用電極11とチップ接続用電極21とがAu-Auの組み合わせで接合されているので、実装用電極11およびチップ接続用電極21それぞれの膜厚を500nm以下としても安定して常温接合することができ、実装用電極11およびチップ接続用電極

40

50

21を薄くすることによりチップ10と実装基板20との間の熱抵抗を小さくすることができるから、放熱性を向上させることができ、チップ10への投入電力を大きくすることができて光出力を大きくすることができる。

【0029】

引離工程では、上記チャンバ内においてチップ支持用基板30と実装基板20とを遠ざけることによりチップ支持用基板30を各チップ10から引き離す。

【0030】

なお、チップ10の種類などによっては、実装用電極11の材料がAuに限らず、例えばAl、Cuなどの場合もあるので、このような場合には、実装用電極11とチップ接続用電極21とを、Al-Alの組み合わせやCu-Cuの組み合わせの常温接合により接

10

【0031】

なお、上述の活性化工程、接合工程および引離工程は、例えば、ウェハレベルでの常温接合が可能な常温接合装置を利用して同一チャンバ内で連続的に行えばよい。

【0032】

以上説明した本実施形態の実装方法によれば、実装基板20における各チップ10それぞれの搭載位置にチップ接続用電極21を形成するチップ接続用電極形成工程および実装基板20への搭載前の複数個のチップ10を載置するチップ支持用基板30において上記搭載位置に対応する各位置にチップ10を当該チップ10の実装用電極11を上側として載置するチップ載置工程を含む接合準備工程の後に、チップ支持用基板30と実装基板20とを対応する実装用電極11とチップ接続用電極21とが離間して向かい合うよう

20

対向配置してから各チップ10の実装用電極11および実装基板20の各チップ接続用電極21それぞれの表面を一括して活性化させる活性化工程を行い、その後、チップ支持用基板30と実装基板20とを近づけて対応する実装用電極11とチップ接続用電極21との全部を常温下で接合する接合工程を行い、続いて、チップ支持用基板30を各チップ10から引き離す引離工程を行うので、チップ支持用基板30に載置した複数個のチップ10を一括して1枚の実装基板20に実装することができるから、実装タクトタイムを短縮でき、しかも、接合工程では、表面が活性化された実装用電極11と表面が活性化されたチップ接続用電極21とを常温下で接合するので、リフローのような加熱処理を行うことなく実装用電極11とチップ接続用電極21とを接合することができ、実装基板20とチ

30

ップ10との線膨張率差に起因したチップ10の特性劣化を防止できる。また、本実施形態では、チップ10における実装用電極11がAuにより形成されており、チップ接続用電極形成工程では、チップ接続用電極21をAuにより形成しているので、チップ接続用電極21と実装用電極11とを常温下で容易に接合することができる。

20

30

【0033】

ところで、チップ接続用電極形成工程において、チップ接続用電極21の外形寸法を、チップ10の外周縁よりも内側にチップ接続用電極21の外周縁が位置するように設定すれば、つまり、チップ接続用電極21の平面サイズをチップ10のチップサイズよりも小さく設定すれば、チップ10の外周部にダイシングに起因したバリが存在する場合でもチップ接続用電極21とチップ10の実装用電極11とを安定して接合することが可能となる。

40

また、チップ支持用基板30における位置決めマーク31の外形寸法についても、チップ10の外周縁よりも内側に位置決めマーク31の外周縁が位置するように設定すれば、つまり、位置決めマーク31の平面サイズをチップ10のチップサイズよりも小さく設定すれば、チップ10の外周部にダイシングに起因したバリが存在する場合でもチップ接続用電極21とチップ10の実装用電極11とを安定して接合することが可能となる。

【0034】

(実施形態2)

本実施形態の実装方法は実施形態1と略同じであり、図2(a)の右側に示すように実装基板20における各チップ10それぞれの搭載位置にチップ接続用電極21を形成するチップ接続用電極形成工程および図2(a)の左側に示すように実装基板20への搭載前

50

の複数個のチップ10を載置するチップ支持用基板30において上記搭載位置に対応する各位置にチップ10を当該チップ10の実装用電極11を上面側として載置するチップ載置工程を含む接合準備工程と、接合準備工程の後に図2(b)に示すようにチップ支持用基板30と実装基板20とを対応する実装用電極11とチップ接続用電極21とが離間して向かい合うように対向配置してから各チップ10の実装用電極11および実装基板20の各チップ接続用電極21それぞれの表面を一括して活性化させる活性化工程と、活性化工程の後に図2(c)に示すようにチップ支持用基板30と実装基板20とを近づけて対応する実装用電極11とチップ接続用電極21との全部を常温下で接合する接合工程と、接合工程の後に図2(d)に示すようにチップ支持用基板30を各チップ10から引き離す引離工程とを備えており、チップ載置工程において、チップ支持用基板30として各チップ10それぞれを位置決めする位置決め凹所32を一面側に有する基板を用いており、当該位置決め凹所32の内底面が上記搭載位置に対応する位置を構成している点が相違する。

10

#### 【0035】

接合準備工程のチップ載置工程で用いるチップ支持用基板30は、Si基板を用いて形成されており、Si基板の一表面側に位置決め凹所32が形成されている。ここにおいて、位置決め凹所32は、矩形状(チップ10の外周形状と相似形であり、例えば、正方形状)の内底面と当該内底面に隣り合う内側面とが略垂直となる形状(つまり、チップ支持用基板30の厚み方向において開口面積が一樣となる形状)に設計しており、各位置決め凹所32の形成にあたっては、例えば、チップ支持用基板30の基礎となるSi基板の一表面側に、位置決め凹所32形成用にパターンニングされたレジスト層を形成し、当該レジスト層をマスクとして、Si基板を上記一表面側から所定深さまでエッチングし、その後、レジスト層を除去すればよい。なお、位置決め凹所32の開口寸法(図1(a)における左右方向の寸法)はチップ10の幅(図1(a)における左右方向の寸法)よりも100 $\mu$ m程度大きな値に設定し、位置決め凹所32の深さ寸法は、チップ10の厚み寸法よりも小さくチップ支持用基板30の上記一表面を含む平面よりもチップ10が50 $\mu$ m以上突出するように設定することが望ましい。また、チップ支持用基板30の基礎となるSi基板を上記一表面側から所定深さまでエッチングする際には、例えば、誘導結合プラズマ型のドライエッチング装置を用いればよいが、形成される位置決め凹所32の内底面の平滑性が良ければ、エッチング装置やエッチング条件は特に限定するものではない。また、Si基板の上記一表面が(110)面の場合には、例えばシリコン酸化膜をマスクとして、アルカリ系溶液(例えば、KOH水溶液、TMAH水溶液など)を用いた異方性エッチングにより位置決め凹所32を形成するようにしてもよい。

20

30

#### 【0036】

チップ載置工程では、各位置決め凹所32それぞれの内底面上に、チップ10を実装用電極11が上側となるように直接載置している。なお、チップ支持用基板30の各位置決め凹所32の内底面上に各チップ10を載置するにあたっては、ダイボンド装置を利用しているが、ピックアップツールなどを用いて手作業で載置するようにしてもよい。

#### 【0037】

しかして、本実施形態の実装方法では、実施形態1と同様に、実装タクトタイムを短縮できるとともにチップ10の特性劣化を防止でき、しかも、チップ支持基板30への各チップ10の位置合わせが容易になるとともに、実装基板20に対する各チップ10の位置精度を高めることが可能になる。

40

#### 【0038】

##### (実施形態3)

本実施形態の実装方法は実施形態2と略同じであり、図3(a)の右側に示すように実装基板20における各チップ10それぞれの搭載位置にチップ接続用電極21を形成するチップ接続用電極形成工程および図3(a)の左側に示すように実装基板20への搭載前の複数個のチップ10を載置するチップ支持用基板30において上記搭載位置に対応する各位置にチップ10を当該チップ10の実装用電極11を上面側として載置するチップ載

50

置工程を含む接合準備工程と、接合準備工程の後に図3(b)に示すようにチップ支持用基板30と実装基板20とを対応する実装用電極11とチップ接続用電極21とが離間して向かい合うように対向配置してから各チップ10の実装用電極11および実装基板20の各チップ接続用電極21それぞれの表面を一括して活性化させる活性化工程と、活性化工程の後に図3(c)に示すようにチップ支持用基板30と実装基板20とを近づけて対応する実装用電極11とチップ接続用電極21との全部を常温下で接合する接合工程と、接合工程の後に図3(d)に示すようにチップ支持用基板30を各チップ10から引き離す引離工程とを備えており、チップ載置工程において、チップ支持用基板30として位置決め凹所32の内側面がテーパ状であり且つ内底面の面積がチップ10のチップ面積よりも小さなものを用いる点が相違する。

10

## 【0039】

本実施形態において用いるチップ支持用基板30は、一表面が(100)面のSi基板の上記一表面側からアルカリ系溶液(例えば、TMAH水溶液、KOH水溶液など)を用いた異方性エッチングを行うことにより位置決め凹所32を形成している。なお、位置決め凹所32の上記一表面での開口幅および深さ寸法は、上記一表面を含む平面からチップ10が50μm以上突出するように設計してある。また、位置決め凹所32は、アルカリ系溶液を用いた異方性エッチングのようなウェットエッチングに限らず、内側面のテーパ角の再現性が高く且つ内側面の平滑性が良いエッチング条件の設定が可能であればドライエッチングにより形成してもよい。

## 【0040】

チップ載置工程では、各位置決め凹所32の内底面にチップ10が接触せずに、各位置決め凹所32それぞれの内側面にチップ10の実装用基板11側とは反対の表面側の外周部が当接し実装用電極11が上側となるように直接載置している。なお、チップ支持用基板30の各位置決め凹所32に各チップ10を載置するにあたっては、ダイボンダ装置を利用しているが、ピックアップツールなどを用いて手作業で載置するようにしてもよい。いずれにしても、チップ支持用基板30の上記一表面とチップ10における実装用電極11の表面とが平行となるように載置する。

20

## 【0041】

しかして、本実施形態の実装方法では、実施形態1と同様に、実装タクトタイムを短縮できるとともにチップ10の特性劣化を防止でき、しかも、位置決め凹所32の内底面の表面あらさや位置決め凹所32の深さ寸法のばらつきに起因したチップ10の高さばらつきを小さくすることができる。

30

## 【0042】

## (実施形態4)

本実施形態の実装方法は実施形態3と略同じであり、図4(a)の右側に示すように実装基板20における各チップ10それぞれの搭載位置にチップ接続用電極21bを形成するチップ接続用電極形成工程および図4(a)の左側に示すように実装基板20への搭載前の複数個のチップ10を載置するチップ支持用基板30において上記搭載位置に対応する各位置にチップ10を当該チップ10の実装用電極11を上面側として載置するチップ載置工程を含む接合準備工程と、接合準備工程の後に図4(b)に示すようにチップ支持用基板30と実装基板20とを対応する実装用電極11とチップ接続用電極21とが離間して向かい合うように対向配置してから各チップ10の実装用電極11および実装基板20の各チップ接続用電極21それぞれの表面を一括して活性化させる活性化工程と、活性化工程の後に図4(c)に示すようにチップ支持用基板30と実装基板20とを近づけて対応する実装用電極11とチップ接続用電極21との全部を常温下で接合する接合工程と、接合工程の後に図4(d)に示すようにチップ支持用基板30を各チップ10から引き離す引離工程とを備えており、チップ接続用電極形成工程において、チップ接続用電極21bとしてスタッドバンプからなるバンプを実装基板20の金属層21a上に形成している点が相違する。

40

## 【0043】

50

接合準備工程のチップ接続用電極形成工程では、実装基板 20 の一表面側の全面に Ti 膜と Au 膜との積層膜を例えばスパッタ法などにより成膜し、その後、フォトリソグラフィ技術およびエッチング技術を利用して上記積層膜をパターニングすることにより、各チップ 10 それぞれの搭載位置に上記積層膜の一部からなる金属層 21 a を形成してから、スタッドバンプ法によってチップ接続用電極 21 b を形成する。ここにおいて、金属層 21 a は、Au 膜と絶縁膜との間に密着性改善用の Ti 膜を介在させてある。言い換えれば、金属層 21 a は、絶縁膜上に形成された Ti 膜と当該 Ti 膜上に形成された Au 膜との積層構造を有している。なお、金属層 21 a は、Ti 膜の膜厚を 15 ~ 50 nm、Au 膜の膜厚を 500 nm に設定してあるが、これらの数値は一例であって特に限定するものではない。また、本実施形態では、Au 膜と絶縁膜との間に密着性改善用の密着層として Ti 膜を介在させてあるが、密着層の材料は Ti に限らず、例えば、Cr、Nb、Zr、TiN、Ta<sub>2</sub>N などでもよい。また、Au 膜の代わりに、Al 膜を採用してもよい。

10

#### 【0044】

また、チップ接続用電極 21 b を構成するバンプのサイズは、例えば 30 μm ~ 90 μm 程度で、1 つの金属層 21 a 上に形成するバンプの個数はチップ 10 のチップサイズに応じて適宜設定すればよい。なお、金属層 21 a の平面サイズはチップ 10 のチップサイズと同じサイズか、やや大きなサイズに設定することが望ましい。チップ接続用電極 21 b の材料としては Au を採用しているが、Au に限らず、Al でもよいが、チップ接続用電極 21 b と実装用電極 11 とは同じ材料により形成することが望ましい。また、チップ接続用電極 21 b を構成するバンプはスタッドバンプに限らず、接合工程において荷重を印加した時にチップ 10 の高さばらつきを吸収できるような凸型の形状であればよい。

20

#### 【0045】

しかして、本実施形態の実装方法では、実施形態 1 と同様に、実装タクトタイムを短縮できるとともにチップ 10 の特性劣化を防止でき、しかも、実装基板 20 への実装後の各チップ 10 の高さばらつきを低減できる。

#### 【0046】

なお、本実施形態におけるチップ接続用電極形成工程を他の実施形態において適用してもよい。

#### 【図面の簡単な説明】

30

#### 【0047】

【図 1】実施形態 1 の実装方法の説明図である。

【図 2】実施形態 2 の実装方法の説明図である。

【図 3】実施形態 3 の実装方法の説明図である。

【図 4】実施形態 4 の実装方法の説明図である。

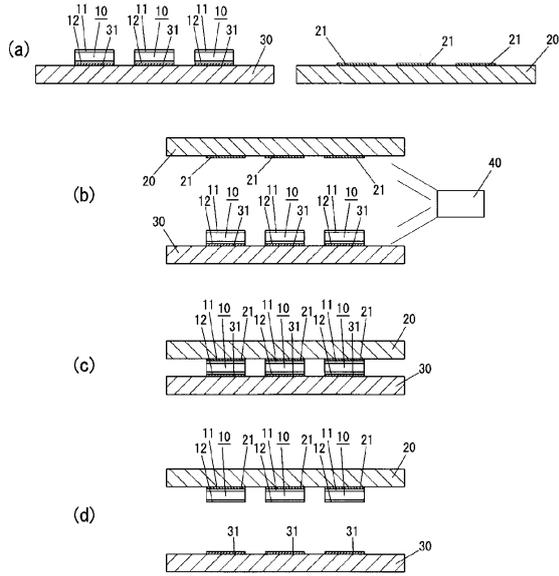
#### 【符号の説明】

#### 【0048】

- 10 チップ
- 11 実装用電極
- 12 表面側電極
- 20 実装基板
- 21 チップ接続用電極
- 21 b チップ接続用電極（バンプ）
- 30 チップ支持用基板
- 31 位置決めマーク

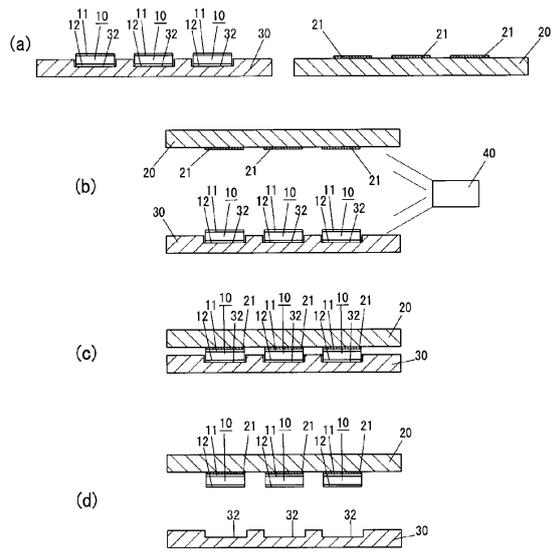
40

【図1】

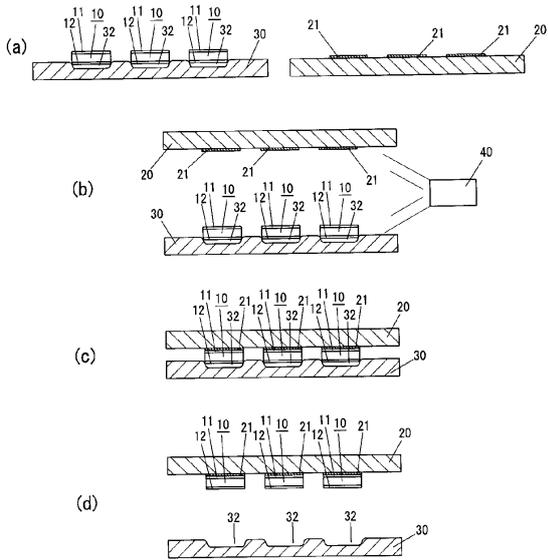


- 10 チップ
- 11 実装用電極
- 12 表面側電極
- 20 実装基板
- 21 チップ接続用電極
- 30 チップ支持用基板
- 31 位置決めマーク

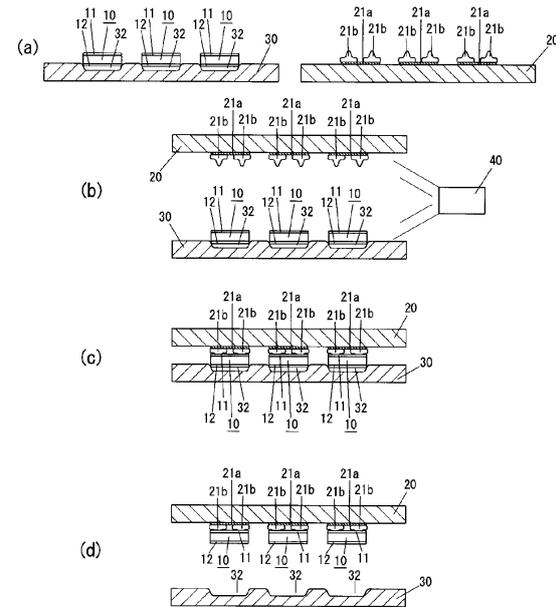
【図2】



【図3】



【図4】



---

フロントページの続き

- (72)発明者 吉田 和司  
大阪府門真市大字門真1048番地 松下電工株式会社内
- (72)発明者 桐原 昌男  
大阪府門真市大字門真1048番地 松下電工株式会社内
- (72)発明者 城石 久徳  
大阪府門真市大字門真1048番地 松下電工株式会社内
- (72)発明者 田浦 巧  
大阪府門真市大字門真1048番地 松下電工株式会社内

審査官 越本 秀幸

- (56)参考文献 特開2006-086469(JP,A)  
特開2006-080099(JP,A)  
国際公開第2006/101155(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60  
H01L 25/04  
H01L 25/18  
H01L 33/48 - 33/64