

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/87 (2006.01)

H01L 27/02 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200580005213.2

[45] 授权公告日 2009年7月15日

[11] 授权公告号 CN 100514678C

[22] 申请日 2005.2.24

[21] 申请号 200580005213.2

[30] 优先权

[32] 2004.2.26 [33] US [31] 10/787,387

[86] 国际申请 PCT/US2005/006109 2005.2.24

[87] 国际公布 WO2005/083798 英 2005.9.9

[85] 进入国家阶段日期 2006.8.17

[73] 专利权人 密克罗奇普技术公司

地址 美国亚利桑那州

[72] 发明人 兰迪·L·亚克

[56] 参考文献

US5652689A 1997.7.29

US6060752A 2000.5.9

US6441439B1 2002.8.27

US5430595A 1995.7.4

US6423985B1 2002.7.23

CN1213177A 1999.4.7

审查员 王小东

[74] 专利代理机构 北京律盟知识产权代理有限公司

代理人 王允方 刘国伟

权利要求书 2 页 说明书 5 页 附图 3 页

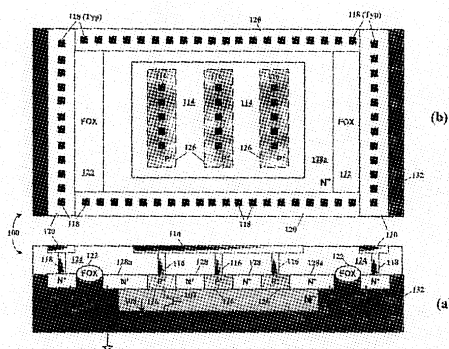
## [54] 发明名称

在接合焊盘下的低电容静电放电保护结构

## [57] 摘要

本发明揭示一种大体上位于一集成电路接合焊盘下的静电放电保护结构。通过将一正向二极管插入所述接合焊盘与所述静电放电箝位电路之间，来将此静电放电保护结构形成为一低电容结构。将所述静电放电保护结构放置在所述接合焊盘下可消除寄生衬底电容，且利用由所述插入的正向偏压二极管所形成的一寄生 PNP 晶体管。所述静电放电保护结构包含大体上位于一要受静电放电保护的接合焊盘下的相邻交替的 P+ 和 N+ 扩散。使用金属通孔将所述 P+ 扩散连接到所述接合焊盘金属，所述金属通孔穿过一位于所述接合焊盘与所述 P+ 和 N+ 扩散之间的绝缘层。所述 N+ 扩散邻近所述 P+ 扩散。一 N+ 扩散围绕所述 N+ 和 P+ 扩散，并将所述 N+ 扩散连接在一起，以便形成一完全围绕所述 P+ 扩散中每一者的连续的 N+ 扩散。一 N- 阱大体上位于所述 N+ 和 P+ 扩散下。所述围绕的 N+ 扩散部分地与其下的所述 N- 阱的边缘重叠。所

述 N+ 扩散的外侧部分(即与所述 N- 阱重叠的部分)位于一 P- 阱内。所述 P- 阱可为所述集成电路的衬底。另一 N+ 扩散将围绕所述 P+ 扩散的 N+ 扩散包围起来。所述另一 N+ 扩散位于所述 P- 阱中，且一场氧化物可位于所述 N+ 扩散与所述另一 N+ 扩散之间。形成一 NPN 场效晶体管，其中以所述 N+ 扩散为晶体管集极，以所述 P- 阱为晶体管基极，且以所述另一 N+ 扩散为射极。可通过一例如金属或低电阻半导体材料的导电连接件将所述另一 N+ 扩散(射极)接地。



1. 一种静电放电保护结构，其包含：
  - 一集成电路，其具有一较轻掺杂的 p-硅阱，即 P-阱，其中所述 P-阱耦合到一共用电源轨道；
  - 一位于所述 P-阱中的较轻掺杂的 n-硅阱，即 N-阱；
  - 复数个位于所述 N-阱中的较重掺杂的 p-硅扩散，即 P+扩散；
  - 一位于所述 N-阱中的第一较重掺杂的 n-硅扩散，即 N+扩散，其中所述第一 N+扩散围绕所述复数个 P+扩散，且与所述 N-阱重叠并进入所述 P-阱中；
  - 一位于所述 P-阱中的第二较重掺杂的 n-硅扩散，即 N+扩散，其中所述第二 N+扩散围绕所述第一 N+扩散；
  - 一接合焊盘，其连接到所述复数个 P+扩散；和
  - 一连接件，其连接到所述第二 N+扩散。
2. 根据权利要求 1 所述的静电放电保护结构，其中所述 P-阱为所述集成电路衬底。
3. 根据权利要求 1 所述的静电放电保护结构，其进一步包含一位于所述第一与第二 N+扩散之间的场氧化物。
4. 根据权利要求 1 所述的静电放电保护结构，其进一步包含所述集成电路的一较轻掺杂的 n-硅衬底，即 N-衬底，其中所述 P-阱位于所述 N-衬底中。
5. 根据权利要求 1 所述的静电放电保护结构，其中所述复数个 P+扩散的形状为带形。
6. 根据权利要求 1 所述的静电放电保护结构，其中所述复数个 P+扩散的形状为矩形。
7. 根据权利要求 1 所述的静电放电保护结构，其中所述复数个 P+扩散的形状为正方形。
8. 根据权利要求 1 所述的静电放电保护结构，其中所述接合焊盘使用第一复数个导电通孔连接到所述复数个 P+扩散。
9. 根据权利要求 1 所述的静电放电保护结构，其中连接到所述第二 N+扩散的所述连接件具有第二复数个导电通孔。
10. 根据权利要求 8 所述的静电放电保护结构，其中所述第一复数个导电通孔为金属。
11. 根据权利要求 8 所述的静电放电保护结构，其中所述第一复数个导电通孔包含导电半导体硅。
12. 根据权利要求 9 所述的静电放电保护结构，其中所述第二复数个导电通孔为金属。
13. 根据权利要求 9 所述的静电放电保护结构，其中所述第二复数个导电通孔包含导电半导体硅。
14. 根据权利要求 1 所述的静电放电保护结构，其进一步包含一连接到所述第一 N+扩

散的具有第三复数个导电通孔的第二连接件扩散。

15. 根据权利要求 1 所述的静电放电保护结构, 其中所述共用电源轨道耦合到接地。
16. 根据权利要求 1 所述的静电放电保护结构, 其中所述复数个 P+扩散、所述第一 N+扩散和所述 N-阱大体上位于所述接合焊盘下。
17. 一种静电放电保护结构, 其包含:
  - 一集成电路, 其具有一较轻掺杂的 p-硅阱, 即 P-阱, 所述 P-阱耦合到一共用电源轨道;
  - 一位于所述 P-阱中的较轻掺杂的 n-硅阱, 即 N-阱;
  - 复数个位于所述 N-阱中的较重掺杂的 p-硅扩散, 即 P+扩散, 其中所述复数个 P+扩散的形状为矩形;
  - 一位于所述 N-阱中的第一较重掺杂的 n-硅扩散, 即 N+扩散, 其中所述第一 N+扩散围绕所述复数个 P+扩散, 且与所述 N-阱重叠并进入所述 P-阱中;
  - 一位于所述 P-阱中的第二较重掺杂的 n-硅扩散, 即 N+扩散, 其中所述第二 N+扩散围绕所述第一 N+扩散;
  - 一场氧化物, 其位于所述第一与第二 N+扩散之间;
  - 一接合焊盘, 其连接到所述复数个 P+扩散; 和
  - 一连接件, 其连接到所述第二 N+扩散。
18. 根据权利要求 17 所述的静电放电保护结构, 其中所述接合焊盘使用第一复数个导电通孔连接到所述复数个 P+扩散。
19. 根据权利要求 17 所述的静电放电保护结构, 其中连接到所述第二 N+扩散的所述连接件具有第二复数个导电通孔。
20. 根据权利要求 18 所述的静电放电保护结构, 其中所述第一复数个导电通孔为金属。
21. 根据权利要求 18 所述的静电放电保护结构, 其中所述第一复数个导电通孔包含导电半导体硅。
22. 根据权利要求 19 所述的静电放电保护结构, 其中所述第二复数个导电通孔为金属。
23. 根据权利要求 19 所述的静电放电保护结构, 其中所述第二复数个导电通孔包含导电半导体硅。
24. 根据权利要求 17 所述的静电放电保护结构, 其中所述共用电源轨道耦合到接地。
25. 根据权利要求 17 所述的静电放电保护结构, 其中所述复数个 P+扩散、所述第一 N+扩散和所述 N-阱大体上位于所述接合焊盘下。

## 在接合焊盘下的低电容静电放电保护结构

### 技术领域

本发明一般来说涉及半导体集成电路，更明确地说，涉及保护半导体集成电路免受静电放电(ESD)。

### 背景技术

现代电子设备使用数字半导体集成电路来进行其操作。数字半导体集成电路从例如按钮、传感器等的各种来源接收输入，且具有用于基于到其的各种输入来控制设备操作的输出。除了所要的输入或输出信号电平之外，半导体集成电路的输入和输出还可能会经受不合需要的高电压静电放电(ESD)。以快速的瞬变高电压放电为特征的 ESD 可能来自因设备的用户、设备操作、电源电压瞬变 (power supply voltage transient) 及其类似物而产生的静电。

半导体集成电路的功能变得更强大，且以更快的速度操作。此增强的功能能力由每个集成电路中的较高晶体管计数所导致，因此允许更复杂的软件和/或固件的操作产生许多可用在设备中的特征。较快的操作速度进一步增强设备的操作。为了将集成电路晶粒的大小保持在合理的费用内，必须将其中的电子电路更密集地集中在尽可能小的区域中，因而必须使组成集成电路内的电子电路的许多晶体管尽可能小。随着这些晶体管变得越来越小，每个晶体管的各部分(例如源极、栅极、漏极)的间隔也变得更小，且这些部分之间的绝缘体的电介质厚度也随之变小。极薄的电介质非常容易因 ESD 事件中出现的过大电压而受到损坏。同样，随着操作速度增加，对低电容结构的需要也变得更为重要。

已使用各种电压保护电路来限制集成电路的输入和/或输出处的峰值电压。已尝试将 ESD 保护并入集成电路内，但不是非常有效，和/或需要占用集成电路晶粒内的大量区域，且可能会向受保护的电路节点添加不可接受的额外电容。

因此，需要一种集成在集成电路晶粒内的 ESD 保护电路，其能有效地保护敏感的输入和/或输出电路，且具有低电容。

### 发明内容

本发明通过提供一种大体上位于集成电路接合焊盘下、具有低电容且能够吸收高电流 ESD 事件的 ESD 保护结构，来克服现有技术的上述问题以及其它缺点与不足。ESD 保护结构大体上位于集成电路接合焊盘下，其中通过将正向二极管插入所述接合焊盘与 ESD 箝位电路之间而形成低电容结构。将所述 ESD 保护结构放置在接合焊盘下可消除寄生衬底电容，且由所插入的正向偏压二极管形成寄生 PNP 晶体管。

本发明包含大体上位于要受 ESD 保护的接合焊盘下的相邻交替 P+和 N+扩散的半导体结构。P+扩散的形状可为正方形、矩形、带形及类似形状(本文中还包括其它形状)，且可使用导电通孔连接到接合焊盘，所述导电通孔穿过位于所述接合焊盘与所述 P+和 N+扩散之间的绝缘层。所述 N+扩散邻近并围绕所述 P+扩散而配置。所述绝缘层使 N+扩散与接合焊盘绝缘。N-阱位于集成电路的 P-阱中，且大体上位于所述 N+和 P+扩散下。所述 N+扩散部分地与 N-阱的边缘重叠并进入 P-阱中。N+扩散的外侧部分，即与 N-阱重叠的部分，位于 P-阱内。

另一 N+扩散将围绕 P+扩散的 N+扩散包围起来。所述另一 N+扩散位于 P-阱中，且场氧化物位于所述 N+扩散与所述另一 N+扩散之间。因此形成一场效晶体管(NPN)，其中以所述 N+扩散为晶体管集极，以所述 P-阱为晶体管基极，且以所述另一 N+扩散为射极。可通过例如金属或低电阻半导体材料的导电连接件将所述另一 N+扩散(射极)接地。所述 P-阱可为一集成电路的 P-衬底，或所述 P-阱可以是一位于集成电路的 N-衬底中的 P-阱。

上述 ESD 保护结构的电容极小，因为接合焊盘所经历的唯一电容为 P+扩散到 N-阱和 N+与 P+扩散/N+二极管的结电容。通过大多位于接合焊盘下的 ESD 保护结构来实质上减小接合焊盘金属到 P-阱的电容。

本发明的 ESD 保护结构通过 NPN 场效晶体管结合寄生 PNP 晶体管来箝制电压瞬变。NPN 和 PNP 晶体管合作，以通过倍增这两个晶体管的增益来增加 ESD 保护回应。接合焊盘到接地的电压增加，直到 N+扩散到 P-阱二极管击穿(导通)为止。因此，接合焊盘电压将为此击穿电压上的二极管电压降。接着，NPN 场效晶体管快速弹回。通过由 P+扩散、N-阱和 P-阱所形成的垂直 PNP 寄生结构来进一步增强 ESD 保护箝制操作。当瞬变电流流过 NPN 场效晶体管时，由于前述垂直 PNP 寄生结构的存在，电流中的一部分直接流向 P-阱。

本发明的技术优势在于，接合焊盘的额外电容非常小。另一技术优势在于对 ESD 瞬变的高电流箝制。另一技术优势在于，通过垂直 PNP 寄生结构来增强 ESD 箝制。另一技术优势在于，缩小了 ESD 结构的大小。另一技术优势在于使接合焊盘与衬底电容隔离。

根据本发明的一个实施例，提供一种静电放电保护结构，其包含：一集成电路，其具有一较轻掺杂的 p-硅阱，即 P-阱，其中所述 P-阱耦合到一共用电源轨道；一位于所述 P-阱中的较轻掺杂的 n-硅阱，即 N-阱；复数个位于所述 N-阱中的较重掺杂的 p-硅扩散，即 P+扩散；一位于所述 N-阱中的第一较重掺杂的 n-硅扩散，即 N+扩散，其中所述第一 N+扩散围绕所述复数个 P+扩散，且与所述 N-阱重叠并进入所述 P-阱中；一位于所述 P-阱中的第二较重掺杂的 n-硅扩散，即 N+扩散，其中所述第二 N+扩散围绕所述第一 N+扩散；一接合焊盘，其连接到所述复数个 P+扩散；和一连接件，其连接到所述第二 N+扩散。

根据本发明的另一实施例，提供一种静电放电保护结构，其包含：一集成电路，其具有一较轻掺杂的 p-硅阱，即 P-阱，所述 P-阱耦合到一共用电源轨道；一位于所述 P-阱中的较轻掺杂的 n-硅阱，即 N-阱；复数个位于所述 N-阱中的较重掺杂的 p-硅扩散，即 P+扩散，其中所述复数个 P+扩散的形状为矩形；一位于所述 N-阱中的第一较重掺杂的 n-硅扩散，即 N+扩散，其中所述第一 N+扩散围绕所述复数个 P+扩散，且与所述 N-阱重叠并进入所述 P-阱中；一位于所述 P-阱中的第二较重掺杂的 n-硅扩散，即 N+扩散，其中所述第二 N+扩散围绕所述第一 N+扩散；一场氧化物，其位于所述第一与第二 N+扩散之间；一接合焊盘，其连接到所述复数个 P+扩散；和一连接件，其连接到所述第二 N+扩散。

根据本发明的另一实施例，提供一种静电放电保护结构，其包含：一集成电路，其具有一较轻掺杂的 p-硅阱，即 P-阱，所述 P-阱耦合到一共用电源轨道；一位于所述 P-阱中的较轻掺杂的 n-硅阱，即 N-阱；复数个位于所述 N-阱中的较重掺杂的 p-硅扩散，即 P+扩散，其中所述复数个 P+扩散的形状为矩形；一位于所述 N-阱中的第一较重掺杂的 n-硅扩散，即 N+扩散，其中所述第一 N+扩散围绕所述复数个 P+扩散，且与所述 N-阱重叠并进入所述 P-阱中；一位于所述 P-阱中的第二较重掺杂的 n-硅扩散，即 N+扩散，其中所述第二 N+扩散围绕所述第一 N+扩散；一场氧化物，其位于所述第一与第二 N+扩散之间；一接合焊盘，其连接到所述复数个 P+扩散；和一连接件，其连接到所述第二 N+扩散。

通过以下出于揭示目的并结合附图而给出的对实施例的描述，本发明的特征和优势将变得显而易见。

## 附图说明

可通过结合附图参考以下描述内容,来获得对本揭示内容和其优势的更全面的了解,其中:

图 1a 说明根据本发明示范性实施例的 ESD 保护结构的截面正视图的示意图;

图 1b 说明图 1a 所示的 ESD 保护结构的平面视图的示意图;

图 1c 说明另一 ESD 保护结构的平面视图的示意图; 和

图 2 说明图 1 的 ESD 保护结构的示意性电路图。

虽然本发明容许各种修改和替代形式,但其特定的示范性实施例已在图式中举例显示,并在本文中加以详细描述。然而,应了解,本文对特定实施例的描述内容无意将本发明限于所揭示的特定形式,相反,本发明意在涵盖由所附权利要求书所界定的本发明的精神和范围内的所有修改、等同物和替代物。

## 具体实施方式

现在参看图式,其示意性地说明本发明的示范性实施例的细节。图式中相同的元件将由相同的数字来表示,且相似的元件将由具有不同小写字母后缀的类似数字来表示。P-指代较轻掺杂的 p-硅, P+指代较重掺杂的 p-硅, N-指代较轻掺杂的 n-硅,且 N+指代较重掺杂的 n-硅,其中 p-硅具有复数个正的稳定硅离子,且 n-硅具有复数个负的稳定硅离子。

参看图 1,其描绘根据本发明示范性实施例的 ESD 保护结构的示意图。图 1a 说明截面正视图,图 1b 说明 ESD 保护结构的平面视图,且图 1c 说明另一 ESD 保护结构的平面视图。半导体集成电路包含许多晶体管、输入和输出。图 1 中所示的 ESD 保护结构可有利地用于集成电路的输入和输出两者,以保护与其连接的精密晶体管。

图 1 的 ESD 保护结构(一般用数字 100 表示)大体上位于集成电路接合焊盘 114 下。ESD 保护结构 100 包含大体上位于集成电路接合焊盘 114 下的交替的 P+扩散 126 与 N+扩散 128。P+扩散 126 可配置为带形(见图 1b)或配置为交替的正方形(见图 1c),且使用导电通孔 116 连接到接合焊盘 114,所述导电通孔 116 穿过位于接合焊盘 114 与 P+扩散 126 及 N+扩散 128 之间的绝缘层 124。所述 N+扩散 128 邻近并围绕所述 P+扩散 126。可使用其它形状的 P+扩散 126,且其涵盖于本文中。N+扩散 128a 围绕 N+扩散 128 和 P+扩散 126,且将所述 N+扩散 128 连接在一起,以便形成完全环绕所述 P+扩散 126 中每一者的连续的 N+扩散 128。N+扩散 128 可在集成电路的制造期间形成为一个 N+扩散 128。所述绝缘层 124 使 N+扩散 128 与接合焊盘金属绝缘。通过导电通孔 116 将 P+扩散 126 连

接到接合焊盘 114。N-阱 130 大体上位于 N+扩散 128 和 P+扩散 126 下。围绕的 N+扩散 128a 与下面的 N-阱 130 的边缘部分重叠。集成电路衬底 132 包含起 P-阱作用的 P-半导体材料。本发明的 ESD 结构还可形成在位于集成电路的 N-衬底中的 P-阱内。N+扩散 128a 的外侧部分（即与 N-阱 130 重叠的部分）位于 P-阱 132 内。另一 N+扩散 128b 包围将 N+扩散 128 连接在一起的 N+扩散 128a。另一 N+扩散 128b 位于所述 P-阱 132 中，且场氧化物 122 可位于 N+扩散 128a 与另一 N+扩散 128b 之间。另外，可通过导电通孔来将所述 N+扩散 128 连接在一起，所述导电通孔通过导电路径(未图示)连接在一起。

形成 NPN 场效晶体管 104，其中以所述 N+扩散 128a 为晶体管集极，以所述 P-阱 132 为晶体管基极，且以所述另一 N+扩散 128b 为晶体管射极。可通过例如金属或低电阻半导体材料(例如通孔 118 和导体 120，各一个或一个以上)的导电连接件，来将所述另一 N+扩散 128b(射极)接地。形成 PNP 晶体管 102，其中以所述 P+扩散 126 为晶体管射极，以所述 N-阱 130 为晶体管基极，且以 P-阱 132 为晶体管集极。二极管 108 形成于 N-阱 130 与 P-阱 132 之间。一般来说，P-阱 132 耦合到接地(和/或电源的负轨道)，且充当通往接地的电阻，一般以电阻器 110 表示。

上述 ESD 保护结构 100 的电容极小，因为所述接合焊盘 114 所经历的唯一电容为 P+扩散 126 到 N-阱 130 的电容，其形成二极管结电容。因为 ESD 保护结构 100 通常位于所述接合焊盘 114 下，所以接合焊盘 114 到 P-阱 132 的电容实质上减小。

参看图 2，其描绘图 1 的 ESD 保护结构的示意性电路图。本发明 ESD 保护结构 100 箝制接合焊盘 114 上的电压瞬变，这大体上与 NPN 场效晶体管或其它半导体结构的通常情况相同。接合焊盘到接地的电压增加，直到 N+扩散到 P-阱二极管 108 击穿(导通)为止。因此，接合焊盘电压将为此击穿电压上的二极管电压降。接着，NPN 场效晶体管 104 快速弹回。通过由 P+扩散、N-阱和 P-阱所形成的垂直 PNP 寄生结构(晶体管 102)来增强 ESD 箝制操作。当瞬变电流流过 NPN 场效晶体管 104 时，由于前述垂直 PNP 寄生结构(晶体管 102)的存在，电流中的一部分直接流向 P-阱。

因此，本发明很适用于实施所述目的，并获得所提及的目标和优势以及本文中的其它固有方面。虽然已参考本发明的示范性实施例描述、说明并定义了本发明，但此类参考并不暗示对本发明的限制，且不可推断此类限制。如所属领域的一般技术人员和受益于本揭示内容者将想到，本发明在形式和功能方面能够有相当大的修改、变更和对等。所描绘并描述的本发明的实施例仅为示范性的，而非详尽说明本发明的范围。因此，希望本发明仅受所附权利要求书的精神和范围的限制，并在各方面给予均等物完全的认可。



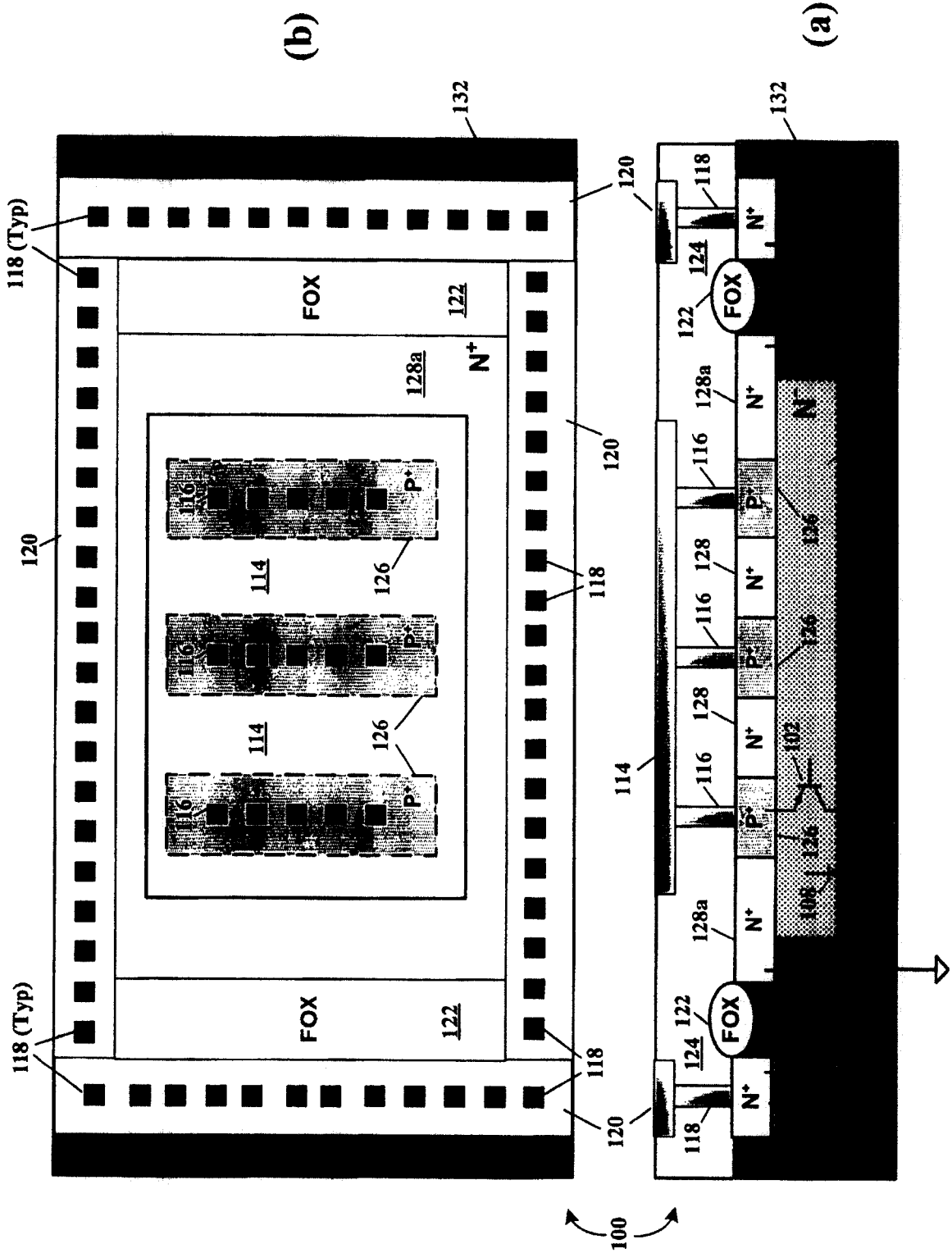


图1

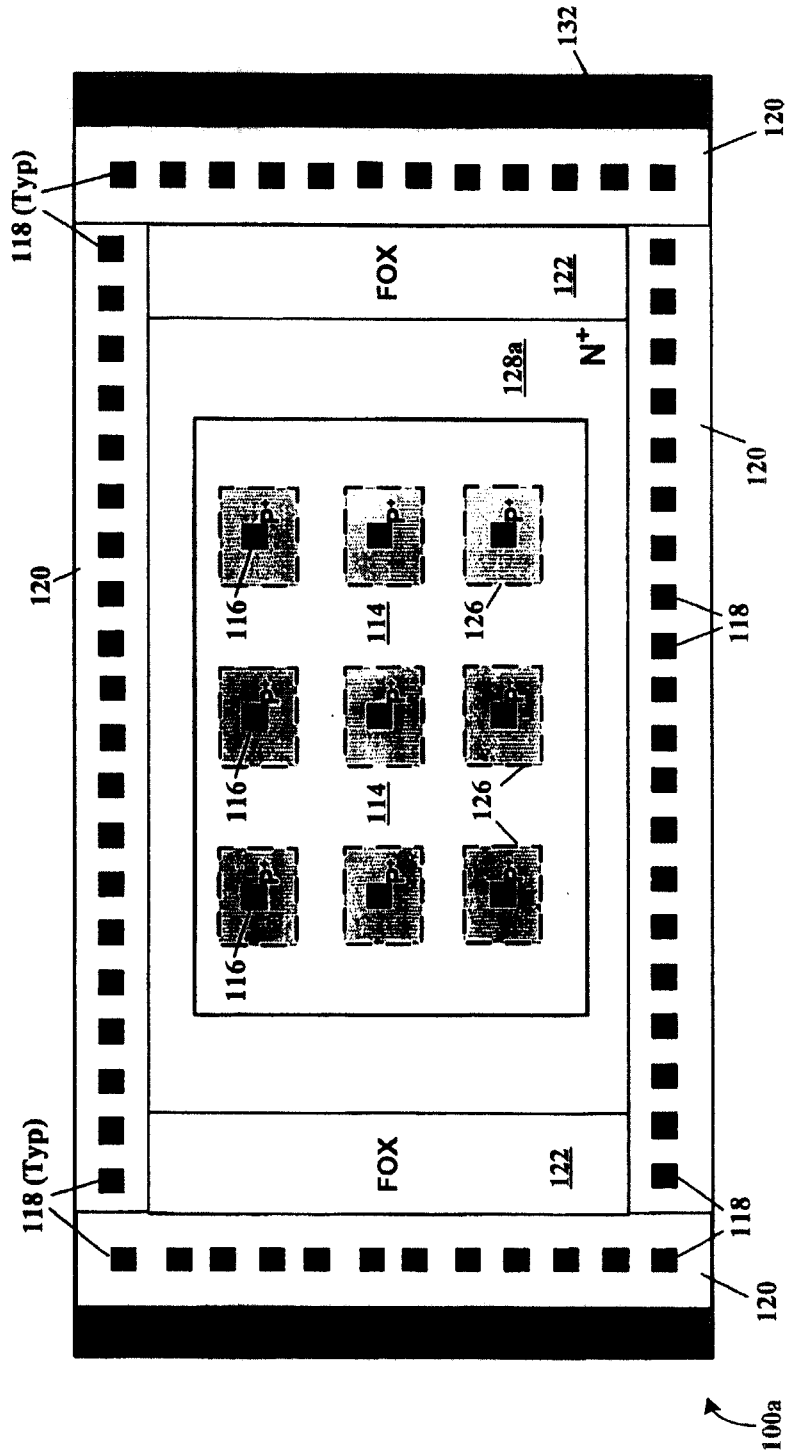


图 1C

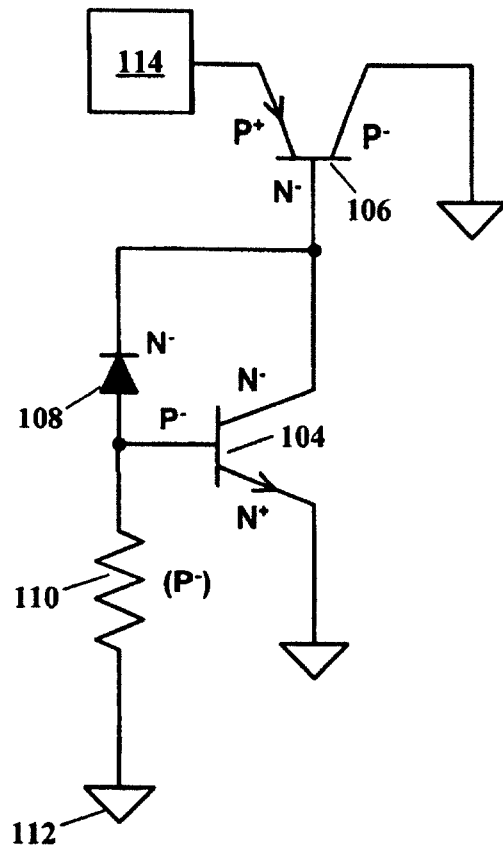


图2