



(12) 实用新型专利

(10) 授权公告号 CN 202996834 U

(45) 授权公告日 2013. 06. 12

(21) 申请号 201220711378. 9

(22) 申请日 2012. 12. 20

(73) 专利权人 杭州士兰微电子股份有限公司  
地址 310012 浙江省杭州市黄姑山路 4 号

(72) 发明人 叶俊 张邵华

(74) 专利代理机构 上海思微知识产权代理事务  
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

H01L 27/02(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

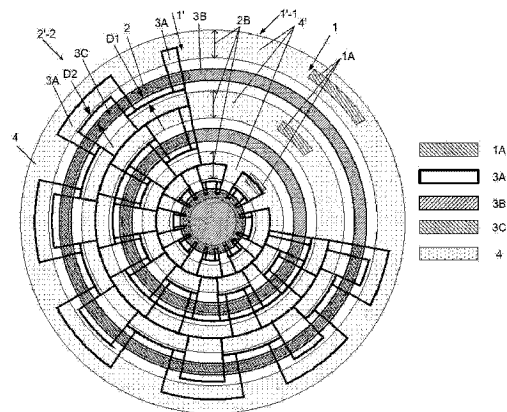
权利要求书1页 说明书9页 附图11页

(54) 实用新型名称

一种元胞结构

(57) 摘要

本实用新型提供一种元胞结构, 多个元胞排列形成元胞阵列结构而形成有三个端口的功率半导体器件, 三个端口中的任意一端口或多个端口分别连接一电阻, 每个元胞包括外延层; 第二型轻掺杂区, 形成于外延层中; 第一型重掺杂区和第二型重掺杂区, 分别形成于第二型轻掺杂区中; 重掺杂区短接孔, 形成于第一型重掺杂区和第二型重掺杂区上; 栅介质层, 形成于外延层、紧邻外延层的第二型轻掺杂区及紧邻第二型轻掺杂区的部分第一型重掺杂区的表面上; 第一多晶硅条, 形成于栅介质层上; 所有元胞中的第一型重掺杂区和重掺杂区短接孔在第二型轻掺杂区中所包围的区域为第二端口连接的电阻, 串联电阻可提升 ESD 能力且通过对元胞结构稍作调整就能适应多种等级 ESD 需求。



1. 一种元胞结构,多个所述元胞排列形成元胞阵列结构而形成具有第一端口、第二端口和第三端口的功率半导体器件,所述三个端口中的任意一端口或多个端口分别连接一电阻,其特征在于,每个所述元胞包括:

一外延层;

一第二型轻掺杂区,形成于所述外延层中;

第一型重掺杂区和第二型重掺杂区,分别形成于所述第二型轻掺杂区中;

重掺杂区短接孔,形成于所述第一型重掺杂区和第二型重掺杂区上;

栅介质层,形成于外延层、紧邻外延层的第二型轻掺杂区及紧邻第二型轻掺杂区的部分第一型重掺杂区的表面上;

第一多晶硅条,形成于所述栅介质层上;

其中,所有所述元胞中的第一型重掺杂区和重掺杂区短接孔在所述第二型轻掺杂区中所包围的区域为第二端口连接的电阻。

2. 如权利要求 1 所述的元胞结构,其特征在于,所述功率半导体器件为 MOSFET、IGBT、双极型晶体管中的任意一种或由 MOSFET、IGBT 和双极型晶体管衍生出来的功率半导体器件;其中,所述功率半导体器件为 MOSFET 时,所述 MOSFET 的第一端口、第二端口和第三端口分别对应栅极端、源极端和漏极端;所述功率半导体器件为 IGBT 时,所述 IGBT 的第一端口、第二端口和第三端口分别对应栅极端、发射极端和集电极端;所述功率半导体器件为双极型晶体管时,所述双极型晶体管的第一端口、第二端口和第三端口分别对应基极端、发射极端和集电极端。

3. 如权利要求 1 所述的元胞结构,其特征在于,所有所述元胞中的第一型重掺杂区连接在一起,其中一个元胞的第一型重掺杂区上设有第二端口;所有所述元胞中的重掺杂区短接孔连接在一起,其中另一个元胞的重掺杂区短接孔形成源极或发射极。

4. 如权利要求 1 所述的元胞结构,其特征在于,所述元胞为条形、方形、六边形或圆形。

5. 如权利要求 1 所述的元胞结构,其特征在于,所述元胞阵列结构为圆形阵列、方形阵列、六边形阵列。

6. 如权利要求 1 所述的元胞结构,其特征在于,所述第一型重掺杂区和第二型重掺杂区之间具有根据抗静电放电能力的需求而调整的间距和/或所述重掺杂区短接孔和第一型重掺杂区之间具有根据抗静电放电能力的需求而调整的间距。

## 一种元胞结构

### 技术领域

[0001] 本实用新型属于功率半导体器件静电放电技术领域,尤其涉及一种元胞结构。

### 背景技术

[0002] 静电放电 (Electrostatic Discharge, ESD) 是造成大多数电子组件受到破坏的重要因素,为了避免电子组件遭受破坏,电子工程师们想了很多应对策略,其中一个主流思想是对单个器件或者集成电路进行 ESD 设计,即通过加入 ESD 防护组件来保护需要被保护的器件或者集成电路。被广泛采用的 ESD 防护组件有二极管 (Diode)、双极型晶体管 (NPN/PNP)、金属-氧化物-半导体场效应晶体管 (MOSFET)、硅控整流器 (SCR) 等。

[0003] Edward John Coyne 等人提出一种静电防护组件 (参见文献 1:Edward John Coyne et al, ELECTROSTATIC PROTECTION DEVICE, In May 5, 2011, US2011/0101444A1, United States Patent), 通过引入纵向 NPN 作为 ESD 保护组件, 来提高抗 ESD 能力。另外, Shi-Tron Lin 等人提出一种闭合栅 MOSFET 结构 (参见文献 2:Shi-Tron Lin et al, DISTRIBUTED MOSFET STRUCTURE WITH ENCLOSED GATE FOR IMPROVED TRANSISTOR SIZE/LAYOUT AREA RATIO AND UNIFORM ESD TRIGGERING, In Dec 14, 1999, US6,002,156, United States Patent), 通过分布的闭合栅 MOSFET 结构作为 ESD 防护组件来提高抗 ESD 能力。然而, 这些 ESD 防护组件的形成相对比较复杂, 且需要额外的掩膜版, 在提升 ESD 能力的同时也增加了成本。

[0004] 因此, 需要提出一种新的功率半导体器件, 以解决现有技术中 ESD 防护组件为提高抗 ESD 能力而需额外增加掩膜版, 且形成相对比较复杂的问题。

### 实用新型内容

[0005] 本实用新型的目的在于提供一种元胞结构, 以便将串联的电阻作为一种 ESD 防护组件, 来提升 ESD 能力。

[0006] 为解决上述问题, 本实用新型提供一种元胞结构, 多个所述元胞排列形成元胞阵列结构而形成具有第一端口、第二端口和第三端口的功率半导体器件, 所述三个端口中的任意一端口或多个端口分别连接一电阻, 每个所述元胞包括:

[0007] 一外延层; 一第二型轻掺杂区, 形成于所述外延层中; 第一型重掺杂区和第二型重掺杂区, 分别形成于所述第二型轻掺杂区中; 重掺杂区短接孔, 形成于所述第一型重掺杂区和第二型重掺杂区上; 栅介质层, 形成于外延层、紧邻外延层的第二型轻掺杂区及紧邻第二型轻掺杂区的部分第一型重掺杂区的表面上; 第一多晶硅条, 形成于所述栅介质层上; 其中, 所有所述元胞中的第一型重掺杂区和重掺杂区短接孔在所述第二型轻掺杂区中所包围的区域为第二端口连接的电阻。

[0008] 进一步的, 所述功率半导体器件为 MOSFET、IGBT、双极型晶体管中的任意一种或由 MOSFET、IGBT 和双极型晶体管衍生出来的功率半导体器件; 其中, 所述功率半导体器件为 MOSFET 时, 所述 MOSFET 的第一端口、第二端口和第三端口分别对应栅极端、源极端和漏极

端；所述功率半导体器件为 IGBT 时，所述 IGBT 的第一端口、第二端口和第三端口分别对应栅极端、发射极端和集电极端；所述功率半导体器件为双极型晶体管时，所述双极型晶体管的第一端口、第二端口和第三端口分别对应基极端、发射极端和集电极端。

[0009] 进一步的，所有所述元胞中的第一型重掺杂区连接在一起，其中一个元胞的第一型重掺杂区上设有第二端口；所有所述元胞中的重掺杂区短接孔连接在一起，其中另一个元胞的重掺杂区短接孔形成源极或发射极。

[0010] 进一步的，所述元胞为条形、方形、六边形或圆形。

[0011] 进一步的，所述元胞阵列结构为圆形阵列、方形阵列、六边形阵列。

[0012] 进一步的，所述第一型重掺杂区和第二型重掺杂区之间具有根据抗静电放电能力的需求而调整的间距和 / 或所述重掺杂区短接孔和第一型重掺杂区之间具有根据抗静电放电能力的需求而调整的间距。

[0013] 与现有技术相比，本实用新型公开了通过多个元胞排列形成元胞阵列结构而形成具有第一端口、第二端口和第三端口的功率半导体器件，所述三个端口中的任意一端口或多个端口分别连接一电阻，每个所述元胞包括：一外延层；一第二型轻掺杂区，形成于所述外延层中；第一型重掺杂区和第二型重掺杂区，分别形成于所述第二型轻掺杂区中；重掺杂区短接孔，形成于所述第一型重掺杂区和第二型重掺杂区上；栅介质层，形成于外延层、紧邻外延层的第二型轻掺杂区及紧邻第二型轻掺杂区的部分第一型重掺杂区的表面上；第一多晶硅条，形成于所述栅介质层上；其中，所有所述元胞中的第一型重掺杂区和重掺杂区短接孔在所述第二型轻掺杂区中所包围的区域为第二端口连接的电阻。与所述第二端口连接的电阻作为一种 ESD 防护组件，来提升 ESD 能力，不仅对提升 ESD 能力非常有效，且电阻的形成无需额外增加掩模版和工艺流程，有效降低了成本。同时，电阻大小可通过对被保护器件版图结构稍作调整，就能适应多种等级 ESD 需求，设计灵活度大。

#### 附图说明

[0014] 图 1 为本实用新型具有抗静电放电能力的功率半导体器件的制造方法的框架示意图；

[0015] 图 2A 至图 2C 为本实用新型具有抗静电放电能力的功率半导体器件的结构示意图；

[0016] 图 3 至图 5 为本实用新型实施例一中具有抗静电放电能力的功率半导体器件的栅极端串联条形电阻形成栅极的圆形阵列版图结构；

[0017] 图 6 为图 5 所示的 VDMOS 的栅极端串联条形电阻形成栅极的制造方法的框图；

[0018] 图 7 为图 6 所示的 VDMOS 的栅极端串联条形电阻形成栅极的制造方法的测试结果示意图；

[0019] 图 8 至图 9 为本实用新型实施例二中具有抗静电放电能力的功率半导体器件的源极端串联条形电阻形成源极的圆形阵列版图结构；

[0020] 图 10 为图 8 所示的 VDMOS 的源极端串联条形电阻形成源极的制造方法的框图；

[0021] 图 11 为图 10 所示的 VDMOS 的源极端串联条形电阻形成源极的制造方法的测试结果示意图；

[0022] 图 12 为本实用新型实施例三中具有抗静电放电能力的功率半导体器件的栅极端

和源极端同时分别串联电阻形成栅极和源极的圆形阵列版图结构；

[0023] 图 13 至图 14 为本实用新型实施例四中具有抗静电放电能力的功率半导体器件的源极端（或栅极端、源极端同时）串联方形电阻形成源极（或栅极、源极）的方形阵列版图结构；

[0024] 图 15 至图 16 为本实用新型实施例五中具有抗静电放电能力的功率半导体器件源极端（或栅极端、源极端同时）串联六边形电阻形成源极（或栅极、源极）的六边形阵列版图结构；

[0025] 图 17 至图 18 为本实用新型实施例六中具有抗静电放电能力的功率半导体器件源极端（或栅极端、源极端同时）串联六边形电阻形成源极（或栅极、源极）的方形阵列版图结构；

[0026] 图 19 至图 20 为本实用新型实施例七中具有抗静电放电能力的功率半导体器件源极端（或栅极端、源极端同时）串联圆形电阻形成源极（或栅极、源极）的方形阵列版图结构；

[0027] 图 21 至图 22 为本实用新型实施例八中具有抗静电放电能力的功率半导体器件源极端串联条形电阻形成源极（或栅极、源极）的方形阵列版图结构。

### 具体实施方式

[0028] 为使本实用新型的上述目的、特征和优点能够更加明显易懂，下面结合附图对本实用新型的具体实施方式做详细的说明。

[0029] 如图 1 所示，本实用新型提供具有抗静电放电能力的功率半导体器件的制造方法的框图。图 1 的方框中提供一功率半导体器件，所述功率半导体器件由元胞阵列排布形成，所述功率半导体器件有第一端口 1'、第二端口 2' 和第三端口 3'。当所述第一端口 1' 连接一电阻 R1、所述第二端口 2' 连接一电阻 R2、所述第三端口 3' 连接一电阻 R3 时，则三条电流泄放路径 I、II 和 III 可以分别通过串联的电阻 R1、R2 和 R3，有效的限制 ESD 放电瞬时峰值电流并吸收一部分能量，形成具有抗静电放电能力的功率半导体器件。根据抗 ESD 防护能力的大小，可以同时分别在所述第一端口、第二端口和第三端口中的任选两端口分别串联电阻，或在所述第一端口、第二端口和第三端口中的任选一端口串联电阻，则每个端口均可以通过对应的电流泄放路径有效的限制 ESD 放电瞬时峰值电流并吸收一部分能量。

[0030] 因此，本实用新型形成的具有抗静电放电能力的功率半导体器件包括：一功率半导体器件，由元胞阵列排布形成；第一端口 1'、第二端口 2' 和第三端口 3'，形成于所述功率半导体器件；以及一个或多个电阻，所述三个端口中的任意一端口或多个端口分别连接一所述电阻。

[0031] 进一步的，所述功率半导体器件可以为 MOSFET（金属 - 氧化物 - 半导体场效应晶体管）、IGBT（绝缘栅双极型晶体管）、双极型晶体管（NPN/PNP）以及由 MOSFET、IGBT、双极型晶体管衍生的其它功率半导体器件。其中，所述功率半导体器件为 MOSFET 时，所述 MOSFET 的第一端口 1'、第二端口 2' 和第三端口 3' 分别对应栅极端、源极端和漏极端；所述功率半导体器件为 IGBT 时，所述 IGBT 的第一端口 1'、第二端口 2' 和第三端口 3' 分别对应栅极端、发射极端和集电极端；所述功率半导体器件为双极型晶体管时，所述双极型晶体管的第一端口 1'、第二端口 2' 和第三端口 3' 分别对应基极端、发射极端和集电极端。

[0032] 所述元胞形成的过程如下：提供一外延层 6，在所述外延层中形成一第二型轻掺杂区 5；在所述外延层上由下至上依次形成栅介质层 7 和第一多晶硅条 4；刻蚀所述第一多晶硅条 4 和栅介质层 7，暴露出所述第二型轻掺杂区 5；在所述第二型轻掺杂区 5 中形成一第一型重掺杂区 3A 和第二型重掺杂区 3B；在所述第一型重掺杂区 3A 和第二型重掺杂区 3B 上形成一重掺杂区短接孔 3C。

[0033] 因此，本实用新型形成的具有抗静电放电能力的功率半导体器件中，所提供的所述元胞包括：一外延层 6；一第二型轻掺杂区 5，形成于所述外延层中 6；一第一型重掺杂区 3A 和第二型重掺杂区 3B，分别形成于所述第二型轻掺杂区 5 中；一重掺杂区短接孔 3C，形成于所述第一型重掺杂区 3A 和第二型重掺杂区 3B 上；栅介质层 7，形成于所述外延层 6、紧邻外延层 6 的第二型轻掺杂区 5 及紧邻第二型轻掺杂区 5 的部分第一型重掺杂区 3A 的表面上；第一多晶硅条 4，形成于所述栅介质层 7 上。

[0034] 若在所述栅介质层 7 上沉积第二多晶硅条 4'，则在所述第二多晶硅条 4' 上设第一端口 1'，在所述第一端口 1' 以外的第二多晶硅条 4' 上形成栅极 1，所述第二多晶硅条 4' 为第一端口连接的电阻 R1，所述第一端口 1' 与栅极 1 无直接电气连接关系，如图 2A 所示。此时，根据抗静电放电能力的需求对所述第二多晶硅条 4' 的宽度和 / 或间距进行调整，可以确定与所述第一端口 1' 连接的电阻 R1 的大小。

[0035] 因此，本实用新型形成的具有抗静电放电能力的功率半导体器件包括：第一端口 1'，设置在一第二多晶硅条 4' 上，所述第二多晶硅条 4' 形成在所述栅介质层 7 上；以及栅极 1，形成于所述第一端口 1' 以外的第二多晶硅条 4' 上，所述第二多晶硅条 4' 为所述电阻 R1，所述第一端口 1' 与栅极 1 无直接电气连接关系。所述第二多晶硅条 4' 具有根据抗静电放电能力的需求而调整的宽度和 / 或间距。

[0036] 若在所述第一型重掺杂区 3A 上设第二端口 2'，在所述重掺杂区短接孔 3C 上形成源极或发射极 2，则所述第一型重掺杂区 3A 和重掺杂区短接孔 3C 在所述第二型轻掺杂区 5 中所包围的区域为第二端口 2' 连接的电阻 R2（如图 2B 或 2C 所示），所述电阻 R2 可以为 N 型轻掺杂电阻或 P 型轻掺杂电阻。所述 N 型轻掺杂电阻或 P 型轻掺杂电阻形成原理如下：当所述第一型重掺杂区为 n+ 型掺杂，所述第二型重掺杂区为 p+ 型掺杂，所述电阻 R2 为 P 型轻掺杂电阻；当所述第一型重掺杂区为 p+ 型掺杂，所述第二型重掺杂区为 n+ 型掺杂，所述电阻 R2 为 N 型轻掺杂电阻。此时，根据抗静电放电能力的需求调整所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间的间距 D1 和 / 或调整所述重掺杂区短接孔 3C 和第一型重掺杂区 3A 之间的间距 D2，确定与所述第二端口 2' 串联的电阻 R2 的大小。其中，图 2B 与图 2C 的区别在于，图 2B 关于所述第一型重掺杂区 3A 是不对称结构，则形成的功率半导体器件为单边沟道，功率半导体器件的 EAS（单脉冲雪崩能量）特性和关态泄露电流较小，所述第二端口 2' 和源极或发射极 2 之间串联电阻为 R2；而图 2C 关于所述第一型重掺杂区 3A 是对称结构，则形成的功率半导体器件为双边沟道，功率半导体器件的开态电流较大，所述第二端口 2' 和源极或发射极 2 之间串联电阻为 R2/2，这是左右二边对称结构并联的结果。

[0037] 因此，本实用新型形成的具有抗静电放电能力的功率半导体器件包括：第二端口 2'，设置在所述第一型重掺杂区 3A 上；以及源极或发射极 2，形成于所述重掺杂区短接孔 3C 上，所述第一型重掺杂区 3A 和重掺杂区短接孔 3C 在所述第二型轻掺杂区 5 中所包围的区域为第二端口 2' 连接的电阻 R2。所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间具有

根据抗静电放电能力的需求而调整的间距 D1 和 / 或所述重掺杂区短接孔 3C 和第一型重掺杂区 3A 之间具有根据抗静电放电能力的需求而调整的间距 D2。

[0038] 同理,可在所述元胞上形成第三端口 3' 以及相应的漏极或集电极,在所述第三端口 3' 和所述漏极或集电极 3 之间可以形成 R3,所述电阻 R3 也可以为 N 型轻掺杂电阻或 P 型轻掺杂电阻。同样可以根据抗静电放电能力的需求调整与所述第三端口 3' 连接的电阻 R3 的大小。

[0039] 若同时在第一端口 1' 和第二端口 2' 上串联电阻,则在所述第二多晶硅条 4' 上设第一端口 1',在所述第一端口 1' 以外的第二多晶硅条 4' 上形成栅极 1,所述第二多晶硅条 4' 为第一端口连接的电阻 R1,所述第一端口 1' 与栅极 1 无直接电气连接关系,如图 2A 所示。此时,根据抗静电放电能力的需求对所述第二多晶硅条 4' 的宽度和 / 或间距进行调整,可以确定与所述第一端口 1' 连接的电阻 R1 的大小。同时按照上述方法在所述第一型重掺杂区 3A 上设第二端口 2',在所述重掺杂区短接孔 3C 上形成源极或发射极 2 的方式形成具有抗静电放电能力的功率半导体器件。

[0040] 参见图 3-22,本实用新型还提供一种元胞结构的制造方法,多个所述元胞排列形成元胞阵列结构而形成功率半导体器件,所述功率半导体器件有第一端口、第二端口和第三端口,所述三个端口中的任意一端口或多个端口分别连接一电阻,以所述功率半导体器件是 MOSFET 为例,通过不同实施例详细说明本实用新型如何通过串联电阻作为一种 ESD 防护组件来提升 ESD 能力的。

[0041] 实施例一

[0042] 图 3 至图 5 所示为本实用新型提供具有抗静电放电能力的功率半导体器件的栅极端串联条形电阻形成栅极的圆形阵列版图结构。

[0043] 如图 3 至图 5 所示,每个所述元胞 8 形成的步骤如下:提供一外延层(图中未示,请参见图 2A 至图 2C 中的标示 6);在所述外延层中形成一第二型轻掺杂区(图中未示,请参见图 2A 至图 2C 中的标示 5);在所述外延层上由下至上依次形成栅介质层(图中未示,请参见图 2A 至图 2C 中的标示 7)和第一多晶硅条 4;刻蚀所述第一多晶硅条 4 和栅介质层,暴露出所述第二型轻掺杂区;在所述第二型轻掺杂区中分别形成第一型重掺杂区 3A 和第二型重掺杂区 3B;在所述第一型重掺杂区 3A 和第二型重掺杂区 3B 上形成一重掺杂区短接孔 3C;通过所述元胞 8 排列形成元胞阵列结构而形成功率半导体器件。

[0044] 所述元胞 8 可以为条形、方形、六边形或圆形。通过不同形状的所述元胞 8 的不同排布可以形成不同的阵列结构,例如条形元胞可以形成方形阵列或圆形阵列;方形元胞可以形成方形阵列;六边形元胞可以形成方形阵列或六边形阵列;圆形元胞可以形成方形阵列等,具体内容请参见后续实施例的分析说明。因此,所述元胞阵列结构可以为圆形阵列、方形阵列和六边形阵列。本实施例中,所述元胞 8 为条形,形成的所述元胞阵列结构为圆形阵列。

[0045] 在所述元胞阵列结构中的所述栅介质层上再做可匹配所述元胞结构形状的第二多晶硅条 4',在与所述第一多晶硅条 4 的一端连接的第二多晶硅条 4' 上引出所述功率半导体器件的栅极端(第一端口 1'),所述第二多晶硅条的另一端引出所述功率半导体器件的栅极 1,由此所述第二多晶硅条 4' 成为第一端口连接的电阻 R1。

[0046] 如所述元胞 8 采用条形时,所述第二多晶硅条 4' 也采用条形。所述第二多晶硅条

4' 的宽度 2B 及间距 2A 均可以调整,如图 3 所示,所述第二多晶硅条 4' 的宽度 2B 较窄、间距 2A 较宽;如图 4 所示,所述第二多晶硅条 4' 的宽度 2B 较宽、间距 2A 较窄;如图 5 所示,所述第二多晶硅条 4' 的宽度 2B 及电阻间距 2A 均较窄。因此,根据抗静电放电能力的需求,改变所述第二多晶硅条 4' 的宽度 2B 以及间距 2A,可以调整所述电阻 R1 的大小。图 3 至图 5 的版图结构对应图 2B 所示的具有抗静电放电能力的功率半导体器件的制造方法的结构示意图。

[0047] 具体见 n 沟道 VDMOS 栅极端串联电阻的分析:如图 6 所示,本实用新型提供的一种 600V/30mA n-channel (n 沟道) 的 VDMOS (垂直双扩散功率场效应晶体管) 的制造方法的框图,栅极端 G 串联了由第二多晶硅条 4' 形成的电阻  $R_G$ ,其版图结构如图 5 所示,本实施例中 1A 是栅极接触区;栅极端和栅极 1 之间串联的是电阻  $R_G$ ;2A 是由条形的第二多晶硅条 4' 形成的电阻  $R_G$  的电阻间距,值为  $6\mu\text{m}$ ;2B 是由条形的第二多晶硅条 4' 形成的电阻  $R_G$  的电阻宽度,值为  $4\mu\text{m}$ 。改变所述电阻  $R_G$  的电阻间距 2A 与电阻宽度 2B,即可改变所述电阻  $R_G$  的电阻。所述第一型重掺杂区 3A 是 n+ 源区,所述第二型重掺杂区 3B 是 p+ 接触区。

[0048] 最终 ESD 防护组件的测试结果如图 7 所示,当  $R_G = 20\Omega$  时,ESD 低于 100V,而所述电阻  $R_G$  的电阻大小改为  $R_G = 1.5\text{K}$  时,ESD 过 300V,明显提高了抗 ESD 能力。

[0049] 实施例二

[0050] 图 8 至图 9 所示为本实用新型具有抗静电放电能力的功率半导体器件的源极端串联条形电阻形成源极的圆形阵列版图结构。

[0051] 如图 8 和 9 所示,每个所述元胞 8 形成的步骤如下:提供一外延层(图中未示,请参见图 2A 至图 2C 中的标示 6);在所述外延层中形成一第二型轻掺杂区(图中未示,请参见图 2A 至图 2C 中的标示 5);在所述外延层上由下至上依次形成栅介质层(图中未示,请参见图 2A 至图 2C 中的标示 7)和第一多晶硅条 4;刻蚀所述第一多晶硅条 4 和栅介质层,暴露出所述第二型轻掺杂区;在所述第二型轻掺杂区中分别形成第一型重掺杂区 3A 和第二型重掺杂区 3B;在所述第一型重掺杂区 3A 和第二型重掺杂区 3B 上形成一重掺杂区短接孔 3C;通过所述元胞 8 排列形成元胞阵列结构而形成功率半导体器件;其中,所有所述元胞 8 中的第一型重掺杂区 3A 和重掺杂区短接孔 3C 在所述第二型轻掺杂区 5 中所包围的区域为第二端口 2' 连接的电阻  $R_2$ 。

[0052] 因此,本实用新型形成一种元胞结构,每个所述元胞 8 包括:一外延层;一第二型轻掺杂区,形成于所述外延层中;第一型重掺杂区 3A 和第二型重掺杂区 3B,分别形成于所述第二型轻掺杂区中;重掺杂区短接孔 3C,形成于所述第一型重掺杂区 3A 和第二型重掺杂区 3B 上;栅介质层,形成于外延层、紧邻外延层的第二型轻掺杂区及紧邻第二型轻掺杂区的部分第一型重掺杂区 3A 的表面上;多晶硅条 4,形成于所述栅介质层上;其中,所有所述元胞 8 中的第一型重掺杂区 3A 和重掺杂区短接孔 3C 在所述第二型轻掺杂区中所包围的区域为第二端口 2' 连接的电阻  $R_2$ 。

[0053] 而源极端(第二端口 2')形成的步骤如下:将所有所述元胞中的第一型重掺杂区 3A 全部连接,在一个所述元胞的第一型重掺杂区 3A 上设第二端口 2',并将所有所述元胞中的重掺杂区短接孔 3C 全部连接后,在另一个所述元胞的重掺杂区短接孔 3C 上形成源极。

[0054] 所述元胞 8 可以为条形、方形、六边形或圆形。而所述元胞阵列结构可以为圆形阵列、方形阵列和六边形阵列。本实施例中,所述元胞 8 为条形,形成的所述元胞阵列结构为



圆形阵列。不同形状的所述元胞 8 通过不同排布可以形成不同的阵列结构,具体内容请参见后续实施例的分析说明。

[0055] 在所述元胞中的第一型重掺杂区 3A 和第二型重掺杂区 3B 之间具有间距 D1,可直接调整间距 D1 或间接改变所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间的宽度来调整两者之间的间距 D1,从而决定与所述源极端 2' 连接的电阻 R2 的大小;或是调整所述重掺杂区短接孔 3C 和第一型重掺杂区 3A 之间的间距 D2,来决定与所述源极端 2' 连接的电阻 R2 的大小,所述电阻 R2 为 N 型轻掺杂电阻或 P 型轻掺杂电阻。图 8 至图 9 的版图结构对应图 2B 所示的具有抗静电放电能力的功率半导体器件的结构示意图。

[0056] 具体见 n 沟道 VDMOS 源极端串联电阻的分析:如图 10 所示,本实用新型提供的一种 600V/30mA n-channel VDMOS 的制造方法的框图,在源极端 S 串联了一电阻 RS,其版图结构如图 8 所示,本实施例中源极端 2' 和源极或发射极 2 之间串联的“S 型”的电阻 RS 为 P 型轻掺杂电阻;所述第一型重掺杂区 3A 是 n+ 源区,其剂量为  $1E16\text{cm}^{-2}$ ;所述第二型重掺杂区 3B 是 p+ 接触区,其剂量为  $2E15\text{cm}^{-2}$ ;所述第二型轻掺杂区是 p- 区,其剂量为  $3E13\text{cm}^{-2}$ ;所述重掺杂区短接孔 3C 是源极接触区,其宽度为 4 $\mu\text{m}$ 。

[0057] 例如,通过调整所述重掺杂区短接孔 3C 和第一型重掺杂区 3A 之间的间距 D2,来决定所述功率半导体器件源极端 2' 和源极或发射极 2 之间串联电阻的大小的方法如下:图 8 中所示的源极端接触区 3C 较窄,而图 9 中所示的源极端接触区 3C 较宽,因此,当所述第二型重掺杂区 3B 宽度不变时,由于所述重掺杂区短接孔 3C 形成在所述第二型重掺杂区 3B 上,通过间接改变所述重掺杂区短接孔 3C 和第一型重掺杂区 3A 之间的宽度,可以改变所述第一型重掺杂区 3A 与重掺杂区短接孔 3C 之间的间距,以达到调整与所述源极端 2' 连接的电阻 RS 大小的目的。

[0058] 同理,所述功率半导体器件漏极端和漏极或集电极之间串联电阻 R3 的大小亦可以通过本实施例二类似的方法实现,在此不再一一赘述。

[0059] 最终 ESD 防护组件的测试结果如图 11 所示,当  $RS = 0.7\text{K}$  时,ESD 低于 100V,而所述电阻 RS 的大小改为  $RS = 1.4\text{K}$  时,ESD 过 300V,明显提高了抗 ESD 能力。

[0060] 实施例三

[0061] 图 12 所示的实施例与实施例一和二的区别在于提供一种具有抗静电放电能力的功率半导体器件的栅极端和源极端分别同时串联电阻形成栅极和源极的圆形阵列版图结构。

[0062] 在本实施例中,可将实施例一进行变化后和实施例二的版图结构进行结合,形成图 12。对所述实施例一进行变化的内容如下:在所述第二多晶硅条 4' 上设第一端口 1',在所述第一端口 1' 以外的第二多晶硅条 4' 上形成栅极 1,所述第二多晶硅条 4' 为第一端口连接的电阻 R1,所述第一端口 1' 与栅极 1 无直接电气连接关系。然后,可以按照实施例一的方式调整与所述栅极端串联的电阻 R1 的大小,以及按照实施例二的方式调整与所述源极端串联的电阻 R2 的大小,在此不再一一赘述。

[0063] 实施例四

[0064] 图 13 至图 14 所示的实施例与实施例一或实施例二的区别在于提供一种具有抗静电放电能力的功率半导体器件的源极端(或栅极端、源极端同时)串联电阻形成的方形阵列版图结构。

[0065] 在本实施例中,每个所述元胞 8 为方形,所述元胞 8 重复拼接分布,形成的所述元胞阵列结构为方形阵列版图结构。

[0066] 若需要与所述源极端串联电阻,可按照实施例二的方法形成所述源极端和源极,如图 13 所示,所述第二型重掺杂区 3B 较窄,如图 14 所示,所述第二型重掺杂区 3B 较宽,按照实施例二的方式改变所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间的间距 D1,从而可以调整与所述源极端串联的电阻 R2 的大小。

[0067] 若还需要与所述栅极端串联电阻,先在每个所述元胞形成阵列的周围形成一方形环状的第二多晶硅条 4' (未标示),并可按照实施例一的方法在所述功率半导体器件上形成的栅极端和栅极之间形成电阻 R1,并调整与所述栅极端串联的电阻 R1 的大小。

[0068] 实施例五

[0069] 图 15 至图 16 所示的实施例与实施例四的区别在于提供一种具有抗静电放电能力的功率半导体器件的源极端 (或栅极端、源极端同时) 串联电阻形成的六边形阵列版图结构。

[0070] 本实施例中,所述元胞 8 为六边形,所述元胞 8 重复拼接分布,形成的所述元胞阵列结构为六边形阵列版图结构。其中,图 15 和图 16 截取了所述元胞阵列结构为六边形阵列版图结构的局部。

[0071] 若需要与所述源极端串联电阻,可按照实施例二的方法形成所述源极端和源极,如图 15 所示,所述第二型重掺杂区 3B 较窄,如图 16 所示,所述第二型重掺杂区 3B 较宽,按照实施例二的方式改变所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间的间距 D1,从而可以调整与所述源极端串联的电阻 R2 的大小。

[0072] 若还需要与所述栅极端串联电阻,先在每个所述元胞形成阵列的周围形成一六边形环状的第二多晶硅条 4' (未标示),并可按照实施例一的方法在所述功率半导体器件上形成的栅极端和栅极之间形成电阻 R1,并调整与所述栅极端串联的电阻 R1 的大小。

[0073] 实施例六

[0074] 图 17 至图 18 所示的实施例与实施例四的区别在于提供一种具有抗静电放电能力的功率半导体器件的源极端 (或栅极端、源极端同时) 串联电阻形成的方形阵列版图结构。

[0075] 本实施例中,所述元胞 8 为六边形,则所述元胞 8 重复拼接分布,形成的所述元胞阵列结构为方形阵列版图结构。

[0076] 若需要与所述源极端串联电阻,可按照实施例二的方法形成所述源极端和源极,如图 17 所示,所述第二型重掺杂区 3B 较宽,如图 18 所示,所述第二型重掺杂区 3B 较窄,按照实施例二的方式改变所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间的间距 D1,从而可以调整与所述源极端和源极或发射极串联的电阻 R2 的大小。

[0077] 若还需要与所述源极端串联电阻,先在每个所述元胞形成阵列的周围形成一方形环状的第二多晶硅条 4' (未标示),并可按照实施例一的方法在所述功率半导体器件上形成的栅极端和栅极之间形成电阻 R1,并调整与所述栅极端串联的电阻 R1 的大小。

[0078] 实施例七

[0079] 图 19 至图 20 所示的实施例与实施例四的区别在于提供一种具有抗静电放电能力的功率半导体器件的源极端 (或栅极端、源极端同时) 串联电阻形成的方形阵列版图结构。

[0080] 本实施例中,所述元胞 8 为圆形,所述元胞 8 重复拼接分布,形成的所述元胞阵列

结构为方形阵列版图结构。

[0081] 若需要与所述源极端串联电阻,可按照实施例二的方法形成所述源极端和源极,如图 19 所示,所述第二型重掺杂区 3B 较宽,如图 20 所示,所述第二型重掺杂区 3B 较窄,按照实施例二的方式改变所述第一型重掺杂区 3A 和第二型重掺杂区 3B 之间的间距 D1,从而可以调整与所述源极端串联的电阻 R2 的大小。

[0082] 若还需要与所述栅极端串联电阻,先在每个所述元胞形成阵列的周围形成一圆形环状的第二多晶硅条 4' (未标示),并可按照实施例一的方法在所述功率半导体器件上形成的栅极端和栅极之间形成电阻 R1,并调整与所述栅极端串联的电阻 R1 的大小。

[0083] 实施例八

[0084] 图 21 至图 22 所示的实施例与实施例二的区别在于提供一种具有抗静电放电能力的功率半导体器件的源极端串联条形电阻形成源极的版图结构的另一种画法,与实施例二中的图 8 和图 9 提供的版图结构为圆形阵列类似,本实施例提供的版图结构为方形阵列版图结构,其中图 21 是图 2B 示意图的单边沟道的版图结构;图 22 是图 2C 示意图的双边沟道的版图结构。因此,本实施例提供的版图结构的其余内容请参见实施例二的内容,在此不再一一赘述。

[0085] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的系统而言,由于与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0086] 专业人员还可以进一步意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、计算机软件或者二者的结合来实现,为了清楚地说明硬件和软件的可互换性,在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本实用新型的范围。

[0087] 显然,本领域的技术人员可以对实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样,倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内,则本实用新型也意图包括这些改动和变型在内。

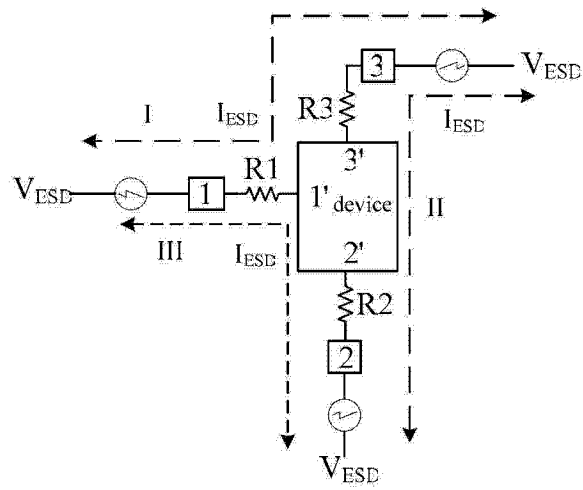


图 1

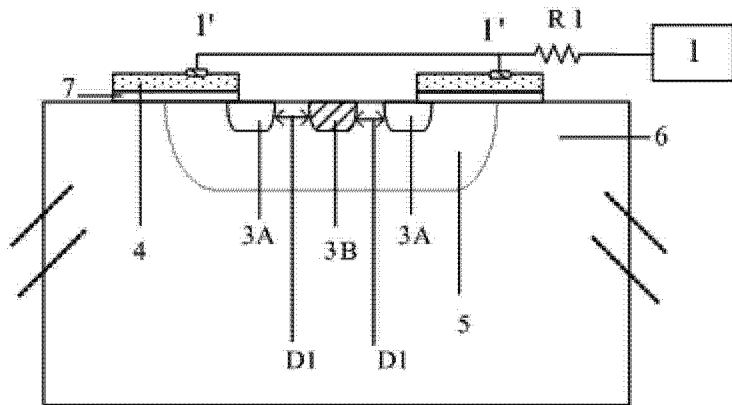


图 2A

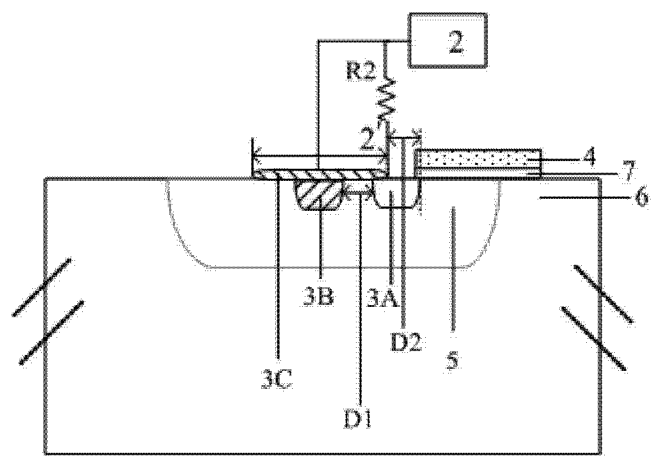


图 2B

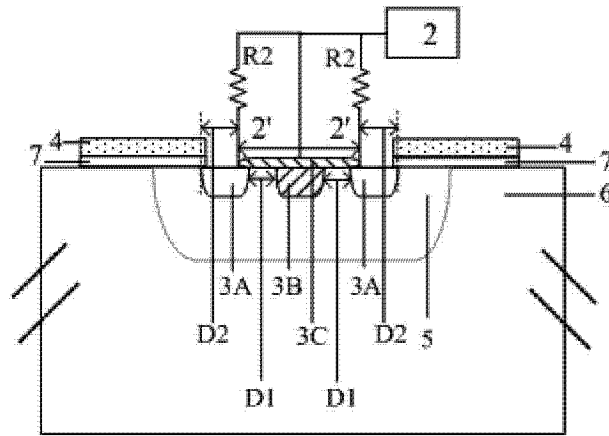


图 2C

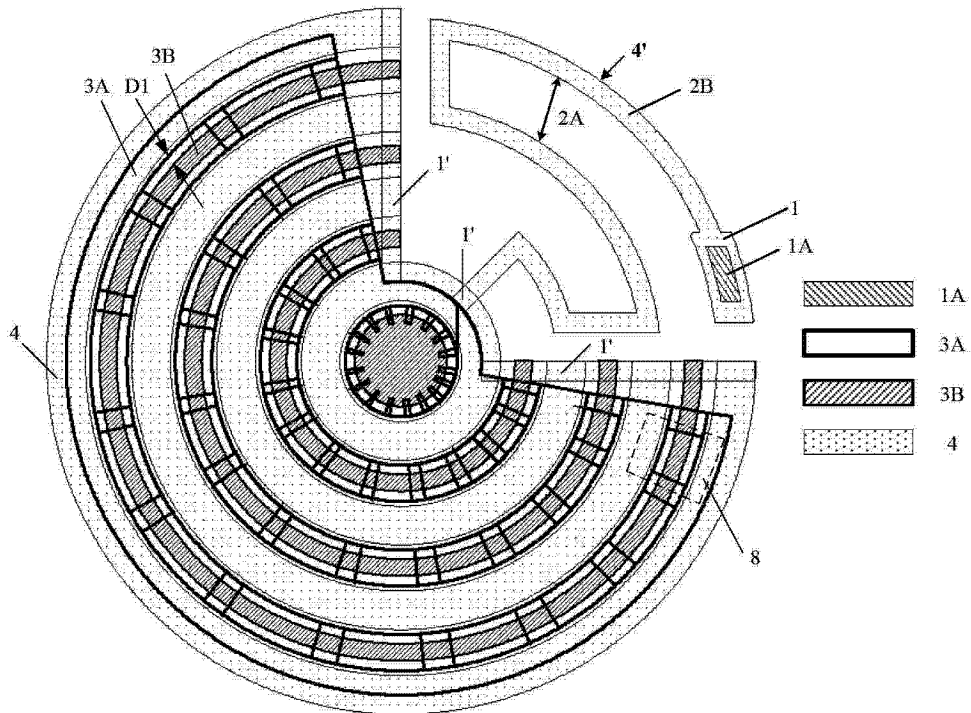


图 3

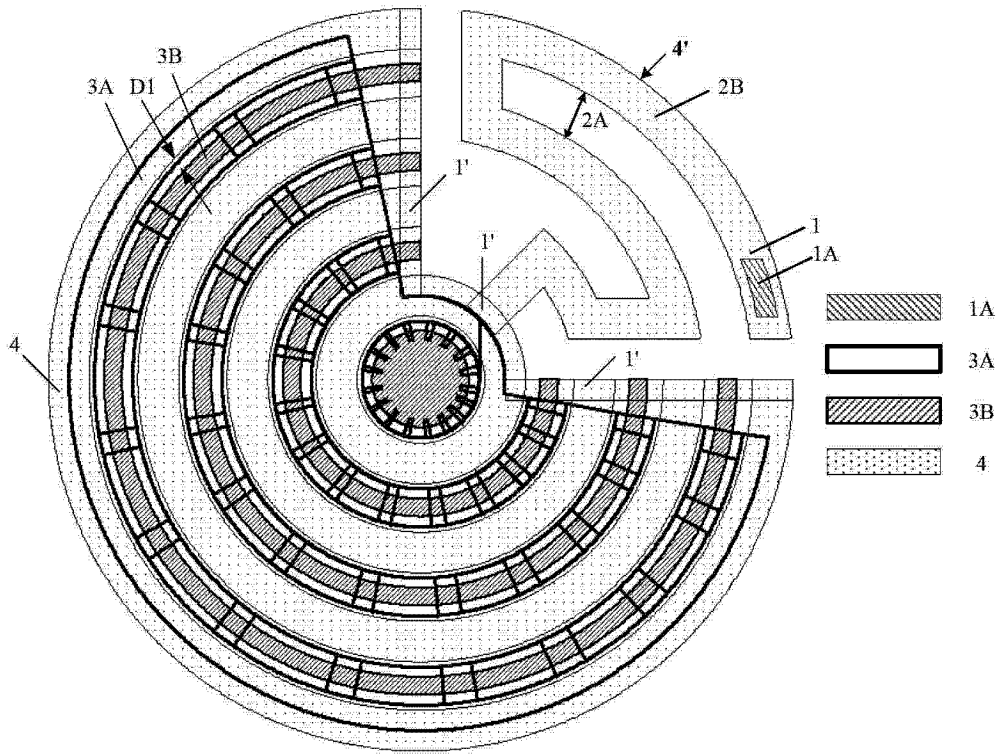


图 4

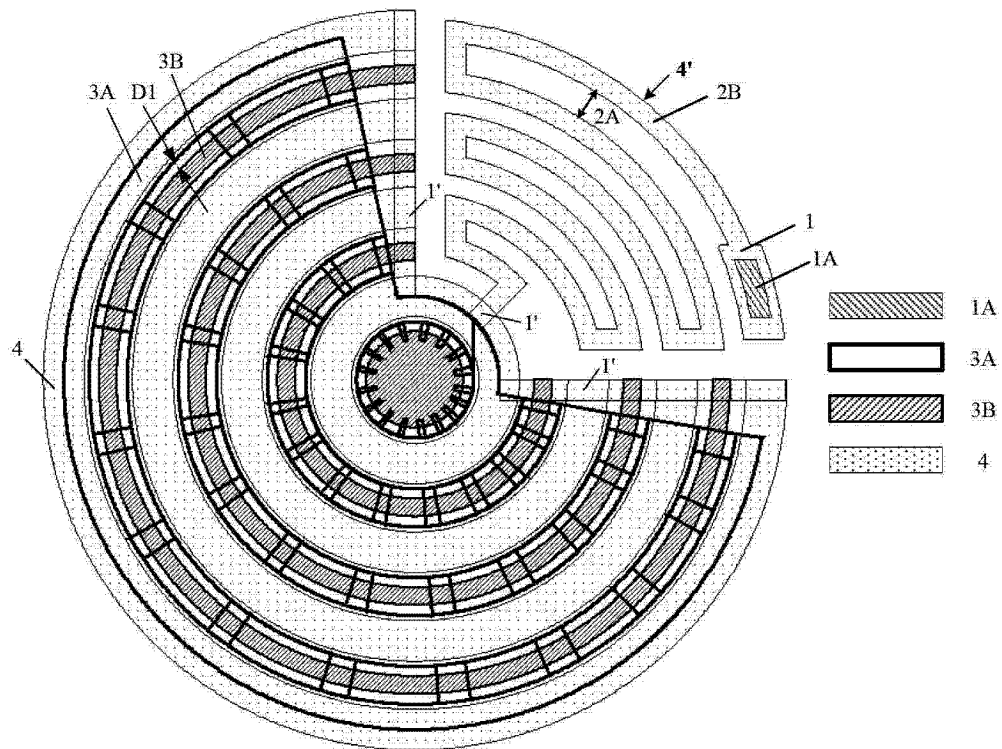


图 5

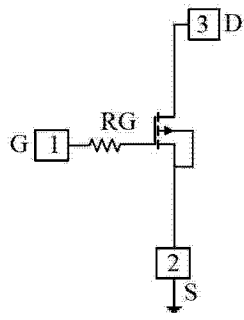


图 6

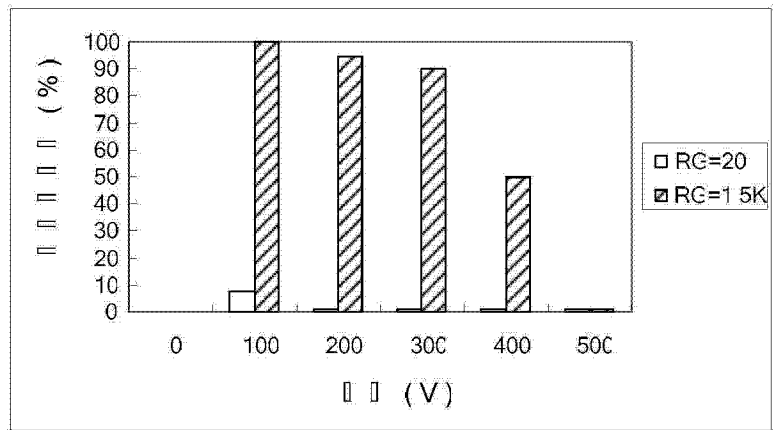


图 7

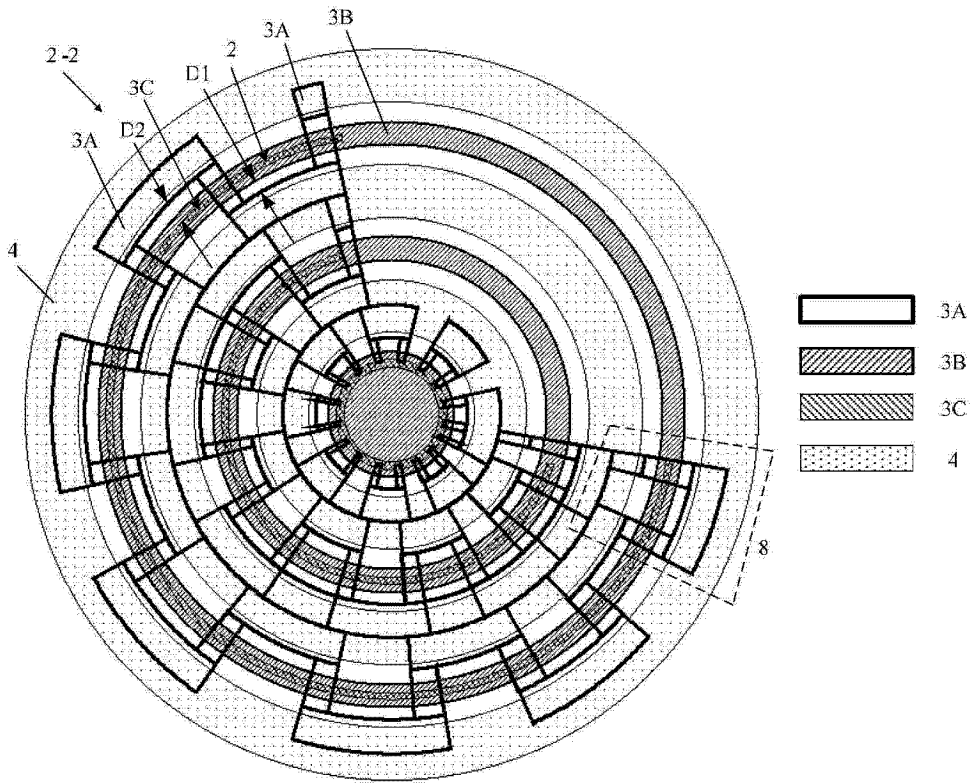


图 8

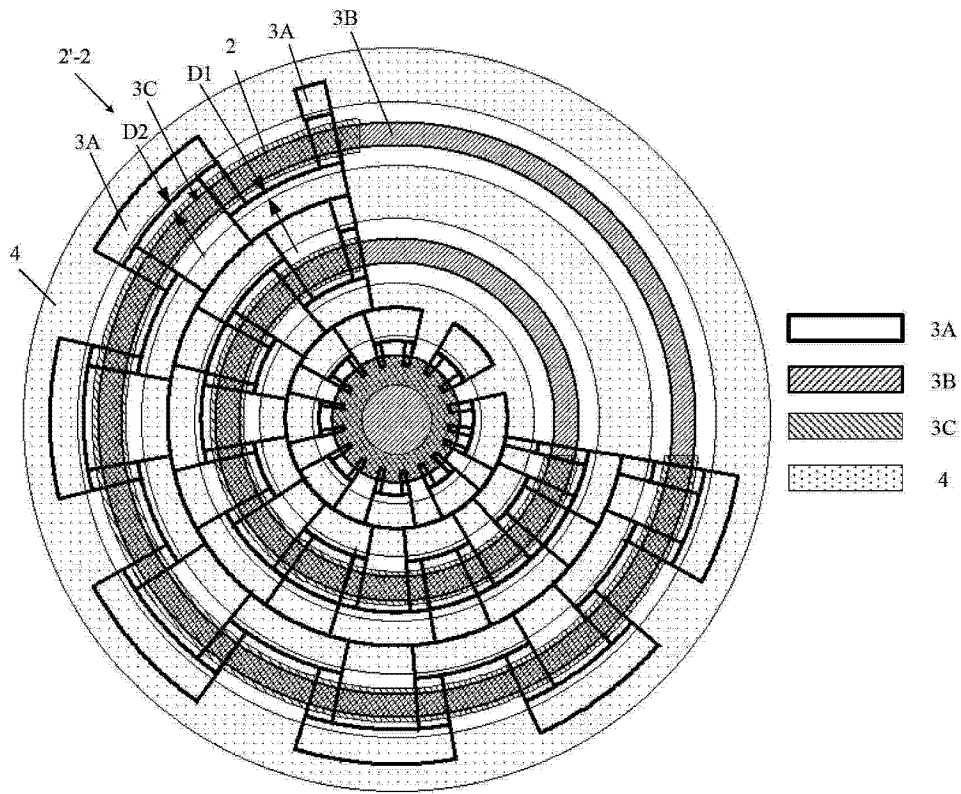


图 9

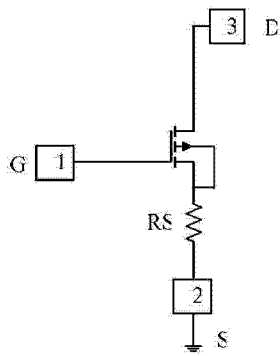


图 10

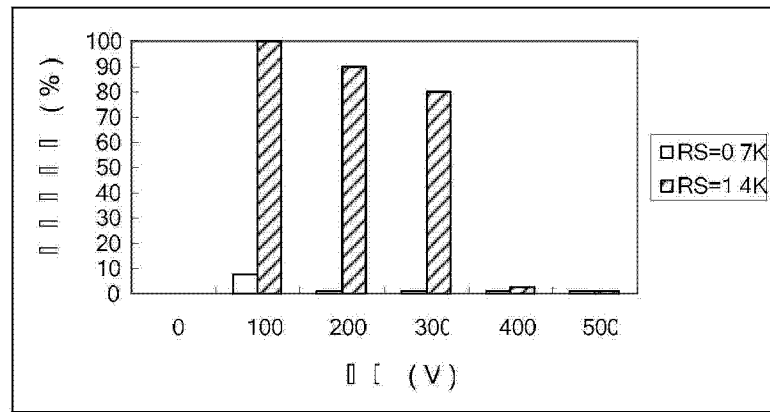


图 11



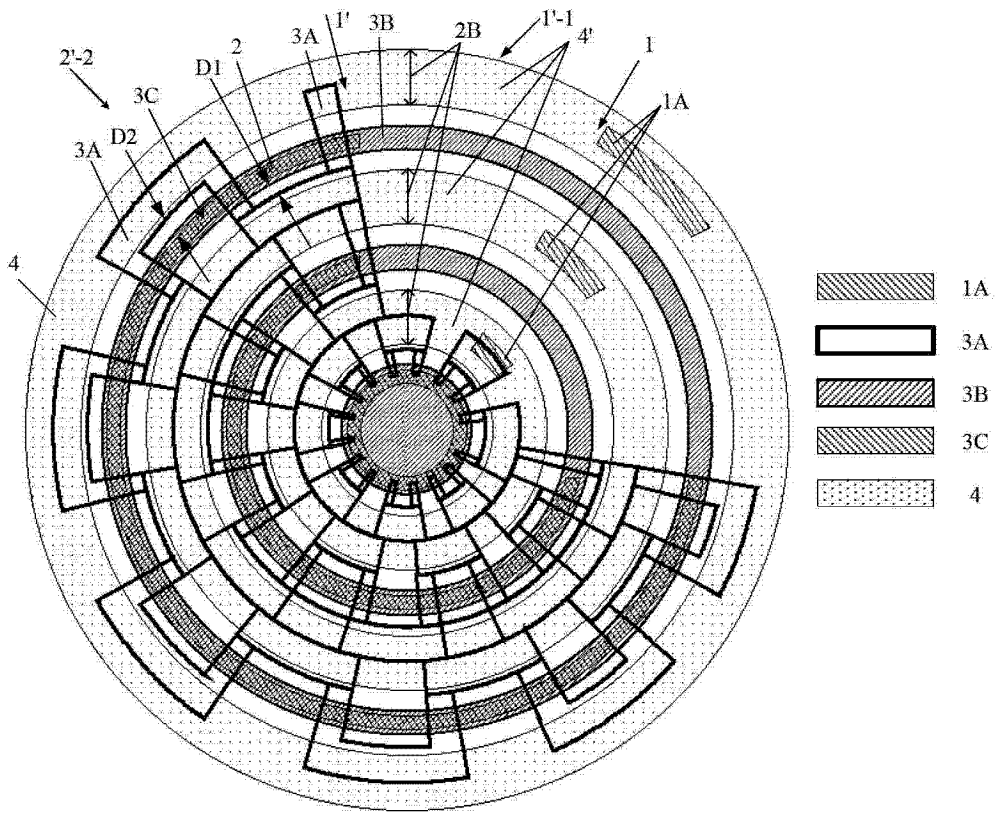


图 12

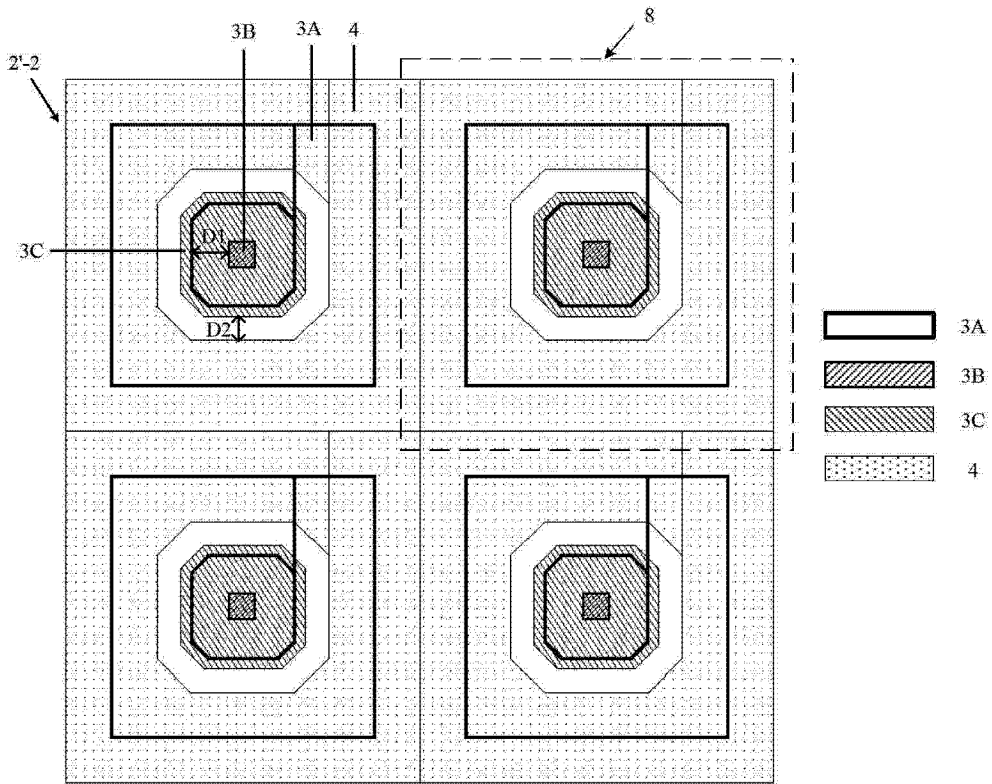


图 13

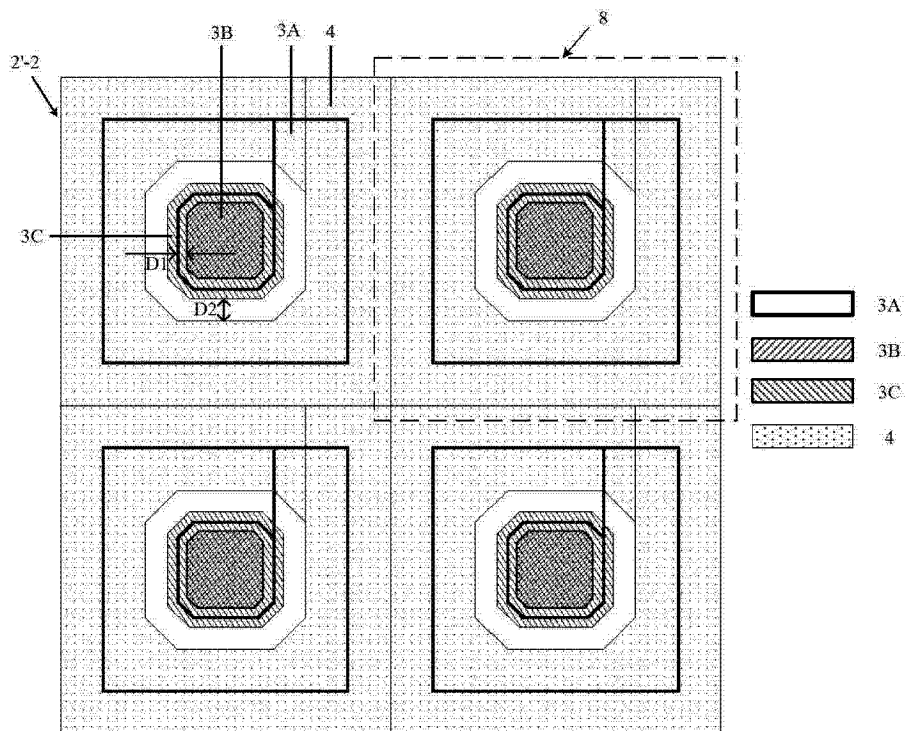


图 14

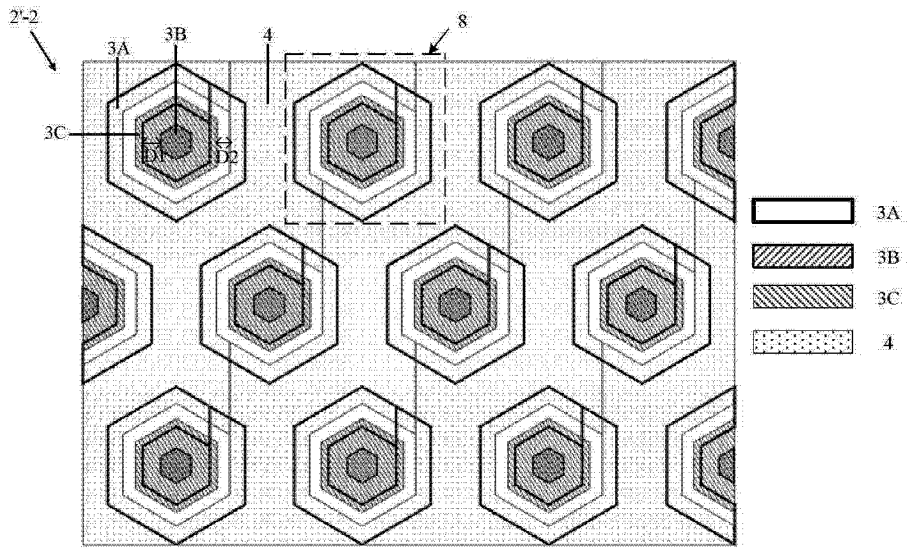


图 15

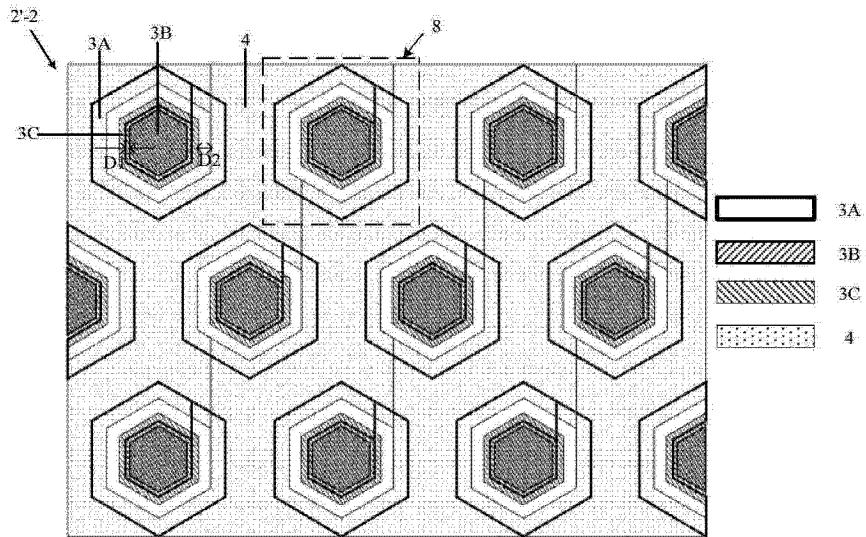


图 16

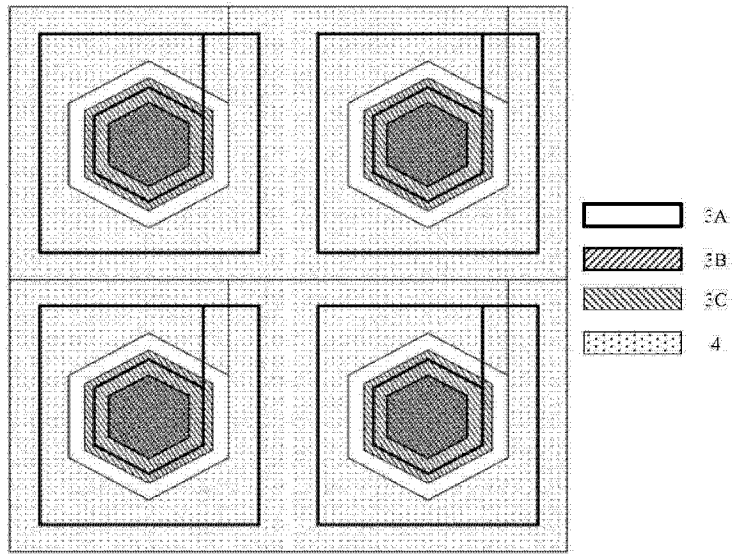


图 17

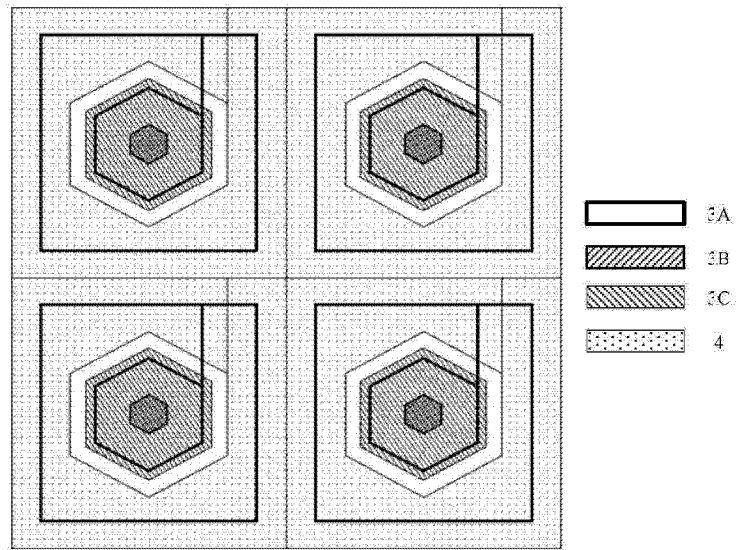


图 18

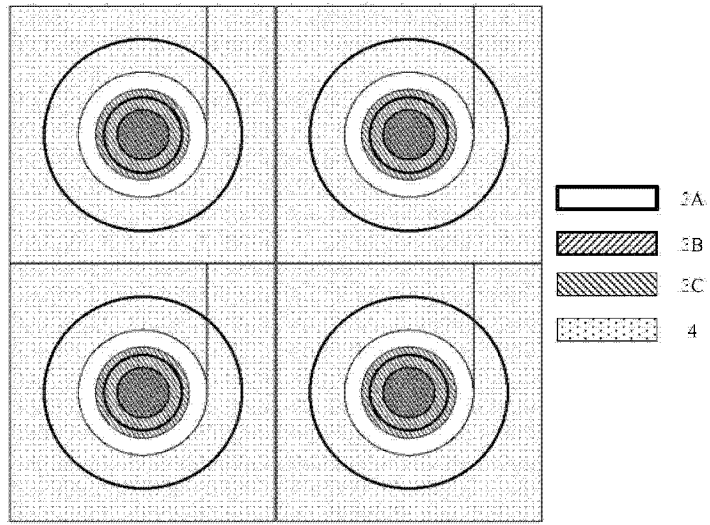


图 19

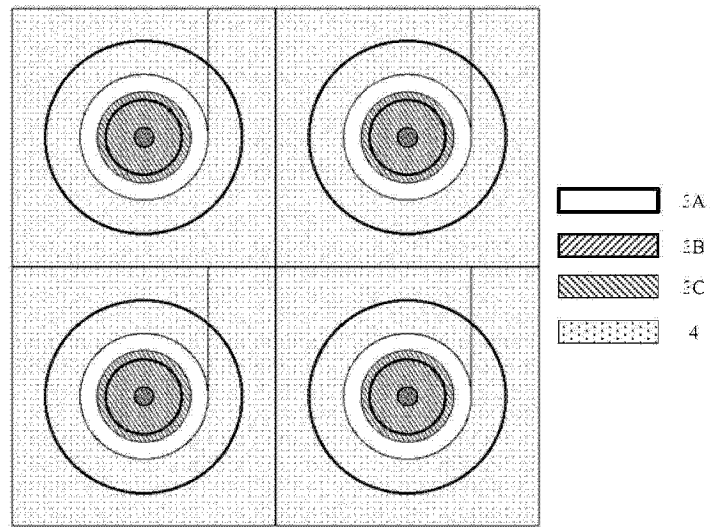


图 20

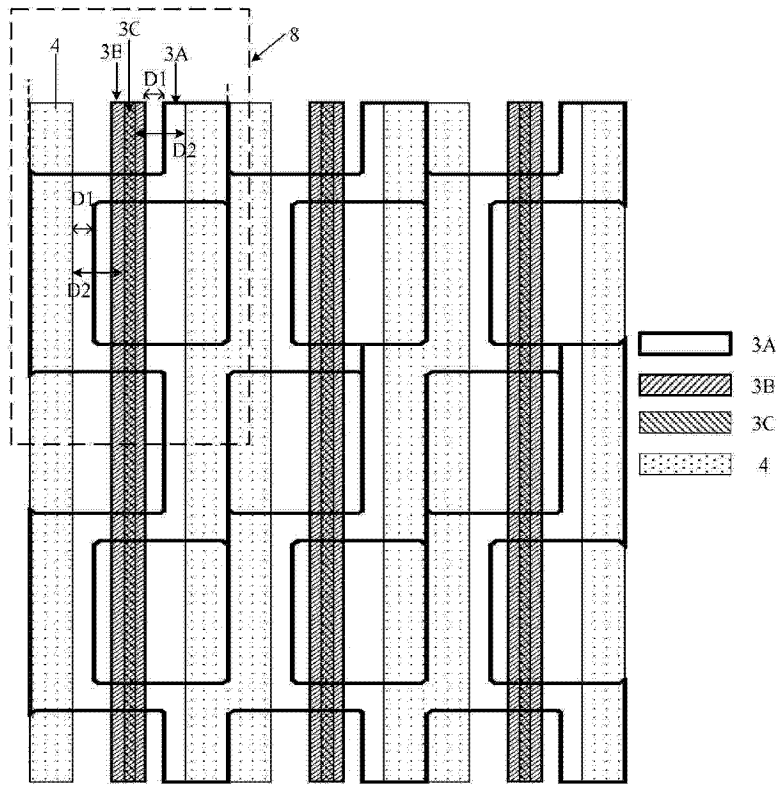


图 21

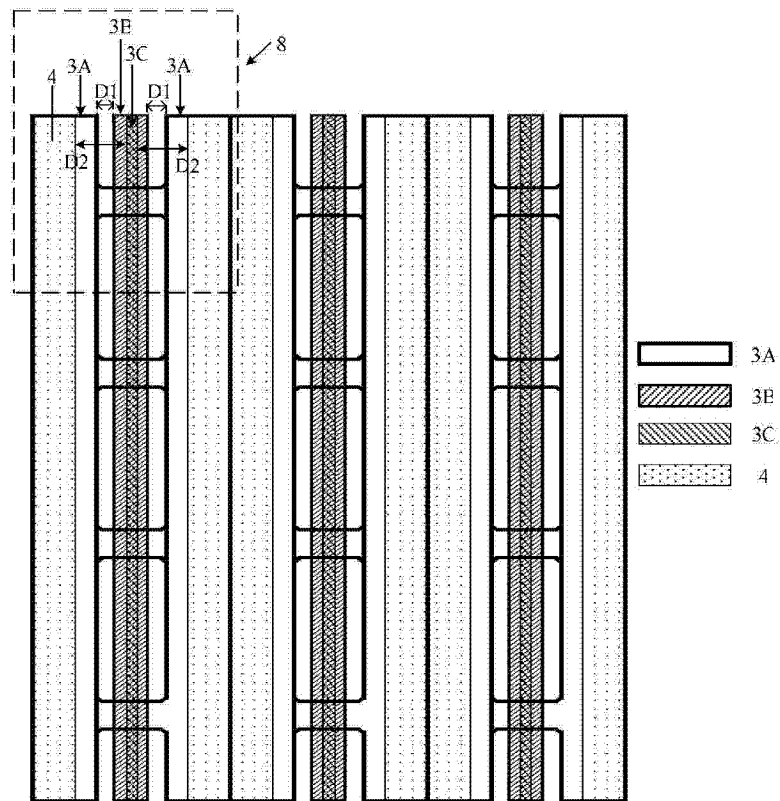


图 22