

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5402220号  
(P5402220)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月8日(2013.11.8)

(51) Int. Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 S
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 3 A
	HO 1 L 29/78	6 5 3 B
	HO 1 L 29/78	6 5 8 E

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2009-110001 (P2009-110001)	(73) 特許権者	000005234
(22) 出願日	平成21年4月28日(2009.4.28)		富士電機株式会社
(65) 公開番号	特開2010-258387 (P2010-258387A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成22年11月11日(2010.11.11)	(74) 代理人	100104190
審査請求日	平成23年12月12日(2011.12.12)		弁理士 酒井 昭徳
		(72) 発明者	俵 武志
			東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内
		審査官	工藤 一光

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置の製造方法および炭化珪素半導体装置

(57) 【特許請求の範囲】

【請求項1】

炭化珪素半導体でできた基体のおもて面から形成された第1トレンチ内にゲート絶縁膜を介してゲート電極を有する炭化珪素半導体装置の製造方法において、

おもて面の面方位を(000-1)面とする第1導電型の半導体基板上に、第1導電型のドリフト領域を形成する工程と、

前記ドリフト領域の表面に、第2導電型のベース領域を形成する工程と、

前記ベース領域の表面に、第1導電型のソース領域を形成する工程と、

前記第1トレンチと離れて、前記ソース領域を貫通し、前記ベース領域に達する第2トレンチを形成する工程と、

前記第2トレンチの側壁および底面に、前記ベース領域と同一の導電型を有し、前記ベース領域よりも高い不純物濃度を有する高濃度領域をエピタキシャル成長法により形成する工程と、

前記ソース領域に接し、前記高濃度領域を介して前記第2トレンチの内部に埋め込むように、ソース電極を形成する工程と、

を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】

前記第2トレンチの側壁の面方位を、(11-20)面とすることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】

[ 1 - 1 0 0 ] 方向に延びる直線形状の平面レイアウトで、前記第 2 トレンチを形成することを特徴とする請求項 1 または 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4】

[ 1 - 1 0 0 ] 方向に延びる直線形状の複数のトレンチが平行に配列された平面レイアウトで、前記第 2 トレンチを形成することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の炭化珪素半導体装置の製造方法。

【請求項 5】

{ 1 1 - 2 0 } 面をトレンチ側壁とし、結晶内の等価な面がトレンチ側壁となる六角形状の平面レイアウトで、前記第 2 トレンチを形成することを特徴とする請求項 1 または 2 に記載の炭化珪素半導体装置の製造方法。

10

【請求項 6】

{ 1 1 - 2 0 } 面をトレンチ側壁とし、結晶内の等価な面がトレンチ側壁となる六角形の平面形状を有するトレンチが、[ 1 - 1 0 0 ] 方向に間隔を空けて複数配列された平面レイアウトで、前記第 2 トレンチを形成することを特徴とする請求項 1、2 または 5 のいずれか一つに記載の炭化珪素半導体装置の製造方法。

【請求項 7】

前記ソース領域をエピタキシャル成長法により形成することを特徴とする請求項 1 ~ 6 のいずれか一つに記載の炭化珪素半導体装置の製造方法。

【請求項 8】

おもて面の面方位を ( 0 0 0 - 1 ) 面とする第 1 導電型の半導体基板上に設けられた第 1 導電型のドリフト領域と、

20

前記ドリフト領域上に設けられた第 2 導電型のベース領域と、

前記ベース領域の表面に設けられた第 1 導電型のソース領域と、

前記ソース領域おもて面から前記ベース領域を貫通し、前記半導体基板に達する第 1 トレンチと、

前記第 1 トレンチ内に絶縁膜を介して設けられたゲート電極と、

前記第 1 トレンチと離れて設けられ、前記ソース領域を貫通し、前記ベース領域に達する第 2 トレンチと、

前記第 2 トレンチの側壁および底面に設けられ、前記ベース領域と同一の導電型を有し、前記ベース領域よりも高い不純物濃度を有する高濃度エピタキシャル領域と、

30

前記ソース領域に接し、前記高濃度エピタキシャル領域を介して前記第 2 トレンチの内部に埋め込まれたソース電極と、

を有することを特徴とする炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、炭化珪素半導体装置の製造方法および炭化珪素半導体装置に関する。

【背景技術】

【0002】

炭化珪素 ( S i C ) 半導体は、シリコン ( S i ) 半導体と比較して、オン抵抗が数百分の 1 になるという特長や、200 以上の高温環境下での使用が可能であるなどの特長を有している。これは、炭化珪素自体の特性に因るものである。炭化珪素は、シリコンと比べて、バンドギャップが 3 倍程度広く、絶縁破壊に至る電界強度が 1 桁程度大きい。そのため、炭化珪素を用いた半導体装置 ( 以下、炭化珪素半導体装置とする ) は、シリコンを用いた従来の半導体装置の限界を超える次世代半導体装置として期待されている。

40

【0003】

現在は、炭化珪素を用いた p n 接合ダイオードまたはショットキーバリアダイオードなどの整流デバイスや、トランジスタまたはサイリスタなどのスイッチングデバイスが作製されている。そして、整流デバイスにおいては、ショットキーバリアダイオードがすでに実用化され始めている。一方、スイッチングデバイスにおいては、トレンチゲート構造の

50

MOSFET (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) が、将来有望な半導体装置として研究されている。トレンチゲート構造のMOSFETは、微細化することによりオン抵抗を低減することができる。

【0004】

炭化珪素を用いたトレンチゲート構造のMOSFETとして、次のような装置が提案されている。炭化珪素基板上に積層された炭化珪素からなる第一導電型ベース層と、その第一導電型ベース層の上に積層された炭化珪素からなる第二導電型ベース層と、その第二導電型ベース層の表面層の少なくとも一部に形成された第一導電型ソース領域とを有し、第一導電型ソース領域の表面から第二導電型ベース層を貫通して第一導電型ベース層に達するトレンチが形成され、そのトレンチ内に絶縁膜を介してゲート電極が充填され、上下の表面にそれぞれ電極が形成されている縦型MOSFETにおいて、第二導電型ベース層と第一導電型ソース領域とに共通に接触する電極の、第二導電型ベース層との接触面の少なくとも一部が、第一導電型ソース領域の深さより深く掘り下げられている。そして、第二導電型ベース層と第一導電型ソース領域とに共通に接触する電極の、第二導電型ベース層との接触面の少なくとも一部が、第二導電型ベース層の不純物濃度より高濃度な領域にされている（例えば、下記特許文献1参照。）。

10

【0005】

また、別の装置として、次のような装置が提案されている。{11-20}面を主面とする $n^+$ 型炭化珪素基板の表面には、 $n^+$ バッファ領域が形成されている。 $n^+$ 型バッファ領域の表面には、 $n^-$ ドリフト領域が形成されている。 $n^-$ ドリフト領域の表面には、 $n$ 型電流拡散領域が形成されている。また、 $n$ 型電流拡散領域の表面には、 $p$ 型ベース領域が形成されている。 $p$ 型ベース領域の表面には、 $p^+$ 型コンタクト層が形成されている。また、 $p$ 型ベース領域の上には、 $n^+$ 型ソース領域が形成されている。また、 $n^+$ 型ソース領域および $p^+$ 型コンタクト層を覆うようにソースおよびベースオーミックコンタクトが形成されている。また、 $n^+$ 型ソース領域の表面から、 $n$ 型電流拡散領域に達するトレンチが選択的に形成されている。このトレンチの底面、内側壁、および $n^+$ 型ソース領域の上の一部を覆うようにゲート酸化膜が形成されている。このトレンチには、ゲート酸化膜を介してポリシリコンよりなるゲート電極が形成されている。さらにゲート電極の上には、層間絶縁膜が形成されており、当該層間絶縁膜およびソースおよびベースオーミックコンタクトの上には、配線電極が形成されている（例えば、下記特許文献2参照。）。

20

30

【0006】

このような炭化珪素半導体装置では、 $p$ 型ベース領域と $n^+$ 型ソース領域とを電氣的に接続するコンタクト電極（オーミックコンタクト）を、各領域に接するように共通の電極として、同一の電極材料を用いて形成している。このようにコンタクト電極を形成することで、半導体装置の微細化を図り、また製造工程数の低減を図ることができる。電極材料として、例えば主にニッケル(Ni)が用いられている。

【0007】

また、 $p$ 型ベース領域とコンタクト電極との界面における接触をオーミック接合とするために、 $p$ 型ベース領域の表面層に、 $p$ 型ベース領域よりも高い不純物濃度を有する $p^+$ 型コンタクト層を形成している。 $p^+$ 型コンタクト層は、 $p$ 型ベース領域の表面層に、例えばアルミニウム(Al)などのドーパントをイオン注入することにより形成される。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平07-161983号公報

【特許文献2】特開2007-258465号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

50

上述した炭化珪素半導体装置では、コンタクト電極との界面における接触をオーミック接合とするには、p型ベース領域の表面層に形成されたp<sup>+</sup>型コンタクト層の不純物濃度を例えば $1 \times 10^{19} \text{ cm}^{-3}$ 程度以上にすることが必要である。しかしながら、オーミック接合を形成することができる程度の不純物濃度を有するp<sup>+</sup>型コンタクト層を、イオン注入によって形成した場合、p<sup>+</sup>型コンタクト層に結晶欠陥が生じてしまう。

【0010】

また、p<sup>+</sup>型コンタクト層とコンタクト電極との界面における接触抵抗の低減を図るために、イオン注入するドーパント量を増やした場合、p<sup>+</sup>型コンタクト層に生じる結晶欠陥はさらに増大してしまう。この結晶欠陥は、半導体装置のオフ時、ドレイン・ソース間にリーク電流を発生させる原因となる。

10

【0011】

そこで、発明者が、エピタキシャル成長法によってp<sup>+</sup>型コンタクト層を形成した結果、次のことが判明した。エピタキシャル成長法によってp<sup>+</sup>型コンタクト層を形成する場合、コンタクト電極との界面における接触をオーミック接合とするには、p<sup>+</sup>型コンタクト層の例えばアルミニウムなどの不純物濃度を $3 \times 10^{19} \text{ cm}^{-3}$ 程度以上にすることが必要である。オーミック接合を形成することができる程度の不純物濃度を有するp<sup>+</sup>型コンタクト層を、エピタキシャル成長法によって形成した場合、p<sup>+</sup>型コンタクト層の表面に凹凸が生じてしまう。

【0012】

エピタキシャル成長中に導入するドーパント量を増やし、高い不純物濃度を有するエピタキシャル膜を形成する場合、成長時にエピタキシャル膜の表面の原子ステップが粗密化すること(ステップバンチング)により、エピタキシャル膜の表面に凹凸が生じてしまうためと推測される。また、ステップバンチングが生じているエピタキシャル膜をエッチングにより除去したとしても、エッチング後のエピタキシャル膜の表面またはその下層の表面にも同様に凹凸が生じてしまう。

20

【0013】

p<sup>+</sup>型コンタクト層の表面に凹凸が生じた場合、半導体装置のオン時に、p<sup>+</sup>型コンタクト層の表面に形成された層間絶縁膜にリーク電流が流れてしまい、この層間絶縁膜を突き抜けて例えばメタル配線用に引き出されたゲート電極とソース電極間にリーク電流を発生させてしまう。

30

【0014】

上述したように半導体装置にリーク電流が発生した場合、半導体装置の温度が上昇し、半導体装置が破壊に至る恐れが生じてしまう。

【0015】

この発明は、上述した従来技術による問題点を解消するため、歩留まりを向上することができる炭化珪素半導体装置の製造方法および炭化珪素半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

上述した課題を解決し、目的を達成するため、請求項1の発明にかかる炭化珪素半導体装置の製造方法は、炭化珪素半導体でできた基体のおもて面から形成された第1トレンチ内にゲート絶縁膜を介してゲート電極を有する炭化珪素半導体装置の製造方法において、おもて面の面方位を(000-1)面とする第1導電型の半導体基板上に、第1導電型のドリフト領域を形成する工程と、前記ドリフト領域の表面に、第2導電型のベース領域を形成する工程と、前記ベース領域の表面に、第1導電型のソース領域を形成する工程と、前記第1トレンチと離れて、前記ソース領域を貫通し、前記ベース領域に達する第2トレンチを形成する工程と、前記第2トレンチの側壁および底面に、前記ベース領域と同一の導電型を有し、前記ベース領域よりも高い不純物濃度を有する高濃度領域をエピタキシャル成長法により形成する工程と、前記ソース領域に接し、前記高濃度領域を介して前記第2トレンチの内部に埋め込むように、ソース電極を形成する工程と、を含むことを特徴と

40

50

する。なお、本明細書では、ミラー指数の表記において、“ - ”はその直後の指数につくバーを意味しており、指数の前に“ - ”を付けることで負の指数を表している。

【 0 0 1 7 】

また、請求項 2 の発明にかかる炭化珪素半導体装置の製造方法は、請求項 1 に記載の発明において、前記第 2 トレンチの側壁の面方位を、( 1 1 - 2 0 ) 面とすることを特徴とする。

【 0 0 1 8 】

また、請求項 3 の発明にかかる炭化珪素半導体装置の製造方法は、請求項 1 または 2 に記載の発明において、[ 1 - 1 0 0 ] 方向に延びる直線形状の平面レイアウトで、前記第 2 トレンチを形成することを特徴とする。

10

【 0 0 1 9 】

また、請求項 4 の発明にかかる炭化珪素半導体装置の製造方法は、請求項 1 ~ 3 のいずれか一つに記載の発明において、[ 1 - 1 0 0 ] 方向に延びる直線形状の複数のトレンチが平行に配列された平面レイアウトで、前記第 2 トレンチを形成することを特徴とする。

【 0 0 2 0 】

また、請求項 5 の発明にかかる炭化珪素半導体装置の製造方法は、請求項 1 または 2 に記載の発明において、{ 1 1 - 2 0 } 面をトレンチ側壁とし、結晶内の等価な面がトレンチ側壁となる六角形状の平面レイアウトで、前記第 2 トレンチを形成することを特徴とする。

【 0 0 2 1 】

20

また、請求項 6 の発明にかかる炭化珪素半導体装置の製造方法は、請求項 1、2、または 5 のいずれか一つに記載の発明において、{ 1 1 - 2 0 } 面をトレンチ側壁とし、結晶内の等価な面がトレンチ側壁となる六角形の平面形状を有するトレンチが、[ 1 - 1 0 0 ] 方向に間隔を空けて複数配列された平面レイアウトで、前記第 2 トレンチを形成することを特徴とする。

【 0 0 2 2 】

また、請求項 7 の発明にかかる炭化珪素半導体装置の製造方法は、請求項 1 ~ 6 のいずれか一つに記載の発明において、前記ソース領域をエピタキシャル成長法により形成することを特徴とする。

【 0 0 2 3 】

30

また、請求項 8 の発明にかかる炭化珪素半導体装置は、おもて面の面方位を( 0 0 0 - 1 ) 面とする第 1 導電型の半導体基板上に設けられた第 1 導電型のドリフト領域と、前記ドリフト領域上に設けられた第 2 導電型のベース領域と、前記ベース領域の表面に設けられた第 1 導電型のソース領域と、前記ソース領域おもて面から前記ベース領域を貫通し、前記半導体基板に達する第 1 トレンチと、前記第 1 トレンチ内に絶縁膜を介して設けられたゲート電極と、前記第 1 トレンチと離れて設けられ、前記ソース領域を貫通し、前記ベース領域に達する第 2 トレンチと、前記第 2 トレンチの側壁および底面に設けられ、前記ベース領域と同一の導電型を有し、前記ベース領域よりも高い不純物濃度を有する高濃度エピタキシャル領域と、前記ソース領域に接し、前記高濃度エピタキシャル領域を介して前記第 2 トレンチの内部に埋め込まれたソース電極と、を有することを特徴とする。

40

【 0 0 2 4 】

上述した発明によれば、エピタキシャル成長法によって高濃度領域を形成することにより、イオン注入を行わずに高濃度領域を形成することができる。そのため、高濃度領域に結晶欠陥が発生することを低減することができる。これにより、この結晶欠陥が原因で、ドレイン - ソース間に発生するリーク電流を低減することができる。また、基体のおもて面の面方位を( 0 0 0 - 1 ) 面とし、その表面から( 1 1 - 2 0 ) 面を側壁とする第 2 トレンチを形成することにより、エピタキシャル成長法によって、第 2 トレンチの側面に、基体のおもて面よりも高い不純物濃度を有する高濃度エピタキシャル領域を形成することができる。そのため、第 2 トレンチの側面に、ソース電極(コンタクト電極)との界面における接触をオーミック接合とするために必要な不純物濃度を有する高濃度領域を形成す

50

るに際し、エピタキシャル成長時に導入するドーパント濃度を、高濃度領域の表面に凹凸を生じさせない程度に低くすることができる。これにより、基体のおもて面に形成される高濃度領域の表面に凹凸が生じることを低減することができ、この高濃度領域の上に層間絶縁膜を介して形成された例えばメタル配線用に引き出されたゲート電極とソース電極間に流れるリーク電流を低減することができる。このようにリーク電流を低減することができることにより、半導体装置の温度が上昇するのを抑制し、半導体装置の破壊を防ぐことができる。

【発明の効果】

【0025】

本発明にかかる炭化珪素半導体装置の製造方法および炭化珪素半導体装置によれば、歩留まりを向上することができ、信頼性の高い半導体装置を提供できるという効果を奏する。

10

【図面の簡単な説明】

【0026】

【図1】実施の形態1にかかる半導体装置を示す断面図である。

【図2】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図3】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図4】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図5】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図6】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

20

【図7】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図8】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図9】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図10】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図11】実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図12】実施の形態1にかかる半導体装置の平面レイアウトを示す平面図である。

【図13】実施の形態2にかかる半導体装置の平面レイアウトを示す平面図である。

【発明を実施するための形態】

【0027】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置の製造方法および炭化珪素半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 $n$ または $p$ を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 $n$ や $p$ に付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

30

【0028】

(実施の形態1)

図1は、実施の形態1にかかる半導体装置を示す断面図である。図1に示す半導体装置では、おもて面の面方位を(000-1)面とする $n^+$ 半導体基板1が設けられている。 $n^+$ 半導体基板1は、例えば炭化珪素の四層周期六方晶(4H-SiC)からなる炭化珪素単結晶基板である。 $n^+$ 半導体基板1のおもて面には、炭化珪素からなる $n^-$ ドリフト領域2が設けられている。 $n^-$ ドリフト領域2は、 $n^+$ 半導体基板1よりも低い不純物濃度を有する。

40

【0029】

$n^-$ ドリフト領域2の表面には、炭化珪素からなる $p$ ベース領域3が設けられている。 $p$ ベース領域3の表面には、炭化珪素からなる $n^+$ ソース領域4が設けられている。 $n^-$ ドリフト領域2、 $p$ ベース領域3および $n^+$ ソース領域4は、例えばエピタキシャル成長法により形成されたエピタキシャル膜としても良い。

【0030】

50

このような炭化珪素半導体でできた基体に、そのおもて面から、 $n^+$ ソース領域 4 および  $p$  ベース領域 3 を貫通し、 $n^-$ ドリフト領域 2 に達する第 1 トレンチ 7 が設けられている。また、第 1 トレンチ 7 と離れて、 $n^+$ ソース領域 4 を貫通し、 $p$  ベース領域 3 に達する第 2 トレンチ 5 が設けられている。第 2 トレンチ 5 の側壁の面方位は、 $(11-20)$  面とするのが良い。その理由は、後述する。

#### 【0031】

第 2 トレンチ 5 の側壁および底面には、 $p^+$ 高濃度コンタクト領域 6 が設けられている。 $p^+$ 高濃度コンタクト領域 6 は、 $p$  ベース領域 3 と同一の導電型を有する。また、 $p^+$ 高濃度コンタクト領域 6 は、 $p$  ベース領域 3 よりも高い不純物濃度を有する。また、 $p^+$ 高濃度コンタクト領域 6 は、エピタキシャル成長法により形成されたエピタキシャル膜とするのが良い。その理由は、後述する。 $p^+$ 高濃度コンタクト領域 6 は、高濃度領域に相当する。

10

#### 【0032】

ゲート電極 9 は、ゲート絶縁膜 8 を介して、第 1 トレンチ 7 の内部に埋め込むように設けられている。ソース電極 11 は、基体のおもて面において、 $n^+$ ソース領域 4 に接する。また、ソース電極 11 は、 $p^+$ 高濃度コンタクト領域 6 を介して第 2 トレンチ 5 の内部に埋め込むように設けられている。つまり、ソース電極 11 は、 $n^+$ ソース領域 4 および  $p^+$ 高濃度コンタクト領域 6 に接する共通のコンタクト電極として設けられ、 $n^+$ ソース領域 4 と  $p^+$ 高濃度コンタクト領域 6 とを短絡する。また、ソース電極 11 は、層間絶縁膜 10 により、ゲート電極 9 と絶縁されている。ドレイン電極 12 は、 $n^+$ 半導体基板 1 の裏面に設けられている。

20

#### 【0033】

次に、実施の形態 1 に示す炭化珪素半導体装置の製造方法について説明する。図 2 ~ 図 11 は、実施の形態 1 にかかる半導体装置の製造方法を示す断面図である。まず、図 2 に示すように、おもて面の面方位を  $(000-1)$  面とし、例えば  $4H-SiC$  からなる  $n^+$ 半導体基板 1 を準備する。次いで、エピタキシャル成長法により、 $n^+$ 半導体基板 1 の表面に、 $n^-$ ドリフト領域 2、 $p$  ベース領域 3 および  $n^+$ ソース領域 4 をこの順に連続して積層する。これにより、炭化珪素半導体でできた基体が形成される。 $n^-$ ドリフト領域 2 の不純物濃度は、例えば  $1 \times 10^{16} \text{ cm}^{-3}$  であっても良い。 $p$  ベース領域 3 の不純物濃度は、例えば  $2 \times 10^{17} \text{ cm}^{-3}$  であっても良い。 $n^+$ ソース領域 4 の不純物濃度は、例えば  $2 \times 10^{19} \text{ cm}^{-3}$  であっても良い。また、 $n^-$ ドリフト領域 2 を形成するエピタキシャル成長中に導入するドーパントは、例えば窒素 (N) であっても良い。 $p$  ベース領域 3 を形成するエピタキシャル成長中に導入するドーパントは、例えばアルミニウム (Al) であっても良い。 $n^+$ ソース領域 4 を形成するエピタキシャル成長中に導入するドーパントは、例えば窒素であっても良い。また、 $n^-$ ドリフト領域 2 の膜厚は、例えば  $1.2 \mu\text{m}$  であっても良い。 $p$  ベース領域 3 の膜厚は、例えば  $2.5 \mu\text{m}$  であっても良い。 $n^+$ ソース領域 4 の膜厚は、例えば  $2 \mu\text{m}$  であっても良い。

30

#### 【0034】

次いで、図 3 に示すように、 $n^+$ ソース領域 4 の表面に、第 2 トレンチ 5 の形成領域を開口した第 1 レジストパターン 21 を形成する。第 1 レジストパターン 21 は、例えば酸化膜を堆積することにより形成される (以下、第 2 ~ 第 4 レジストパターンにおいても同様)。次いで、第 1 レジストパターン 21 をマスクとして、例えばドライエッチングを行う。これにより、図 4 に示すように、 $n^+$ ソース領域 4 を貫通し、 $p$  ベース領域 3 に達する第 2 トレンチ 5 を形成する。第 2 トレンチ 5 の側壁の面方位は、 $(11-20)$  面とするのが良い。第 2 トレンチ 5 の幅および深さは、それぞれ例えば  $1.3 \mu\text{m}$  および  $3.8 \mu\text{m}$  であっても良い。第 2 トレンチ 5 の好適な条件については、後述する。次いで、第 1 レジストパターン 21 を除去する。

40

#### 【0035】

次いで、図 5 に示すように、エピタキシャル成長法により、基体のおもて面に、 $p^+$ 高濃度コンタクト領域 6 を積層する。これにより、 $n^+$ ソース領域 4 の表面、第 2 トレンチ

50

5の側壁および底面に、 $p^+$ 高濃度コンタクト領域6が形成される。 $p^+$ 高濃度コンタクト領域6の不純物濃度は、例えば $2 \times 10^{19} \text{ cm}^{-3}$ であっても良い。 $p^+$ 高濃度コンタクト領域6を形成するエピタキシャル成長中に導入するドーパントは、例えばアルミニウムであっても良い。 $n^+$ ソース領域4のおもて面( (000-1)面)において、 $p^+$ 高濃度コンタクト領域6の膜厚は、例えば $1.0 \mu\text{m}$ であっても良い。このとき、第2トレンチ5の側壁に露出する(11-20)面において、 $p^+$ 高濃度コンタクト領域6の膜厚は、例えば $0.4 \mu\text{m}$ 程度となる。その理由は、トレンチ側壁と $n^+$ ソース領域4のおもて面とで、炭化珪素の成長速度が異なるからである。

#### 【0036】

次いで、図6に示すように、 $n^+$ ソース領域4の上の領域が開口した第2レジストパターン22を形成する。つまり、第2レジストパターン22は、第2トレンチ5の内部に埋め込むように形成される。次いで、第2レジストパターン22をマスクとして、例えばドライエッチングを行う。これにより、図7に示すように、 $n^+$ ソース領域4の表面に形成された $p^+$ 高濃度コンタクト領域6を除去する。このとき、 $n^+$ ソース領域4の表面層を、例えば $0.5 \mu\text{m}$ 程度エッチバックしても良い。次いで、第2レジストパターン22を除去する。

10

#### 【0037】

次いで、図8に示すように、第1トレンチ7の形成領域を開口した第3レジストパターン23を形成する。次いで、第3レジストパターン23をマスクとして、例えばドライエッチングを行う。これにより、図9に示すように、 $n^+$ ソース領域4および $p$ ベース領域3を貫通し、 $n^-$ ドリフト領域2に達する第1トレンチ7を形成する。次いで、第3レジストパターン23を除去する。

20

#### 【0038】

次いで、図10に示すように、基体のおもて面に、酸化膜24を形成する。これにより、 $n^+$ ソース領域4、 $p^+$ 高濃度コンタクト領域6、第1トレンチ7の側壁および底面に、酸化膜24が形成される。第1トレンチ7の側壁および底面に形成された酸化膜24が、ゲート絶縁膜8となる。次いで、第1トレンチ7の内部に埋め込むように、ゲート絶縁膜8を介してゲート電極9を形成する。また、図示省略する耐压構造を形成する。

#### 【0039】

次いで、図11に示すように、基体のおもて面に、層間絶縁膜10を形成する。これにより、酸化膜24およびゲート絶縁膜8の表面に、層間絶縁膜10が形成される。次いで、層間絶縁膜10の表面に、 $n^+$ ソース領域4および $p^+$ 高濃度コンタクト領域6とソース電極11とを接続するコンタクトの形成領域が開口する図示省略する第4レジストパターンを形成する。次いで、第4レジストパターンをマスクとして、例えばドライエッチングを行い、層間絶縁膜10およびその下層の酸化膜24を除去する。これにより、 $n^+$ ソース領域4の表面が露出する。また、第2トレンチ5の側壁および底面に形成された $p^+$ 高濃度コンタクト領域6が露出する。

30

#### 【0040】

次いで、第2トレンチ5の側壁および底面に形成された $p^+$ 高濃度コンタクト領域6と $n^+$ ソース領域4に接するように、ソース電極11を形成する。次いで、層間絶縁膜10の表面に、図示省略するゲートパッドなどを形成する。次いで、 $n^+$ 半導体基板1の裏面に、ドレイン電極12を形成する。その後、例えばアルゴン(Ar)雰囲気中でアニール処理を行う。アニール処理を行うことにより、 $p^+$ 高濃度コンタクト領域6とソース電極11との接触を、より接触抵抗が少ないオーミック接合とすることができる。これにより、図1に示すように、炭化珪素半導体装置が完成する。

40

#### 【0041】

次に、第2トレンチ5の平面レイアウトについて説明する。図12は、実施の形態1にかかる半導体装置の平面レイアウトを示す平面図である。図12に示す平面図は、 $p$ ベース領域3、 $n^+$ ソース領域4および第2トレンチ5の平面レイアウトである。図12に示すように、第2トレンチ5は、(11-20)面を側壁とし、[1-100]方向に延び

50



る直線形状の平面レイアウトを有している。また、第2トレンチ5は、(11-20)面を側壁とし、[1-100]方向に延びる直線形状の複数のトレンチを平行に配列した平面レイアウトを有するものであっても良い。

【0042】

第2トレンチ5の断面形状は、 $n^+$ ソース領域4を貫通し、 $p$ ベース領域3に達する。また、第2トレンチ5は、次の(1)式を満たすように形成するのが良い。なお、第2トレンチ5の側壁の上端から、第2トレンチ5の底面に形成された図示省略する $p^+$ 高濃度コンタクト領域6の表面までの第1深さ $d$ 、(1-100)面における第2トレンチ5の第1幅 $w$ 、(11-20)面における第2トレンチ5の第2幅 $L$ とする。

【0043】

$$w/2 < d \quad \dots (1)$$

【0044】

(1)式を満たすように第2トレンチ5を形成することで、 $p$ ベース領域の表面層に $p^+$ 高濃度コンタクト領域を形成した従来の炭化珪素半導体装置に比べて、ソース電極11と $p^+$ 高濃度コンタクト領域6とが接する面積を増大することができる。その理由は、次に示すとおりである。例えば $p$ ベース領域の表面に、第2トレンチ5と同様の第1幅 $w$ および第2幅 $L$ からなる平面形状を有する $p^+$ 高濃度コンタクト領域を形成した場合、ソース電極と $p^+$ 高濃度コンタクト領域とが接する面積は、 $p$ ベース領域の表面に露出する $p^+$ 高濃度コンタクト領域の表面積(第1幅 $w \times$ 第2幅 $L$ )となる。一方、実施の形態1にかかる炭化珪素半導体装置では、ソース電極11と $p^+$ 高濃度コンタクト領域6とが接する面積は、第2トレンチ5の2つの側壁に露出する $p^+$ 高濃度コンタクト領域6の表面積の合計(第1深さ $d \times$ 第2幅 $L \times 2$ )となる。そのため、(1)式を満たすように第2トレンチ5を形成することで、ソース電極11の形成領域に露出する $p^+$ 高濃度コンタクト領域6の面積を増やすことができるからである。

【0045】

上述したように $p^+$ 高濃度コンタクト領域6を形成することで、炭化珪素半導体装置のリーク電流を低減し、かつ $p$ ベース領域3とソース電極11との界面における接触をオーミック接合とすることができる。その理由は、次に示すとおりである。炭化珪素半導体は、例えばアルミニウムなどの不純物を取り込まれる結晶位置が、エピタキシャル成長時の結晶面方位によって異なる。そのため、炭化珪素半導体の不純物濃度は、結晶面方位によって異なる。例えば、エピタキシャル成長時にアルミニウムを導入した場合には、炭化珪素半導体の(000-1)面におけるアルミニウム濃度を1倍とすると、同じ成膜条件で、炭化珪素半導体の(11-20)面および(0001)面におけるアルミニウム濃度は、それぞれ3倍および19倍となる。これは、炭化珪素半導体の結晶表面において、アルミニウム原子の取り込まれやすさが、(000-1)面、(11-20)面および(0001)面の順に高くなるからである。従って、実施の形態1にかかる炭化珪素半導体装置では、第2トレンチ5の側壁の面方位を(11-20)面とすることで、基体のおもて面である(000-1)面に形成された $p^+$ 高濃度コンタクト領域6の不純物濃度よりも、第2トレンチ5の側壁に形成された $p^+$ 高濃度コンタクト領域6の不純物濃度を高くすることができる。そのため、 $p^+$ 高濃度コンタクト領域6の表面に凹凸を生じさせない程度のドーパント量で、 $p^+$ 高濃度コンタクト領域6をエピタキシャル成長させても、第2トレンチ5の側壁に形成される $p^+$ 高濃度コンタクト領域6の不純物濃度をオーミック接合が形成できる程度の不純物濃度とすることができる。また、基体のおもて面に形成された $p^+$ 高濃度コンタクト領域6の表面に凹凸が生じることを低減することができる。そのため、この $p^+$ 高濃度コンタクト領域6の上に層間絶縁膜10を介して形成された例えばメタル配線用に引き出されたゲート電極9とソース電極11間に流れるリーク電流を低減することができるからである。

【0046】

次に、上述した実施の形態1にかかる炭化珪素半導体装置の歩留まりについて検証した。まず、上述した製造方法に従い、炭化珪素半導体装置を作製した(以下、第1実施例と

10

20

30

40

50

する)。比較として、pベース領域の表面層にp<sup>+</sup>高濃度コンタクト領域をイオン注入により形成した従来の炭化珪素半導体装置を作製した(以下、従来例とする)。第1実施例および従来例の耐圧は、1200Vとした。歩留まりを算出する際の良品および不良品の判断基準は、次に示すとおりである。炭化珪素半導体装置のオフ時、ドレイン-ソース間に1200Vの電圧を印加したときに、ドレイン-ソース間に流れるリーク電流(ドレイン-ソース間遮断電流)が10nAより大きい場合を不良品とした。また、ドレイン-ソース間遮断電流が10nA以下の場合を良品とした。その結果、従来例では、歩留まりは40%となった。一方、第1実施例では、歩留まりは70%となった。これにより、第1実施例は、従来例に比べて歩留まりを向上することができることがわかった。

#### 【0047】

以上、説明したように、実施の形態1によれば、エピタキシャル成長法によってp<sup>+</sup>高濃度コンタクト領域6を形成することにより、イオン注入を行わずにp<sup>+</sup>高濃度コンタクト領域6を形成することができる。そのため、p<sup>+</sup>高濃度コンタクト領域6に結晶欠陥が発生することを低減することができる。また、エピタキシャル成長法によってn<sup>+</sup>ソース領域4を形成することにより、イオン注入を行わずにn<sup>+</sup>ソース領域4を形成することができる。そのため、ドレイン-ソース間にリーク電流が発生する原因となる結晶欠陥が、n<sup>+</sup>ソース領域4に発生することを低減することができる。これにより、これらの結晶欠陥が原因で、ドレイン-ソース間に発生するリーク電流を低減することができる。また、第2トレンチ5の側面に、ソース電極11との界面における接触をオーミック接合とするために必要な不純物濃度を有するp<sup>+</sup>高濃度コンタクト領域6を形成するに際し、エピタキシャル成長時に導入するドーパント濃度を、p<sup>+</sup>高濃度コンタクト領域6の表面に凹凸を生じさせない程度に低くすることができる。そのため、p<sup>+</sup>高濃度コンタクト領域6の表面に凹凸が生じることを低減することができる。これにより、p<sup>+</sup>高濃度コンタクト領域6の上に層間絶縁膜10を介して形成された例えばメタル配線用に引き出されたゲート電極9とソース電極11間に流れるリーク電流を低減することができる。このようにリーク電流を低減することができることにより、炭化珪素半導体装置の温度が上昇するのを抑制し、炭化珪素半導体装置の破壊を防ぐことができる。従って、炭化珪素半導体装置の歩留まりを向上することができる。

#### 【0048】

(実施の形態2)

図13は、実施の形態2にかかる半導体装置の平面レイアウトを示す平面図である。図13に示す平面図は、pベース領域3、n<sup>+</sup>ソース領域4および第3トレンチ15の平面レイアウトである。実施の形態1において、第2トレンチ5に代えて、六角形の平面形状を有する第3トレンチ15を形成しても良い。

#### 【0049】

図13に示すように、第3トレンチ15は、{11-20}面を側壁とし、結晶内の等価な面がトレンチ側壁となる六角形状の平面レイアウトを有している。また、第3トレンチ15は、{11-20}面を側壁とし、結晶内の等価な面がトレンチ側壁となる六角形の平面形状を有するトレンチが、[1-100]方向に間隔を空けて複数配列された平面レイアウトを有するものであっても良い。また、さらに、上述した六角形状のトレンチが[11-20]方向にも間隔を空けて複数配列された平面レイアウトを有するものであっても良い。このとき、[11-20]方向に配列される六角形状のトレンチは、十分に狭い間隔で配列されるのが良い。それ以外の構成は、実施の形態1に示す炭化珪素半導体装置と同様である。

#### 【0050】

第3トレンチ15は、次の(2)式を満たすように形成するのが良い。なお、第3トレンチ5側壁の上端から第3トレンチ15の底面に形成された図示省略するp<sup>+</sup>高濃度コンタクト領域6の表面までの第2深さd、第3トレンチ15の(1-100)面に平行な第3幅w、第3トレンチ15の[1-100]方向配列された全トレンチを含む第4幅Lとする。

10

20

30

40

50

## 【 0 0 5 1 】

$$w / 3 . 4 < d \quad \cdot \cdot \cdot ( 2 )$$

## 【 0 0 5 2 】

( 2 ) 式を満たすように第 3 トレンチ 1 5 を形成することで、実施の形態 1 の第 2 トレンチ 5 と同様の効果を得ることができる。その理由は、実施の形態 1 の第 2 トレンチ 5 と同様である。実施の形態 2 にかかる炭化珪素半導体装置では、ソース電極 1 1 と p<sup>+</sup>高濃度コンタクト領域 6 とが接する面積は、第 3 トレンチ 1 5 の 6 つの側壁に露出する p<sup>+</sup>高濃度コンタクト領域 6 の表面積の合計となる。

## 【 0 0 5 3 】

次に、実施の形態 2 に示す炭化珪素半導体装置の製造方法について説明する。第 3 トレンチ 1 5 の形成において、n<sup>+</sup>ソース領域 4 の表面に、第 3 トレンチ 1 5 の形成領域を開口した第 1 レジストパターンを形成する。次いで、第 1 レジストパターンをマスクとして、例えばドライエッチングを行う。第 3 トレンチ 1 5 は、例えば正六角形状の平面形状を有する。第 3 トレンチ 1 5 の ( 1 - 1 0 0 ) 面に平行な幅、つまり ( 1 - 1 0 0 ) 面上の六角形の対角線における幅は、例えば 0 . 7 μm であっても良い。それ以外の製造方法は、実施の形態 1 に示す炭化珪素半導体装置と同様である。

10

## 【 0 0 5 4 】

次に、上述した実施の形態 2 にかかる炭化珪素半導体装置の歩留まりについて検証した。まず、上述した製造方法に従い、炭化珪素半導体装置を作製した ( 以下、第 2 実施例とする ) 。それ以外の条件は、実施の形態 1 と同様である。第 2 実施例では、歩留まりは 7 0 % まで向上することが分かった。これにより、第 2 実施例は、従来例に比べて歩留まりを向上することができることがわかった。

20

## 【 0 0 5 5 】

以上、説明したように、実施の形態 2 によれば、実施の形態 1 と同様の効果を得ることができる。

## 【 0 0 5 6 】

以上において本発明では、上述した実施の形態に限らず、p<sup>+</sup>半導体基板に、p ドリフト領域、n ベース領域、p<sup>+</sup>ソース領域を形成した炭化珪素半導体装置に適用することが可能である。

## 【 産業上の利用可能性 】

30

## 【 0 0 5 7 】

以上のように、本発明にかかる炭化珪素半導体装置の製造方法および炭化珪素半導体装置は、炭化珪素基板を用いた半導体装置に有用であり、特に、トレンチゲート構造の M O S F E T に適している。

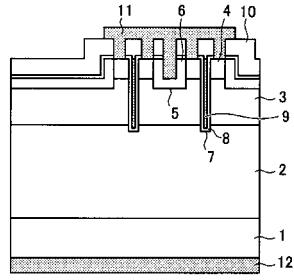
## 【 符号の説明 】

## 【 0 0 5 8 】

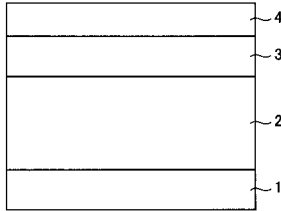
- 1 n<sup>+</sup>半導体基板
- 2 n<sup>-</sup>ドリフト領域
- 3 p ベース領域
- 4 n<sup>+</sup>ソース領域
- 5 トレンチ ( 第 2 )
- 6 p<sup>+</sup>高濃度コンタクト領域
- 7 トレンチ ( 第 1 )
- 8 ゲート絶縁膜
- 9 ゲート電極
- 1 0 層間絶縁膜
- 1 1 ソース電極
- 1 2 ドレイン電極

40

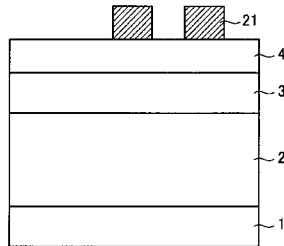
【図1】



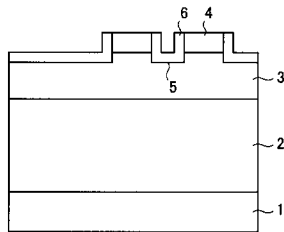
【図2】



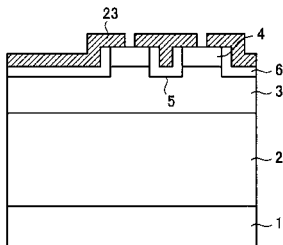
【図3】



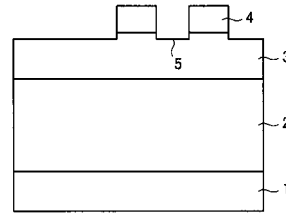
【図7】



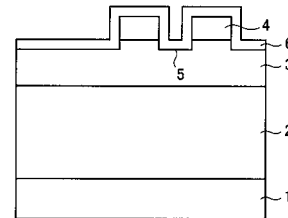
【図8】



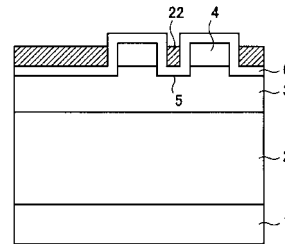
【図4】



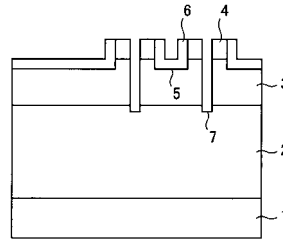
【図5】



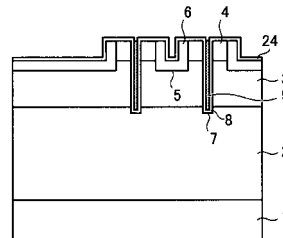
【図6】



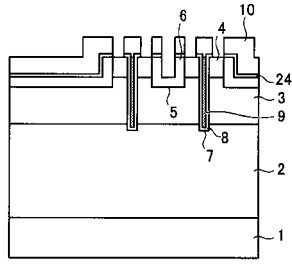
【図9】



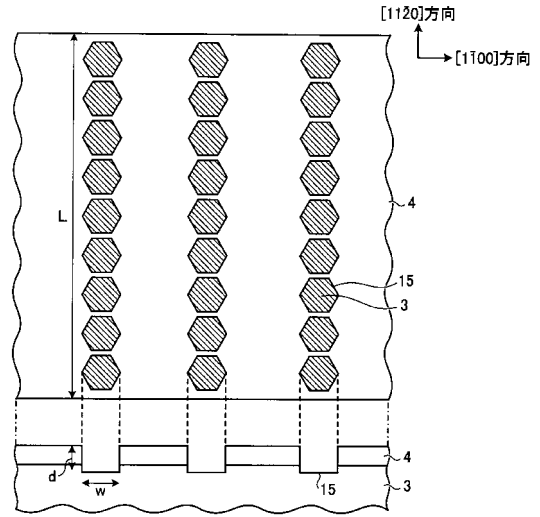
【図10】



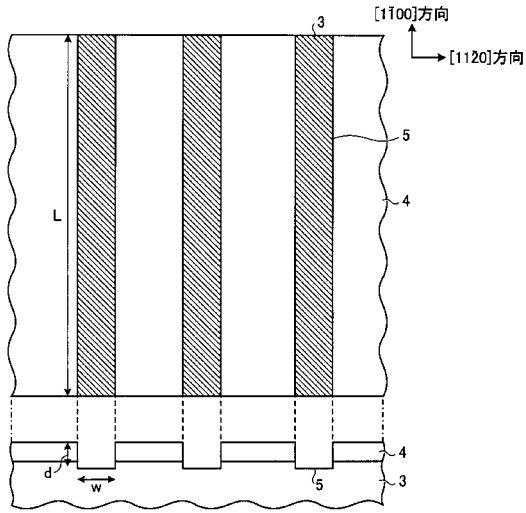
【図11】



【図13】



【図12】



---

フロントページの続き

- (56)参考文献 特開平07 - 161983 (JP, A)  
特開2003 - 318409 (JP, A)  
特開2006 - 156962 (JP, A)  
特開2007 - 258465 (JP, A)  
特開2008 - 118011 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/336  
H01L29/12  
H01L29/78 - 29/792