



(21)申請案號：097151426

(22)申請日：中華民國 97 (2008) 年 12 月 30 日

(51)Int. Cl. : H01L27/24 (2006.01)

H01L21/822 (2006.01)

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：王慶鈞 WANG, CHING CHIUN (TW)；林哲歆 LIN, CHA HSIN (TW)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

TW 200618114A

CN 1761064A

US 2008/0232160A1

審查人員：何立瑋

申請專利範圍項數：30 項 圖式數：11 共 0 頁

## (54)名稱

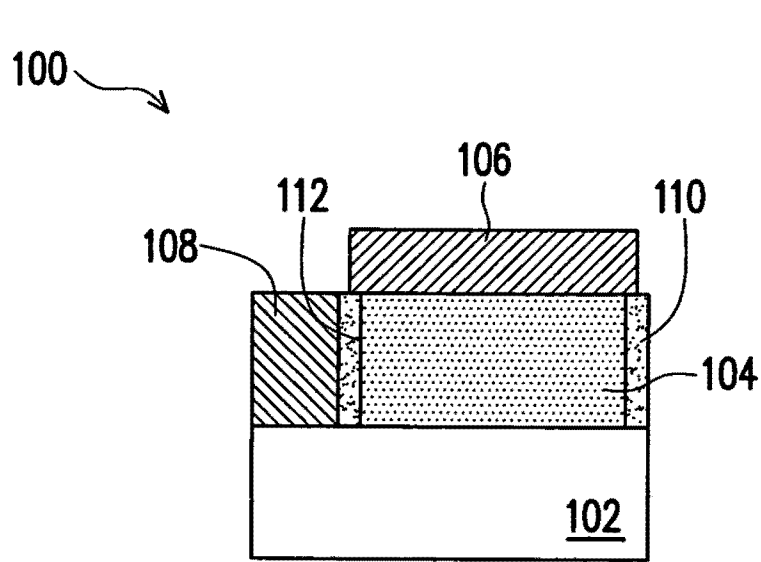
導通微通道記憶體元件及其製造方法

CONDUCTIVE BRIDGING RANDOM ACCESS MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

## (57)摘要

一種導通微通道記憶體(CBRAM)元件及其製造方法，其中的導通微通道記憶體元件包括一第一電極層、一介電層、一固態電解質層、一第二電極層以及一金屬層。上述固態電解質層是位於第一電極層上，第二電極層是位於固態電解質層上，至於金屬層是位於固態電解質層旁。而介電層是在固態電解質層與金屬層之間。由於導通微通道記憶體元件的固態電解質層旁配置有金屬層，所以可在抹除過程中使金屬層產生正電場，加速打斷相互連接的金屬細絲。

A conductive bridging random access memory (CBRAM) device and a method of manufacturing the same are provided. The CBRAM device includes a first electrode, a dielectric layer, a layer of solid electrolyte, a second electrode, and a metal layer. The layer of solid electrolyte is on the first electrode. The second electrode is on the layer of solid electrolyte. The metal layer is near the layer of solid electrolyte. The dielectric layer is between the layer of solid electrolyte and the metal material. Due to the metal layer being disposed near the layer of solid electrolyte in the CBRAM device, it can generate a positive electric field during erase so as to accelerate the break of connected metal filaments.



- 100 . . . 導通微通道  
記憶體元件
- 102 . . . 第一電極層
- 104 . . . 固態電解質  
層
- 106 . . . 第二電極層
- 108 . . . 金屬層
- 110 . . . 介電層
- 112 . . . 溝槽

圖 1

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 971514>6

※申請日： 97.12.30

※IPC 分類：

H01L 21/24 (2006.01)

H01L 21/822 (2006.01)

## 一、發明名稱：

導通微通道記憶體元件及其製造方法  
 CONDUCTIVE BRIDGING RANDOM ACCESS  
 MEMORY DEVICE AND METHOD OF  
 MANUFACTURING THE SAME

## 二、中文發明摘要：

一種導通微通道記憶體(CBRAM)元件及其製造方法，其中的導通微通道記憶體元件包括一第一電極層、一介電層、一固態電解質層、一第二電極層以及一金屬層。上述固態電解質層是位於第一電極層上，第二電極層是位於固態電解質層上，至於金屬層是位於固態電解質層旁。而介電層是在固態電解質層與金屬層之間。由於導通微通道記憶體元件的固態電解質層旁配置有金屬層，所以可在抹除過程中使金屬層產生正電場，加速打斷相互連接的金屬細絲。

## 三、英文發明摘要：

A conductive bridging random access memory (CBRAM) device and a method of manufacturing the same are provided. The CBRAM device includes a first electrode, a dielectric

layer, a layer of solid electrolyte, a second electrode, and a metal layer. The layer of solid electrolyte is on the first electrode. The second electrode is on the layer of solid electrolyte. The metal layer is near the layer of solid electrolyte. The dielectric layer is between the layer of solid electrolyte and the metal material. Due to the metal layer being disposed near the layer of solid electrolyte in the CBRAM device, it can generate a positive electric field during erase so as to accelerate the break of connected metal filaments.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：導通微通道記憶體元件

102：第一電極層

104：固態電解質層

106：第二電極層

108：金屬層

110：介電層

112：溝槽

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種導通微通道記憶體(Conductive Bridging Random Access Memory, CBRAM)元件及其製造方法。

### 【先前技術】

導通微通道記憶體(CBRAM)是一種利用電阻值變化作資料存取的非揮發性記憶體技術，同屬電阻式記憶體(RRAM)的範疇。導通微通道記憶體的元件結構可視為一電解槽，由一金屬陽極(Ag 或 Cu)與惰性陰極(Ni、W 或 Pt)中間填以固態電解質(Solid electrolyte)所組成。此固態電解質的材料為玻璃狀態的硫屬化合物(Chalcogenide)或是玻璃氧化物。在二極之間施加微小的電壓後，陽極產生會氧化反應，使電極表面的金屬放出電子後呈現離子態溶入電解質。因電性遷移的緣故，將往陰極方向移動，最後在陰極表面進行還原反應析出可導電金屬原子，並進一步形成細絲(Filament)，而使固態電解質整體電阻值下降，完成寫(Write)的動作。反之，於抹除(Erase)操作時則將電壓反向對調，使可導電金屬原子形成的細絲在電解質中消失，讓電阻逐漸回升至起始狀態。

對於擁有雙穩定電阻轉換的氧化物可變電阻來說，其低電阻路徑-細絲是決定電阻轉換的關鍵，金屬細絲是CBRAM 記憶體中的低電阻路徑，當元件經過數萬次高低

電阻轉換的耐久性測試後，細絲在固態電解質內的數量與分佈範圍可能會降低元件循環(Cycling)的次數，以及高低組態轉換的時間(Switching time)。

### 【發明內容】

本發明提出一種導通微通道記憶體(CBRAM)元件，包括一第一電極層、一介電層、一固態電解質層、一第二電極層以及一金屬層。上述固態電解質層是位於第一電極層上，第二電極層是位於固態電解質層上，至於金屬層是位於固態電解質層旁。而介電層是在固態電解質層與金屬層之間。

本發明另提出一種製造導通微通道記憶體元件的方法，包括先在一第一電極層上形成一介電層，再進行曝光顯影與蝕刻，以在介電層中形成至少一第一溝槽。隨後，於溝槽內填滿一金屬層，再進行曝光顯影與蝕刻，以在第一溝槽旁的介電層中形成一第二溝槽，且第二溝槽曝露出第一電極層的部分表面。接著，在第二溝槽內沉積一固態電解質層，再在固態電解質層上沉積一第二電極層。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

圖 1 是依照本發明之一實施例之一種導通微通道記憶體(CBRAM)元件的剖面示意圖。

請參照圖 1，本實施例之導通微通道記憶體元件 100 包括一第一電極層 102、一介電層 110、一固態電解質層 104、一第二電極層 106 以及金屬層 108，其中第一電極層 102 的材料例如惰性金屬，如鉑(Pt)、鎢(W)、氮化鈦(TiN) 或鎳。上述固態電解質層 104 是位於第一電極層 102 上，所述固態電解質層 104 的材料包括硫屬化合物 (Chalcogenide)，如鍺硒化合物 (Ge-Se) 或鍺硫化合物 (Ge-S)；或硫化銀( $\text{Ag}_2\text{S}$ )、硫化銅( $\text{Cu}_2\text{S}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鎢( $\text{W}_2\text{O}_3$ )或氧化矽( $\text{SiO}_2$ )。而第二電極層 106 是設置於固態電解質 104 上，其中第二電極層 106 的材料包括銀 (Ag)或銅(Cu)。至於金屬層 108 可以是一種單邊結構，位於固態電解質層 104 旁，其中金屬層 108 的材料為可導電的金屬複合材料或金屬材料。再者，金屬層 108 與第一電極層 102 在圖 1 中是電性相連的。介電層 110 則設置於固態電解質 104 與金屬層 108 之間，其中介電層 110 的材料例如氧化矽( $\text{SiO}_2$ )、氮化矽(SiN)或聚甲基丙烯酸甲酯 (Polymethyl methacrylate, PMMA)。

在圖 1 中，介電層 110 可具有一溝槽 112，並使固態電解質層 104 位於溝槽 112 內。

圖 1 之導通微通道記憶體元件 100 在抹除(erase)過程中，由於在第一電極層 102 施加正電壓，與其連接的金屬層 108 會產生一正電場，排斥分散於固態電解質層 104 中的金屬離子，使得相互連接的金屬細絲(Filament)易被打斷，增進元件由低組態轉換至高組態的效率，預期可改善

元件的耐久力 (Endurance) 及減少切換時間 (Switching time)。除此之外，金屬層 108 也藉由外接線路，以便在導通微通道記憶體元件 100 之抹除過程中產生正電場。

圖 2 是依照本發明之一實施例之另一種導通微通道記憶體元件的剖面示意圖，其中使用與圖 1 相同的元件符號來代表相同或相似之構件。

請參照圖 2，其中的導通微通道記憶體元件 200 與圖 1 的差異在於金屬層 108 是雙邊結構，而固態電解質層 104 則隨溝槽 112 輪廓覆蓋其內表面 114。至於第二電極層 106 可根據固態電解質層 104 的形態，部分位在溝槽 112 內。

圖 3 與圖 4 是圖 2 之金屬層 108 的兩種例子之俯視圖。在圖 3 中的金屬層 108a 是矩型的塊狀結構，而圖 4 中的金屬層 108b 是略為彎曲的耳狀結構。

另外，圖 1 或圖 2 之金屬層 108 也可有其它變形，如圖 5 所示。圖 5 是圖 1 或圖 2 的部份放大圖，其中的金屬層 108 還包括一個尖端 (tip) 500，朝固態電解質層 104 配置，用以加強電場效果。

圖 6A 至圖 6F 是依照本發明之另一實施例之一種導通微通道記憶體元件的製造流程剖面示意圖。

請參照圖 6A，先在一第一電極層 600 上形成一介電層 602。前述第一電極層 600 的材料例如惰性金屬，如鉑 (Pt)、鎢 (W)、氮化鈦 (TiN) 或鎳。前述介電層 602 的材料例如氧化矽 (SiO<sub>2</sub>)、氮化矽 (SiN) 或聚甲基丙烯酸甲酯 (PMMA)。

隨後，請參照圖 6B，進行曝光顯影與蝕刻，以在介電



層 602 中形成第一溝槽 604，其曝露出第一電極層 600 的表面 606。形成上述溝槽 604 所採用的蝕刻方式例如乾式蝕刻或濕式蝕刻。而且，在本實施例中雖顯示兩個第一溝槽 604 但是本發明不限於此，還可以是單一個或是兩個以上的結構。

然後，請參照圖 6C，於第一溝槽 604 內填滿會產生外加電場的一金屬層 608，其步驟譬如先於介電層 602 上以及第一電極層 600 的表面 606 上沉積金屬層 608，再利用化學機械研磨(CMP)方式去除介電層 602 表面的金屬層 608。上述金屬層 608 為可導電的金屬複合材料或金屬材料。

接著，請參照圖 6D，進行曝光顯影與蝕刻，以在第一溝槽 604 旁的介電層 602 中形成一第二溝槽 610，且第二溝槽 610 曝露出第一電極層 600 的表面 606。在本實施例中，第二溝槽 610 之尺寸大於第一溝槽 604 的尺寸。另外，本實施例的金屬層 608 為雙邊結構，因此溝槽 610 可被形成於雙邊結構之間。

此外，第二溝槽 610 與第一溝槽 604 之間的介電層 602 的寬度  $w$  愈小愈好，可使第一溝槽 604 中的金屬層 608 產生較顯著的電場效果。而形成上述第二溝槽 610 所採用的蝕刻方式例如乾式蝕刻或濕式蝕刻。

再來，請參照圖 6E，在介電層 602 上、第二溝槽 610 的內壁與第一電極層 600 的表面 606 上共形地沉積一固態電解質層 612，其材料譬如硫屬化合物(Chalcogenide)，如

鍺硒化合物(Ge-Se)或鍺硫化合物(Ge-S)；或硫化銀( $\text{Ag}_2\text{S}$ )、硫化銅( $\text{Cu}_2\text{S}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鎢( $\text{W}_2\text{O}_3$ )或氧化矽( $\text{SiO}_2$ )等。之後，在固態電解質層 612 上沉積一第二電極層 614，其材料譬如銀(Ag)或銅(Cu)等。

然後，請參照圖 6F，可去除第二溝槽 610 以外的固態電解質層 612 以及第二電極層 614，但只要固態電解質層 612 不會與金屬層 608 接觸，仍舊可以在第二溝槽 610 以外的介電層 602 上留有部份固態電解質層 612 及第二電極層 614。而去除上述固態電解質層 612 及第二電極層 614 的方式譬如乾式蝕刻或濕式蝕刻。

綜上所述，本發明在原有的導通微通道記憶體元件中加入會產生外加電場的金屬層，所以可在抹除過程中對第一電極層施加正電壓時，使與第一電極層連接的金屬層產生一正電場，排斥分散於固態電解質層中的金屬離子，以加速打斷相互連接的金屬細絲(Filament)，增進元件由低組態轉換至高組態的效率，進而改善元件的耐久力及減少切換時間。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 是依照本發明之一實施例之一種導通微通道記憶

體元件的剖面示意圖。

圖 2 是依照本發明之一實施例之另一種導通微通道記憶體元件的剖面示意圖。

圖 3 是圖 2 之金屬層的一種範例之俯視圖。

圖 4 是圖 2 之金屬層的另一種範例之俯視圖。

圖 5 是圖 1 或圖 2 之部分放大圖。

圖 6A 至圖 6F 是依照本發明之另一實施例之一種導通微通道記憶體元件的製造流程剖面示意圖。

#### 【主要元件符號說明】

100：導通微通道記憶體元件

102、600：第一電極層

110、602：介電層

104、612：固態電解質層

106、614：第二電極層

108、108a、108b、500、608：金屬層

112：溝槽

114：內表面

400：尖端

604：第一溝槽

606：表面

610：第二溝槽

## 七、申請專利範圍：

1. 一種導通微通道記憶體(CBRAM)元件，包括：
  - 一第一電極層；
  - 一固態電解質層，設置於該第一電極層上；
  - 一第二電極層，設置於該固態電解質上；
  - 一金屬層，設置於該固態電解質旁，其中該金屬層是位於該固態電解質層的至少一側邊上；以及
  - 一介電層，設置於該固態電解質與該金屬層之間。
2. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該介電層具有一溝槽。
3. 如申請專利範圍第 2 項所述之導通微通道記憶體元件，其中該固態電解質層位於該溝槽內。
4. 如申請專利範圍第 2 項所述之導通微通道記憶體元件，其中該固態電解質層覆蓋該溝槽的內表面。
5. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該金屬層與該第一電極層電性相連。
6. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該金屬層更包括至少一尖端(tip)，朝該固態電解質層配置。
7. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該金屬層為單邊結構。
8. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該金屬層為雙邊結構。
9. 如申請專利範圍第 1 項所述之導通微通道記憶體元

件，其中該金屬層的材料為可導電的金屬複合材料或金屬材料。

10. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該第一電極層的材料包括惰性金屬。

11. 如申請專利範圍第 10 項所述之導通微通道記憶體元件，其中該惰性金屬包括鉑(Pt)、鎢(W)、氮化鈦(TiN)或鎳(Ni)。

12. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該介電層的材料包括氧化矽( $\text{SiO}_2$ )、氮化矽(SiN)或聚甲基丙烯酸甲酯(Polymethylmethacrylate, PMMA)。

13. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該固態電解質層的材料包括硫屬化合物(Chalcogenide)或硫化銀( $\text{Ag}_2\text{S}$ )、硫化銅( $\text{Cu}_2\text{S}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鎢( $\text{W}_2\text{O}_3$ )或氧化矽( $\text{SiO}_2$ )。

14. 如申請專利範圍第 13 項所述之導通微通道記憶體元件，其中該硫屬化合物包括鍺硒化合物(Ge-Se)或鍺硫化合物(Ge-S)。

15. 如申請專利範圍第 1 項所述之導通微通道記憶體元件，其中該第二電極層的材料包括銀(Ag)或銅(Cu)。

16. 一種製造導通微通道記憶體元件的方法，包括：

在一第一電極層上形成一介電層；

進行曝光顯影與蝕刻，以在該介電層中形成至少一第一溝槽；

於該第一溝槽內填滿一金屬層；

進行曝光顯影與蝕刻，以在該第一溝槽旁的該介電層中形成一第二溝槽，該第二溝槽曝露出該第一電極層的部分表面；

在該第二溝槽內沉積一固態電解質層；以及

在該固態電解質層上沉積一第二電極層。

17. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中形成該第一溝槽之步驟包括：使該第一溝槽曝露出該第一電極層的一表面。

18. 如申請專利範圍第 17 項所述之製造導通微通道記憶體元件的方法，其中沉積該固態電解質層之步驟包括在該介電層上、該第二溝槽的內壁與該第一電極層的該表面上共形地沉積該固態電解質層。

19. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中形成該第一溝槽與該第二溝槽所採用的蝕刻方式包括乾式蝕刻或濕式蝕刻。

20. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中沉積該第二電極層之後更包括去除該第二溝槽以外的該固態電解質層以及該第二電極層。

21. 如申請專利範圍第 20 項所述之製造導通微通道記憶體元件的方法，其中去除該第二溝槽以外的該固態電解質層以及該第二電極層的方式包括乾式蝕刻或濕式蝕刻。

22. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中於該第一溝槽內填滿該金屬層之步驟包括：

於該介電層上以及該第一電極層的該表面上沉積該金屬層；以及

以化學機械研磨(CMP)方式去除該介電層表面的該金屬層。

23. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中當該金屬層為雙邊結構時，在該雙邊結構之間的該介電層中形成該第二溝槽。

24. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中該金屬層為可導電的金屬複合材料或金屬材料。

25. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中該第一電極層的材料包括惰性金屬。

26. 如申請專利範圍第 25 項所述之製造導通微通道記憶體元件的方法，其中該惰性金屬包括鉑、鎢、氮化鈦或鎳。

27. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中該介電層的材料包括氧化矽、氮化矽或聚甲基丙烯酸甲酯。

28. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中該固態電解質層的材料包括硫屬化合物或硫化銀、硫化銅、氧化鉬、氧化鎢或氧化矽。

29. 如申請專利範圍第 28 項所述之製造導通微通道記憶體元件的方法，其中該硫屬化合物包括鍺硒化合物或鍺硫化合物。

30. 如申請專利範圍第 16 項所述之製造導通微通道記憶體元件的方法，其中該第二電極層的材料包括銀或銅。

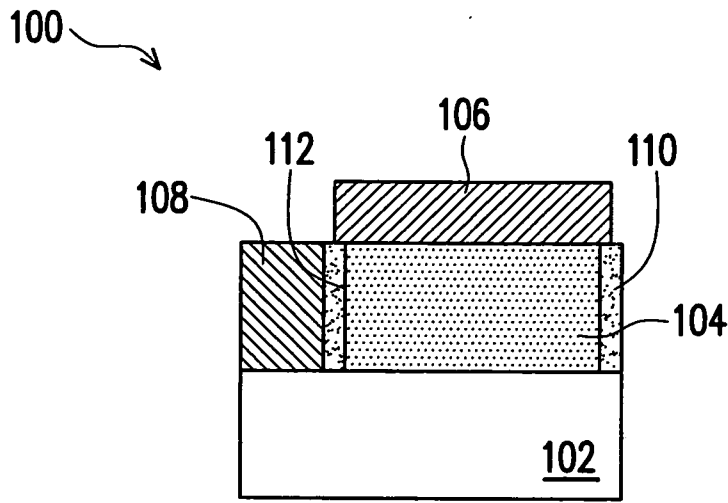


圖 1

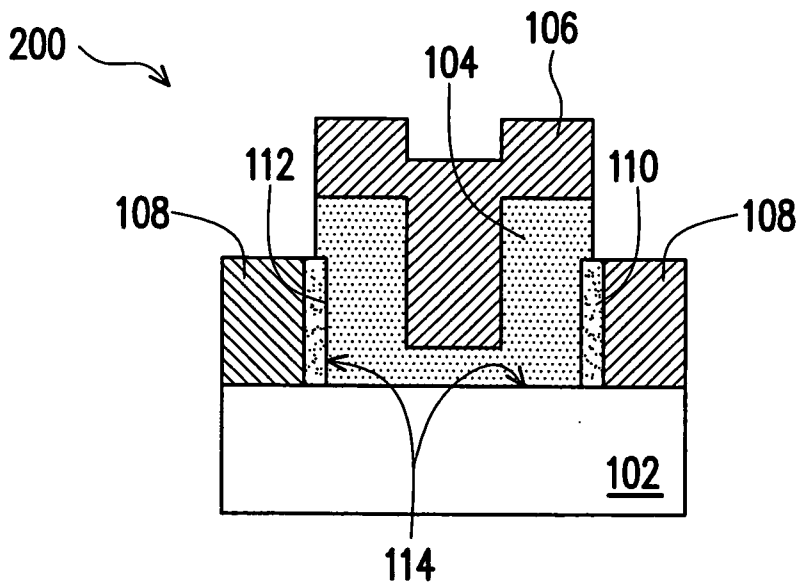


圖 2



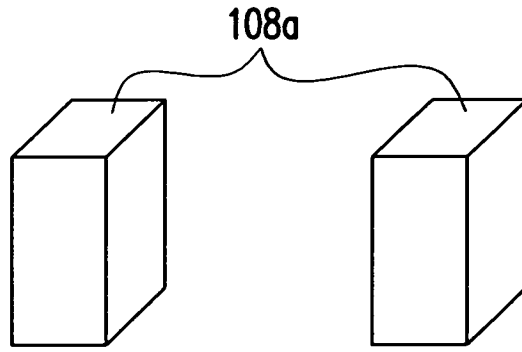


圖 3

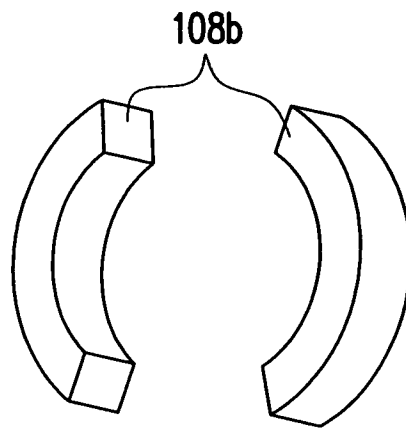


圖 4

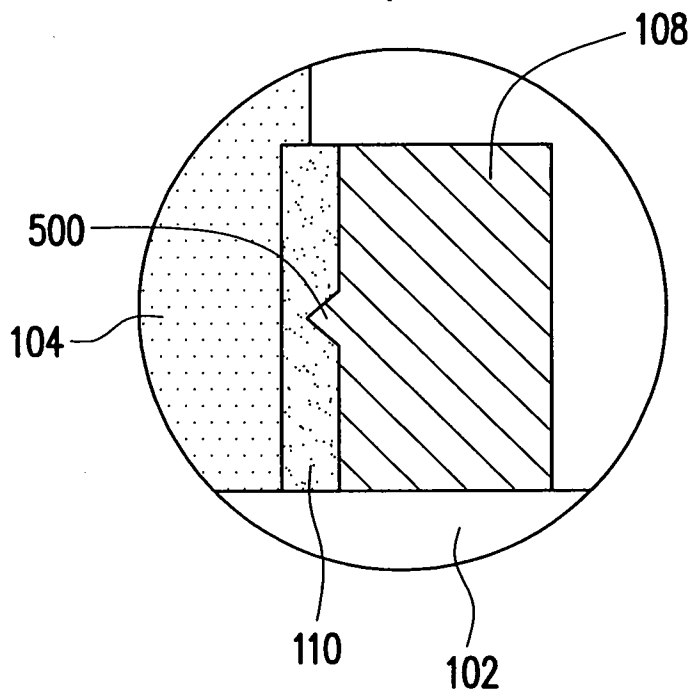


圖 5

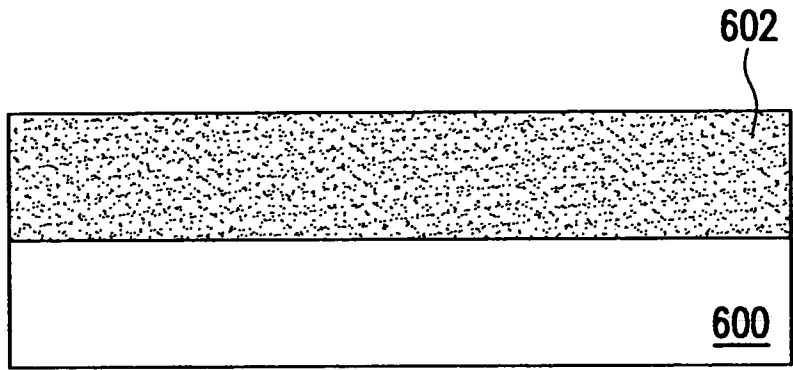


圖 6A

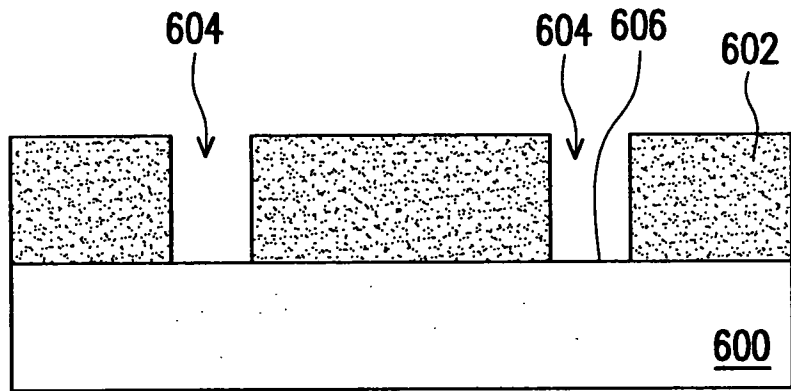


圖 6B

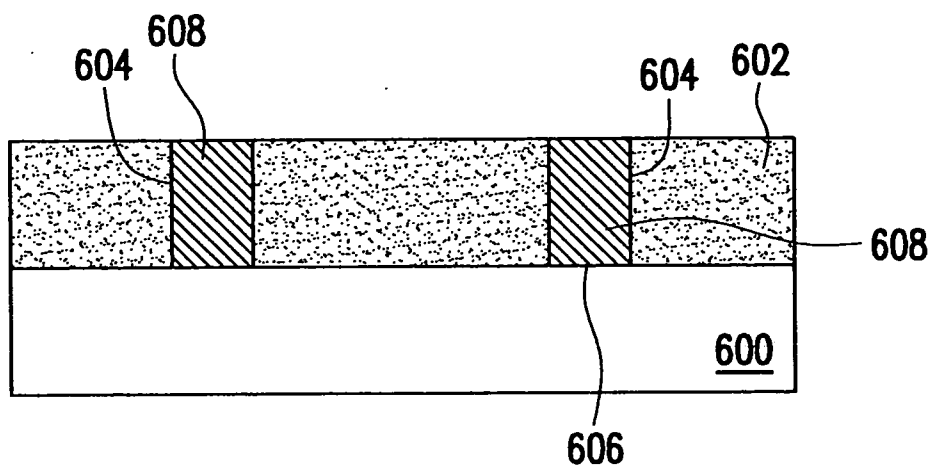


圖 6C

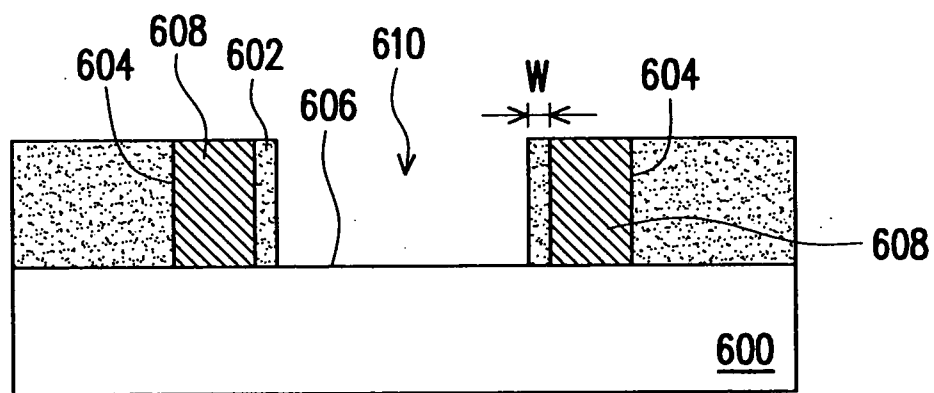


圖 6D

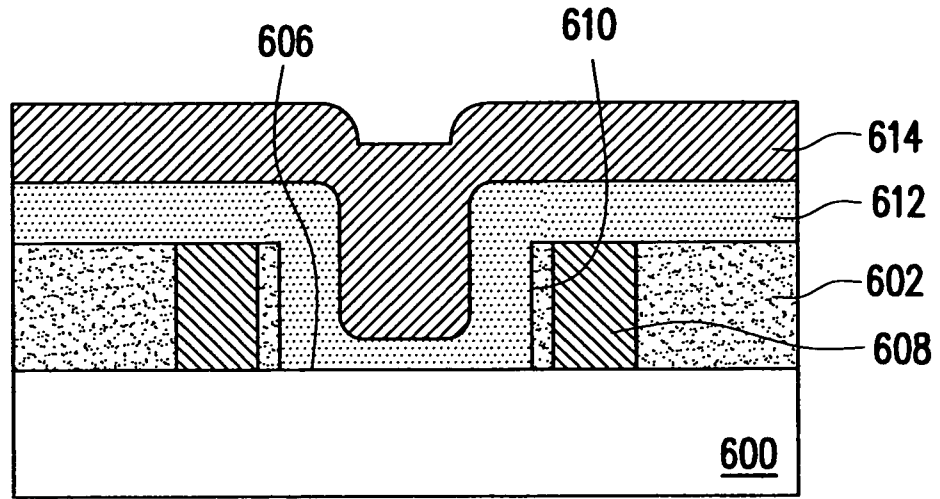


圖 6E

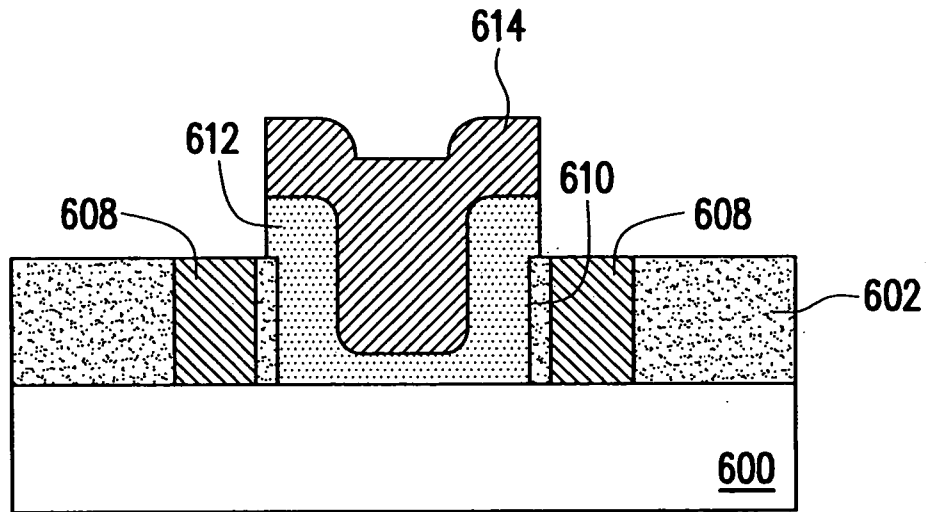


圖 6F