



(10) **DE 10 2020 101 405 B4** 2024.05.08

(12)

Patentschrift

(21) Aktenzeichen: **10 2020 101 405.8**
(22) Anmeldetag: **22.01.2020**
(43) Offenlegungstag: **22.07.2021**
(45) Veröffentlichungstag
der Patenterteilung: **08.05.2024**

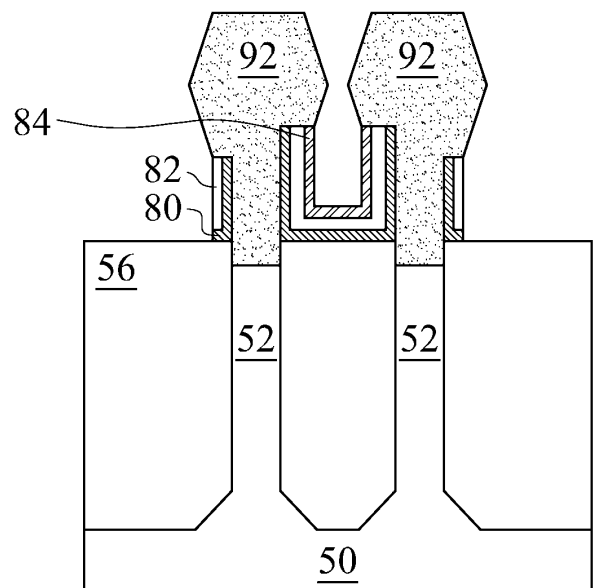
(51) Int Cl.: **H01L 21/336** (2006.01)
H01L 21/28 (2006.01)
H01L 21/8238 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität: 16/745,796 17.01.2020 US	(72) Erfinder: Huang, Chen-Huang, Hsinchu, TW; Sie, Ming-Jhe, Hsinchu, TW; Chang, Cheng-Chung, Hsinchu, TW; Hsu, Shao-Hua, Hsinchu, TW; Jang, Shu-Uei, Hsinchu, TW; Wei, An Chyi, Hsinchu, TW; Wang, Shiang-Bau, Hsinchu, TW; Chen, Ryan Chia-Jen, Hsinchu, TW
(73) Patentinhaber: Taiwan Semiconductor Manufacturing Co., Ltd., Hsinchu, TW	(56) Ermittelte Stand der Technik: US 2019 / 0 027 373 A1 US 2019 / 0 334 008 A1
(74) Vertreter: BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28359 Bremen, DE	

(54) Bezeichnung: **VERFAHREN ZUR HERSTELLUNG EINER HALBLEITERVORRICHTUNG**

(57) Hauptanspruch: Verfahren, umfassend:
Bilden eines Gatestapels (76, 102, 104) über einem Substrat (50);
Bilden eines ersten Gateabstandhalters (80) an Seitenwänden des Gatestapels (76, 102, 104);
Bilden eines zweiten Gateabstandhalters (82, 84) an Seitenwänden des ersten Gateabstandhalters (80);
Entfernen des zweiten Gateabstandhalters (82, 84) unter Verwendung eines Ätzprozesses zum Bilden einer ersten Öffnung, wobei der Ätzprozess bei einer Temperatur von weniger als 0 °C ausgeführt wird, wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff umfasst; und
Abscheiden einer Dielektrikumschicht (112) über dem ersten Gateabstandhalter (80) und dem Gatestapel (76, 102, 104), wobei die Dielektrikumschicht (112) einen Gasabstandhalter (110) in der ersten Öffnung abdichtet.



Beschreibung

AUSFÜHRLICHE BESCHREIBUNG

HINTERGRUND

[0001] Halbleitervorrichtungen werden in einer Vielzahl von elektronischen Anwendungen verwendet, wie beispielsweise in Personal Computern, Mobiltelefonen, Digitalkameras oder anderen elektronischen Geräten. Halbleitervorrichtungen werden üblicherweise durch sequenzielle Abscheidung von Isolierungs- oder Dielektrikumschichten, leitfähigen Schichten und Halbleiterschichten aus Material über einem Halbleitersubstrat und Strukturierung der verschiedenen Materialschichten unter Verwendung von Lithographie zum Bilden von Schaltungskomponenten und Elementen darauf hergestellt.

[0002] Die Halbleiterindustrie verbessert weiterhin die Integrationsdichte verschiedener elektronischer Bauteile (z. B. Transistoren, Dioden, Widerstände, Kondensatoren usw.) durch ständige Verringerungen der Mindestmerkmalsgröße, wodurch mehr Komponenten auf einer gegebenen Fläche integriert werden können. Während jedoch die minimalen Merkmalsgrößen verringert werden, treten weitere Probleme auf, die behandelt werden sollten. US 2019 / 0 334 008 A1 beschreibt ein Verfahren zum Herstellen eines Finnen-Feldeffekt-Transistors mit einem Gate-Abstandshalter, der einen Luftspalt aufweist. US 2019 / 0 0273 373 A1 beschreibt ein Verfahren zum Ätzen eines Siliziumoxidfilms mit einer hohen Selektivität gegenüber dem Ätzen eines Siliziumnitridfilms, das ein Tieftemperaturverfahren umfasst.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0003] Aspekte der vorliegenden Offenbarung sind am besten über die folgende ausführliche Beschreibung zu verstehen, wenn diese zusammen mit den beiliegenden Figuren gelesen wird. Es wird angemerkt, dass dem Standardverfahren der Branche entsprechend verschiedene Eigenschaften nicht maßstabsgetreu gezeichnet sind. Die Abmessungen der verschiedenen Eigenschaften können tatsächlich willkürlich vergrößert oder verkleinert werden, um die Erklärung klarer zu machen.

Fig. 1 illustriert ein Beispiel eines FinFET in einer dreidimensionalen Ansicht nach einigen Ausführungsformen.

Fig. 2, 3, 4, 5, 6, 7, 8A bis 8D, 9A bis 9D, 10A bis 10D, 11A bis 11E, 12A bis 12D, 13A bis 13D, 14A bis 14D, 15A bis 15E, 16A bis 16D, 17A bis 17D, 18A bis 18E, 19A bis 19D, 20A bis 20D und 21A bis 21D sind Querschnittsansichten von Zwischenstufen in der Herstellung von FinFETs nach einigen Ausführungsformen.

[0004] Die folgende Offenbarung stellt viele verschiedene Ausführungsformen oder Beispiele zur Umsetzung verschiedener Funktionen der Erfindung bereit. Spezifische Beispiele von Komponenten und Anordnungen sind nachfolgend beschrieben, um die vorliegende Offenbarung zu vereinfachen. Beispielsweise kann das Bilden eines ersten Merkmals oder eines zweiten Merkmals in der folgenden Beschreibung Ausführungsformen enthalten, bei denen die ersten und zweiten Merkmale in direktem Kontakt ausgebildet sind, und sie kann außerdem Ausführungsformen enthalten, in denen weitere Merkmale zwischen dem ersten und zweiten Merkmal ausgebildet werden können, sodass die ersten und zweiten Merkmale nicht in direktem Kontakt stehen müssen. Weiterhin kann die vorliegende Offenbarung Referenzziffern und/oder Buchstaben in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient der Einfachheit und Klarheit und diktiert nicht für sich eine Beziehung zwischen den verschiedenen besprochenen Ausführungsformen und/oder Konfigurationen.

[0005] Ferner können räumlich relative Begriffe wie „unter“, „darunter“, „unterer“, „über“, „oberer“ und dergleichen hierin für eine einfachere Beschreibung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem oder mehreren anderen Element(en) oder Merkmal(en) wie in den Figuren illustriert zu beschreiben. Die räumlich relativen Begriffe sollten zusätzlich zu der Ausrichtung, die in den Figuren dargestellt ist, verschiedene Ausrichtungen der Vorrichtung in Verwendung oder Betrieb umfassen. Die Vorrichtung kann anders ausgerichtet sein (um 90 Grad gedreht oder in anderen Ausrichtungen) und die räumlich relativen Bezeichner, die hierin verwendet werden, können ebenfalls entsprechend ausgelegt werden.

[0006] Verschiedene Ausführungsformen stellen verbesserte Prozesse zum Bilden von Gasabstandhaltern in Halbleitervorrichtungen bereit. Beispielsweise können verschiedene Dummygateabstandhalter unter Verwendung eines Ätzprozesses mit einer Temperatur unter 0 °C entfernt werden. Der Ätzprozess kann ein Ätzmittel wie Fluorwasserstoff und einen Katalysator wie Wasser, Ethanol oder dergleichen umfassen. Das Durchführen des Ätzprozesses mit einer Temperatur von unter 0 °C kann die Ätzselektivität des Ätzprozesses relativ zur Struktur verbessern, die nicht durch den Ätzprozess geätzt werden soll. Dies verringert Vorrichtungsmängel und verbessert die Leistung der fertiggestellten Halbleitervorrichtungen, die durch die verbesserten Prozesse gebildet werden.

[0007] **Fig. 1** illustriert ein Beispiel eines FinFET in einer dreidimensionalen Ansicht nach einigen Aus-

führungsformen. Das FinFET umfasst Finnen 52 auf einem Substrat 50 (z. B. einem Halbleitersubstrat). Shallow-Trench-Isolation- (STI) Regionen 56 sind in dem Substrat 50 angeordnet und die Finnen 52 springen über und zwischen benachbarten STI-Regionen 56 vor. Auch wenn die STI-Regionen 56 als von dem Substrat 50 getrennt beschrieben/illustriert sind, kann der Begriff „Substrat“ wie hierin verwendet, verwendet werden, um nur das Halbleitersubstrat oder ein Halbleitersubstrat mit Isolierungsregionen zu bezeichnen. Weiterhin sind zwar die Finnen 52 als ein einziges, fortlaufendes Material als Substrat 50 illustriert, die Finnen 52 und/oder das Substrat 50 können jedoch ein einzelnes Material oder mehrere Materialien. In diesem Zusammenhang beziehen sich die Finnen 52 auf den Abschnitt, der sich zwischen den benachbarten STI-Regionen 56 erstreckt.

[0008] Gatedielektrikumschichten 102 befinden sich entlang Seitenwänden und über einer oberen Fläche der Finnen 52, und Gateelektroden 104 befinden sich über den Gatedielektrikumschichten 102. Epitaktische Source-/Drain-Regionen 92 sind an gegenüberliegenden Seiten der Finne 52 bezüglich der Gatedielektrikumschichten 102 und Gateelektroden 104 angeordnet. **Fig. 1** illustriert ferner Referenzquerschnitte, die in späteren Figuren verwendet werden. Der Querschnitt A-A' verläuft entlang einer Längsachse einer der Gateelektroden 104 und in einer Richtung, die etwa rechtwinklig zur Richtung des Stromflusses zwischen den epitaktischen Source-/Drain-Regionen 92 des FinFET verläuft. Der Querschnitt B-B' verläuft rechtwinklig zum Querschnitt A-A' und entlang einer Längsachse einer der Finnen 52 und in einer Richtung von, beispielsweise, einem Stromfluss zwischen den epitaktischen Source-/Drain-Regionen 92 des FinFET. Der Querschnitt C-C' verläuft parallel zum Querschnitt A-A' und erstreckt sich durch die epitaktischen Source-/Drain-Regionen 92 des FinFET. Der Querschnitt D-D' verläuft parallel zum Querschnitt B-B' und erstreckt sich durch die Gateelektroden 104 des FinFET. Der Querschnitt E-E' ist rechtwinklig zu den Querschnitten A-A', B-B', C-C' und D-D', parallel zu einer großen Fläche des Substrats 50, und erstreckt sich durch die Finnen 52 und die Gateelektroden 104. Aufeinander folgende Figuren beziehen sich um der Klarheit Willen auf diese Referenzquerschnitte.

[0009] Einige hierin besprochene Ausführungsformen werden im Zusammenhang mit FinFETs besprochen, die unter Verwendung eines Gate-Zuletzt-Prozesses gebildet sind. In anderen Ausführungsformen kann ein Gate-zuerst-Prozess verwendet werden. Außerdem betrachten einige Ausführungsformen Aspekte, die in planaren Vorrichtungen verwendet werden, wie etwa in planaren FETs.

[0010] **Fig. 2** bis 21D sind Querschnittsansichten von Zwischenstufen bei der Herstellung von FinFETs, nach einigen Ausführungsformen. **Fig. 2** bis 7 illustrieren einen Referenzquerschnitt A-A', der in **Fig. 1** illustriert ist, mit Ausnahme mehrerer Finnen-/FinFETs. Die **Fig. 8A, 9A, 10A, 11A, 12A, 13A, 14A, 15A, 16A, 17A, 18A, 19A, 20A** und **21A** sind entlang des Referenzquerschnitts A-A' illustriert, der in **Fig. 1** illustriert ist. Die **Fig. 8B, 9B, 10B, 11B, 12B, 13B, 14B, 15B, 15E, 16B, 17B, 18B, 19B, 20B** und **21B** sind entlang des Referenzquerschnitts B-B' illustriert, der in **Fig. 1** illustriert ist. Die **Fig. 8C, 9C, 10C, 11C, 11E, 12C, 13C, 14C, 15C, 16C, 17C, 18C, 19C, 20C** und **21C** sind entlang des Referenzquerschnitts C-C' illustriert, der in **Fig. 1** illustriert ist. Die **Fig. 8D, 9D, 10D, 11D, 12D, 13D, 14D, 15D, 16D, 17D, 18D, 19D, 20D** und **21D** sind entlang des Referenzquerschnitts D-D' illustriert, der in **Fig. 1** illustriert ist. **Fig. 18E** ist entlang Referenzquerschnitt E-E' illustriert, der in **Fig. 1** illustriert ist.

[0011] In **Fig. 2** ist ein Substrat 50 bereitgestellt. Das Substrat 50 kann ein Halbleitersubstrat, wie etwa ein Bulkhalbleiter, ein Halbleiter-auf-Isolator- (SOI) Substrat oder dergleichen, das dotiert (z. B. mit einem p- oder n-Dotiermittel) oder undotiert sein kann. Das Substrat 50 kann ein Wafer sein, wie etwa ein Siliziumwafer. Allgemein ist ein SOI-Substrat eine Schicht eines Halbleitermaterials, das auf einer Isolierungsschicht gebildet ist. Die Isolierungsschicht kann beispielsweise eine Buried-Oxid- (BOX) Schicht, eine Siliziumoxidschicht oder dergleichen sein. Die Isolierungsschicht wird an einem Substrat bereitgestellt, üblicherweise an Silizium oder einem Glassubstrat. Andere Substrat, wie etwa ein mehrlagiges oder Gefällesubstrat, können ebenfalls verwendet werden. In einigen Ausführungsformen kann das Halbleitermaterial des Substrats 50 Silizium; Germanium; einen Verbundhalbleiter einschließlich Siliziumkarbid, Galliumarsen, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; einen Legierungshalbleiter, einschließlich SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP und/oder GaInAsP; oder Kombinationen daraus enthalten.

[0012] Das Substrat 50 weist eine Region 50N und eine Region 50P auf. Die Region 50N kann dem Bilden von n-Vorrichtungen, wie etwa NMOS-Transistoren dienen, z. B. n-FinFETs. Die Region 50P kann dem Bilden von 50P Vorrichtungen, wie etwa PMOS-Transistoren dienen, z. B. p-FinFETs. Die Region 50N kann physisch von der Region 50P getrennt sein (wie durch Trenner 51 illustriert), und jede beliebige Anzahl von Vorrichtungsmerkmalen (z. B. andere aktive Vorrichtungen, dotierte Regionen, Isolierungsstrukturen usw.) können zwischen der Region 50N und der Region 50P angeordnet sein.

[0013] In **Fig. 3** werden Finnen 52 in dem Substrat 50 gebildet. Die Finnen 52 sind Halbleiterstreifen. In einigen Ausführungsformen können die Finnen 52 in dem Substrat 50 durch Ätzen von Gräben in dem Substrat 50 gebildet werden. Das Ätzen kann jeder annehmbare Ätzprozess ein, wie etwa ein reaktives Ionenätzen (RIE), neutrales Strahlätzen (NBE), dergleichen oder eine Kombination daraus. Das Ätzen kann anisotrop sein. Wie in **Fig. 3** illustriert, kann das Substrat 50 Paare der Finnen 52 umfassen. Die Finnen 52 in jedem der Finnenpaare 52 können um einen Abstand von ca. 48 nm bis ca. 56 nm getrennt sein und die Finnenpaare 52 können von angrenzenden Finnenpaaren 52 um einen Abstand von ca. 48 nm bis ca. 56 nm getrennt sein.

[0014] Die Finnen 52 können mit jedem geeigneten Verfahren strukturiert werden. Beispielsweise können die Finnen 52 unter Verwendung eines oder mehrerer Photolithographieprozesse strukturiert werden, einschließlich Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse. Allgemein kombinieren Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse Photolithographie und selbstausgerichtete Prozesse, was die Erstellung von Strukturen erlaubt, die beispielsweise Abstände aufweisen, die kleiner sind, als sonst unter Verwendung eines einzelnen direkten Photolithographieprozesses möglich wäre. Beispielsweise wird in einer Ausführungsform eine Opferschicht über einem Substrat gebildet und unter Verwendung eines Photolithographieprozesses strukturiert. Abstandhalter werden zusammen mit der strukturierten Opferschicht unter Verwendung eines selbstausgerichteten Prozesses gebildet. Die Opferschicht wird dann entfernt und die verbleibenden Abstandhalter können dann verwendet werden, die Finnen 52 zu strukturieren.

[0015] In **Fig. 4** wird ein Isolierungsmaterial 54 über dem Substrat 50 und zwischen benachbarten Finnen 52 gebildet. Das Isolationsmaterial 54 kann ein Oxid sein, wie etwa Siliziumoxid, ein Nitrid, dergleichen oder eine Kombination daraus, und kann durch chemische Gasphasenabscheidung mit hochdichtem Plasma (HDP-CVD), eine fließfähige CVD (FCVD) (z. B. eine CVD-basierte Materialabscheidung in einem externen Plasmasystem und Nachhärten, um die Umwandlung in ein anderes Material, wie etwa ein Oxid, auszulösen), dergleichen oder eine Kombination daraus gebildet werden. Andere Isolierungsmaterialien, die durch einen annehmbaren Prozess gebildet werden, können verwendet werden. In der illustrierten Ausführungsformen ist das Isolationsmaterial 54 Siliziumoxid, das durch einen FCVD-Prozess gebildet wird. Ein Temperprozess kann durchgeführt werden, wenn das Isolierungsmaterial 54 gebildet ist. In einer Ausführungsform wird das Isolierungsmaterial 54 so gebildet, dass überschüssiges Isolierungsmaterial 54 die Finnen 52 abdeckt. Auch wenn das Isolierungsmaterial 54 als eine Einzel-

schicht illustriert ist, können Ausführungsformen mehrere Schichten verwenden. Beispielsweise kann in einigen Ausführungsformen eine Auskleidung (nicht getrennt illustriert) erst entlang einer Fläche des Substrats 50 und der Finnen 52 gebildet werden. Danach kann ein Füllmaterial, wie etwa das oben besprochene über der Auskleidung gebildet werden.

[0016] In **Fig. 5** wird ein Entfernungsprozess auf das Isolierungsmaterial 54 angewendet, um überschüssiges Isolierungsmaterial 54 über den Finnen 52 angewendet. In einigen Ausführungsformen kann ein Planarisierungsprozess, wie etwa eine chemisch-mechanische Politur (CMP), ein Rückätzprozess, Kombinationen daraus oder dergleichen verwendet werden. Der Planarisierungsprozess legt die Finnen 52 offen, sodass die oberen Flächen der Finnen 52 und das Isolierungsmaterial 54 nach Abschluss des Planarisierungsprozesses auf gleicher Höhe sind.

[0017] In **Fig. 6** wird das Isolierungsmaterial 54 ausgeschnitten, um Shallow-Trench-Isolation- (STI) Regionen 56 zu bilden. Das Isolierungsmaterial 54 wird so ausgeschnitten, dass die oberen Abschnitte der Finnen 52 in der Region 50N und in der Region 50P von zwischen benachbarten STI-Regionen 56 vorspringen. Ferner können die oberen Flächen der STI-Regionen 56 eine flache Fläche wie illustriert, eine konvexe Fläche, eine konkave Fläche (wie etwa Dishing) oder eine Kombination daraus aufweisen. Die oberen Flächen der STI-Regionen 56 können mit geeignetem Ätzen flach, konvex und/oder konkav gebildet sein. Die STI-Regionen 56 können unter Verwendung eines annehmbaren Ätzprozesses ausgeschnitten werden, wie etwa einem, der selektiv für das Material des Isolierungsmaterials 54 ist (z. B. das Material des Isolierungsmaterials 54 schneller als das Material der Finnen 52 ätzt). Beispielsweise kann eine chemische Oxidentfernung mit einem geeigneten Ätzprozess, etwa unter Verwendung von verdünnter Flußsäure (dHF) angewendet werden.

[0018] Der Prozess, der bezüglich **Fig. 2** bis **6** beschrieben ist, ist nur ein Beispiel davon, wie die Finnen 52 gebildet werden können. In einigen Ausführungsformen können die Finnen 52 durch einen epitaktischen Wachstumsprozess gebildet werden. Beispielsweise kann eine Dielektrikumschicht über einer oberen Fläche des Substrats 50 gebildet werden, und Gräben können durch die Dielektrikumschicht geätzt werden, um das darunterliegende Substrat 50 offenzulegen. Homoepitaktische Strukturen können epitaktisch in den Gräben aufgebaut werden und die Dielektrikumschicht kann so ausgeschnitten werden, dass die homoepitaktischen Strukturen von der Dielektrikumschicht vorspringen, um die Finnen 52 zu bilden. Weiterhin können in eini-

gen Ausführungsformen heteroepitaktische Strukturen für die Finnen 52 verwendet werden. Beispielsweise können die Finnen 52 in **Fig. 5** ausgeschnitten sein und ein Material, das sich von den Finnen 52 unterscheidet, kann epitaktisch über den ausgeschnittenen Finnen 52 aufgebaut sein. In solchen Ausführungsformen umfassen die Finnen 52 das ausgeschnittene Material sowie das epitaktisch aufgebaute Material, das über dem ausgeschnittenen Material angeordnet ist. In einer noch weiteren Ausführungsform kann eine Dielektrikumschicht über einer oberen Fläche des Substrats 50 gebildet werden, und Gräben können durch die Dielektrikumschicht geätzt werden. Heteroepitaktische Strukturen können dann unter Verwendung eines Materials, das sich von dem Substrat 50 unterscheidet, epitaktisch in den Gräben aufgebaut werden und die Dielektrikumschicht kann so ausgeschnitten werden, dass die heteroepitaktischen Strukturen von der Dielektrikumschicht vorspringen, um die Finnen 52 zu bilden. In einigen Ausführungsformen, in denen homoepitaktische oder heteroepitaktische Strukturen epitaktisch aufgebaut werden, können die epitaktisch aufgebauten Materialien während des Aufbaus in situ dotiert werden, was vorherige und nachfolgende Implantierungen vermeiden kann, auch, wenn Vor-Ort- und Implantierungsdotierung gemeinsam verwendet werden können.

[0019] Noch weiter kann es von Vorteil sein, ein Material epitaktisch in Region 50N (z. B. einer NMOS-Region) aufzubauen, das sich von dem Material in Region 50P (z. B. einer PMOS-Region) unterscheidet. In verschiedenen Ausführungsformen können obere Abschnitte der Finnen 52 aus Siliziumgermanium ($\text{Si}_x\text{Ge}_{1-x}$, wobei x im Bereich von 0 bis 1 liegen kann), Siliziumkarbid, reinem oder im Wesentlichen reinen Germanium, einem III-V-Verbindungshalbleiter, einem II-VI-Verbindungshalbleiter oder dergleichen gebildet werden. Beispielsweise umfassend die verfügbaren Materialien zum Bilden des III-V-Verbindungshalbleiters, sind aber nicht beschränkt auf InAs, AlAs, GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlP, GaP und dergleichen.

[0020] Ferner können in **Fig. 6** geeignete Wells (nicht getrennt illustriert) in den Finnen 52 und/oder dem Substrat 50 gebildet sein. In einigen Ausführungsformen kann ein P-Well in der Region 50N gebildet sein und ein N-Well kann in der Region 50P gebildet sein. In einigen Ausführungsformen sind ein P-Well oder ein N-Well in der Region 50N und der Region 50P gebildet.

[0021] In den Ausführungsformen mit verschiedenen Welltypen können die verschiedenen Implantierungsschritte für die Region 50N und die Region 50P unter Verwendung eines Photoresist oder anderer Masken erreicht werden (nicht getrennt illustriert).

Beispielsweise kann ein Photoresist über den Finnen 52 und den STI-Regionen 56 in der Region 50N gebildet werden. Der Photoresist wird strukturiert, um die Region 50P des Substrats 50 offenzulegen, wie etwa eine PMOS-Region. Der Photoresist kann durch Verwenden einer Spin-On-Technik gebildet werden und kann unter Verwendung annehmbarer Photolithographietechniken gebildet werden. Wenn der Photoresist strukturiert ist, erfolgt eine n-Unreinheitenimplantierung in der Region 50P, und der Photoresist kann als eine Maske dienen, um im Wesentlichen zu verhindern, dass n-Unreinheiten in die Region 50N, wie etwa eine NMOS-Region, implantiert werden. Die n-Unreinheiten können Phosphor, Arsen, Antimon oder dergleichen sein, die in die Region mit einer Konzentration gleich oder weniger als 10^{18} cm^{-3} , wie etwa zwischen ca. 10^{17} cm^{-3} und ca. 10^{18} cm^{-3} , implantiert werden. Nach der Implantierung wird der Photoresist entfernt, wie etwa durch einen annehmbaren Aschenprozess.

[0022] Nach der Implantierung der Region 50P wird ein Photoresist über den Finnen 52 und den STI-Regionen 56 in der Region 50P gebildet. Der Photoresist wird strukturiert, um die Region 50N des Substrats 50 offenzulegen, wie etwa der NMOS-Region. Der Photoresist kann durch Verwenden einer Spin-On-Technik gebildet werden und kann unter Verwendung annehmbarer Photolithographietechniken gebildet werden. Wenn der Photoresist strukturiert ist, kann eine p-Unreinheitenimplantierung in der Region 50N ausgeführt werden, und der Photoresist kann als eine Maske dienen, um im Wesentlichen zu verhindern, dass p-Unreinheiten in die Region 50P, wie etwa der PMOS-Region, implantiert werden. p-Unreinheiten können Bor, BF_2 , Indium oder dergleichen sein, die in die Region mit einer Konzentration gleich oder weniger als 10^{18} cm^{-3} , wie etwa zwischen ca. 10^{17} cm^{-3} und ca. 10^{18} cm^{-3} , implantiert werden. Nach der Implantierung kann der Photoresist entfernt werden, wie etwa durch einen annehmbaren Aschenprozess.

[0023] Nach den Implantierungen der Region 50N und der Region 50P kann ein Tempern ausgeführt werden, um die p- und/oder n-Unreinheiten zu aktivieren, die implantiert wurden. In einigen Ausführungsformen können die aufgebauten Materialien oder epitaktischen Finnen in situ beim Wachstum dotiert werden, was die Implantierungsdotierung beseitigen kann, wobei jedoch in situ und Implantierungsdotierung gleichzeitig verwendet werden können.

[0024] In **Fig. 7** wird eine Dummydielektrikumschicht 60 auf den Finnen 52 gebildet. Die Dummydielektrikumschicht 60 kann beispielsweise Siliziumoxid, Siliziumnitrid, eine Kombination daraus oder dergleichen sein, und kann nach annehmbaren Techniken abgeschieden oder thermal aufgebaut

sein. Eine Dummygateschicht 62 wird über der Dummydielektrikumschicht 60 gebildet und eine Maskenschicht 64 wird über der Dummygateschicht 62 gebildet. Die Dummygateschicht 62 kann über der Dummydielektrikumschicht 60 abgeschieden und dann planarisiert werden, wie etwa durch CMP. Die Maskenschicht 64 kann über der Dummygateschicht 62 abgeschieden werden. Die Dummygateschicht 62 kann ein leitfähiges Material sein, und kann aus einer Gruppe gewählt sein, die amorphes Silizium, polykristallines Silizium (Polysilizium), polykristallines Siliziumgermanium (Poly-SiGe), metallische Nitride, metallische Silizide, metallische Oxide und Metalle umfasst. Die Dummygateschicht 62 kann durch physische Gasphasenabscheidung (PVD), CVD, Sputterabscheidung oder andere Techniken abgeschieden werden, die auf dem Fachgebiet verwendet werden, um leitfähige Materialien abzuscheiden. Die Dummygateschicht 62 kann aus anderen Materialien hergestellt sein, die eine hohe Ätzselektivität von dem Ätzen der Isolierungsregionen aufweisen. Die Maskenschicht 64 kann beispielsweise SiN, SiON oder dergleichen umfassen. In diesem Beispiel werden eine einzelne Dummygateschicht 62 und eine einzelne Maskenschicht 64 über der Region 50N und der Region 50P gebildet. Es wird angemerkt, dass die Dummydielektrikumschicht 60 zu rein illustrativen Zwecken als nur die Finnen 52 bedeckend dargestellt wird. In einigen Ausführungsformen kann die Dummydielektrikumschicht 60 so abgeschieden werden, dass die Dummydielektrikumschicht 60 die STI-Regionen 56 abdeckt, die sich zwischen der Dummygateschicht 62 und den STI-Regionen 56 erstrecken.

[0025] Fig. 8A bis 21D illustrieren verschiedene weitere Schritte in der Herstellung von Vorrichtungen der Ausführungsform. Die Fig. 8A bis 21D illustrieren Merkmale einer der Regionen 50N und 50P. Beispielsweise können die Strukturen, die in den Fig. 8A bis 21D illustriert sind, für die Region 50N und die Region 50P gelten. Unterschiede (wenn vorhanden) der Strukturen der Region 50N und der Region 50P werden in dem Text beschrieben, der jeder Figur beiliegt.

[0026] In den Fig. 8A bis 8D kann die Maskenschicht 64 (siehe Fig. 7) unter Verwendung akzeptabler Photolithographie- und Ätztechniken strukturiert werden, um Masken 74 zu bilden. Die Struktur der Masken 74 kann dann an die Dummygateschicht 62 übertragen werden, um Dummygates 72 zu bilden. Die Struktur der Masken 74 kann auch durch eine annehmbare Ätztechnik an die Dummydielektrikumschicht 60 übertragen werden. Die Dummygates 72 decken jeweilige Kanalregionen 58 der Finnen 52 ab. Die Struktur der Masken 74 kann verwendet werden, um jedes der Dummygates 72 physisch von angrenzenden Dummygates zu trennen. Die Dummygates 72 können auch eine Längsrichtung aufwei-

sen, die im Wesentlichen rechtwinklig zur Längsrichtung jeweiliger epitaktischer Finnen 52 ist. Die Kombination der Dummygates 72, der Masken 74 und der Dummydielektrikumschicht 60 können als Dummygatestapel 76 bezeichnet werden. Die Dummygatestapel 76 können von angrenzenden Dummygatestapeln durch einen Abstand von ca. 80 nm bis ca. 100 nm getrennt sein.

[0027] In den Fig. 9A bis 9D werden erste Gate-Abstandhalter 80, zweite Gate-Abstandhalter 82, und dritte Gate-Abstandhalter 84 an offenliegenden Flächen des Dummygatestapels 76 und/oder der Finnen 52 gebildet. Die ersten Gate-Abstandhalter 80 können durch einen konformen Abscheidungsprozess gebildet werden, wie etwa Atomlagenabscheidung (ALD), CVD oder dergleichen. Die ersten Gate-Abstandhalter 80 können ein Isolierungsmaterial umfassen, wie etwa Siliziumkarbonitrid, Siliziumoxynitrid, mehrere Schichten oder eine Kombination daraus oder dergleichen. Die ersten Gate-Abstandhalter 80 können eine Dicke von ca. 3 nm bis ca. 7 nm aufweisen, wie etwa ca. 5 nm. Das Bilden der ersten Gate-Abstandhalter 80 mit Dicken außerhalb des vorgegebenen Bereichs kann sich auf die Halbleitereigenschaften der fertiggestellten NSFETs auswirken, wie etwa auf die Kapazität, den Kanalwiderstand und die Größe der epitaktischen Source-/Drain-Regionen (wie etwa den epitaktischen Source-/Drain-Regionen 92, die nachfolgend bezüglich Fig. 11A bis 11E besprochen werden).

[0028] Die zweiten Gate-Abstandhalter 82 können über den ersten Gate-Abstandhaltern 80 durch einen konformen Ausscheidungsprozess gebildet werden, wie etwa ALD, CVD oder dergleichen. Die zweiten Gate-Abstandhalter 82 können ein Isolierungsmaterial umfassen, wie etwa Siliziumoxid, Siliziumoxynitrid, Siliziumoxycarbonitrid mehrere Schichten oder eine Kombination daraus oder dergleichen. Die zweiten Gate-Abstandhalter 82 können eine Dicke von ca. 2 nm bis ca. 6 nm aufweisen, wie etwa ca. 4 nm. Das Bilden der zweiten Gate-Abstandhalter 82 mit Dicken außerhalb des vorgegebenen Bereichs kann sich auf die Halbleitereigenschaften der fertiggestellten NSFETs auswirken, wie etwa auf die Kapazität, den Kanalwiderstand und die Größe der epitaktischen Source-/Drain-Regionen (wie etwa den epitaktischen Source-/Drain-Regionen 92, die nachfolgend bezüglich Fig. 11A bis 11E besprochen werden).

[0029] Die dritten Gate-Abstandhalter 84 können über den zweiten Gate-Abstandhaltern 82 durch einen konformen Ausscheidungsprozess gebildet werden, wie etwa ALD, CVD oder dergleichen. Die dritten Gate-Abstandhalter 84 können ein Isolierungsmaterial umfassen, wie etwa Siliziumnitrid, Siliziumoxid, Siliziumoxycarbonitrid mehrere Schichten oder eine Kombination daraus oder dergleichen.

Die dritten Gate-Abstandhalter 84 können eine Dicke von ca. 2 nm bis ca. 5 nm aufweisen, wie etwa ca. 4 nm. Das Bilden der dritten Gate-Abstandhalter 84 mit Dicken außerhalb des vorgegebenen Bereichs kann sich auf die Halbleitereigenschaften der fertiggestellten NSFETs auswirken, wie etwa auf die Kapazität, den Kanalwiderstand und die Größe der epitaktischen Source-/Drain-Regionen (wie etwa den epitaktischen Source-/Drain-Regionen 92, die nachfolgend bezüglich Fig. 11A bis 11E besprochen werden).

[0030] Die ersten Gate-Abstandhalter 80 können aus einem Material gebildet sein, das eine andere Ätzselektivität als das Material des zweiten Gate-Abstandhalters 82 und des dritten Gate-Abstandhalters 84 aufweist. So können die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 ohne Entfernen der ersten Gate-Abstandhalter 80 entfernt werden. Die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 können aus demselben oder anderen Materialien gebildet werden und können im Vergleich zueinander dieselbe oder eine andere Ätzselektivität aufweisen. Die ersten Gate-Abstandhalter 80 und die zweiten Gate-Abstandhalter 82 können verwendet werden, um Abschnitte des Substrats 50 während der Bildung von leicht dotierten Source-/Drain-Regionen (nachfolgend bezüglich der Fig. 10A bis 10D besprochen) zu maskieren. Die dritten Gate-Abstandhalter 84 können verwendet werden, um das Wachstum epitaktischer Source-/Drain-Regionen (wie etwa der epitaktischen Source-/Drain-Regionen 92, die nachfolgend bezüglich der Fig. 11A bis 11E besprochen werden) zu steuern.

[0031] In den Fig. 10A bis 10D sind die ersten Gate-Abstandhalter 80, die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 geätzt. Die ersten Gate-Abstandhalter 80, die zweiten Gate-Abstandhalter 82, und die dritten Gate-Abstandhalter 84 können durch einen anisotropen Ätzprozess, einen isotropen Ätzprozess oder jede Kombination aus anisotropen und isotropen Ätzprozessen geätzt werden. Wie in Fig. 10B bis 10D illustriert, können Restabschnitte der ersten Gate-Abstandhalter 80, der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 an die Finnen 52 und an die Dummygateestapel 76 angrenzend zurückbleiben.

[0032] Speziell werden in Fig. 10A die ersten Gate-Abstandhalter 80, die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 von den oberen Flächen der Masken 74 entfernt. In Fig. 10B, werden die dritten Gate-Abstandhalter 84 von oberen Flächen und Seitenwänden der Dummygateestapel 76 und der oberen Flächen der Finnen 52 entfernt. Ferner werden in Fig. 10B die zweiten Gate-Abstandhalter 82 und die ersten Gate-Abstandhalter 80 von oberen Flächen der Dummygateestapel 76 entfernt und die Finnen 52 und die zweiten Gate-

Abstandhalter 82 die ersten Gate-Abstandhalter 80 bleiben an Seitenwänden der Dummygateestapel 76 zurück. In Fig. 10C werden die dritten Gate-Abstandhalter 84 von oberen Flächen und äußeren Seitenwänden des Pairs Finnen 52 und von oberen Flächen der STI-Regionen 56 außerhalb des Pairs Finnen 52 entfernt. Ferner bleiben in Fig. 10C der dritte Gate-Abstandhalter 84 an inneren Seitenwänden des Pairs Finnen 52 zurück und erstrecken sich fortlaufend zwischen den angrenzenden Finnen 52 über die STI-Region 56. Die zweiten Gate-Abstandhalter 82 und die ersten Gate-Abstandhalter 80 werden von oberen Flächen und oberen Abschnitten der Seitenwände der Finnen 52 und von oberen Flächen der STI-Regionen 56 außerhalb des Pairs Finnen 52 entfernt. Außerdem bleiben in Fig. 10C die ersten Gate-Abstandhalter 80 und die zweiten Gate-Abstandhalter 82 auf unteren Abschnitten der Seitenwände der Finnen 52 zurück und erstrecken sich fortlaufend zwischen den angrenzenden Finnen 52 über die STI-Region 56. In Fig. 10D werden die dritten Gate-Abstandhalter 84 von oberen Flächen und oberen Abschnitten der Seitenwände der Dummygateestapel 76 entfernt und die dritten Gate-Abstandhalter 84 bleiben auf unteren Abschnitten der Seitenwände der Dummygateestapel 76 zurück und erstrecken sich fortlaufend zwischen den angrenzenden Dummygateestapeln 76 über die STI-Region 56. Ferner werden in Fig. 10D die ersten Gate-Abstandhalter 80 und die zweiten Gate-Abstandhalter 82 von oberen Flächen der Dummygateestapel 76 und der ersten Gate-Abstandhalter 80 entfernt, und die zweiten Gate-Abstandhalter 82 bleiben an den Seitenwänden der Dummygateestapel zurück und erstrecken sich fortlaufend zwischen den angrenzenden Dummygateestapeln 76 über der STI-Region 56.

[0033] Die Abschnitte der dritten Gate-Abstandhalter 84, die zurückbleiben, nachdem die ersten Gate-Abstandhalter 80, die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 geätzt werden, können verwendet werden, das epitaktische Wachstum der epitaktischen Source-/Drain-Regionen (z. B. epitaktische Source-/Drain-Regionen 92 wie unten mit Verweis auf Fig. 11A bis 11E erklärt) zu steuern. So können die dritten Gate-Abstandhalter 84 auf Grundlage der gewünschten Form der epitaktischen Source-/Drain-Regionen 92 strukturiert werden. Wie in Fig. 10C illustriert, können Abschnitte der zweiten Gate-Abstandhalter 82 und der ersten Gate-Abstandhalter 80, die an inneren Seitenwänden der Finnen 52 angeordnet sind, Höhen aufweisen, die größer sind als Abschnitte der zweiten Gate-Abstandhalter 82 und der ersten Gate-Abstandhalter 80, die an äußeren Seitenwänden der Finnen 52 angeordnet sind. Diese Höhendifferenz wird verursacht, weil die dritten Gate-Abstandhalter 84 die zweiten Gate-Abstandhalter 82 und die ersten Gate-Abstandhalter 80 schützen, wobei die Finnen 52 den Bereich zwischen den Finnen 52 beschatten,

und Ätzmittel leichter um die Abschnitte der zweiten Gate-Abstandhalter 82 und der ersten Gate-Abstandhalter 80 fließen, die außerhalb der Finnen 52 platziert sind, als um die Abschnitte, die innerhalb der Finnen 52 platziert sind, und dergleichen. Die ersten Gate-Abstandhalter 80, der zweiten Gate-Abstandhalter 82, und die dritten Gate-Abstandhalter 84 können in jeder gewünschten Reihenfolge gebildet und geätzt werden. Beispielsweise können in einer Ausführungsform die ersten Gate-Abstandhalter 80 vor dem Bilden der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 gebildet und geätzt werden.

[0034] Implantate für leicht dotierte Source-/Drain-(LDD) Regionen (nicht getrennt illustriert) können jederzeit während des Bildens und Ätzens der ersten Gate-Abstandhalter 80, der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 ausgeführt werden. Beispielsweise können in einigen Ausführungsformen die LDD Regionen nach dem Bilden der ersten Gate-Abstandhalter 80, vor dem Bilden der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 implantiert werden. In den Ausführungsformen mit verschiedenen Vorrichtungstypen können ähnlich wie die Implantationen, die oben in **Fig. 6** besprochen werden, eine Maske, wie etwa ein Photoresist, über der Region 50N gebildet sei, während die Region 50P offengelegt wird, und Unreinheiten eines geeigneten Typs (z. B., Typ p) können in die offengelegten Finnen 52 in der Region 50P implantiert werden. Die Maske kann dann entfernt werden. Nachfolgend kann eine Maske, wie etwa ein Photoresist, über der Region 50P gebildet sein, während die Region 50N offengelegt wird, und Unreinheiten eines geeigneten Typs (z. B., Typ n) können in die offengelegten Finnen 52 in der Region 50N implantiert werden. Die Maske kann dann entfernt werden. Die n-Unreinheiten können jede der zuvor besprochenen n-Unreinheiten sein und die p-Unreinheiten können jede der zuvor besprochenen p-Unreinheiten sein. Die leicht dotierten Source-/Drain-Regionen können eine Konzentration von Unreinheiten von ca. 10^{15} cm^{-3} bis ca. 10^{16} cm^{-3} aufweisen. Tempern kann verwendet werden, um die implantierten Unreinheiten zu aktivieren.

[0035] In den **Fig. 11A bis 11E** werden epitaktische Source-/Drain-Regionen 92 in den Finnen 52 gebildet. Die epitaktischen Source-/Drain-Regionen 92 können eine Verspannung auf die jeweiligen Kanalregionen 58 ausüben, wodurch die Leistung verbessert wird. Die epitaktischen Source-/Drain-Regionen 92 werden in den Finnen 52 gebildet, sodass jedes Dummygate 72 zwischen jeweiligen benachbarten Paaren der epitaktischen Source-/Drain-Regionen 92 angeordnet ist. In einigen Ausführungsformen können sich die epitaktischen Source-/Drain-Regionen 92 in die Finnen 52 erstrecken und auch durch diese hindurch reichen. In einigen Ausführungsfor-

men werden die ersten Gate-Abstandhalter 80, die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 verwendet, die epitaktischen Source-/Drain-Regionen 92 von den Dummygates 72 um einen geeigneten lateralen Abstand zu trennen, sodass die epitaktischen Source-/Drain-Regionen 92 keinen Kurzschluss mit nachträglich gebildeten Gates der entstehenden FinFETs gebildet werden.

[0036] Die epitaktischen Source-/Drain-Regionen 92 in der Region 50N, z. B. der NMOS-Region, können durch Maskieren der Region 50P, z. B. der PMOS Region, und Ätzen der Source-/Drain-Regionen der Finnen 52 in der Region 50N zum Bilden von Aussparungen in den Finnen 52 gebildet werden. Dann werden die epitaktischen Source-/Drain-Regionen 92 in der Region 50N epitaktisch in den Ausschnitten aufgebaut. Die epitaktischen Source-/Drain-Regionen 92 können jedes akzeptable Material umfassen, das sich etwa für n-FinFETs eignet. Wenn beispielsweise die Finne 52 aus Silizium ist, können die epitaktischen Source-/Drain-Regionen 92 in der Region 50N Materialien umfassen, die eine Zugkraft in der Kanalregion 58 aufweisen, wie etwa Silizium, SiC, SiCP, SiP oder dergleichen. Die epitaktischen Source-/Drain-Regionen 92 in der Region 50N können Oberflächen aufweisen, die von jeweiligen Flächen der Finnen 52 erhöht sind und Facetten aufweisen können.

[0037] Die epitaktischen Source-/Drain-Regionen 92 in der Region 50P, z. B. der PMOS-Region, können durch Maskieren der Region 50N, z. B. der NMOS Region, und die Source-/Drain-Regionen der Finnen 52 in der Region 50P werden geätzt, um Abschnitte in den Finnen 52 zu bilden. Dann werden die epitaktischen Source-/Drain-Regionen 92 in der Region 50P epitaktisch in den Ausschnitten aufgebaut. Die epitaktischen Source-/Drain-Regionen 92 können jedes akzeptable Material umfassen, das sich etwa für p-FinFETs eignet. Wenn beispielsweise die Finne 52 aus Silizium ist, können die epitaktischen Source-/Drain-Regionen 92 in der Region 50P Materialien umfassen, die eine Druckkraft in der Kanalregion 58 aufweisen, wie etwa SiGe, SiGeB, Ge, GeSn oder dergleichen. Die epitaktischen Source-/Drain-Regionen 92 in der Region 50P können auch Oberflächen aufweisen, die von jeweiligen Flächen der Finnen 52 erhöht sind und Facetten aufweisen können.

[0038] Die epitaktischen Source-/Drain-Regionen 92 und/oder die Finnen 52 können mit Dotiermitteln implantiert werden, um Source-/Drain-Regionen zu bilden, ähnlich wie der Prozess, der zuvor besprochen wurde, um leicht dotierte Source-/Drain-Regionen zu bilden, gefolgt von Tempern. Die epitaktischen Source-/Drain-Regionen 92 können eine Unreinheitenkonzentration von zwischen ca. 10^{19} cm^{-3} und ca.

10^{21} cm^{-3} aufweisen. Die n- und/oder p-Unreinheiten für Source-/Drain-Regionen können jede der zuvor besprochenen Unreinheiten sein. In einigen Ausführungsformen können die epitaktischen Source-/Drain-Regionen 92 während des Wachstums vor Ort dotiert sein.

[0039] Aufgrund der Epitaxieprozesse, die verwendet werden, die epitaktischen Source-/Drain-Regionen 92 in der Region 50N und der Region 50P zu bilden, weisen obere Flächen der epitaktischen Source-/Drain-Regionen Facetten auf, die sich lateral auswärts über Seitenwände der Finnen 52 hinaus erstrecken. In einigen Ausführungsformen verursachen diese Facetten das Verschmelzen von aneinander angrenzenden Source-/Drain-Regionen 92 eines selben FinFET wie durch **Fig. 11C** illustriert. **Fig. 11D** illustriert eine Querschnittsansicht der verschmolzenen Abschnitte der epitaktischen Source-/Drain-Regionen 92, die, wie illustriert, eine allgemein runde Form aufweisen können, wie etwa eine runde Form oder eine ovale Form. Wie in den **Fig. 11C** und **11D** illustriert, können Abschnitte der Restabschnitte der ersten Gate-Abstandhalter 80, der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 unter den verschmolzenen Abschnitten der epitaktischen Source-/Drain-Regionen 92 angeordnet sein. In anderen Ausführungsformen, wie etwa der Ausführungsform, die in **Fig. 11E** illustriert ist, bleiben aneinander angrenzende epitaktische Source-/Drain-Regionen 92 getrennt, nachdem der Epitaxieprozess abgeschlossen ist.

[0040] Wie weitere in den **Fig. 11C** und **11D** illustriert, können Leerräume 93 unter den epitaktischen Source-/Drain-Regionen 92, zwischen den epitaktischen Source-/Drain-Regionen und den dritten Gate-Abstandhaltern 84 gebildet werden. Die Leerräume 93 können aufgrund von selektiven epitaktischen Wachstumsprozessen gebildet werden, die verwendet werden, die epitaktischen Source-/Drain-Regionen 92 zu bilden. Wie nachfolgend ausführlicher erklärt wird, können die Leerräume 93 Teil der Gasabstandhalter (z. B. der Gasabstandhalter 110, die mit Verweis auf die **Fig. 20A** bis **20D** besprochen werden) werden.

[0041] In den **Fig. 12A** bis **12D** wird ein erstes ILD 96 über der Struktur abgeschieden, die in den **Fig. 11A** bis **11D** illustriert ist. Das erste ILD 96 kann aus einem Dielektrikum gebildet werden und kann durch jedes geeignete Verfahren abgeschieden werden, wie etwa CVD, plasmaverstärktes CVD (PECVD), oder FCVD. Dielektrika können Phosphosilikatglas (PSG), Borosilikatglas (BSG), bordotiertes Phosphosilikatglas (BPSG), undotiertes Silikatglas (USG) oder dergleichen umfassen. Andere Isolierungsmaterialien, die durch einen annehmbaren Prozess gebildet werden, können verwendet werden.

[0042] In einigen Ausführungsformen ist eine erste Kontaktätzstoppschicht (CESL) 94 zwischen dem ersten ILD 96 und den epitaktischen Source-/Drain-Regionen 92, den Masken 74, den ersten Gate-Abstandhaltern 80, den zweiten Gate-Abstandhaltern 82 und den dritten Gate-Abstandhaltern 84 angeordnet. Die erste CESL 94 kann ein Isolierungsmaterial umfassen, wie etwa SiN, SiCN, SiON, mehrere Schichten oder eine Kombination daraus oder dergleichen. Die erste CESL 94 kann durch ein konformes Abscheidungsverfahren abgeschieden sein, wie etwa CVD, ALD oder dergleichen. Die erste CESL 94 können aus einem Material gebildet sein, das eine andere Ätzselektivität als das Material des zweiten Gate-Abstandhalters 82 und des dritten Gate-Abstandhalters 84 aufweist. So können die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 ohne Entfernen der ersten CESL 94 entfernt werden. In einigen Ausführungsformen kann die erste CESL 94 aus demselben Material gebildet sein wie die ersten Gate-Abstandhalter 80.

[0043] In **Fig. 13A** bis **13D** kann ein Planarisierungsprozess, wie etwa ein CMP, auf dem ersten ILD 96 ausgeführt werden. In einigen Ausführungsformen kann der Planarisierungsprozess verwendet werden, um eine obere Fläche des ersten ILD 96 mit oberen Flächen der Dummygates 72 auf eine Ebene zu bringen. In weiteren Ausführungsformen kann der Planarisierungsprozess verwendet werden, um die obere Fläche des ersten ILD 96 mit oberen Flächen der Masken 74 auf eine Ebene zu bringen. Der Planarisierungsprozess kann auch verwendet werden, um Abschnitte der ersten CESL 94, der ersten Gate-Abstandhalter 80 und der zweiten Gate-Abstandhalter 82 zu entfernen, sodass nach dem Planarisierungsprozess die obere Fläche des ersten ILD 96 ebenfalls auf einer Ebene mit oberen Flächen der ersten CESL 94, der ersten Gate-Abstandhalter 80, und der zweiten Gate-Abstandhalter 82 sein kann.

[0044] In den **Fig. 14A** bis **14D** werden die Dummygates 72, und die Masken 74, wenn vorhanden, in einem oder mehreren Ätzschritten entfernt, sodass die Ausschnitte 100 gebildet werden. Abschnitte der Dummydielektrikumschicht 60, die unter den Dummygates 72 liegen, können ebenfalls entfernt werden. In einigen Ausführungsformen werden nur die Dummygates 72 entfernt und die Dummydielektrikumschicht 60 bleibt und wird durch die Ausschnitte 100 offengelegt. In einigen Ausführungsformen wird die Dummydielektrikumschicht 60 von den Ausschnitten 100 in einer ersten Region eines Dies (z. B. einer Kernlogikregion) entfernt und bleibt in Ausschnitten 100 in einer zweiten Region des Dies (z. B. einer Eingabe-/Ausgaberegion) zurück. In einigen Ausführungsformen werden die Dummygates 72 durch einen anisotropen Trockenätzprozess entfernt. Beispielsweise kann der Ätzprozess einen Trockenätzprozess unter Verwendung von Reaktionsgas(en)

umfassen, die selektiv die Dummygates 72 ätzen, ohne das erste ILD 96, die erste CESL 94, die ersten Gate-Abstandhalter 80 oder die zweiten Gate-Abstandhalter 82 zu ätzen. Jeder Ausschnitt 100 legt eine Kanalregion 58 einer jeweiligen Finne 52 offen. Jede Kanalregion 58 ist zwischen benachbarten Paaren der epitaktischen Source-/Drain-Regionen 92 angeordnet. Während der Entfernung kann die Dummydielektrikumschicht 60 als Ätzstoppschicht verwendet werden, wenn die Dummygates 72 geätzt werden. Die Dummydielektrikumschicht 60 kann dann optional nach dem Entfernen der Dummygates 72 entfernt werden.

[0045] In **Fig. 15A bis 15E** sind Gatedielektrikumschichten 102 und Gateelektroden 104 für Austauschgate gebildet. **Fig. 15E** illustriert eine ausführliche Ansicht von Region 101 aus **Fig. 15B**. Gatedielektrikumschichten 102 sind konform in den Ausschnitten 100 (illustriert in **Fig. 15B** und **15D**) angeordnet, wie etwa an den oberen Flächen und den Seitenwänden der Finnen 52 und an Seitenwänden der ersten Gate-Abstandhalter 80. Die Gatedielektrikumschichten 102 können auch an oberen Flächen der Hartmaske 98 der ersten CESL 94 und STI-Regionen 56 gebildet werden. Nach einigen Ausführungsformen umfassen die Gatedielektrikumschichten 102 Siliziumoxid, Siliziumnitrid oder mehrere Schichten davon. In einigen Ausführungsformen umfassen die Gatedielektrikumschichten 102 ein Dielektrikum mit hohem k-Wert, und in diesen Ausführungsformen können die Gatedielektrikumschichten 102 einen k-Wert über 7,0 aufweisen und können ein Metalloxid oder ein Silikat aus Hf, Al, Zr, La, Mg, Ba, Ti, Pb und Kombinationen daraus aufweisen. Die Bildungsverfahren der Gatedielektrikumschichten 102 können Molekularstrahlabscheidung (MBD), ALD, PECVD und dergleichen umfassen. In Ausführungsformen, in denen Abschnitte der Dummydielektrikumschicht 60 in den Ausschnitten 100 verbleiben, umfassen die Gatedielektrikumschichten 102 ein Material der Dummydielektrikumschicht 60 (z. B. SiO_2).

[0046] Die Gateelektroden 104 sind jeweils über den Gatedielektrikumschichten 102 angeordnet und füllen die verbleibenden Abschnitte der Ausschnitte 100. Die Gateelektroden 104 können ein metallhaltiges Material wie TiN, TiO, TaN, TaC, Co, Ru, Al, W, Kombinationen daraus oder mehrere Schichten davon umfassen. Beispielsweise ist zwar eine Gateelektrode 104 mit einer Schicht in den **Fig. 15A, 15B** und **15D** illustriert, die Gateelektrode 104 kann jedoch jede beliebige Anzahl von Auskleidungsschichten 104A, jede beliebige Anzahl von Arbeitsfunktionsanpassungsschichten 104B, und ein Füllmaterial 104C wie in **Fig. 15E** illustriert umfassen. Nach dem Füllen der Gateelektroden 104 kann ein Planarisierungsprozess wie ein CMP ausgeführt werden, um überschüssige Abschnitte

der Gatedielektrikumschichten 102 und das Material der Gateelektroden 104 zu entfernen, dessen überschüssige Abschnitte über der oberen Fläche der Hartmaske 98 liegen. Die verbleibenden Abschnitte des Materials der Gateelektroden 104 und der Gatedielektrikumschichten 102 bilden so Ersatzgate der entstehenden FinFETs. Die Gateelektroden 104 und die Gatedielektrikumschichten 102 können kollektiv als „Gatestapel“ bezeichnet werden. Das Gate und die Gatestapel können sich entlang von Seitenwänden einer Kanalregion 58 der Finnen 52 erstrecken. Die Gatestapel können eine Gatehöhe von ca. 10 nm bis ca. 60 nm aufweisen, wie etwa ca. 40 nm.

[0047] Das Bilden der Gatedielektrikumschichten 102 in der Region 50N und der Region 50P kann gleichzeitig auftreten, sodass die Gatedielektrikumschichten 102 in jeder Region aus denselben Materialien gebildet sind und das Bilden der Gateelektroden 104 gleichzeitig auftreten kann, sodass die Gateelektroden 104 in jeder Region aus denselben Materialien gebildet sind. In einigen Ausführungsformen können die Gatedielektrikumschichten 102 in jeder Region durch eigene Prozess gebildet sein, sodass die Gatedielektrikumschichten 102 aus verschiedenen Materialien bestehen können, und/oder die Gateelektroden 104 in jeder Region durch getrennte Prozesse gebildet sein können, sodass die Gateelektroden 104 aus unterschiedlichen Materialien bestehen können. Verschiedene Maskierungsschritte können verwendet werden, um geeignete Regionen bei der Verwendung getrennter Prozesse zu maskieren und offenzulegen.

[0048] In den **Fig. 16A bis 16D** wird das erste ILD 96 zurückgeätzt und eine Hartmaske 98 wird über dem ersten ILD 96 gebildet. Das erste ILD 96 kann unter Verwendung eines anisotropen Ätzprozesses zurückgeätzt werden, wie etwa RIE, NBE oder dergleichen, oder durch einen isotropen Ätzprozess, wie etwa einen Nassätzprozess. Das erste ILD 96 kann um einen Abstand relativ zu der Höhe der Gatestapel zurückgeätzt werden, wie etwa von ca. $1/10$ bis ca. $1/2$ der Höhe der Gatestapel. Die Hartmaske 98 kann dann über der entstehenden Struktur unter Verwendung von CVD, PECVD, ALD, Sputtern oder dergleichen abgeschlossen und unter Verwendung eines Prozesses wie CMP planarisiert werden. Wie in den **Fig. 16B** und **16D** illustriert, können nach der Planarisierung der Hartmaske 98 die oberen Flächen der Hartmaske 98 mit oberen Flächen der ersten CESL 94, dem ersten Gate-Abstandhalter 80, dem zweiten Gate-Abstandhalter 82, den Gatedielektrikumschichten 102 und den Gateelektroden 104 auf einer Höhe sein. Der Planarisierungsprozess, der verwendet wird, um die Hartmaske 98 zu planarisieren, kann auch die Gatedielektrikumschichten 102 und die Gateelektroden 104 planarisieren, sodass eine Höhe der Gatestapel nach der Planarisierung von ca. 10 nm bis ca. 50 nm reicht. Die Hartmaske 98

kann aus einem Material wie einem Siliziumnitrid, Siliziumoxid, Siliziumoxykarbid, Siliziumkarbonitrid, Kombinationen daraus oder mehrere Schichten davon oder dergleichen gebildet sein. Die Hartmaske 98 kann über dem ersten ILD 96 gebildet sein, um das erste ILD 96 vor dem Ätzprozess zu schützen, der verwendet wird, um die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 (nachfolgend mit Verweis auf **Fig.** 17A bis 18D erklärt) zu entfernen.

[0049] Die **Fig.** 17A-17D illustrieren eine Zwischenstufe der Entfernung des zweiten Gate-Abstandhalters 82 und des dritten Gate-Abstandhalters 84, deren Abschluss in **Fig.** 18A bis 18E illustriert ist. Auch, wenn dies nicht getrennt in den **Fig.** 17A bis 17D illustriert ist, kann der Ätzprozess durch die zweiten Gate-Abstandhalter 82 ätzen, um die dritten Gate-Abstandhalter 84 offenzulegen, und kann dann die dritten Gate-Abstandhalter 84 ätzen. Der Ätzprozess kann ein isotroper Ätzprozess sein. Der Ätzprozess kann eine Ätzlösung verwenden, die eine Ätzmittelspezies und eine Katalysatorspezies umfasst. Die Ätzmittelspezies kann Fluorwasserstoff oder dergleichen umfassen. Die Katalysatorspezies kann Wasser, Ethanol, Kombinationen daraus oder dergleichen umfassen. Die Ätzmittelspezies kann mit einer Strömungsrate von ca. 50 SCCM bis ca. 700 SCCM bereitgestellt werden. In einer Ausführungsform, in der die Katalysatorspezies Wasser umfasst, kann die Katalysatorspezies mit einer Strömungsrate von ca. 300 Milligramm/Minute (MGM) bis ca. 1800 MGM bereitgestellt werden. In einer Ausführungsform, in der die Katalysatorspezies Ethanol umfasst, kann die Katalysatorspezies mit einer Strömungsrate von ca. 100 SCCM bis ca. 800 SCCM bereitgestellt werden. Die Ätzmittelspezies und die Katalysatorspezies können als Flüssigkeiten, Gase oder dergleichen bereitgestellt werden. In spezifischen Ausführungsformen können die Ätzmittelspezies als Gase bereitgestellt werden, und die Katalysatorspezies können als Flüssigkeiten bereitgestellt werden.

[0050] Die gesamte Struktur, die in den **Fig.** 16A bis 16D illustriert ist, kann einer Ätzlösung ausgesetzt sein. Der Ätzprozess kann in einer Verarbeitungskammer bei einer niedrigen Temperatur ausgeführt werden, wie etwa bei einer Temperatur unter 0 °C, einer Temperatur von ca. -30 °C bis ca. 30 °C, einer Temperatur von ca. -30 °C bis ca. 0 °C, einer Temperatur von ca. -20 °C oder dergleichen. Die Verarbeitungskammer kann bei einem Druck von ca. 0.1 kPa (1 Torr) bis ca. 3 kPa (20 Torr) gehalten werden. Wie in den **Fig.** 17A illustriert, kann die Ätzlösung einen festen Ätzfilm 106 entlang von Flächen der Hartmaske 98, der ersten CESL 94, der ersten Gate-Abstandhalter 80, der Gatedielektrikumschichten 102 und der Gateelektroden 104 bilden. Die Ätzlösung kann einen flüssigen Ätzfilm 108 entlang von Flächen der zweiten Gate-Abstandhalter 82 und der

dritten Gate-Abstandhalter 84 bilden. Die Ätzmittelspezies sowie Zwischenprodukte, die durch Ätzen der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 gebildet sind, können den Gefrierpunkt der Ätzlösung verringern, sodass die Ätzlösung nur den flüssigen Ätzfilm entlang von Flächen der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 bildet, wo die Zwischenprodukte vorhanden sind. Die Temperatur während des Ätzprozesses und die Strömungsraten der Ätzmittelspezies und der Katalysatorspezies können gesteuert werden, um die Phasen zu steuern, die an den zu ätzenden Flächen der Struktur vorhanden sind (z. B., um das Ausmaß des festen Ätzfilms 106 und des flüssigen Ätzfilms 108 zu steuern).

[0051] Das Durchführen des Ätzprozesses bei der niedrigen Temperatur, sodass die Ätzlösung den festen Ätzfilm 106 und den flüssigen Ätzfilm 108 bildet, kann die Ätzraten von Strukturen verringern, die relativ zu dem Ätzraten der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 gehalten werden sollen. Beispielsweise kann das Durchführen des Ätzprozesses bei der niedrigen Temperatur die Ätzraten der Hartmaske 98, der ersten Gate-Abstandhalter 80, der Gatedielektrikumschichten 102, der Gateelektroden 104, der ersten CESL 94 und der epitaktischen Source-/Drain-Regionen 92 (z. B., Strukturen an denen entlang der feste Ätzfilm 106 angeordnet ist) relativ zu den Ätzraten der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 (z. B. Strukturen an denen entlang der flüssige Ätzfilm 108 angeordnet ist) verringern. Speziell kann das Vorhandensein des festen Ätzfilms 106 entlang von Flächen der Hartmaske 98, der ersten Gate-Abstandhalter 80, der Gatedielektrikumschichten 102, der Gateelektroden 104, der ersten CESL 94 und der epitaktischen Source-/Drain-Regionen 92 das Entfernen aller Produkte verringern, die von der Hartmaske 98, den ersten Gate-Abstandhaltern 80, den Gatedielektrikumschichten 102, den Gateelektroden 104, der ersten CESL 94 oder den epitaktischen Source-/Drain-Regionen 92 geätzt werden. Dies erhöht die Ätzselektivität des Ätzprozesses und verringert den Materialverlust von der Hartmaske 98, den ersten Gate-Abstandhaltern 80, den Gatedielektrikumschichten 102, den Gateelektroden 104, der ersten CESL 94 und den epitaktischen Source-/Drain-Regionen 92 durch den Ätzprozess. Die Verwendung des Ätzprozesses kann auch Schaden an den Gestapeln verringern, wie etwa Profilbiegung und dergleichen. Dies verbessert die Leistung und verringert Mängel der fertigen Halbleitervorrichtungen, die aus den oben beschriebenen Verfahren hergestellt werden.

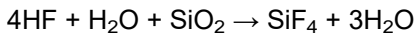
[0052] Der Ätzprozess kann hohe Ätzraten für Materialien aufweisen, die Siliziumnitrid, Siliziumoxid, Siliziumoxykarbonitrid und dergleichen umfassen. Der Ätzprozess kann niedrige Ätzraten für Materialien

aufweisen, die Titannitrid, $TiNO_x$, Wolfram, WO_x , Siliziumcarbonitrid, Silizium, Siliziumgermanium, Siliziumphosphid und dergleichen umfassen. Das Durchführen des Ätzprozesses bei der geringeren Temperatur kann die Ätzrate wenigstens von Siliziumcarbonitrid, Titannitrid, $TiNO_x$ und WO_x verringern. In spezifischen Ausführungsformen, in denen die Gatedielektrikumschichten 102 und/oder die Gateelektroden 104 Metalloxide umfassen, kann das Metall der Gatedielektrikumschichten 102 und/oder der Gateelektroden 104 nach folgender Reaktion entfernt werden:



wobei M ein Metallmaterial der Gatedielektrikumschichten 102 und/oder der Gateelektroden 104 darstellt. Das Bilden des festen Ätzfilms 106 entlang der Gatedielektrikumschichten 102 und der Gateelektroden 104 kann das Entfernen von MF_x verringern, wodurch das Entfernen von Material von den Gatedielektrikumschichten 102 und/oder den Gateelektroden 104 verringert wird.

[0053] In einer Ausführungsform, in der die zweiten Gate-Abstandhalter 82 und der dritte Gateabstandhalter 84 Siliziumoxid umfassen, umfasst die Ätzmittelspezies Fluorwasserstoff und die Katalysatorspezies umfasst Wasser, und die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 können nach folgender Reaktion entfernt werden:



[0054] So kann das Ätzen der zweiten Gate-Abstandhalter und der dritten Gate-Abstandhalter Wasser erzeugen. Wenn die Konzentration von Wasser in der Ätzlösung zu hoch wird, kann die Ätzlösung einfrieren, und das überschüssige Wasser kann es schwer machen, den Ätzprozess zu steuern. So kann der Ätzprozess zyklisch sein und die Ätzlösung kann periodisch aus der Verarbeitungskammer entfernt werden (z. B., um überschüssiges Wasser zu entfernen), wozu nach jedem Ätzzyklus eine Spülung verwendet wird. Die Ätzlösung kann während des Spülprozesses erhitzt werden, um zu verhindern, dass die Ätzlösung einfriert. In einigen Ausführungsformen können zwischen einem und drei Ätzzyklen verwendet werden, um die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 zu ätzen. Der Ätzprozess kann die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 von einer der Regionen 50N oder 50P schneller entfernen als von der anderen der Regionen 50N oder 50P. Das Ätzen kann für eine Dauer fortgesetzt werden, die ausreicht, um die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 vollständig von der Region 50N und der Region 50P zu entfernen, wie etwa von ca. 40 Sekunden bis ca. 200 Sekunden, wie etwa ca. 120 Sekunden.

[0055] Wenn auch die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 als nach dem Bilden der Ersatzgates entfernt beschrieben werden, können in einigen Ausführungsformen die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 vor dem Bilden der Ersatzgates entfernt werden. Beispielsweise kann die Hartmaske 98 gebildet werden und die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 können entfernt werden, nachdem die Prozesse, die oben bezüglich der Fig. 13A bis 13D beschrieben sind, ausgeführt wurden, und bevor die Prozesse, die bezüglich der Fig. 14A bis 14D beschrieben sind, ausgeführt werden. Der oben beschriebene selektive Ätzprozess kann verwendet werden, um die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 zu entfernen, sodass minimales Material von den Dummygates 72, der Hartmaske 98, den ersten Gate-Abstandhaltern 80, der ersten CESL 94 und den epitaktischen Source-/Drain-Regionen 92 entfernt wird.

[0056] In Fig. 18A-18E wird eine erste Dielektrikumschicht 112 über der Struktur der Fig. 17A bis 17D gebildet, die Gasabstandhalter 110 durch Einschließen von Öffnungen, die durch Entfernen der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 gebildet sind, bildet. Die erste Dielektrikumschicht 112 kann durch einen konformen Abscheidungsprozess gebildet werden, wie etwa CVD, ALD oder dergleichen. In spezifischen Ausführungsformen kann die erste Dielektrikumschicht 112 durch einen Prozess mit einer geringeren Konformität abgeschieden werden, wie etwa durch physische Gasphasenabscheidung (PVD). Die erste Dielektrikumschicht 112 kann ein Dielektrikum, wie etwa Siliziumnitrid, Siliziumoxid, Siliziumoxykarbid, Siliziumcarbonitrid oder dergleichen umfassen. Wenn auch untere Flächen der ersten Dielektrikumschicht 112 als flach illustriert sind, können die unteren Flächen der ersten Dielektrikumschicht 112 gebogen sein. Beispielsweise können in einigen Ausführungsformen die unteren Flächen der ersten Dielektrikumschicht 112 konvex oder konkav sein.

[0057] Da die erste Dielektrikumschicht 112 unter Verwendung eines Prozesses mit schlechter Konformität abgeschieden wird, kann die erste Dielektrikumschicht 112 sich nur teilweise in die Öffnungen erstrecken, die durch das Entfernen der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 gebildet werden. Die erste Dielektrikumschicht 112 kann sich um eine Tiefe in die Öffnungen erstrecken, die größer ist als eine Dicke der Hartmaske 98, sodass Abschnitte der ersten Dielektrikumschicht 112 zurückbleiben, wenn die Hartmaske 98 durch einen Prozess wie etwa Planarisierung entfernt wird (wie nachfolgend mit Verweis auf Fig. 19A bis 19D erklärt). Beispielsweise können untere Flächen der ersten Dielektrikumschicht 112

unter unteren Flächen der Hartmaske 98 für einen Abstand von bis zu ca. 30 nm angeordnet sein. Weil Abschnitte der Öffnungen durch die erste Dielektrikumschicht 112 ungefüllt bleiben, werden die Gasabstandhalter 110 unter der ersten Dielektrikumschicht 112, zwischen den ersten Gate-Abstandhaltern 80 und der ersten CESL 94 gebildet. Die Gasabstandhalter 110 können jedes Gas umfassen, das in der Reaktionskammer vorhanden ist, wenn die erste Dielektrikumschicht 112 abgeschieden wird. Nach einer Ausführungsform können die Gasabstandhalter 110 Luft umfassen. In einigen Ausführungsformen können die Gasabstandhalter 110 Stickstoff (N₂), Argon (Ar), Xenon (Xe), Ammoniak (NH₃), Chlor (Cl₂), Kombinationen daraus oder dergleichen umfassen. In einigen Ausführungsformen können die Gasabstandhalter 110 ferner Vorläufergase umfassen, die verwendet werden, um die erste Dielektrikumschicht 112 zu bilden, darunter Silan (SiH₄), Dichlorsilan (SiH₂Cl₂), Siliziumtetrachlorid (SiCl₄), Ammoniak, Kombinationen daraus oder dergleichen. In verschiedenen Ausführungsformen kann die erste Dielektrikumschicht 112 durch einen Abscheidungsprozess in einem Vakuum oder einem Teilvakuum mit einem Druck von ca. 1,3 kPa (10 Torr) bis ca. 2,0 kPa (15 Torr), wie etwa ca. 1,67 kPa (12,5 Torr) abgeschieden werden. So können die Gasabstandhalter 110 einen niedrigen Druck von ca. 1,3 kPa (10 Torr) bis ca. 2,0 kPa (15 Torr), wie etwa ca. 1,67 kPa (12,5 Torr) aufweisen. Die Gasabstandhalter 110 können eine Breite W₁ an die Gatestapel angrenzend von ca. 1,5 nm bis ca. 3 nm und eine Höhe H₁ von weniger als ca. 90 nm aufweisen. Die Gasabstandhalter 110 können eine dielektrische Konstante (z. B. einen k-Wert) von 1 oder nahe 1 aufweisen.

[0058] Die Gasabstandhalter 110 weisen einen niedrigen k-Wert von 1 oder nahe 1 auf, der geringer ist als der k-Wert der zweiten Gate-Abstandhalter 82 oder der dritten Gate-Abstandhalter 84, die aus Siliziumoxid, Siliziumnitrid, Siliziumoxycarbonitrid oder dergleichen gebildet werden können, wie oben erklärt. Das Ersetzen der dritten Gate-Abstandhalter 84 und der zweiten Gate-Abstandhalter 82 mit den Gasabstandhaltern 110 verringert den allgemeinen effektiven k-Wert der Abstandhalter (z. B. die Kombination der Gasabstandhalter 110 und der ersten Gate-Abstandhalter 80) und senkt die parasitische Kapazität in Vorrichtungen, die nach den oben beschriebenen Verfahren gebildet sind. Dies kann die Schaltungsgeschwindigkeit, Zuverlässigkeit und allgemeine Vorrichtungsleistung von Vorrichtungen, die nach den oben beschriebenen Verfahren gebildet sind, erhöhen.

[0059] Fig. 18E illustriert eine Querschnittsansicht parallel zu einer großen Fläche des Substrats 50. Wie in Fig. 18E illustriert, können Abschnitte der Gasabstandhalter 110 Abschnitte der ersten CESL

94 und des ersten ILD 96 umgeben. Die Gasabstandhalter 110 können durch die ersten Gate-Abstandhalter 80 umgeben sein. Die erste CESL 94 und das erste ILD 96 sind möglicherweise nicht zwischen aneinander angrenzenden epitaktischen Source-/Drain-Regionen 92 vorhanden, wie etwa unter verschmolzenen Abschnitten der epitaktischen Source-/Drain-Regionen 92.

[0060] Fig. 18E illustriert ferner, dass einige der Gateelektroden 104 geschnitten werden können. In einer Ausführungsform können Dummygates 72 und Masken 74 geätzt werden, nachdem die Prozesse, die bezüglich der Fig. 10A bis 10D erklärt sind, ausgeführt werden. Eine strukturierte Maske, wie etwa ein strukturiertes Photoresist, kann über den Strukturen gebildet sein, die in den Fig. 10A bis 10D illustriert sind. Der strukturierte Photoresist kann durch Abscheidung einer Photoresistschicht über der Struktur, die in den Fig. 10A bis 10D beschrieben ist, durch Spin-On-Beschichtung oder dergleichen gebildet werden. Die Photoresistschicht kann dann strukturiert werden, indem die Photoresistschicht einer strukturierten Energiequelle (z. B. einer strukturierten Lichtquelle) ausgesetzt wird und die Photoresistschicht entwickelt wird, um einen offengelegten oder nicht offengelegten Abschnitt der Photoresistschicht zu entfernen, wodurch die strukturierte Photoresist gebildet wird. Die Dummygates 72, die Masken 74, die ersten Gate-Abstandhalter 80, die zweiten Gate-Abstandhalter 82 und die dritten Gate-Abstandhalter 84 werden dann unter Verwendung eines geeigneten Ätzprozesses geätzt, wie etwa durch einen anisotropen Ätzprozess (z. B. einen Trockenätzprozess) oder dergleichen. Das erste ILD 96 kann in Ausschnitten abgeschieden werden, die durch Ätzen der Dummygates 72, der Masken 74, der ersten Gate-Abstandhalter 80, der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 unter Verwendung der bezüglich Fig. 12A bis 12D erklärten Prozesse hinterlassen werden. Die Dummygates 72 oder die Gateelektroden 104 können an jeder geeigneten Stelle oder mit jedem geeigneten Verfahren geschnitten werden, um die geschnittenen Gateelektroden 104 zu bilden, die in Fig. 18E illustriert sind.

[0061] In Fig. 19A bis 19D wird die erste Dielektrikumschicht 112 planarisiert und die Hartmaske 98 wird entfernt. Die erste Dielektrikumschicht 112 kann durch einen Prozess wie CMP planarisiert werden. Abschnitte der ersten Dielektrikumschicht 112, die über dem ersten ILD 96, der ersten CESL 94, den ersten Gate-Abstandhaltern 80, den Gatedielektrikumschichten 102 und den Gateelektroden 104 angeordnet sind, können entfernt werden, und nach der Planarisierung können obere Flächen der ersten Dielektrikumschicht 112 und der Gatestapel eben mit den oberen Flächen des ersten ILD 96 sein. Der Planarisierungsprozess kann ferner die Hartmaske 98

entfernen. Wie zuvor erklärt, kann die erste Dielektrikumschicht 112 in den Öffnungen, die durch Entfernen der zweiten Gate-Abstandhalter 82 und der dritten Gate-Abstandhalter 84 hinterlassen werden, mit einer größeren Tiefe angeordnet sein, als die Tiefe der Hartmaske 98, sodass die erste Dielektrikumschicht 112 nach Entfernen der Hartmaske 98 durch den Planarisierungsprozess zurückbleibt. Nach der Planarisierung kann die Höhe der Gatestapel von ca. 10 nm bis ca. 30 nm reichen. Wenn auch obere Flächen der ersten Dielektrikumschicht 112 als flach illustriert sind, können die oberen Flächen der ersten Dielektrikumschicht 112 nach dem Planarisierungsprozess gebogen sein. Beispielsweise können in einigen Ausführungsformen die oberen Flächen der ersten Dielektrikumschicht 112 konvex oder konkav sein.

[0062] In den Fig. 20A bis 20D wird ein zweites ILD 116 über dem ersten ILD 96, den Gateelektroden 104, den Gatedielektrikumschichten 102, der ersten CESL 94, der ersten Dielektrikumschicht 112 und den ersten Gate-Abstandhaltern 80 abgeschieden. In einigen Ausführungsformen ist das zweite ILD 116 ein fließfähiger Film, der durch ein fließfähiges CVD-Verfahren gebildet wird. Das zweite ILD 116 kann aus einem Dielektrikum gebildet werden, wie etwa PSG, BSG, BPSG, USG oder dergleichen, und kann durch jedes geeignete Verfahren abgeschieden werden, wie etwa CVD und PECVD. Nach einigen Ausführungsformen werden vor dem Bilden des zweiten ILD 116 die Gatestapel (einschließlich der Gatedielektrikumschichten 102 und der Gateelektroden 104) ausgeschnitten, sodass ein Ausschnitt direkt über den Gatestapeln und zwischen gegenüberliegenden abschnitten der ersten Gate-Abstandhalter 80 gebildet wird, wie illustriert in Fig. 20A und 20B. Eine Gatemaske 114, die eine oder mehrere Schichten von Dielektrikum umfasst, wie etwa Siliziumnitrid, Siliziumoxynitrid oder dergleichen, wird in den Ausschnitt gefüllt, gefolgt von einem Planarisierungsprozess zum Entfernen von überschüssigen Abschnitten des Dielektrikums, die sich über das erste ILD 96 erstrecken. Die nachfolgend gebildeten Gatekontakte (z. B. Gatekontakte 118, die nachfolgend mit Verweis auf die Fig. 21A bis 21D beschrieben sind) dringen durch die Gatemaske 114, um obere Flächen der ausgeschnittenen Gateelektroden 104 zu kontaktieren.

[0063] In den Fig. 21A bis 21D werden Gatekontakte 118 und Source/Drain-Kontakte 120 nach einigen Ausführungsformen durch das zweite ILD 116 und das erste ILD 96 gebildet. Öffnungen für die Source/Drain-Kontakte 120 werden durch das zweite ILD 116, das erste ILD 96 und die erste CESL 94 gebildet, und Öffnungen für die Gatekontakte 118 werden durch das zweite ILD 116 und die Gatemaske 114 gebildet. Die Öffnungen können unter Verwendung von annehmbaren Photolithographie- und Ätz-

techniken gebildet werden. Die Öffnungen können in einer kontrollierten Weise gebildet werden, um zu verhindern, dass der Gasabstandhalter 110 offengelegt wird. Eine Auskleidung, wie etwa eine Diffusionsbarriereschicht, eine Klebeschicht oder dergleichen und ein leitfähiges Material sind in den Öffnungen gebildet. Die Auskleidung kann Titan, Titannitrid, Tantal, Tantalnitrid oder dergleichen umfassen. Das leitfähige Material kann Kupfer, eine Kupferlegierung, Silber, Gold, Wolfram, Kobalt, Aluminium, Nickel oder dergleichen sein. Die Gatekontakte und die Source/Drain-Kontakte können durch einen Prozess wie physische Gasphasenabscheidung (PVD), CVD oder dergleichen abgeschieden werden. Ein Planarisierungsprozess, wie etwa ein CMP, kann durchgeführt werden, um überschüssiges Material von einer Fläche des zweiten ILD 116 zu entfernen. Die verbleibende Auskleidung und das leitfähige Material bilden die Source/Drain-Kontakte 120 und die Gatekontakte 118 in den Öffnungen. Ein Temperprozess kann durchgeführt werden, um ein Silizid an der Schnittstelle zwischen den epitaktischen Source-/Drainkontakten 92 und den Source-/Drainregionen 120 zu bilden. Die Source/Drain-Kontakte 120 sind physisch und elektrisch mit den epitaktischen Source-/Drain-Regionen 92 gekoppelt und die Gatekontakte 118 sind physisch und elektrisch mit den Gateelektroden 104 gekoppelt. Die Source/Drain-Kontakte 120 und die Gatekontakte 118 können in verschiedenen Prozessen gebildet werden oder können in demselben Prozess gebildet werden. Auch, wenn sie in denselben Querschnitten gezeigt werden, sollte beachtet werden, dass jeder der Source/Drain-Kontakte 120 und der Gatekontakte 118 in unterschiedlichen Querschnitten gebildet werden können, was Kurzschlüsse zwischen den Kontakten verhindern kann.

[0064] Wie oben erklärt, verringert das Bilden der Gasabstandhalter 110 die effektive dielektrische Konstante der Abstandhalter, die in der Struktur dieser Anmeldung verwendet werden. Dies verringert die parasitische Kapazität, was die Schaltungsgeschwindigkeit, Zuverlässigkeit und allgemeine Vorrichtungsleistung von Vorrichtungen, die nach den oben beschriebenen Verfahren gebildet sind, erhöht. Weiterhin verbessert das Verwenden des Ätzprozesses mit geringer Temperatur zum Bilden der Gasabstandhalter 110 die Ätzselektivität des Ätzprozesses, was erlaubt, dass die zweiten Gate-Abstandhalter 82 und die drittem Gate-Abstandhalter 84 entfernt werden, ohne andere Strukturen zu entfernen oder zu beschädigen. Dies verringert Vorrichtungsmängel und verbessert die Vorrichtungsleistung von Vorrichtungen, die nach den oben beschriebenen Verfahren gebildet sind, erhöhen.

[0065] Nach einer Ausführungsform umfasst ein Verfahren das Bilden eines Gatestapels über einem Substrat; das Bilden eines ersten Gateabstandhal-

ters an Seitenwänden des Gatestapels; das Bilden eines zweiten Gateabstandhalters an Seitenwänden des ersten Gateabstandhalters; das Entfernen des zweiten Gateabstandhalters unter Verwendung eines Ätzprozesses zum Bilden einer ersten Öffnung, wobei der erste Ätzprozess bei einer Temperatur von weniger als 0 °C ausgeführt wird, und der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff umfasst; und das Abscheiden einer Dielektrikumschicht über dem ersten Gateabstandhalters und dem Gatestapel, wobei die Dielektrikumschicht einen Gateabstandhalter in der ersten Öffnung abdichtet. In einer Ausführungsform umfasst die Ätzlösung ferner einen Katalysator, wobei der Katalysator Wasser umfasst. In einer Ausführungsform liegt eine Strömungsrate des Fluorwasserstoffs in der Ätzlösung zwischen 50 SCCM und 700 SCCM und eine Strömungsrate des Wassers in der Ätzlösung liegt zwischen 300 MGM und 1800 MGM. In einer Ausführungsform umfasst die Ätzlösung ferner einen Katalysator, wobei der Katalysator Ethanol umfasst. In einer Ausführungsform liegt eine Strömungsrate des Fluorwasserstoffs in der Ätzlösung zwischen 50 SCCM und 700 SCCM und eine Strömungsrate des Ethanols in der Ätzlösung liegt zwischen 100 SCCM und 800 SCCM. In einer Ausführungsform umfasst der Ätzprozess von einem bis drei Ätzzyklen, und jeder der Ätzzyklen wird von einem Spülen gefolgt. In einer Ausführungsform während des Ätzprozesses wird ein fester Ätzfilm auf Flächen des Gatestapels und des ersten Gateabstandhalters gebildet, und ein flüssiger Ätzfilm wird auf Flächen des zweiten Gateabstandhalters gebildet.

[0066] Nach einer anderen Ausführungsform umfasst ein Verfahren des Bilden eines Gatestapels über einem Halbleitersubstrat; das Bilden eines ersten Gateabstandhalters an Seitenwänden des Gatestapels; das Bilden eines zweiten Gateabstandhalters und Seitenwänden des ersten Gateabstandhalters; das epitaktische Aufbauen von Source-/Drain-Regionen an gegenüberliegenden Seiten des Gatestapels; das Entfernen des zweiten Gateabstandhalters unter Verwendung eines Ätzprozesses, das Entfernen des zweiten Gateabstandhalters zum Bilden der ersten Öffnungen, das Bilden eines festen Ätzfilms während des Ätzprozesses auf Flächen des Gatestapels, des ersten Gateabstandhalters und der Source-/Drain-Regionen und das Bilden eines flüssigen Ätzfilms auf Flächen des zweiten Gateabstandhalters; und Abscheiden einer ersten Dielektrikumschicht, die die ersten Öffnungen abdichtet und einen Gasabstandhalter an Seitenwänden des ersten Gateabstandhalters definiert. In einer Ausführungsform umfasst der zweite Gateabstandhalter eine Siliziumoxidschicht und eine Siliziumnitridschicht und der erste Gateabstandhalter umfasst Siliziumcarbonitrid. In einer Ausführungsform umfasst der Gatestapel eine zweite Dielektrikumschicht und ein Metallgate, das über der zweiten Dielektrikum-

schicht liegt, und der zweite Gateabstandhalter wird nach dem Bilden des Gatestapels entfernt. In einer Ausführungsform verwendet der Ätzprozess eine Ätzlösung, die Fluorwasserstoff und Ethanol enthält. In einer Ausführungsform verwendet der Ätzprozess eine Ätzlösung, die Fluorwasserstoff und Wasser enthält. In einer Ausführungsform erfolgt der Ätzprozess bei einer Temperatur von minus 30 °C bis 0 °C.

[0067] Nach noch einer weiteren Ausführungsform umfasst ein Verfahren des Herstellens einer Halbleitervorrichtung das Bilden eines Dummygates über einem Halbleitersubstrat; das Abscheiden einer ersten Abstandhalterschicht über dem Dummygate; das Abscheiden einer zweiten Abstandhalterschicht über der ersten Abstandhalterschicht; das Abscheiden einer dritten Abstandhalterschicht über der zweiten Abstandhalterschicht; das Strukturieren der ersten Abstandhalterschicht, der zweiten Abstandhalterschicht und der dritten Abstandhalterschicht zum Bilden eines ersten Gateabstandhalters, eines zweiten Gateabstandhalters bzw. eines dritten Gateabstandhalters; das epitaktische Aufbauen von Source-/Drain-Regionen an gegenüberliegenden Seiten des Dummygates, die an den dritten Gate-Abstandhalter angrenzen; das Ersetzen des Dummygates durch ein Metallgate; und nach dem Ersetzen des Dummygates, das Entfernen des zweiten Gateabstandhalters und des dritten Gateabstandhalters unter Verwendung eines Ätzprozesses mit einer Temperatur unter 0 °C, wobei das Entfernen des zweiten Gateabstandhalters und des dritten Gateabstandhalters einen Leerraum bildet, der Flächen des ersten Gateabstandhalters und der Source-/Drain-Regionen offenlegt. In einer Ausführungsform umfasst das Verfahren ferner das Bilden eines Zwischenschichtdielektrikums über den Source-/Drain-Regionen und dem Dummygate; das Planarisieren des Zwischenschichtdielektrikums und des Dummygates; das Zurückätzen des Zwischenschichtdielektrikums zum Bilden einer ersten Öffnung; und das Füllen der ersten Öffnung mit einer Hartmaske, wobei das Entfernen des zweiten Gateabstandhalters und des dritten Gateabstandhalters nach dem Füllen der ersten Öffnung erfolgt. In einer Ausführungsform umfasst das Verfahren ferner das Bilden einer Dielektrikumschicht über der Hartmaske, dem Metallgate, dem Leerraum, wobei die Dielektrikumschicht den Leerraum abdichtet, um einen Luftabstandhalter an den ersten Gateabstandhalter angrenzend zu bilden. In einer Ausführungsform erstrecken sich Abschnitte des Luftabstandhalters unter Abschnitte der Source-/Drain-Regionen in einer Richtung rechtwinklig zu einer großen Fläche des Halbleitersubstrats. In einer Ausführungsform umfasst das Verfahren ferner das Durchführen eines zweiten Planarisierens zum Planarisieren der Dielektrikumschicht, des Zwischenschichtdielektrikums, des ersten Gateabstandhalters und des Metallgates, und das Entfernen der Hartmaske,

wobei das Metallgate vor der zweiten Planarisierung eine Gatehöhe von 10 nm bis 60 nm aufweist, und das Metallgate nach der zweiten Planarisierung eine Gatehöhe von 10 nm bis 30 nm aufweist. In einer Ausführungsform verwendet der Ätzprozess eine Ätzlösung, die Fluorwasserstoff und Wasser enthält. In einer Ausführungsform verwendet der Ätzprozess eine Ätzlösung, die Fluorwasserstoff und Ethanol enthält.

Patentansprüche

1. Verfahren, umfassend:
Bilden eines Gatestapels (76, 102, 104) über einem Substrat (50);
Bilden eines ersten Gateabstandhalters (80) an Seitenwänden des Gatestapels (76, 102, 104);
Bilden eines zweiten Gateabstandhalters (82, 84) an Seitenwänden des ersten Gateabstandhalters (80);
Entfernen des zweiten Gateabstandhalters (82, 84) unter Verwendung eines Ätzprozesses zum Bilden einer ersten Öffnung, wobei der Ätzprozess bei einer Temperatur von weniger als 0 °C ausgeführt wird, wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff umfasst; und
Abscheiden einer Dielektrikumschicht (112) über dem ersten Gateabstandhalter (80) und dem Gatestapel (76, 102, 104), wobei die Dielektrikumschicht (112) einen Gasabstandhalter (110) in der ersten Öffnung abdichtet.
2. Verfahren aus Anspruch 1, wobei die Ätzlösung ferner einen Katalysator umfasst, wobei der Katalysator Wasser umfasst.
3. Verfahren aus Anspruch 2, wobei eine Strömungsrate des Fluorwasserstoffs in der Ätzlösung zwischen 50 SCCM und 700 SCCM liegt und wobei eine Strömungsrate des Wassers in der Ätzlösung zwischen 300 MGM und 1800 MGM liegt.
4. Verfahren aus Anspruch 1, wobei die Ätzlösung ferner einen Katalysator umfasst, wobei der Katalysator Ethanol umfasst.
5. Verfahren aus Anspruch 4, wobei eine Strömungsrate des Fluorwasserstoffs in der Ätzlösung zwischen 50 SCCM und 700 SCCM liegt und wobei eine Strömungsrate des Ethanols in der Ätzlösung zwischen 100 SCCM und 800 SCCM liegt.
6. Verfahren nach einem der vorhergehenden Ansprüche, wobei der Ätzprozess von einem bis drei Ätzzyklen umfasst, und wobei jedem der Ätzzyklen ein Spülen folgt.
7. Verfahren nach einem der vorhergehenden Ansprüche, wobei während des Ätzprozesses ein fester Ätzfilm auf Flächen des Gatestapels (76, 102, 104) und des ersten Gateabstandhalters (80)

gebildet wird und ein flüssiger Ätzfilm auf Flächen des zweiten Gateabstandhalters (82, 84) gebildet wird.

8. Verfahren, umfassend:
Bilden eines Gatestapels (76, 102, 104) über einem Halbleitersubstrat (50);
Bilden eines ersten Gateabstandhalters (80) an Seitenwänden des Gatestapels (76, 102, 104);
Bilden eines zweiten Gateabstandhalters (82, 84) an Seitenwänden des ersten Gateabstandhalters (80);
epitaktisches Aufbauen von Source-/Drain-Regionen (92) an entgegengesetzten Seiten des Gatestapels (76, 102, 104);
Entfernen des zweiten Gateabstandhalters (82, 84) unter Verwendung eines Ätzprozesses, wobei das Entfernen des zweiten Gateabstandhalters (82, 84) erste Öffnungen bildet, und wobei während des Ätzprozesses ein fester Ätzfilm auf Flächen des Gatestapels (76, 102, 104), des ersten Gateabstandhalters (80) und der Source-/Drain-Regionen (92) gebildet wird, und ein flüssiger Ätzfilm auf Flächen des zweiten Gateabstandhalters (82, 84) gebildet wird; und
Abscheiden einer ersten Dielektrikumschicht (112), die die ersten Öffnungen abdichtet und einen Gasabstandhalter (110) an Seitenwänden des ersten Gateabstandhalters (80) definiert.
9. Verfahren aus Anspruch 8, wobei der zweite Gateabstandhalter (82, 84) eine Siliziumoxidschicht und eine Siliziumnitridschicht umfasst, und wobei der erste Gateabstandhalter (80) Siliziumcarbonitrid umfasst.
10. Verfahren aus Anspruch 8 oder 9, wobei der Gatestapel eine zweite Dielektrikumschicht (102) und ein Metallgate (104) umfasst, das über der zweiten Dielektrikumschicht (102) liegt, und wobei der zweite Gateabstandhalter (82, 84) nach dem Bilden des Gatestapels entfernt wird.
11. Verfahren nach einem der Ansprüche 8 bis 10, wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff und Ethanol umfasst.
12. Verfahren nach einem der Ansprüche 8 bis 10, wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff und Wasser umfasst.
13. Verfahren nach einem der Ansprüche 8 bis 12, wobei der Ätzprozess mit einer Temperatur von minus 30 °C bis 0 °C ausgeführt wird.
14. Verfahren zum Herstellen einer Halbleitervorrichtung, das Verfahren umfassend:
Bilden eines Dummygates (76) über einem Halbleitersubstrat (50);
Abscheiden einer ersten Abstandhalterschicht (80) über dem Dummygate (76);

Abscheiden einer zweiten Abstandhalterschicht (82) über der ersten Abstandhalterschicht (80);
 Abscheiden einer dritten Abstandhalterschicht (84) über der zweiten Abstandhalterschicht (82);
 Strukturieren der ersten Abstandhalterschicht (80), der zweiten Abstandhalterschicht (82) und der dritten Abstandhalterschicht (84) zum Bilden eines ersten Gateabstandhalters (80), eines zweiten Gateabstandhalters (82) und eines dritten Gateabstandhalters (84);
 epitaktisches Aufbauen von Source-/Drain-Regionen (92) an entgegengesetzten Seiten des Dummygates (76), benachbart zu dem dritten Gateabstandhalter (84);
 Ersetzen des Dummygates (76) durch ein Metallgate (104); und
 nach dem Ersetzen des Dummygates (76), Entfernen des zweiten Gateabstandhalters (82) und des dritten Gateabstandhalters (84) unter Verwendung eines Ätzprozesses mit einer Temperatur unter 0 °C, wobei das Entfernen des zweiten Gateabstandhalters (82) und des dritten Gateabstandhalters (84) eine Öffnung bildet, die Flächen des ersten Gateabstandhalters (80) und der Source-/Drain-Regionen (92) offenlegt;
 wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff umfasst; oder
 wobei während des Ätzprozesses ein fester Ätzfilm (106) auf Flächen des Metallgates (104) und des ersten Gateabstandhalters (80) gebildet wird und ein flüssiger Ätzfilm (108) auf Flächen des zweiten Gateabstandhalters (84) und des dritten Gateabstandhalters (84) gebildet wird.

15. Verfahren aus Anspruch 14, ferner umfassend:
 Bilden eines Zwischenschichtdielektrikums (96) über den Source-/Drain-Regionen (92) und dem Dummygate (76);
 Planarisieren des Zwischenschichtdielektrikums (96) und des Dummygates (76);
 Zurückätzen des Zwischenschichtdielektrikums (96) zum Bilden einer ersten Öffnung; und
 Füllen der ersten Öffnung mit einer Hartmaske (98), wobei das Entfernen des zweiten Gateabstandhalters (82) und des dritten Gateabstandhalters (84) nach dem Füllen der ersten Öffnung erfolgt.

16. Verfahren aus Anspruch 15, ferner umfassend das Bilden einer Dielektrikumschicht (112) über der Hartmaske (98), dem Metallgate (104) und der Öffnung, wobei die Dielektrikumschicht (112) die Öffnung abdichtet, um einen Luftabstandhalter (110) benachbart zu dem ersten Gateabstandhalter (80) zu bilden.

17. Verfahren aus Anspruch 16, wobei sich Abschnitte des Luftabstandhalters (110) unter Abschnitte der Source-/Drain-Regionen (92) in

einer Richtung rechtwinklig zu einer großen Fläche (E') des Halbleitersubstrats (50) erstrecken.

18. Verfahren aus Anspruch 16 oder 17, ferner umfassend das Ausführen eines zweiten Planarisierens, das die Dielektrikumschicht (112), das Zwischenschichtdielektrikum (96), den ersten Gateabstandhalter (80) und das Metallgate (104) planarisiert und die Hartmaske (98) entfernt, wobei das Metallgate (104) vor dem zweiten Planarisieren eine Gatehöhe von 10 nm bis 60 nm aufweist, und wobei das Metallgate (104) nach dem zweiten Planarisieren eine Gatehöhe von 10 nm bis 30 nm aufweist.

19. Verfahren nach einem der Ansprüche 14 bis 18, wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff und Wasser umfasst.

20. Verfahren nach einem der Ansprüche 14 bis 19, wobei der Ätzprozess eine Ätzlösung verwendet, die Fluorwasserstoff und Ethanol umfasst.

Es folgen 38 Seiten Zeichnungen

Anhängende Zeichnungen

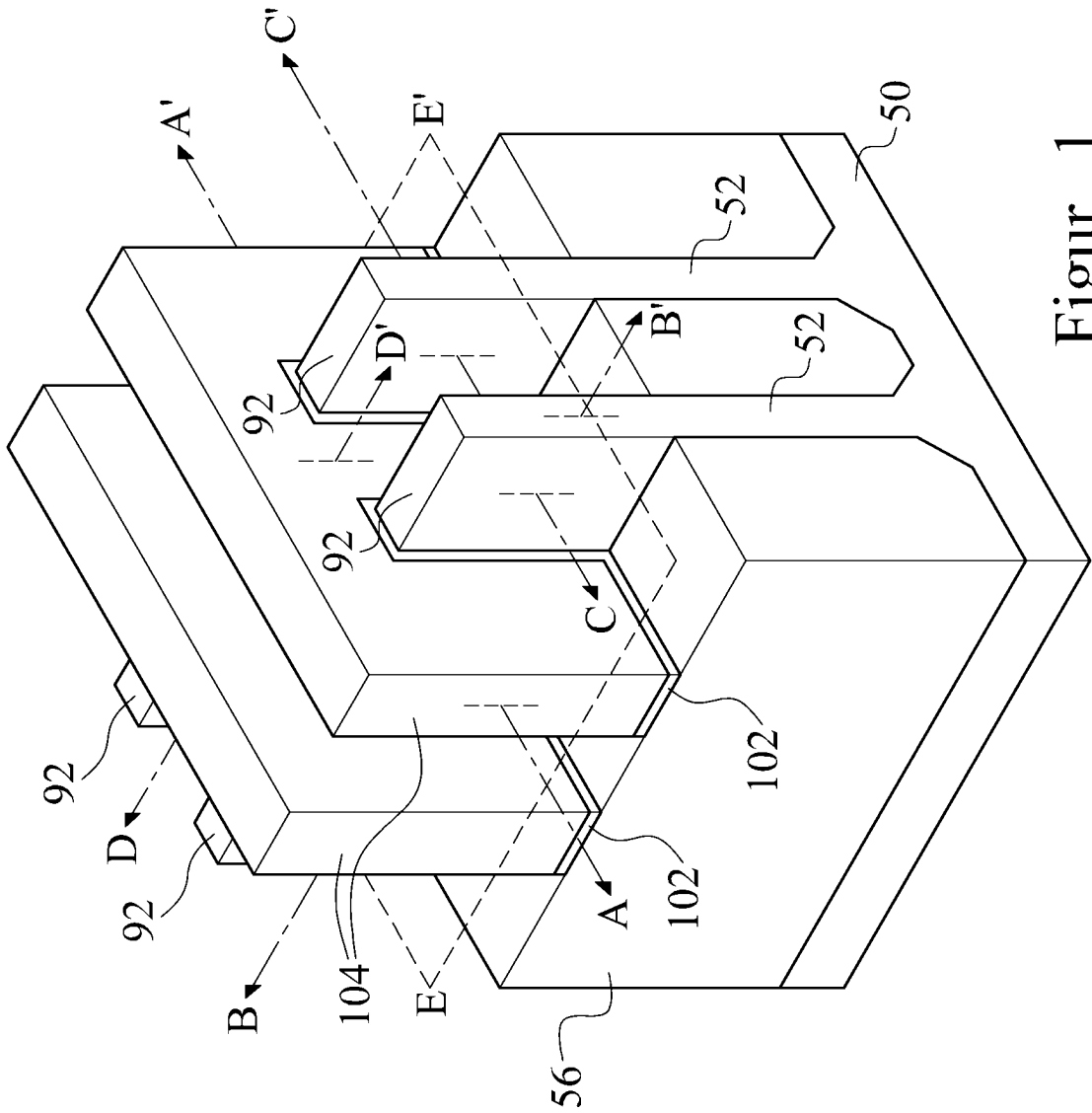
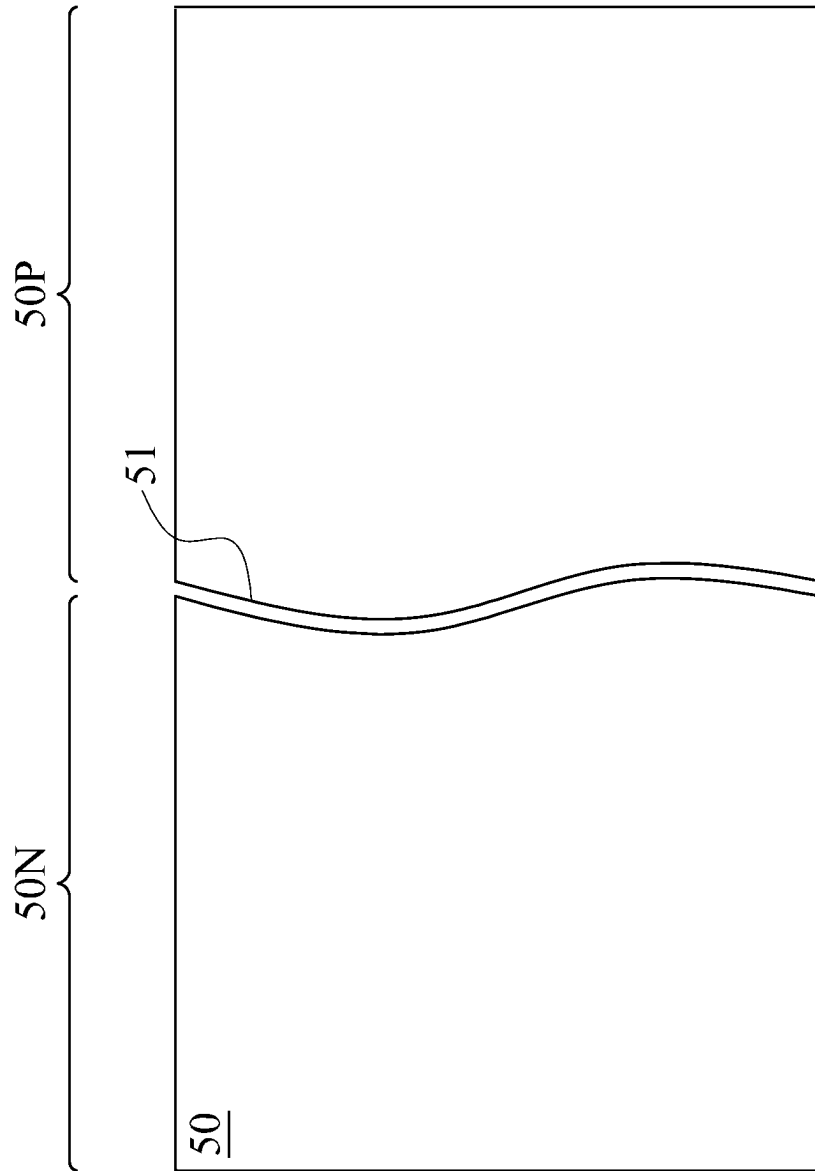
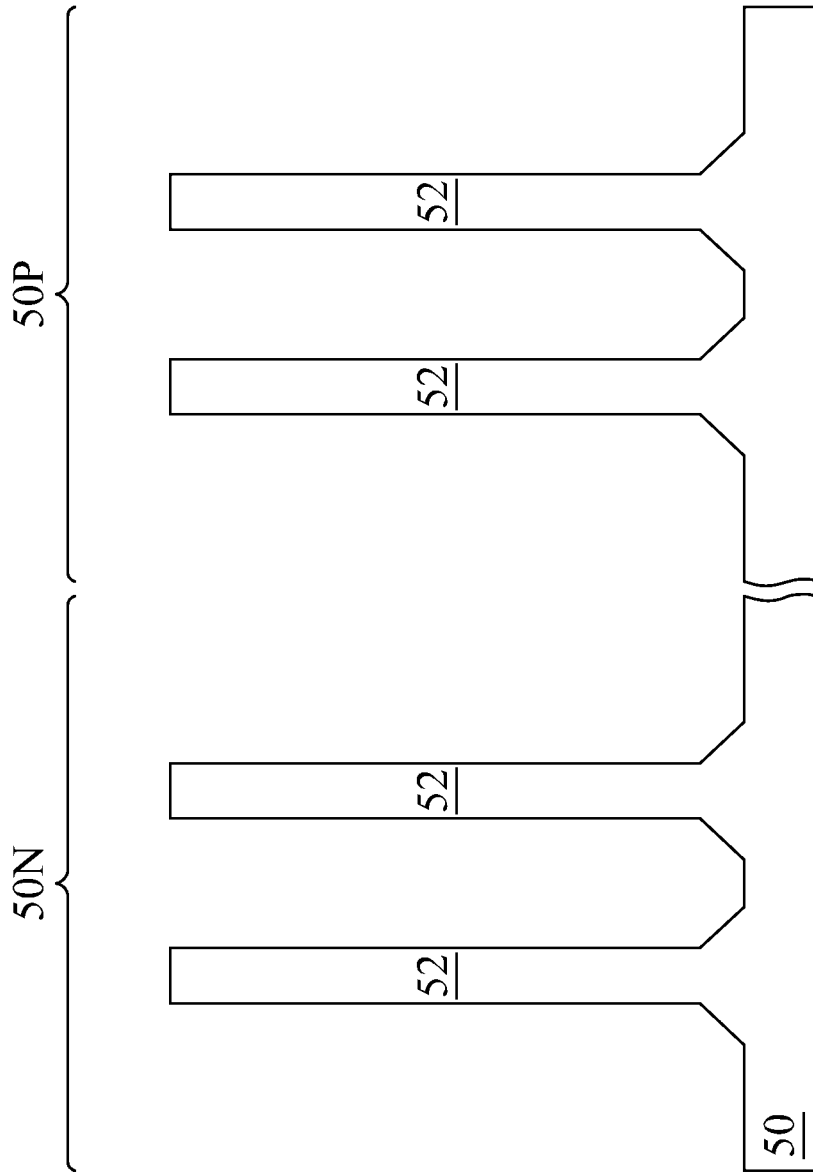


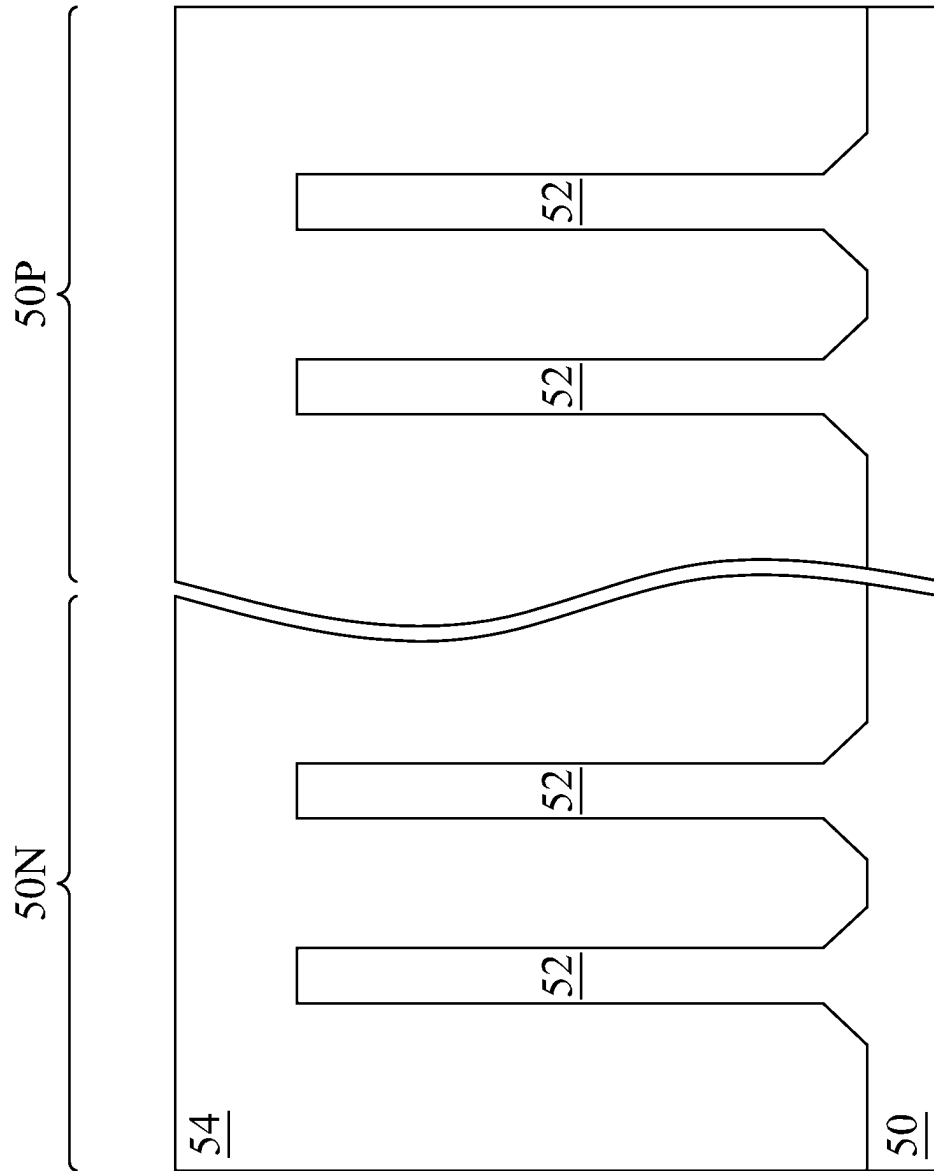
Figure 1



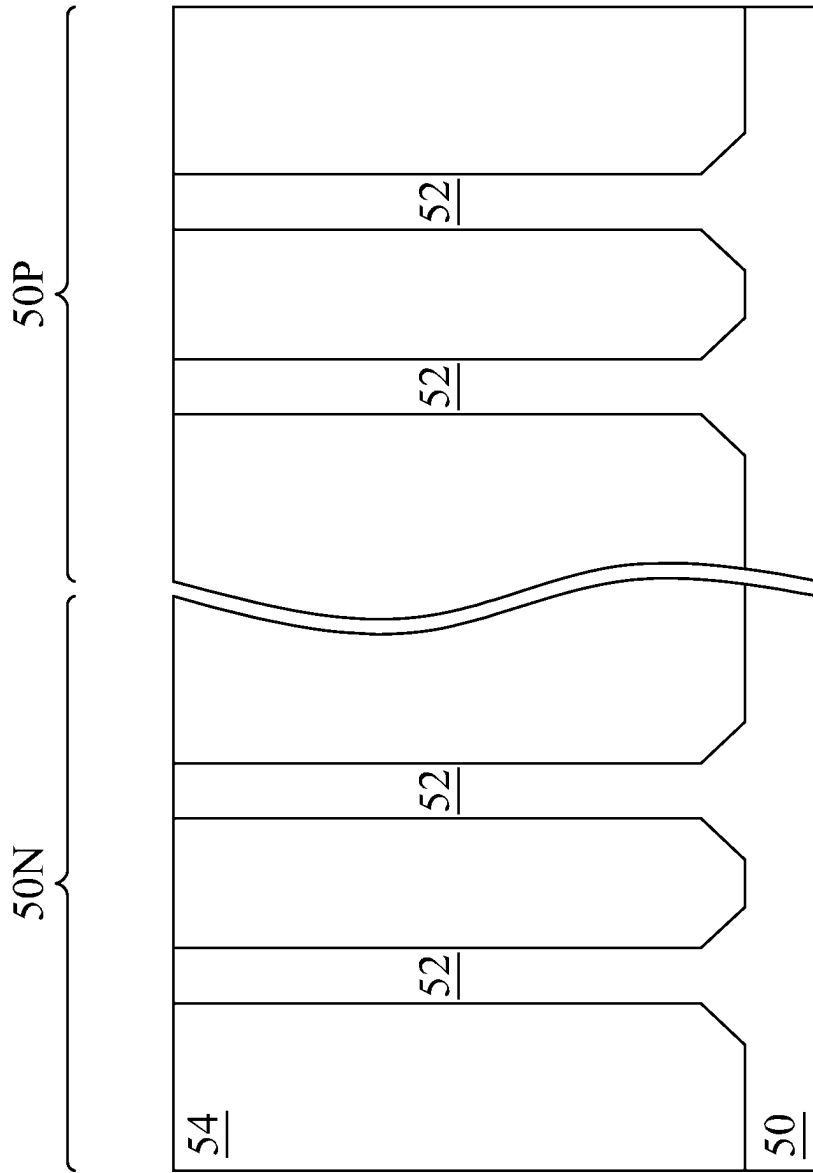
Figur 2



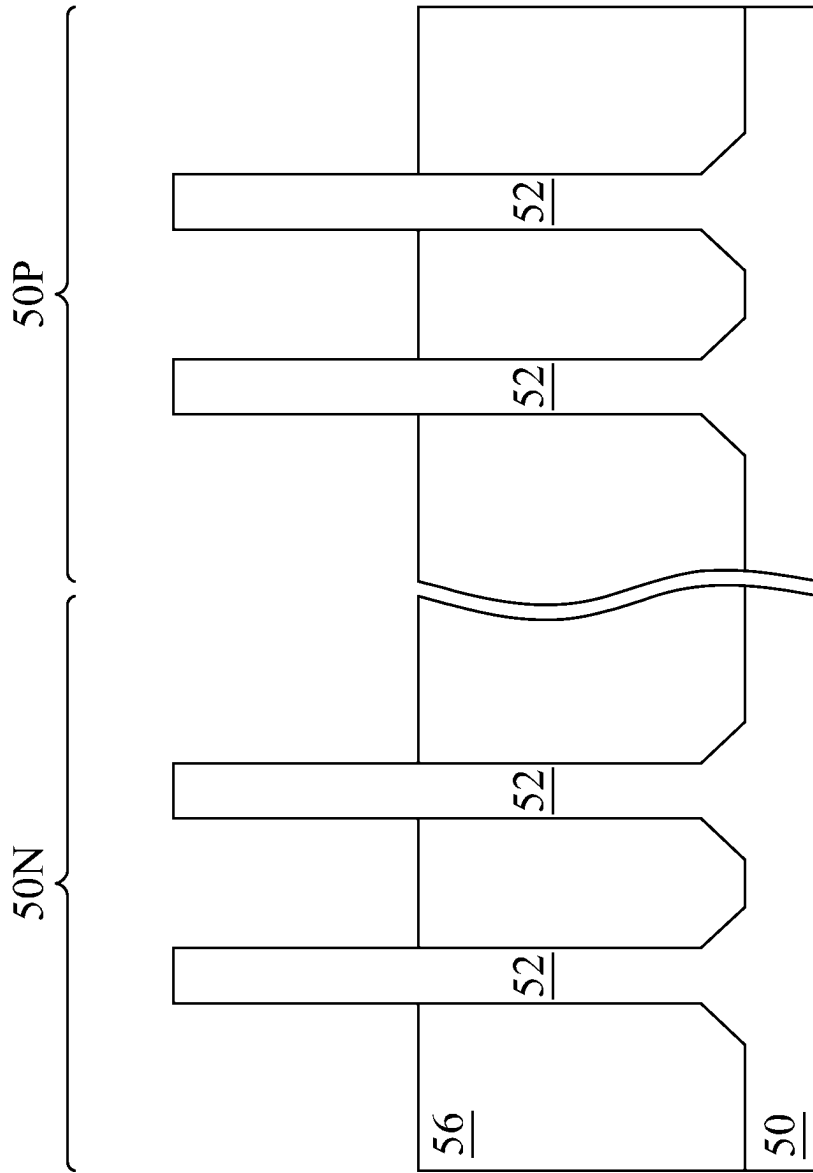
Figur 3



Figur 4



Figur 5



Figur 6

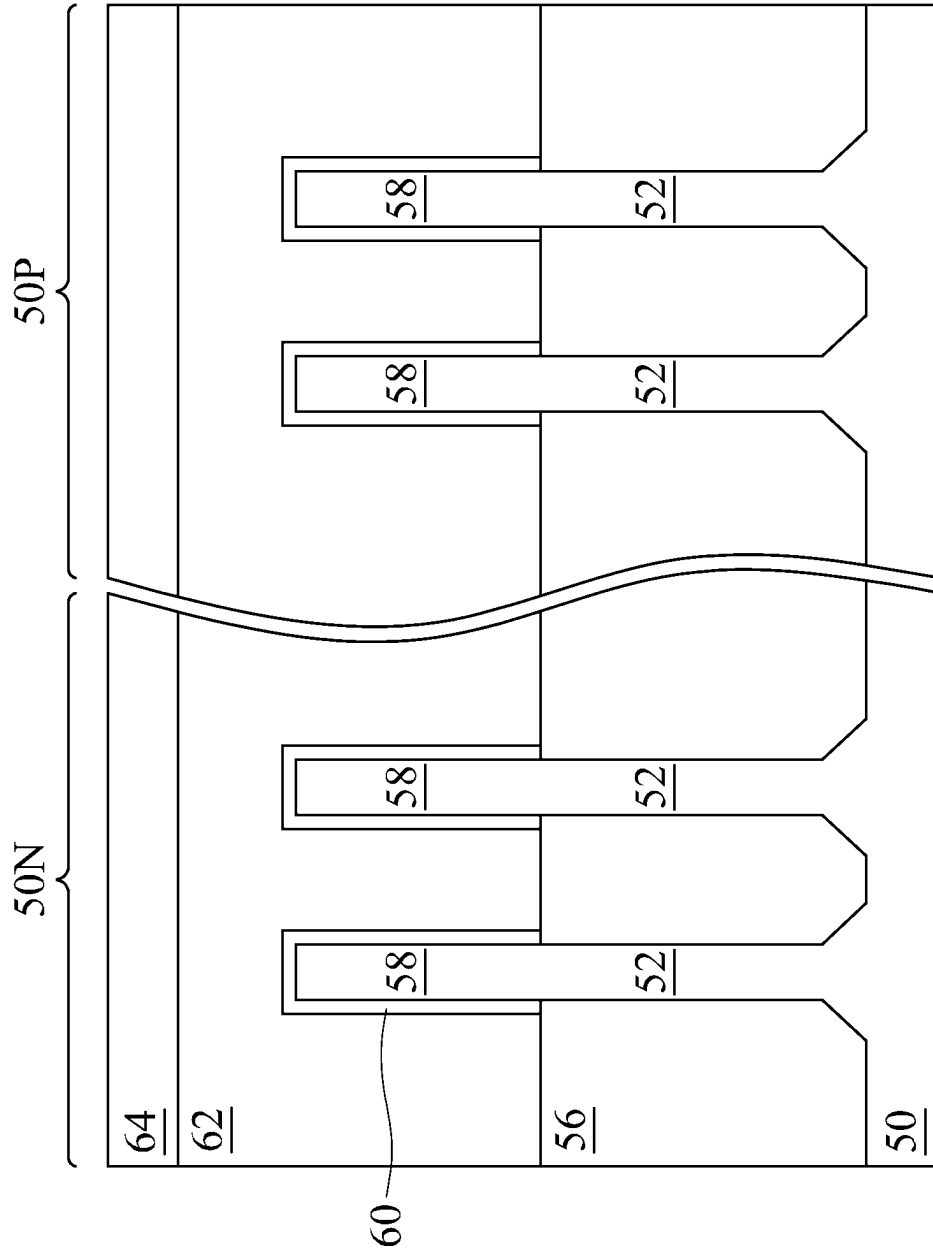
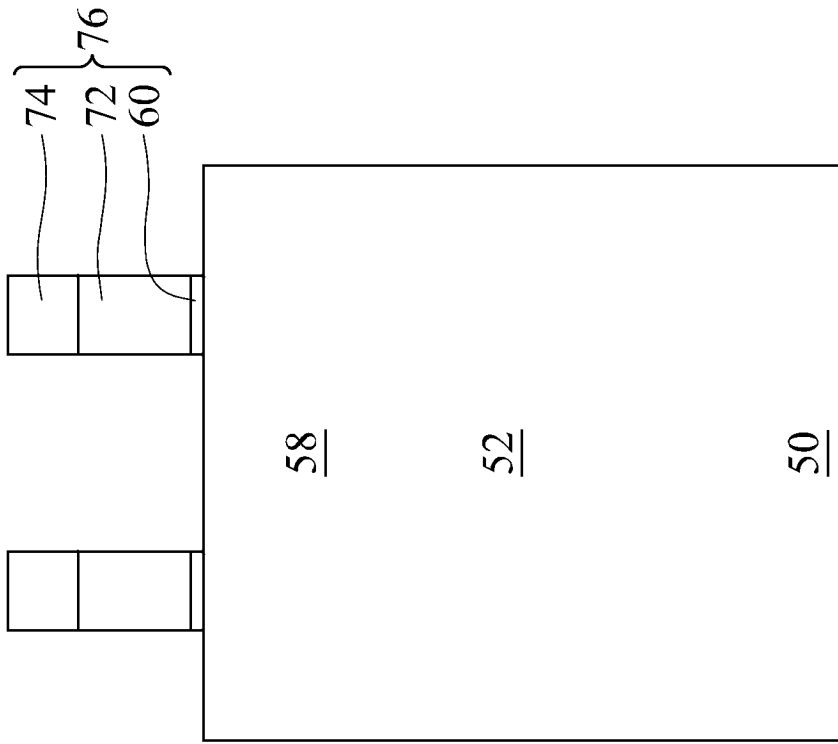
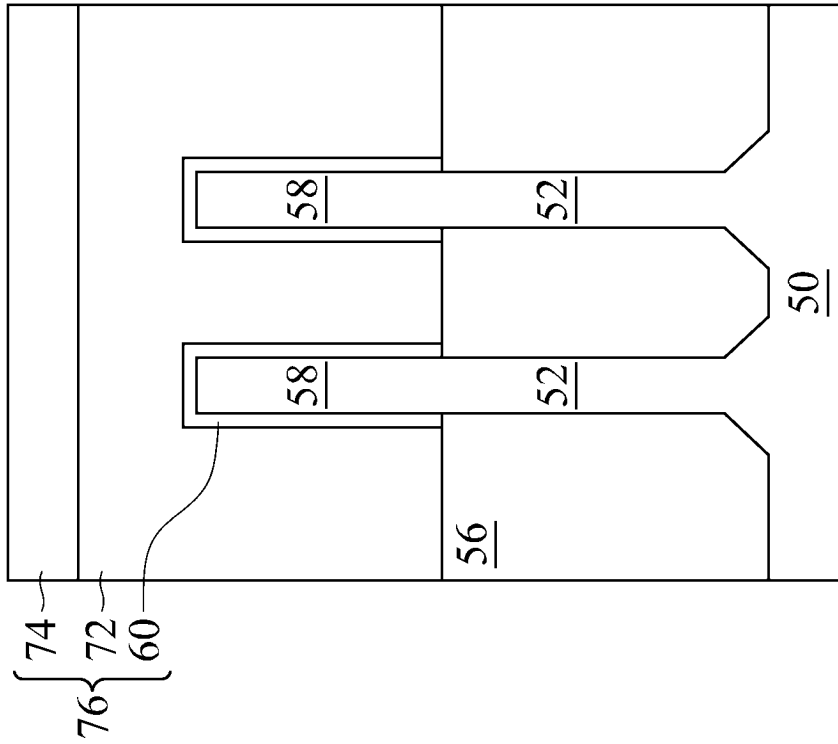


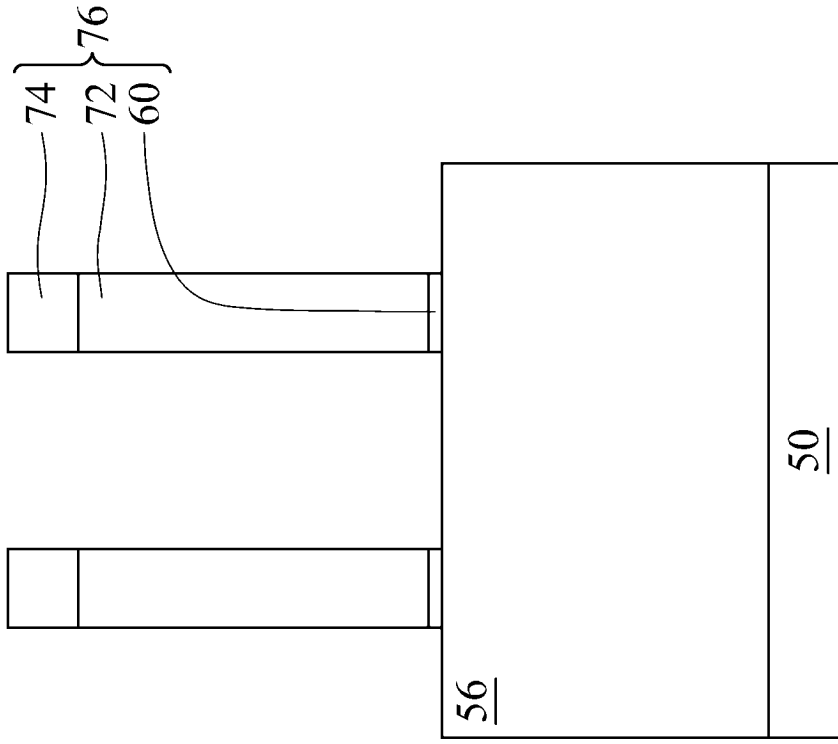
Figure 7



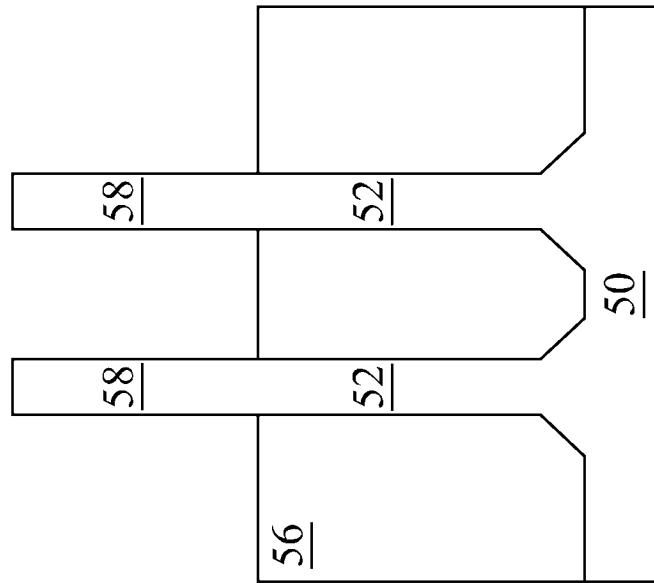
Figur 8B



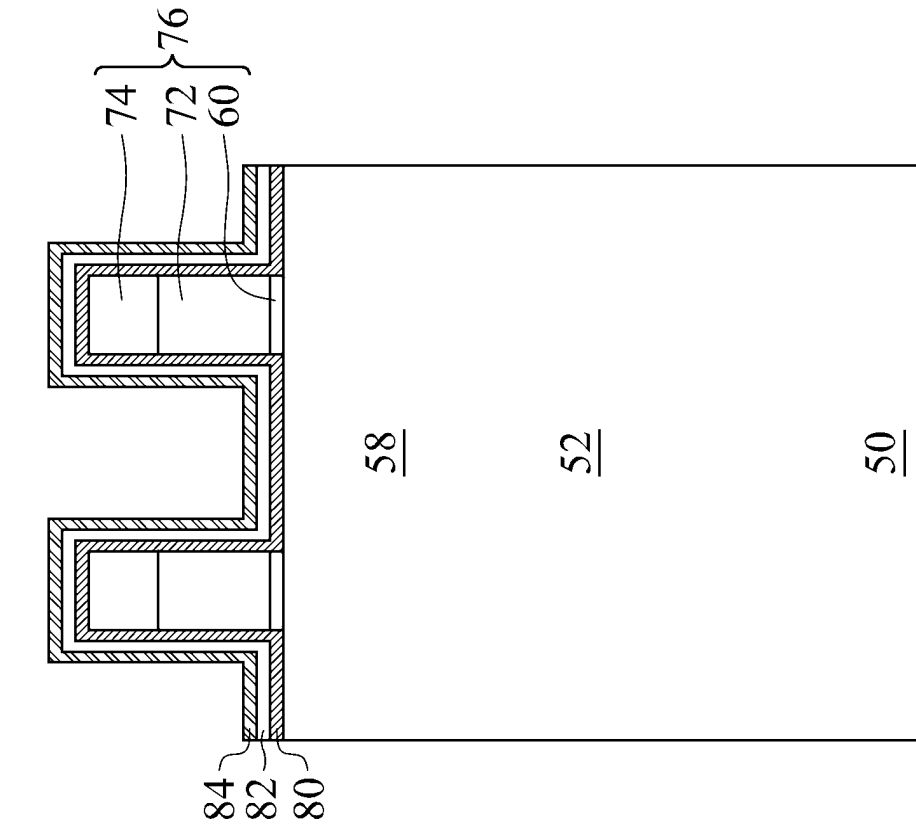
Figur 8A



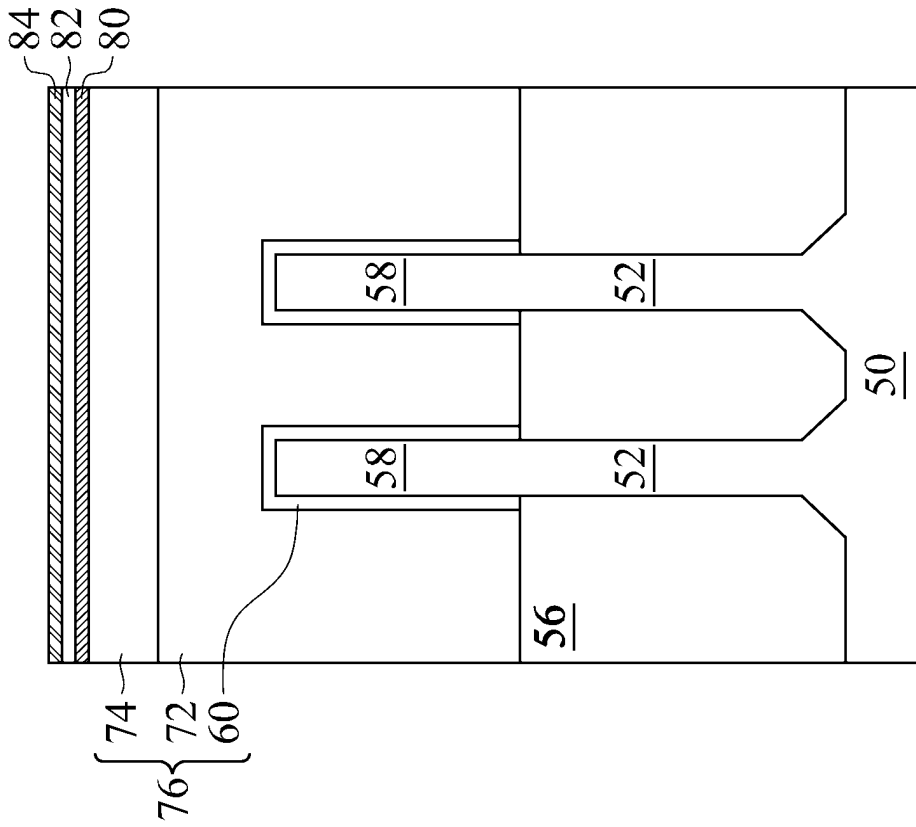
Figur 8D



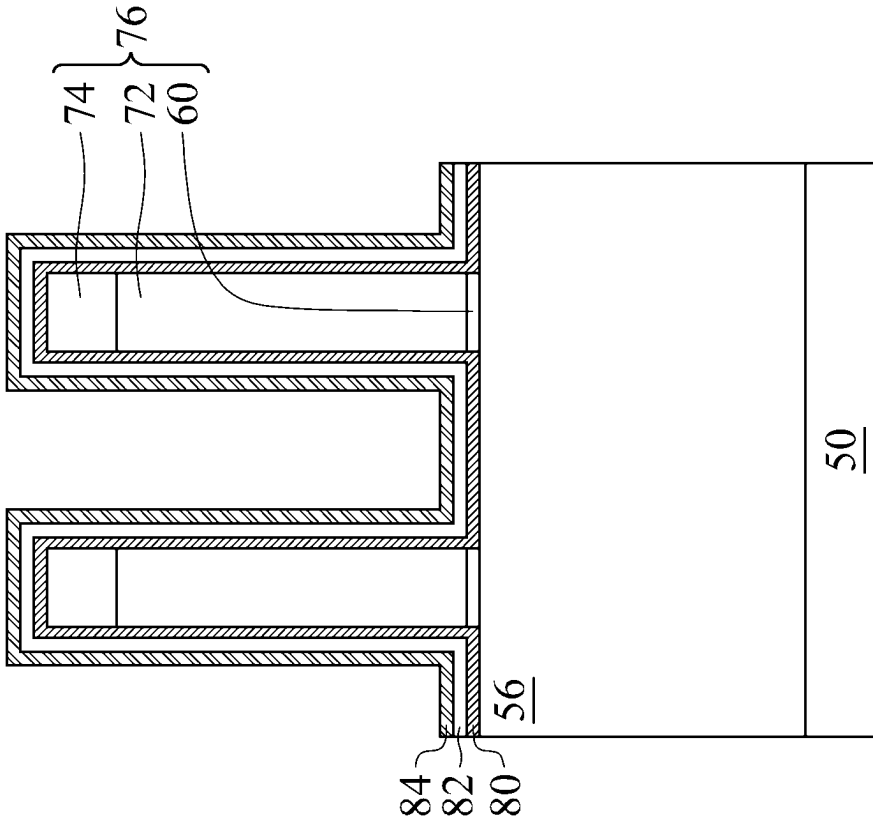
Figur 8C



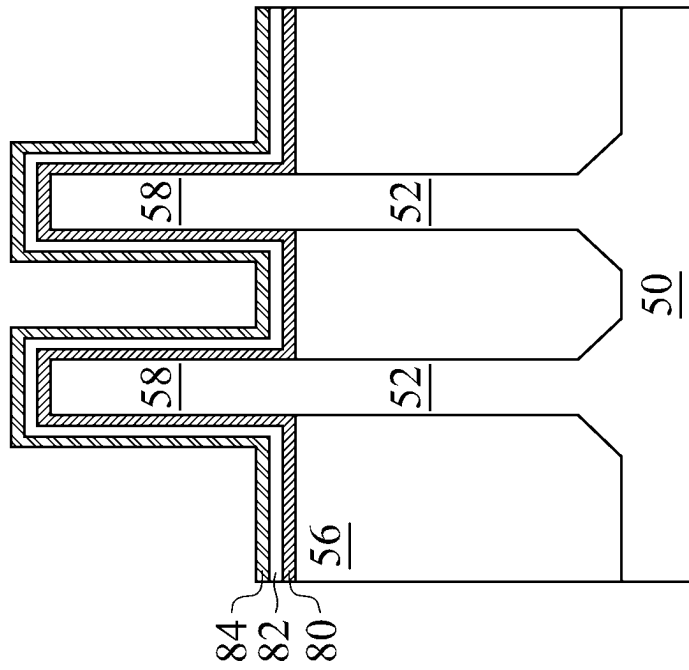
Figur 9B



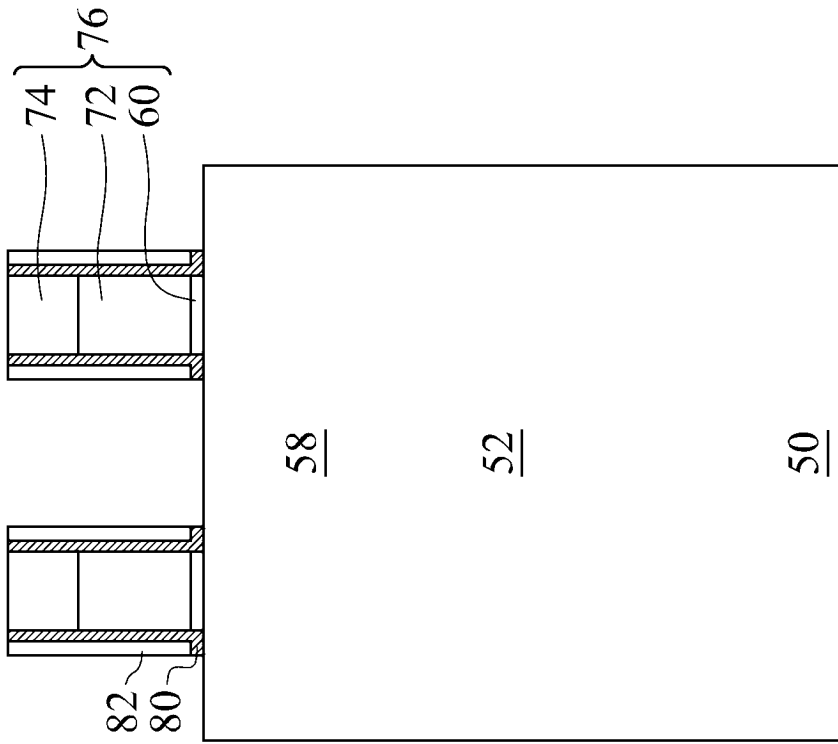
Figur 9A



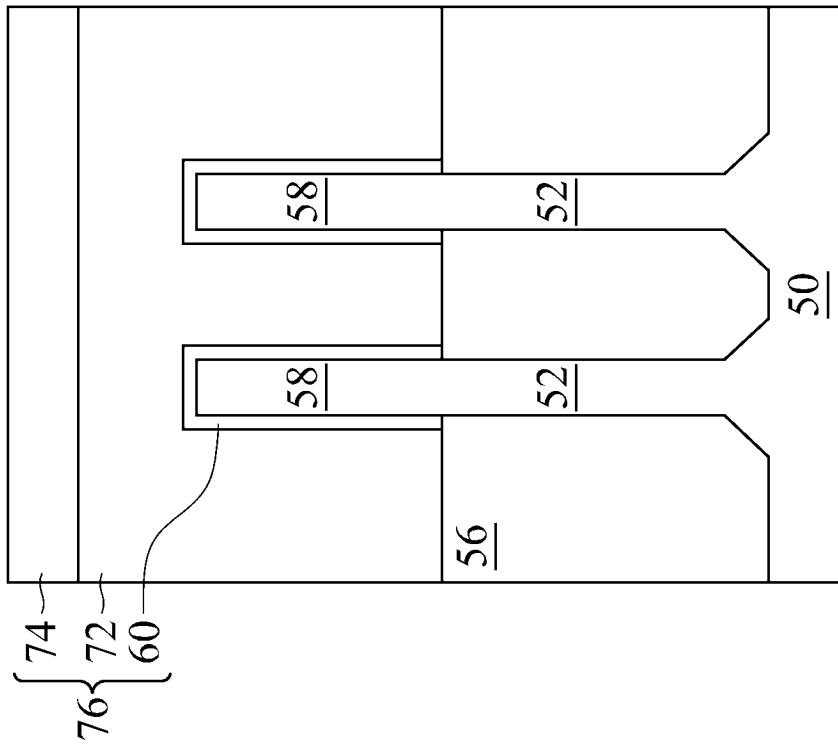
Figur 9D



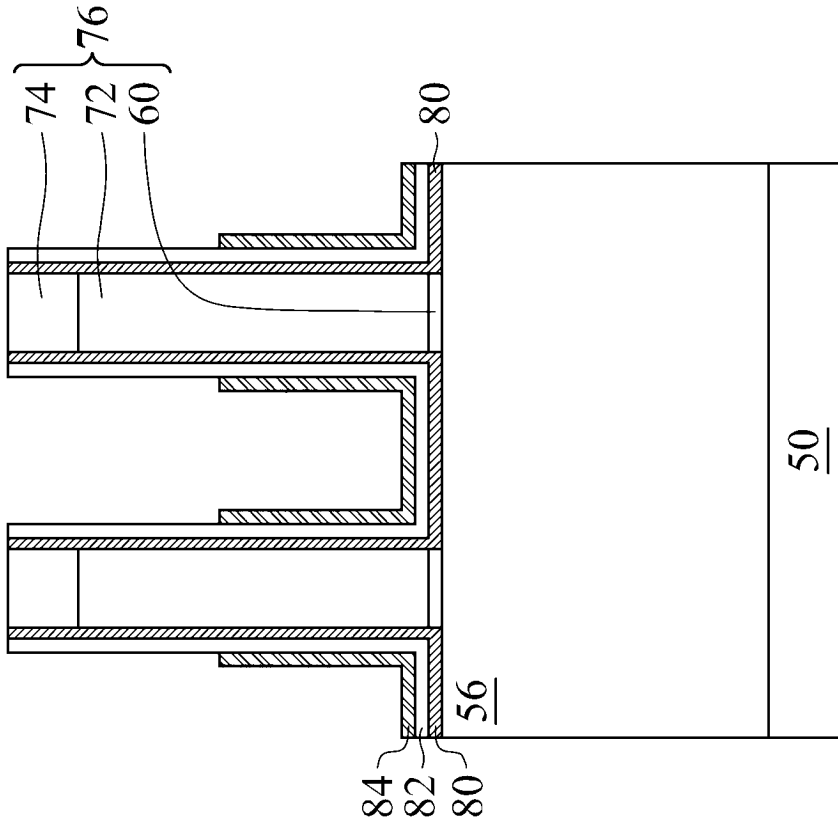
Figur 9C



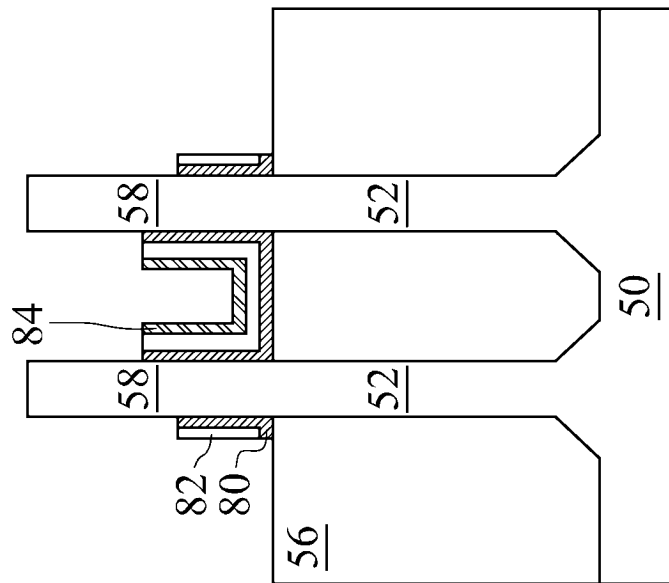
Figur 10A



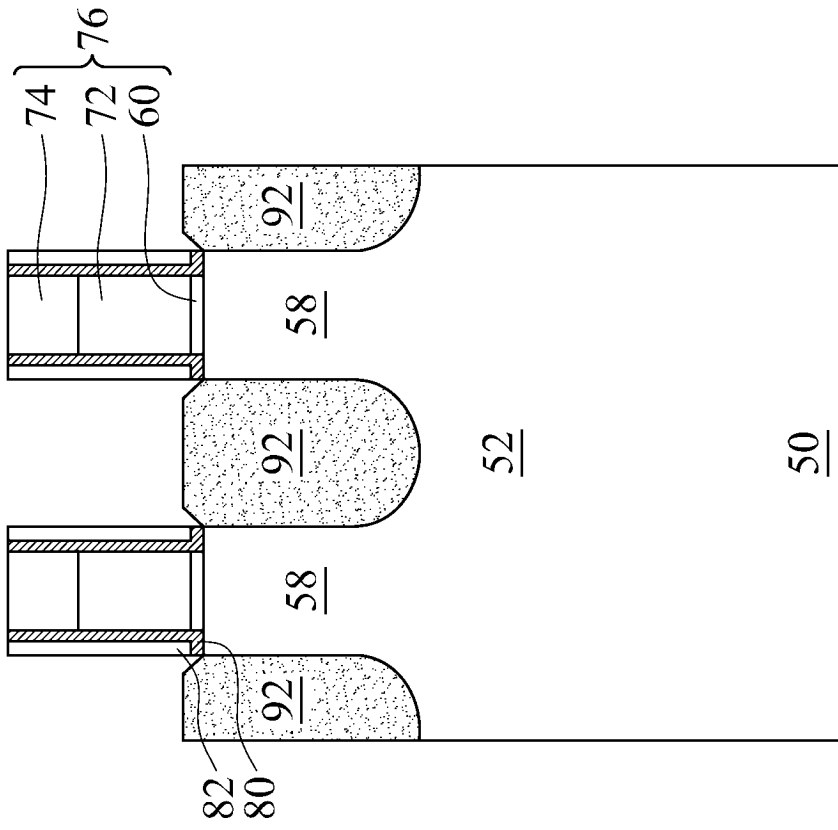
Figur 10B



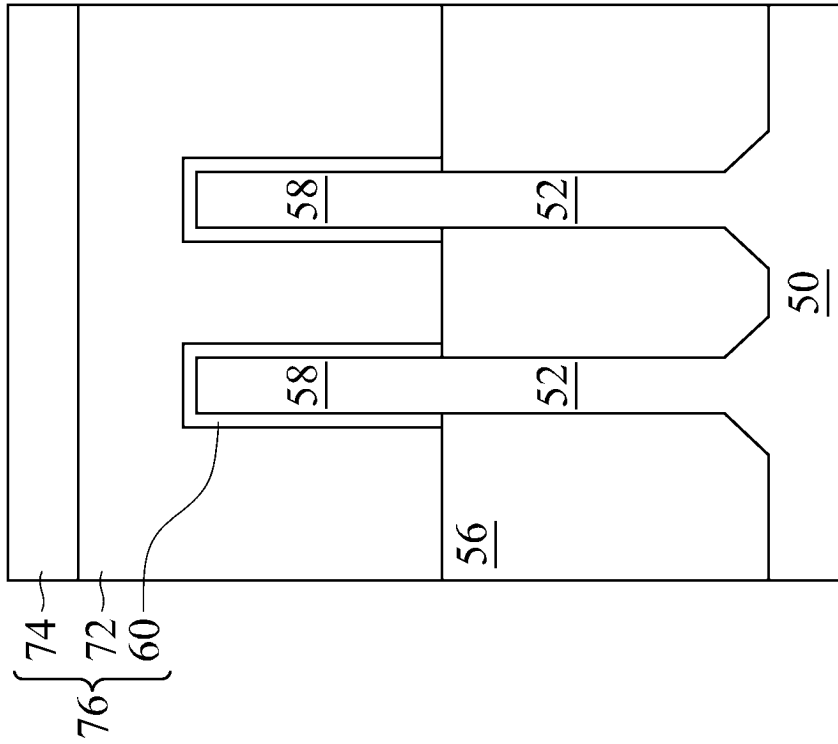
Figur 10D



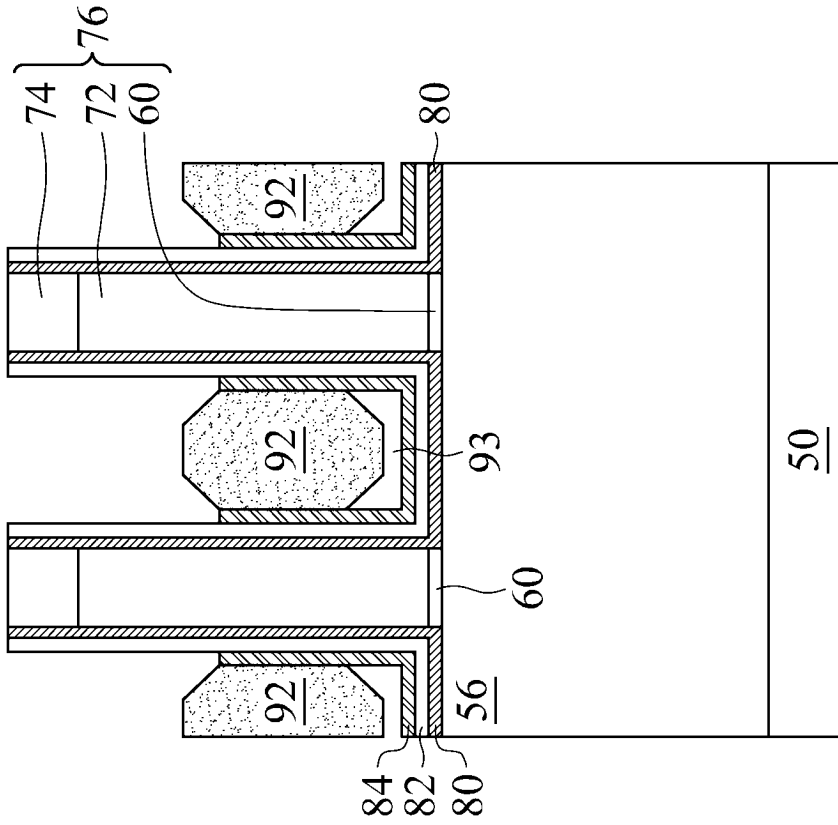
Figur 10C



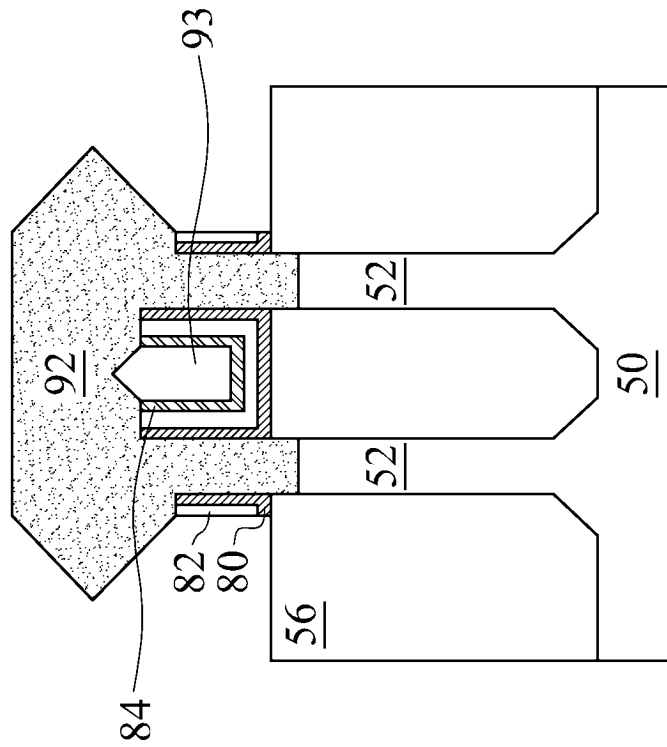
Figur 11B



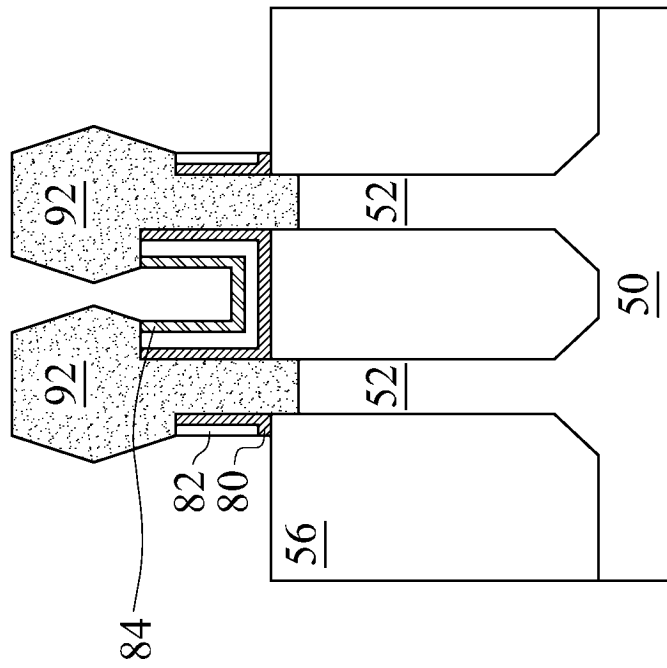
Figur 11A



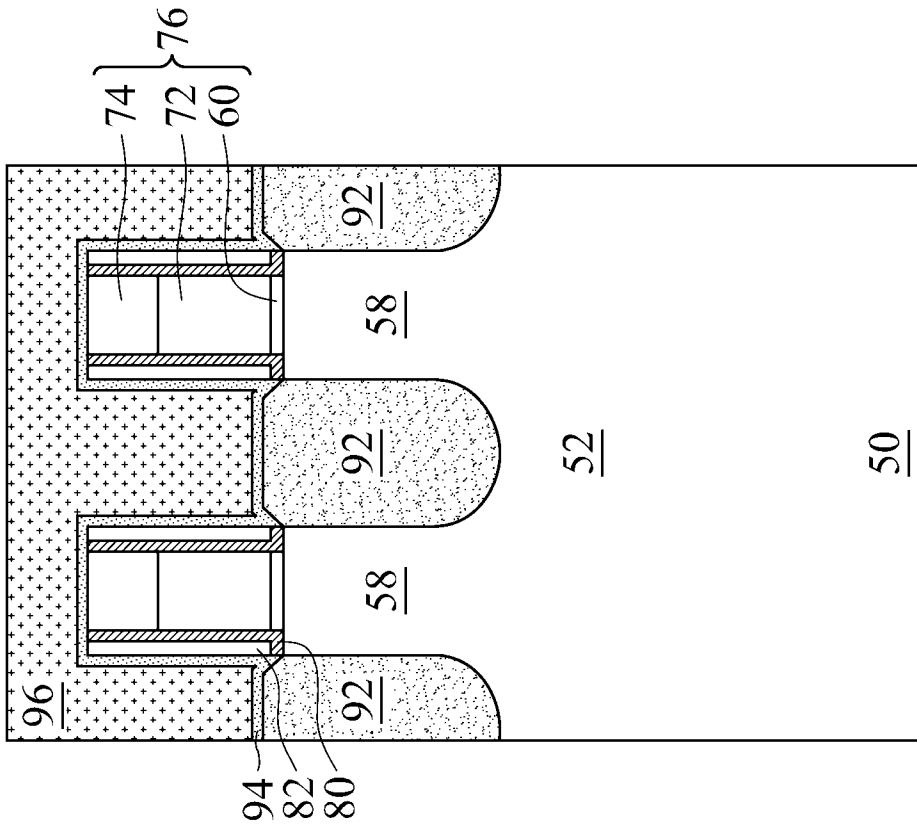
Figur 11D



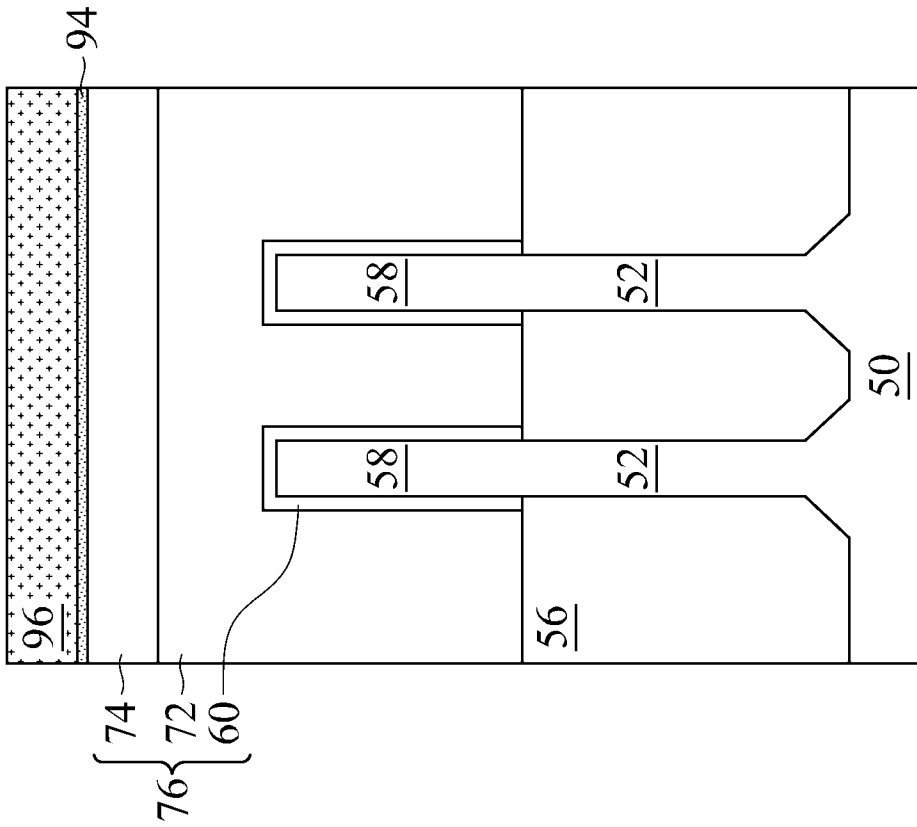
Figur 11C



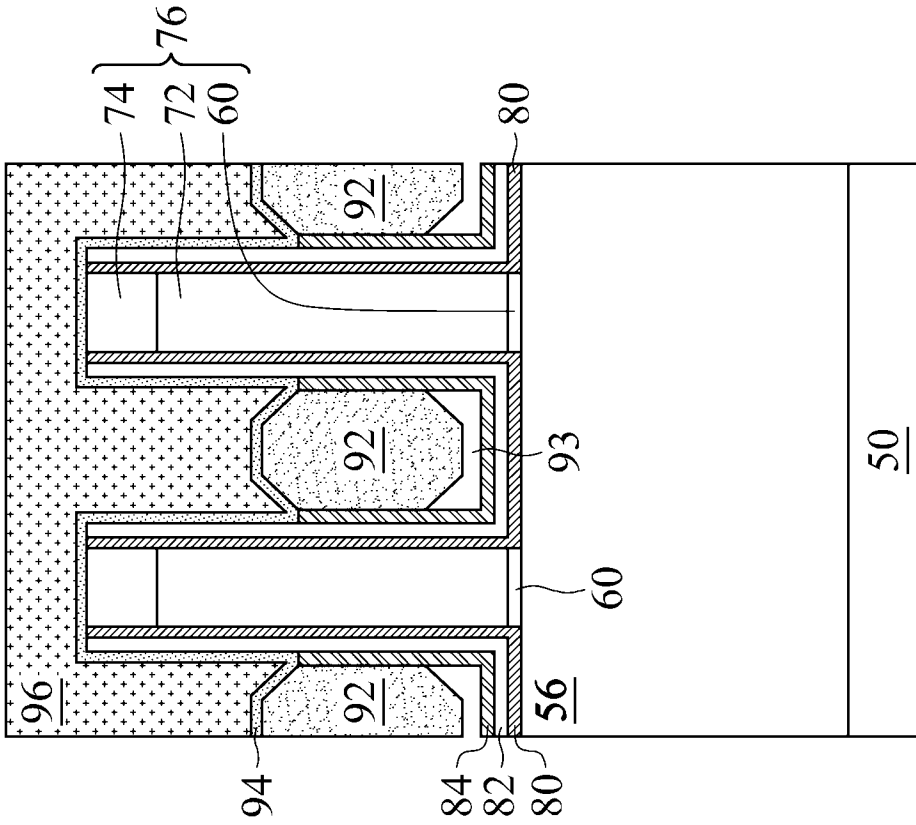
Figur 11E



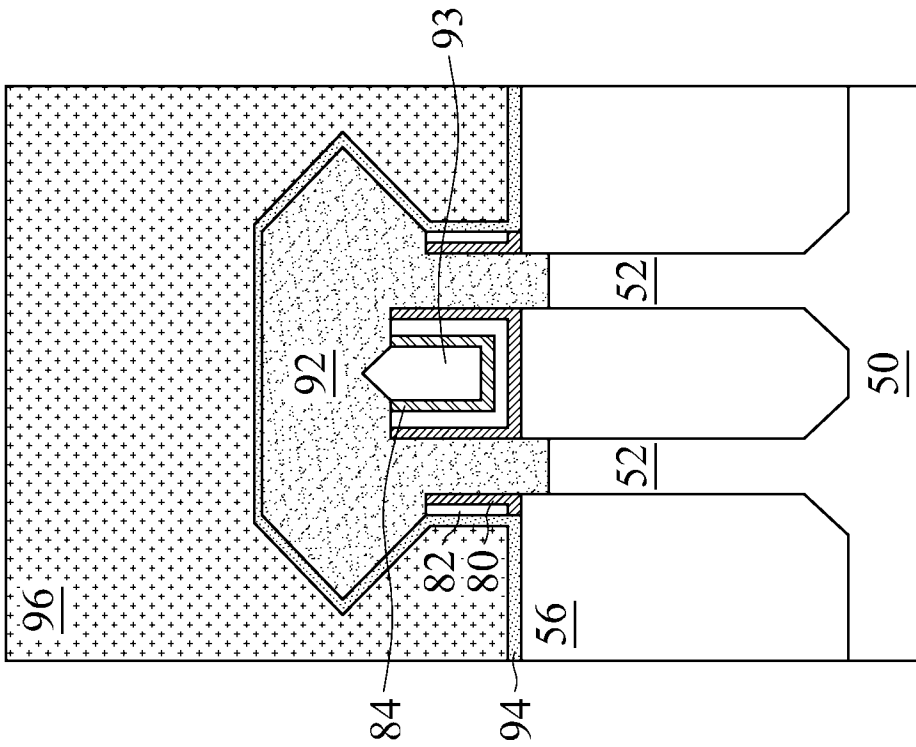
Figur 12A



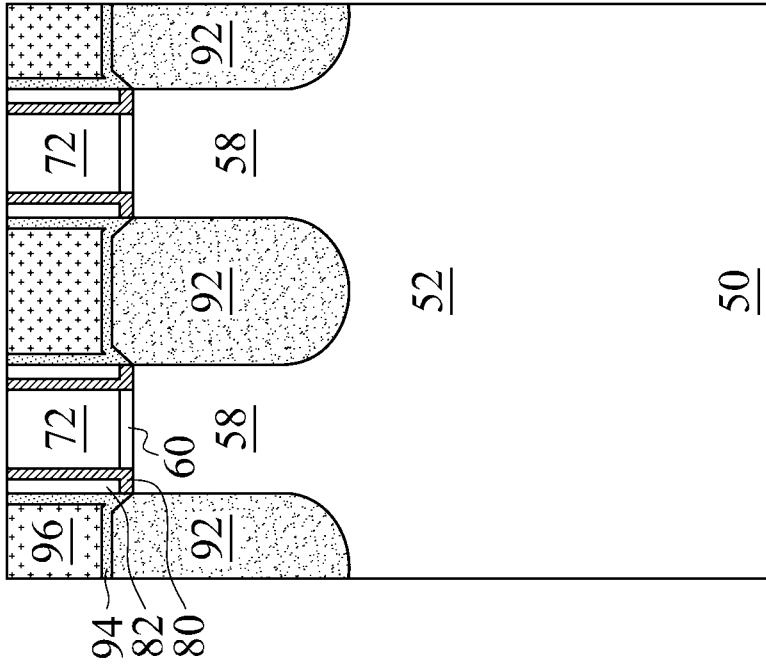
Figur 12B



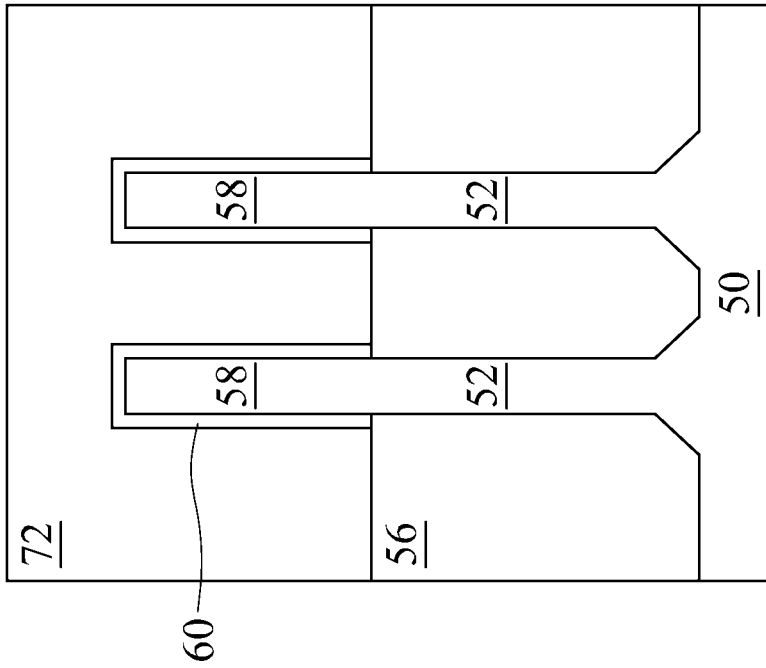
Figur 12D



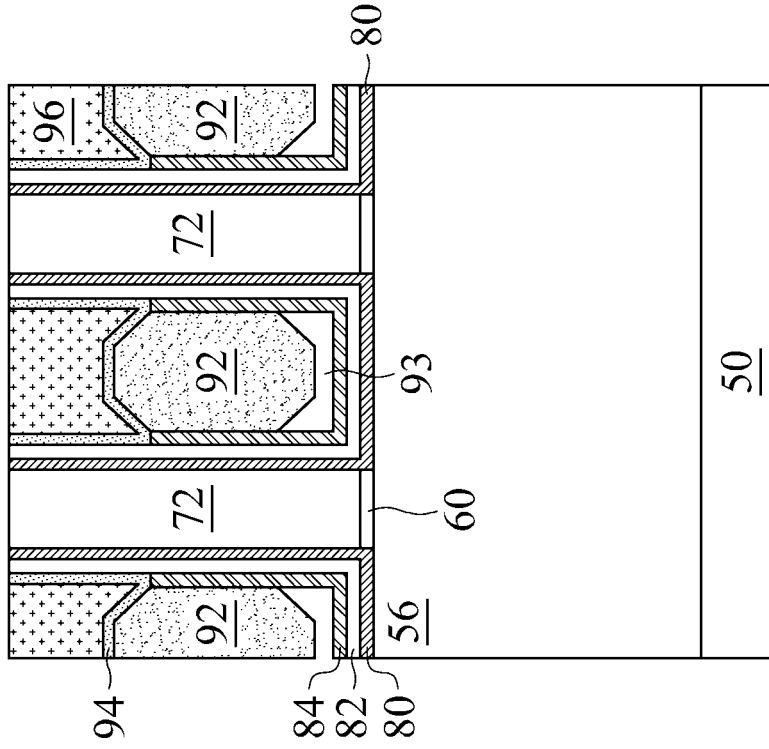
Figur 12C



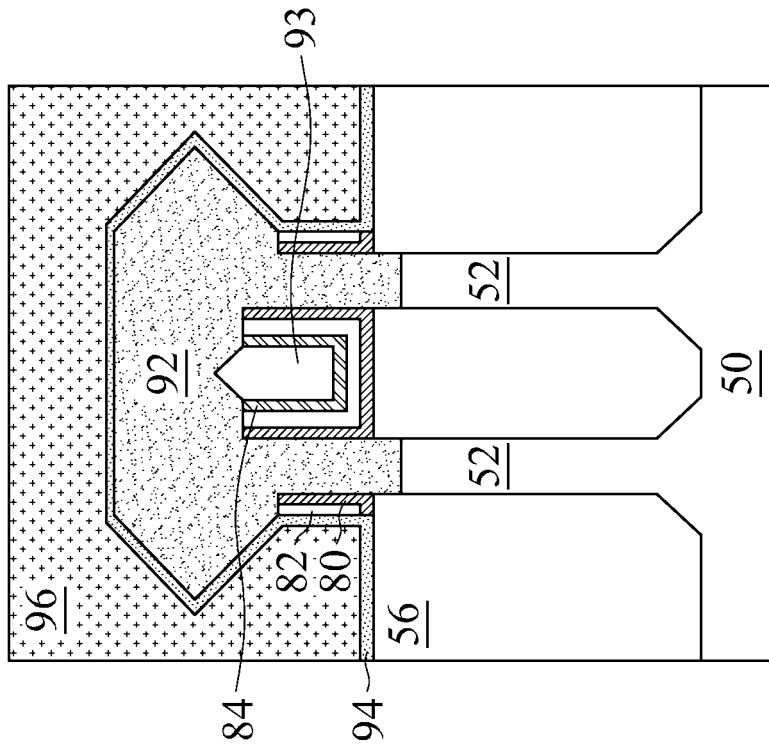
Figur 13B



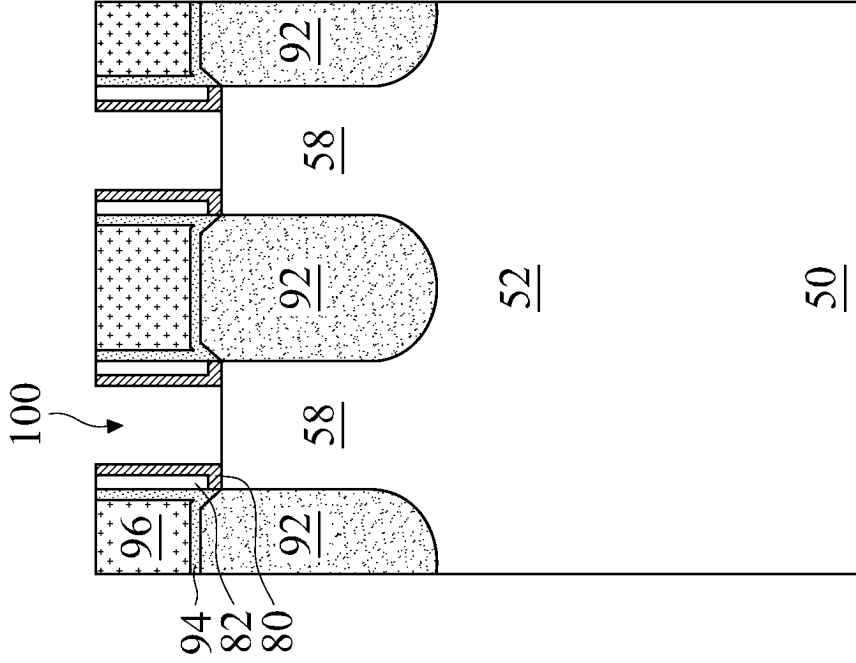
Figur 13A



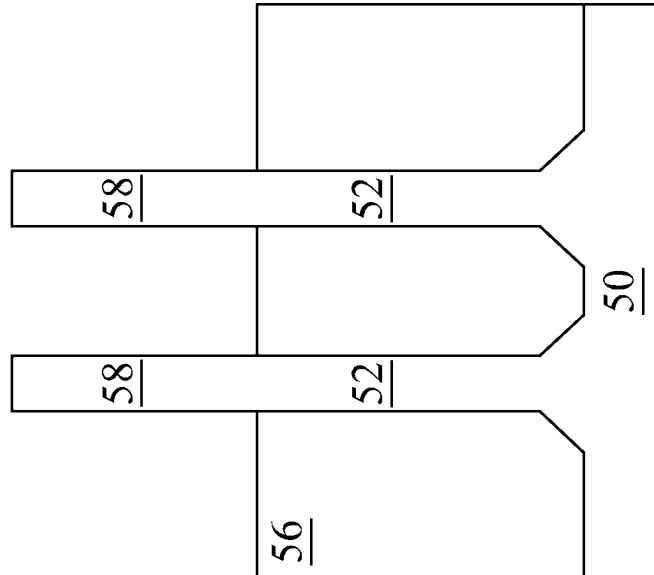
Figur 13D



Figur 13C



Figur 14B



Figur 14A

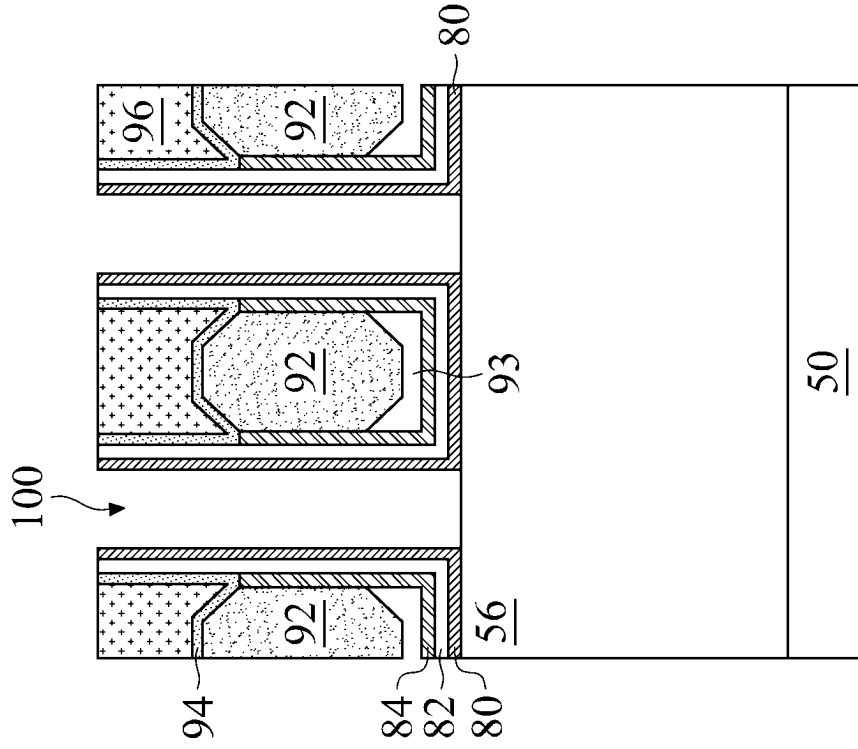


Figure 14D

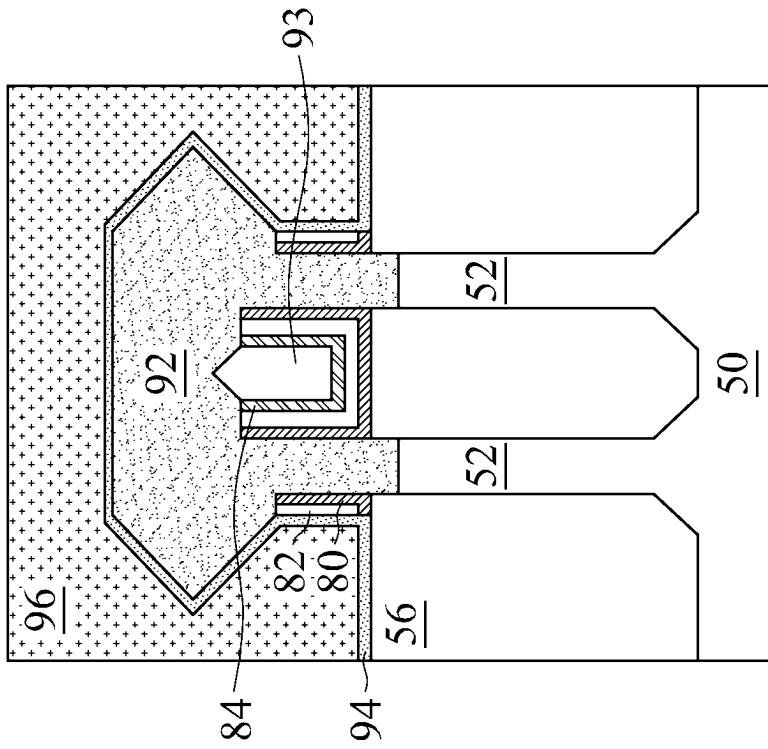
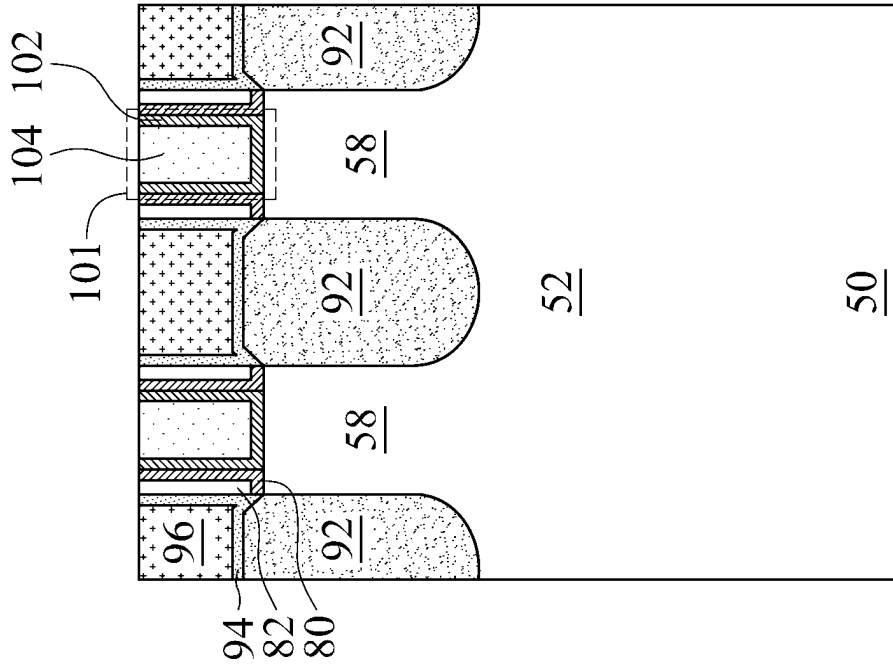
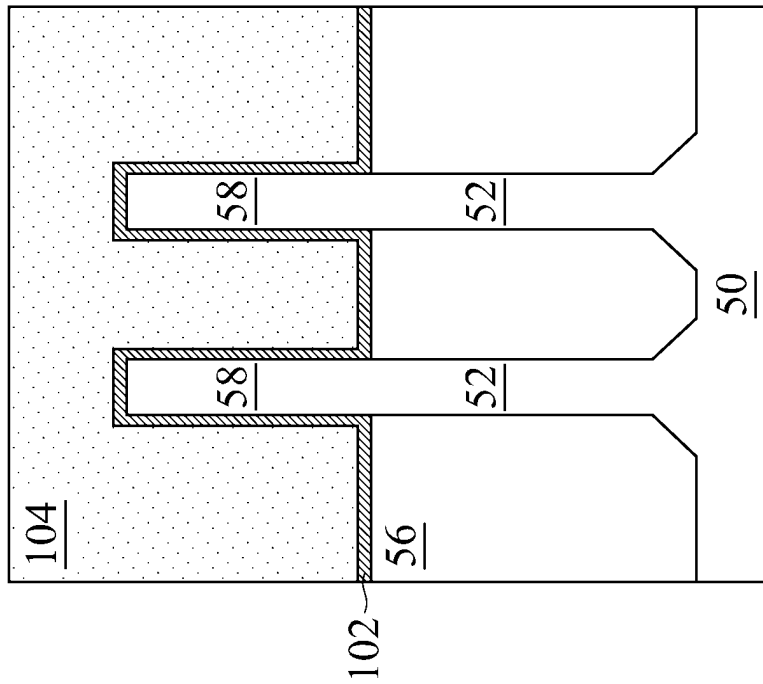


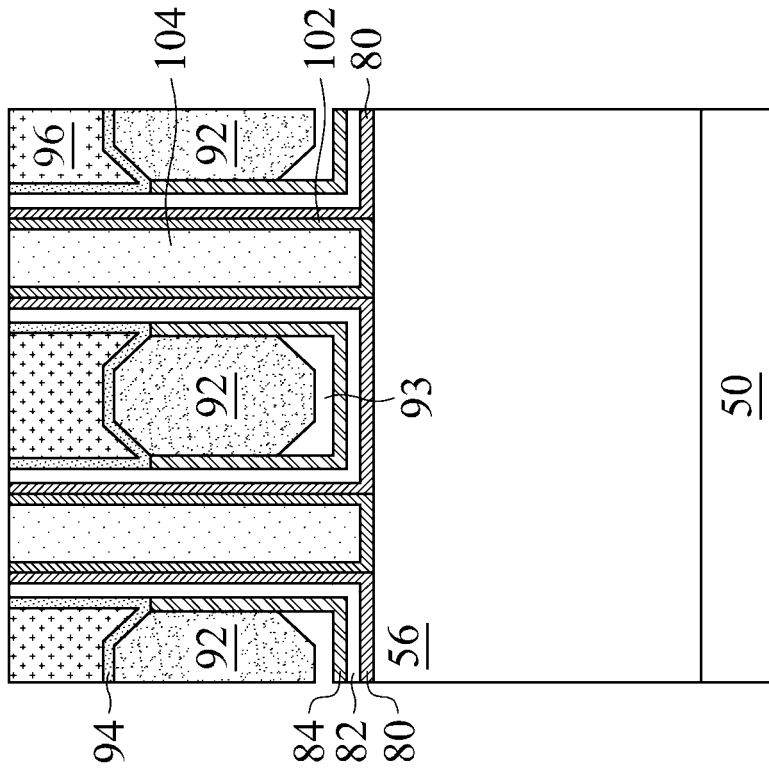
Figure 14C



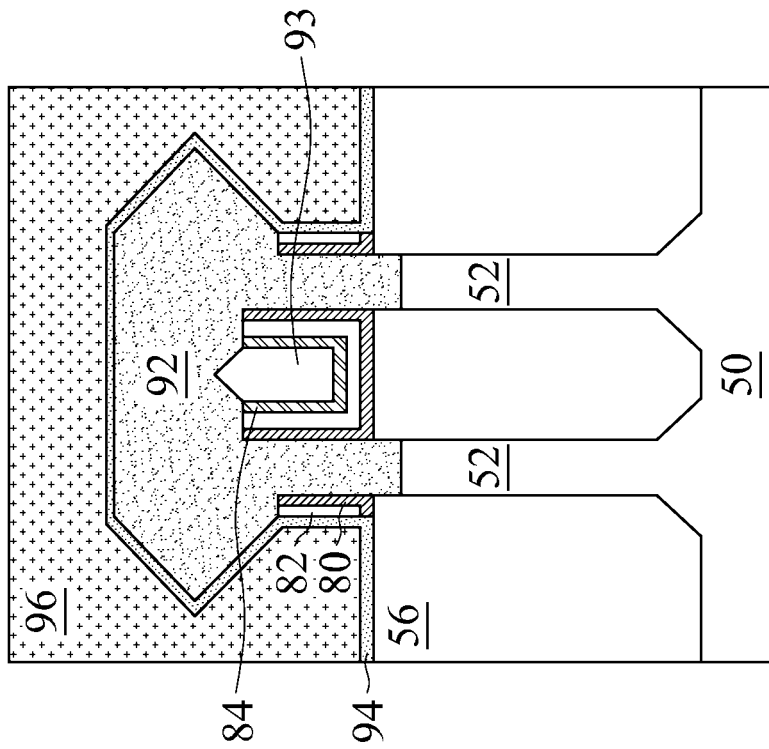
Figur 15B



Figur 15A



Figur 15D



Figur 15C

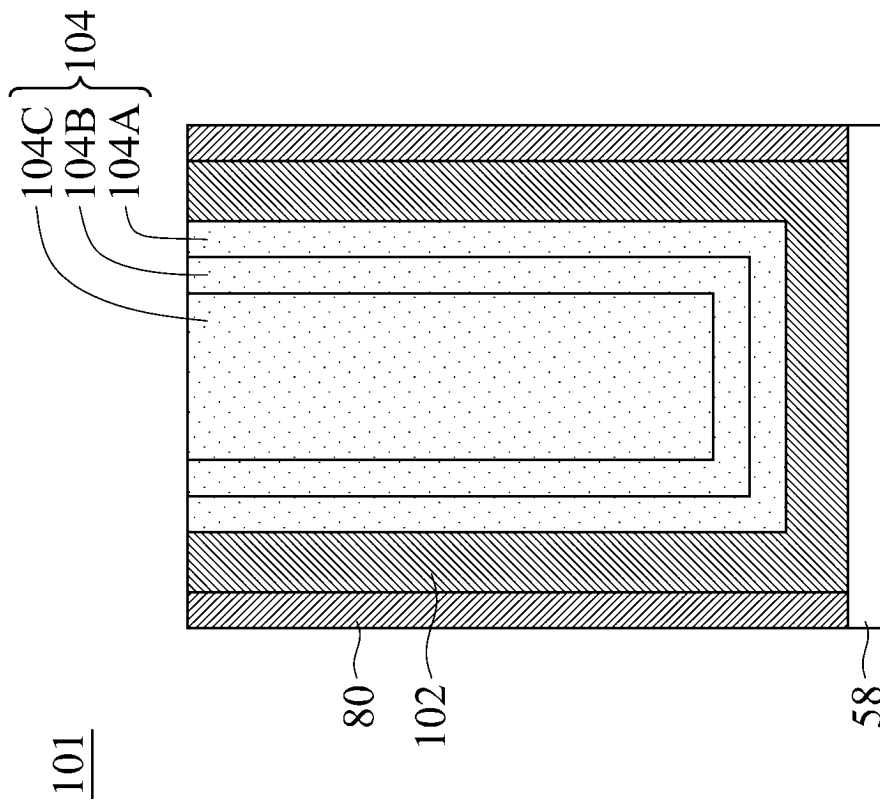
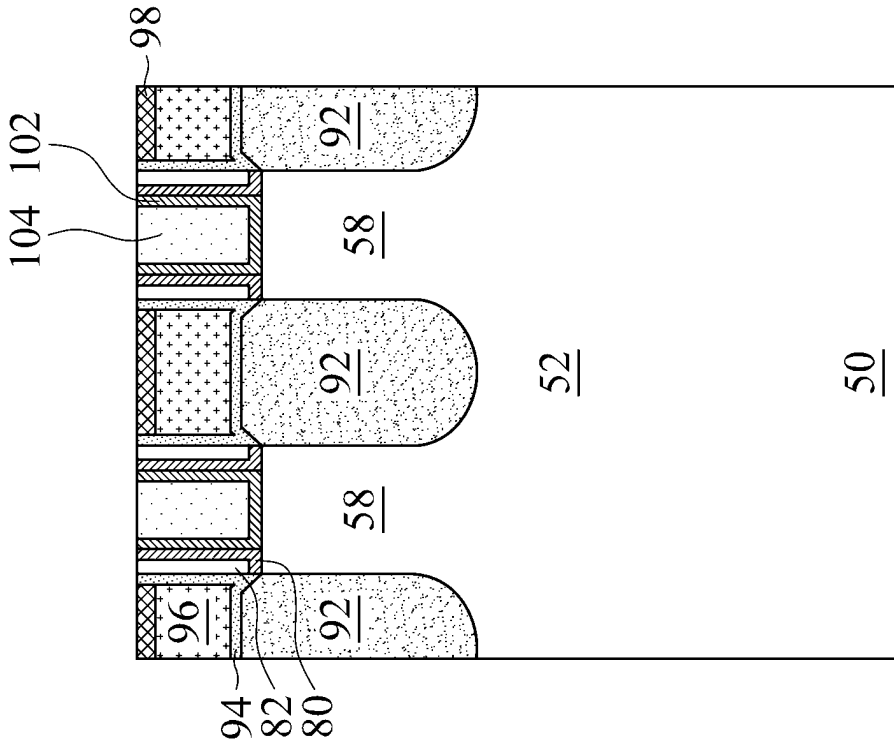
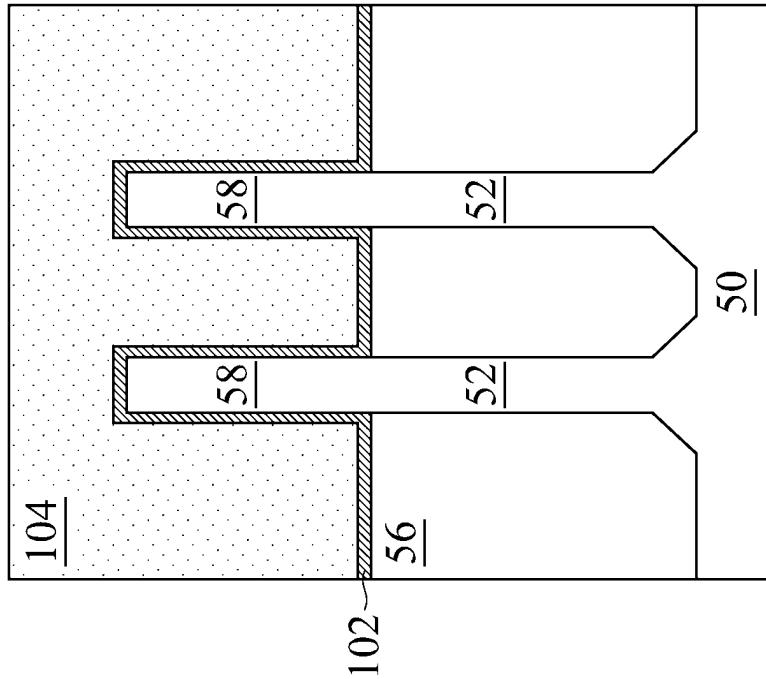


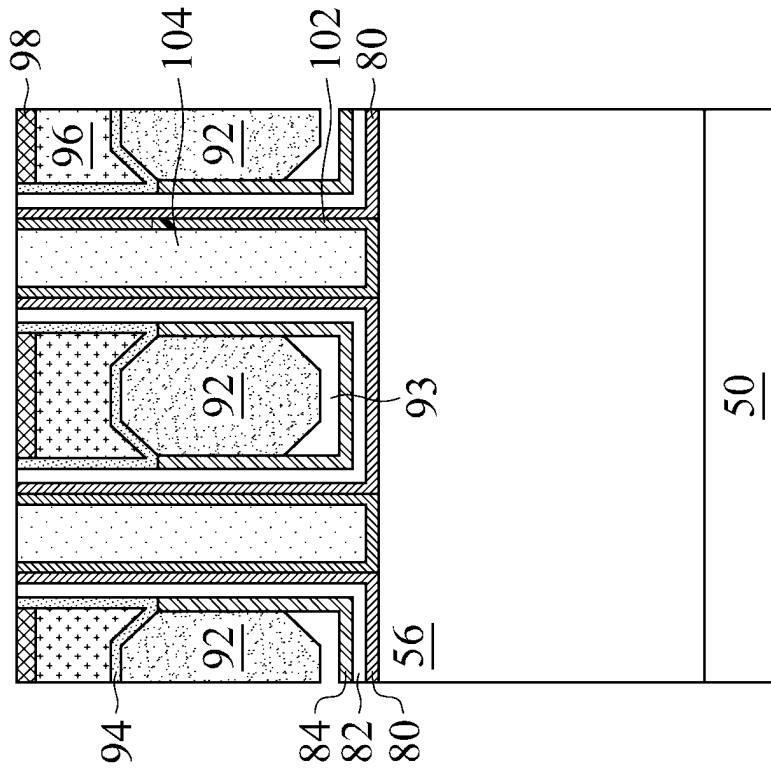
Figure 15E



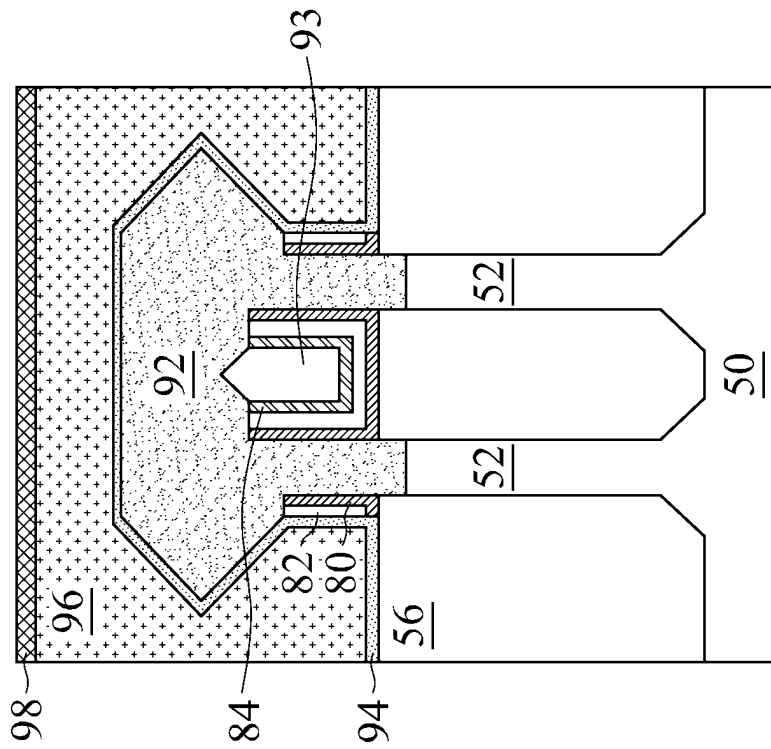
Figur 16B



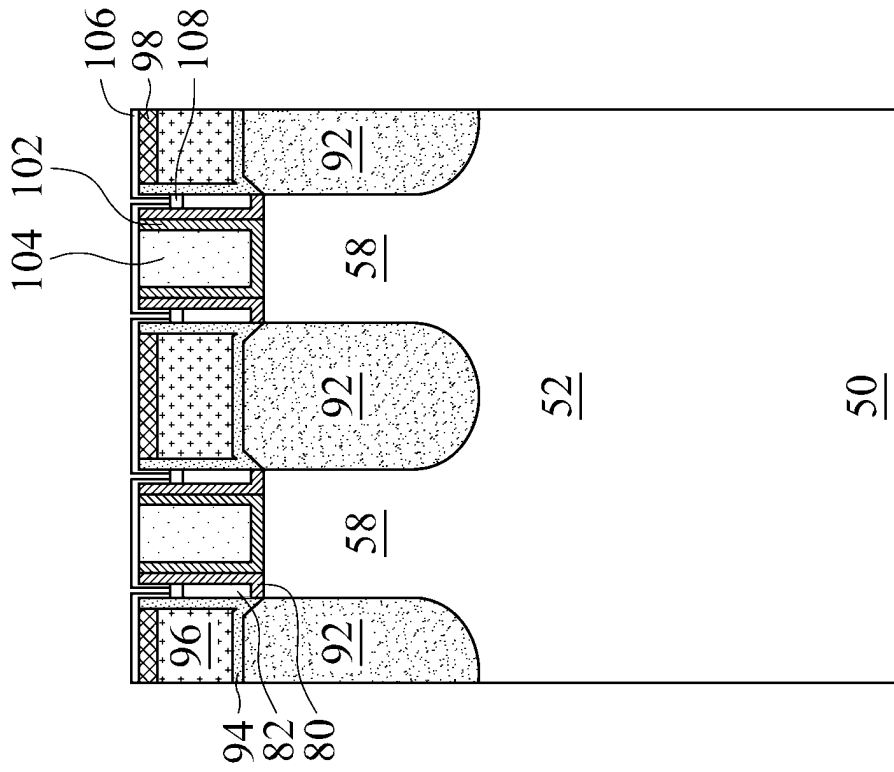
Figur 16A



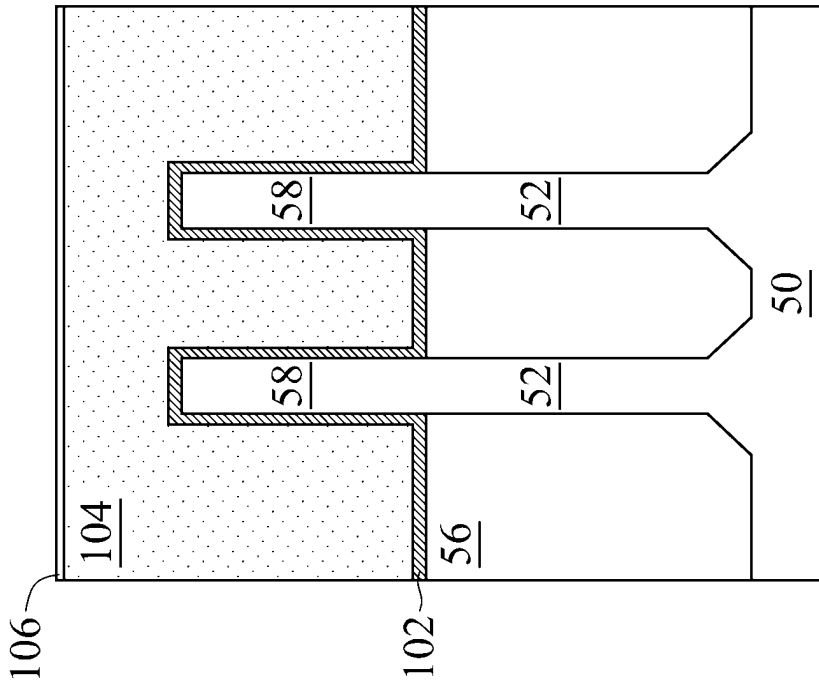
Figur 16D



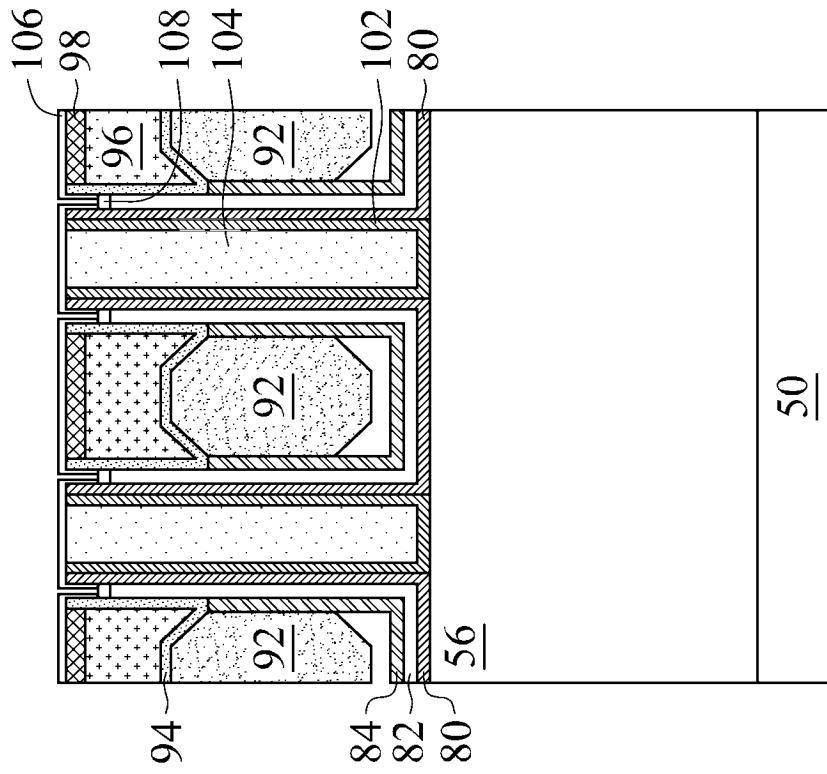
Figur 16C



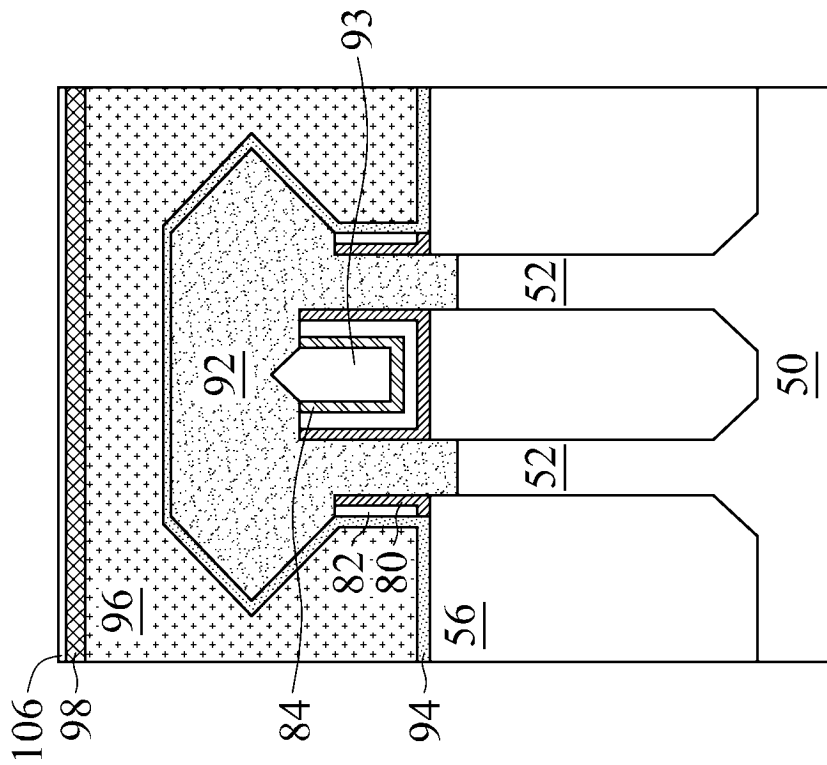
Figur 17B



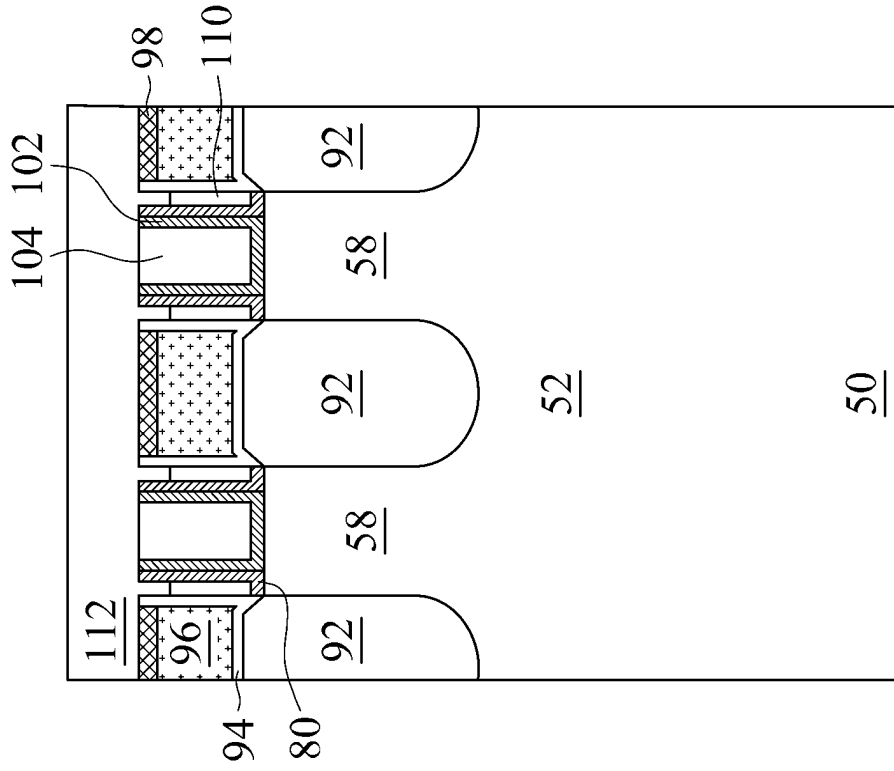
Figur 17A



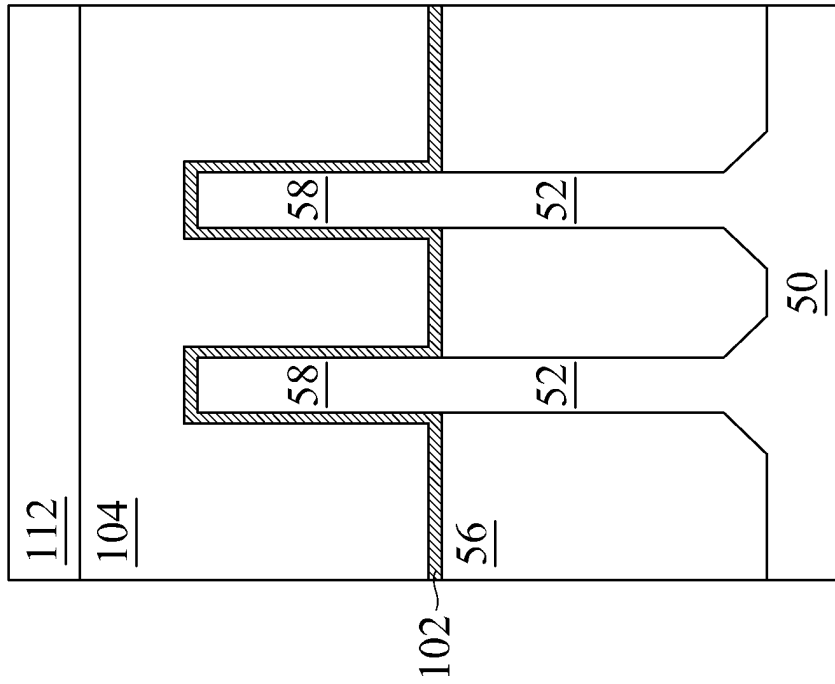
Figur 17D



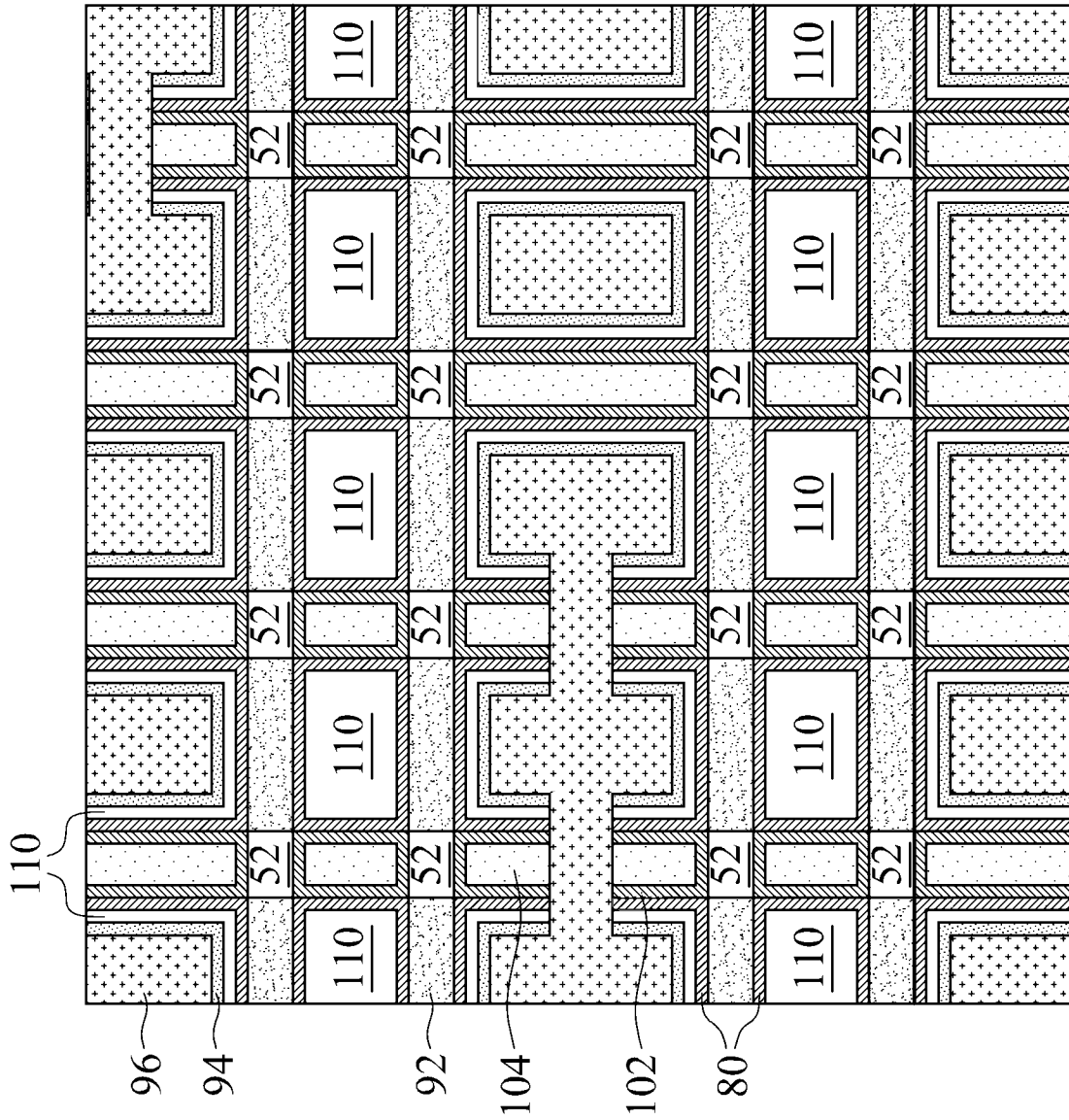
Figur 17C



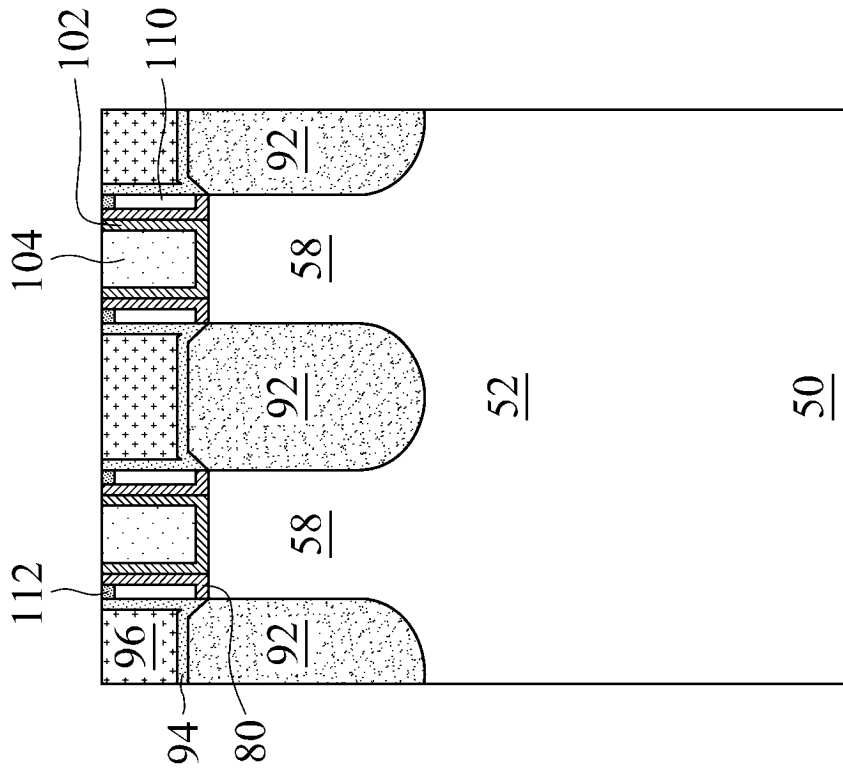
Figur 18B



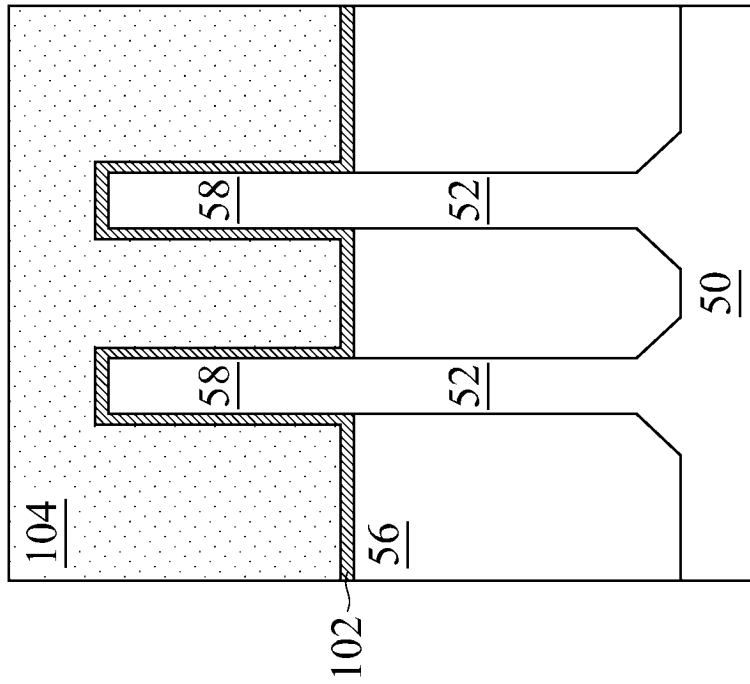
Figur 18A



Figur 18E



Figur 19B



Figur 19A

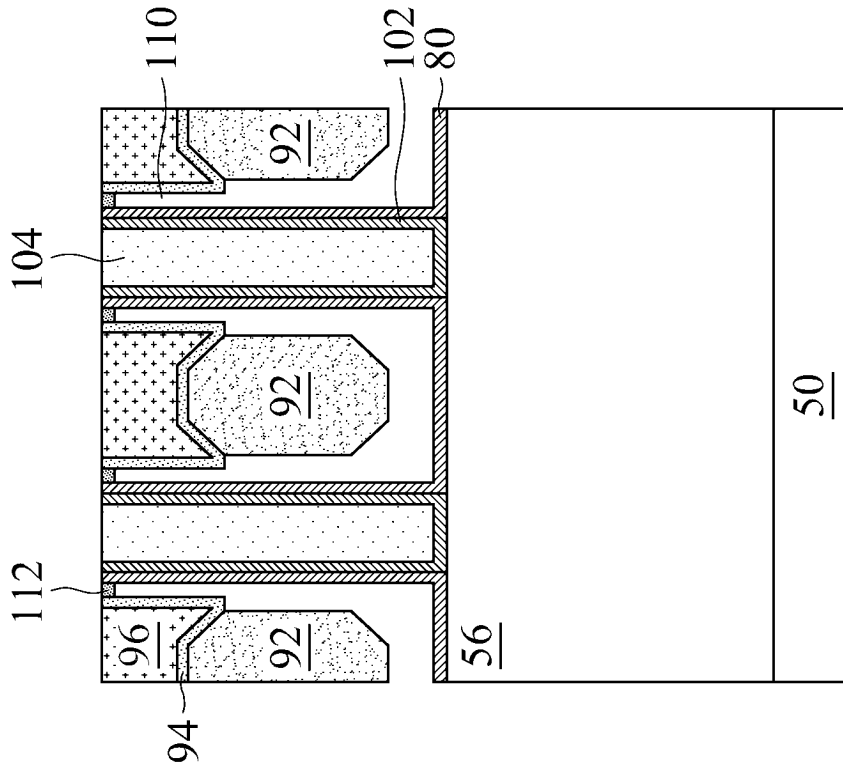


Figure 19D

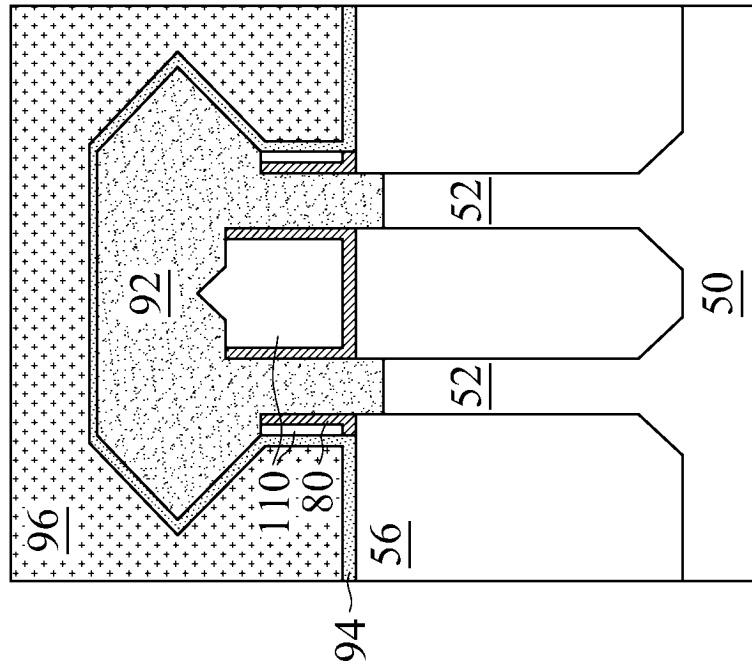
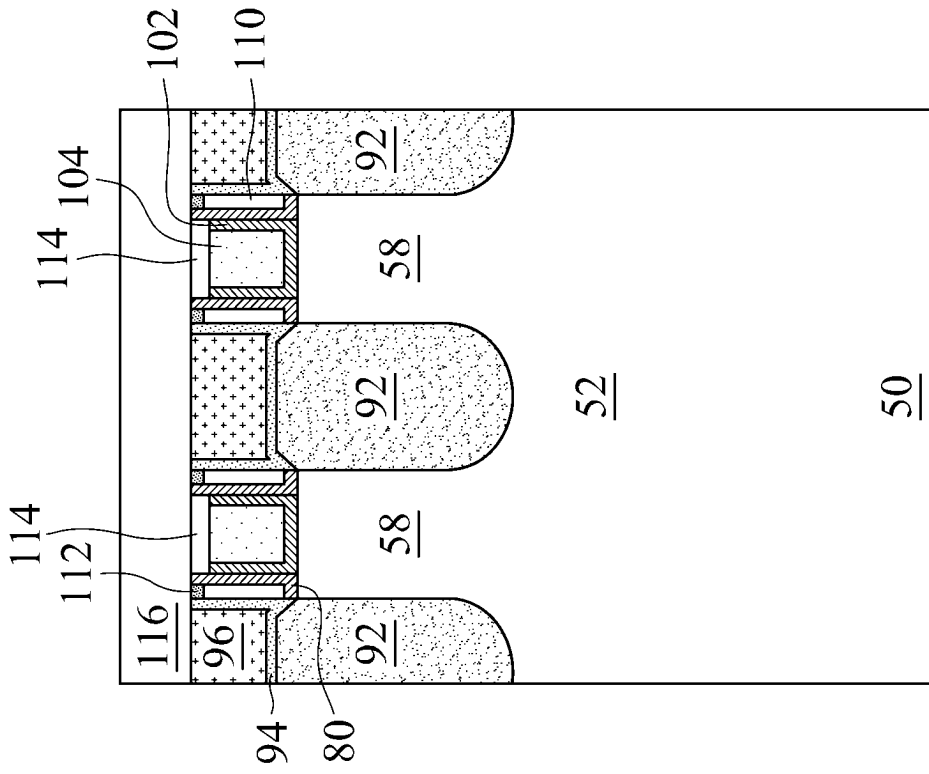
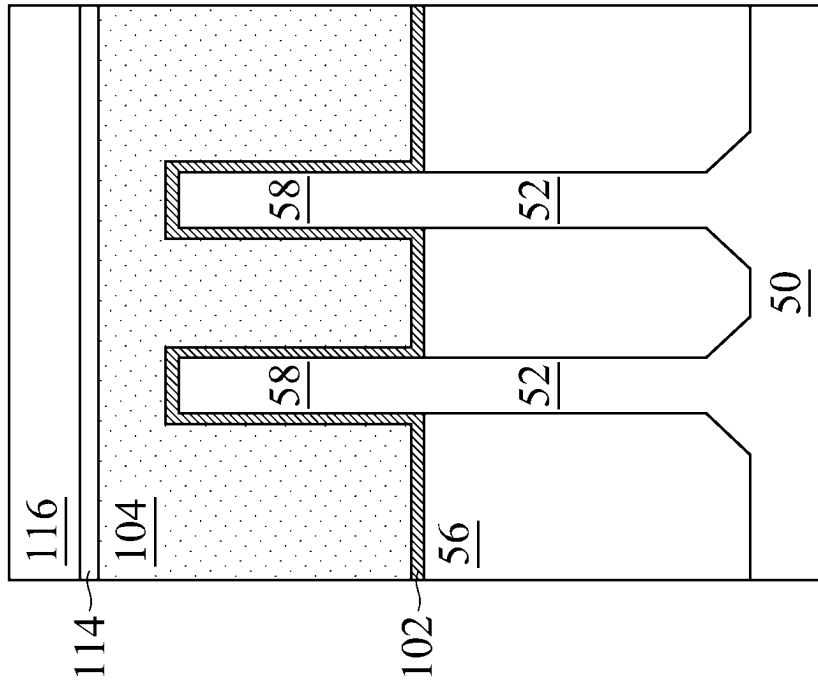


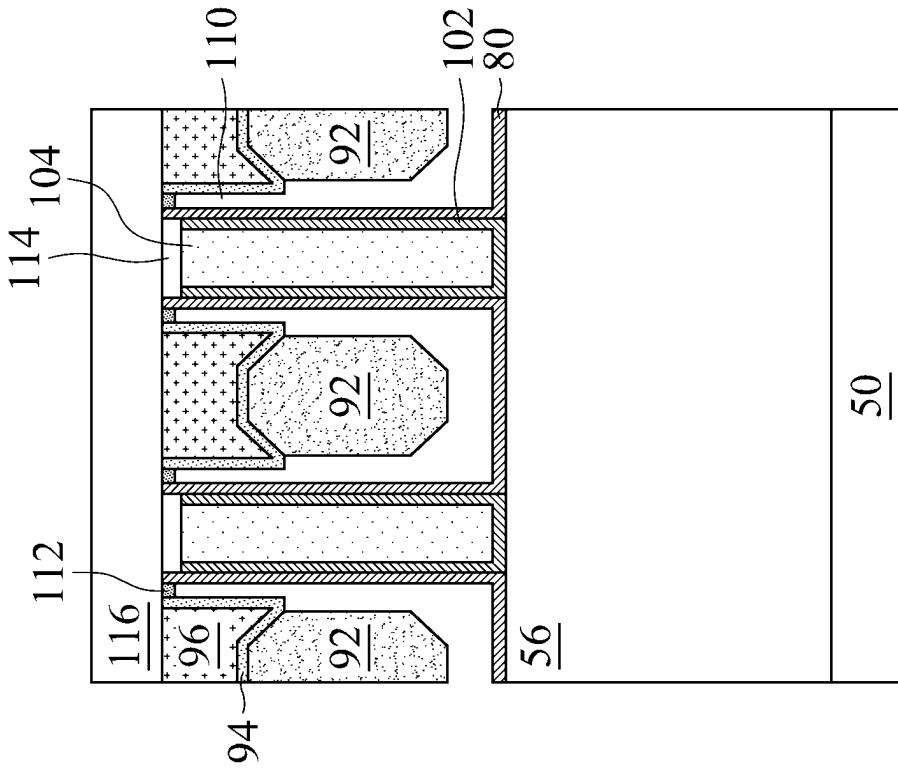
Figure 19C



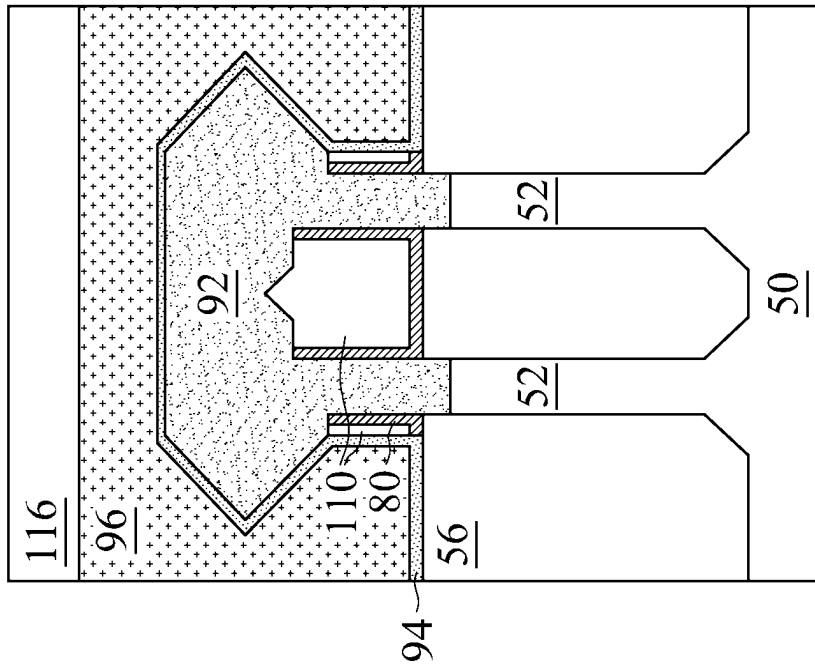
Figur 20B



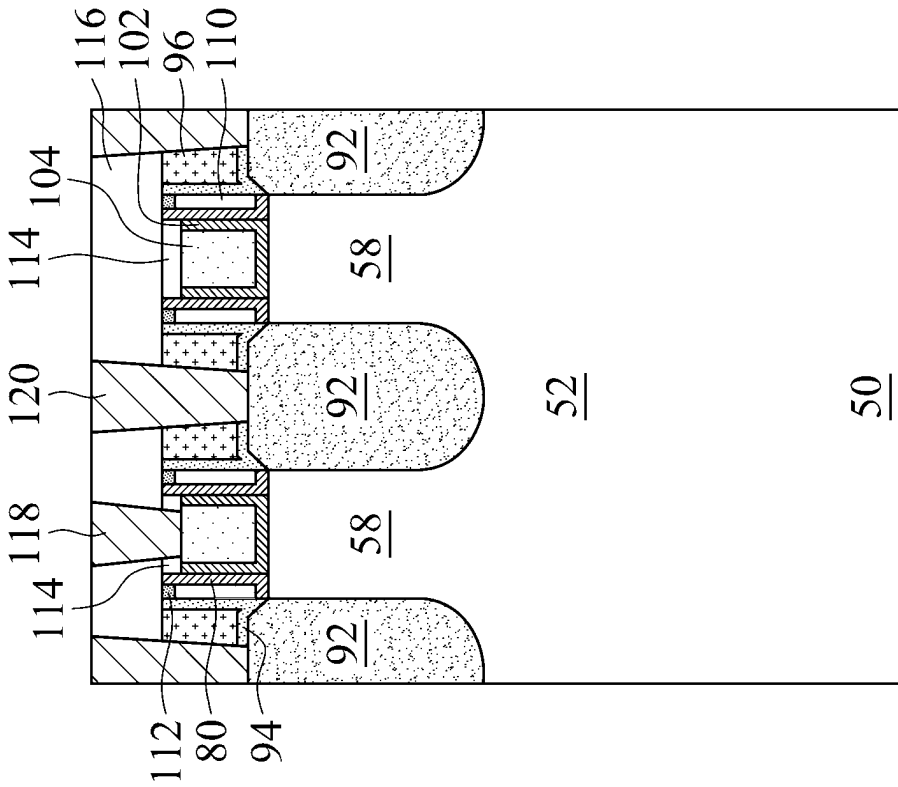
Figur 20A



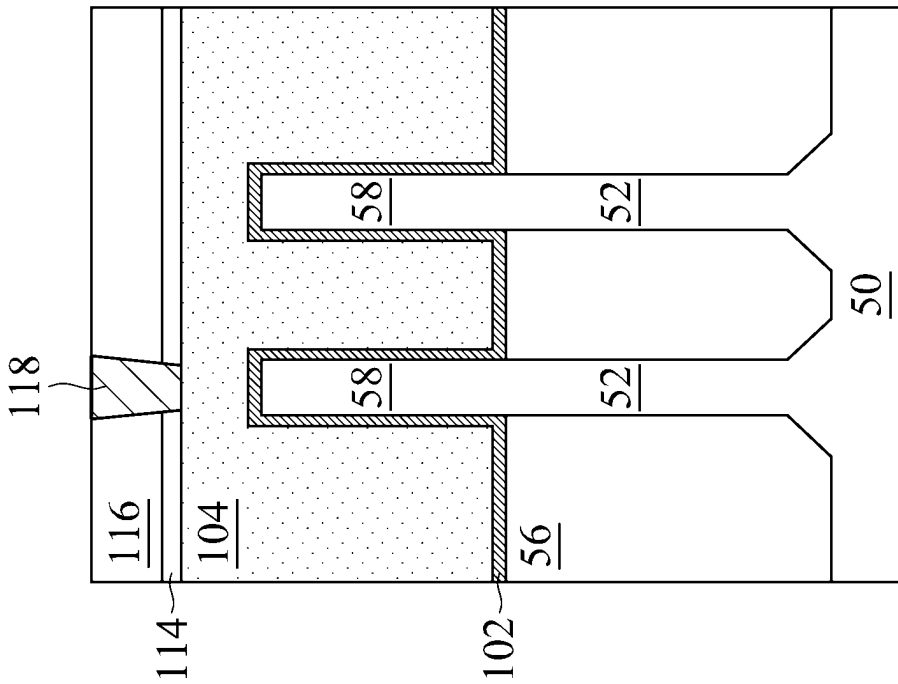
Figur 20D



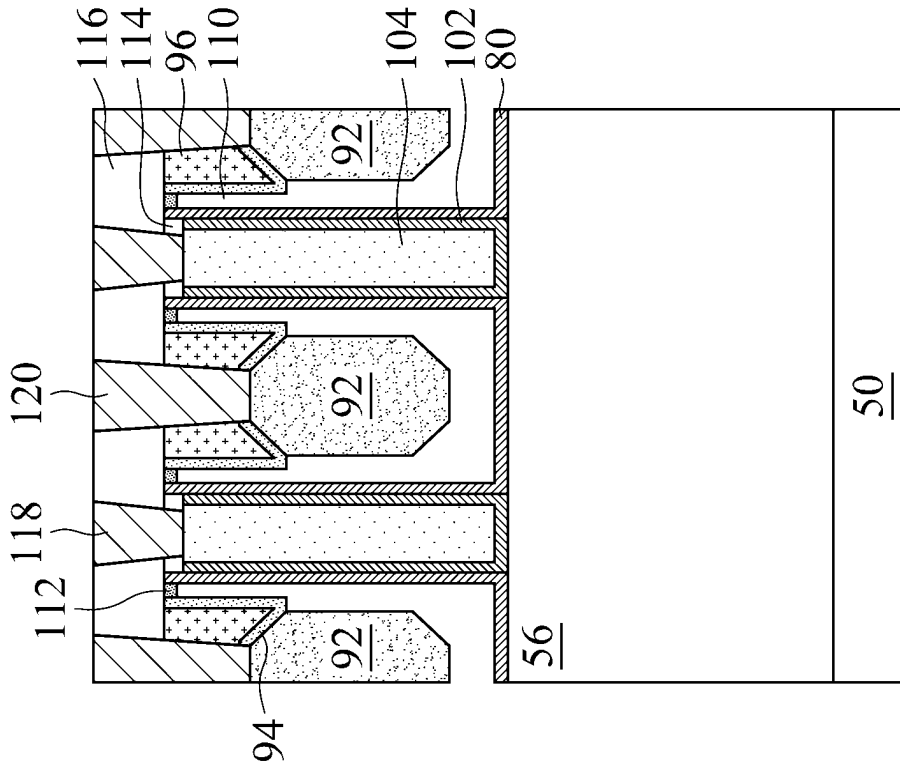
Figur 20C



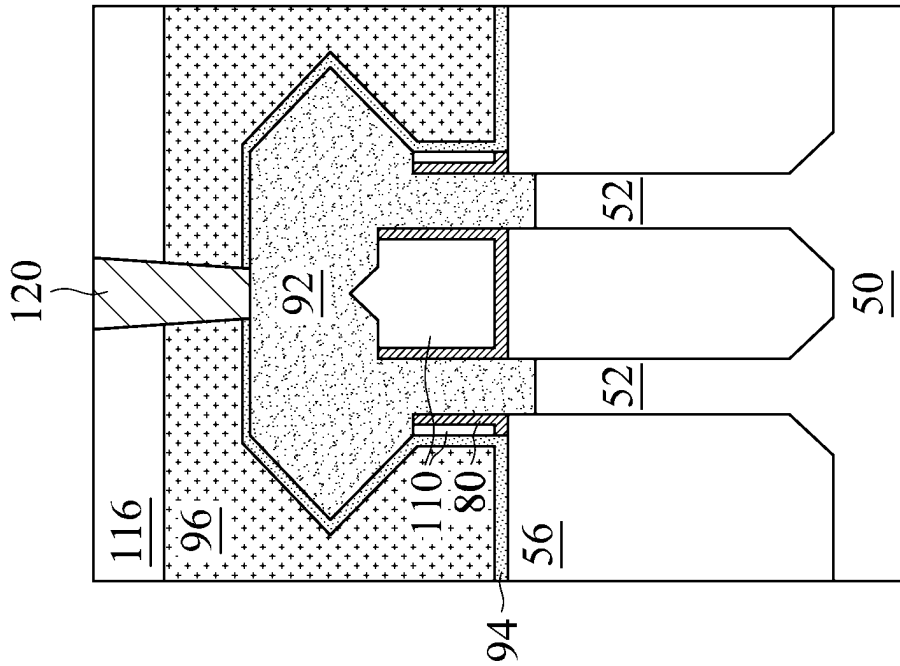
Figur 21B



Figur 21A



Figur 21D



Figur 21C